

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 2 月 26 日 (26.02.2015)



(10) 国际公布号
WO 2015/024318 A1

- (51) 国际专利分类号:
G02F 1/1368 (2006.01)
- (21) 国际申请号: PCT/CN2013/088044
- (22) 国际申请日: 2013 年 11 月 28 日 (28.11.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310370056.1 2013 年 8 月 22 日 (22.08.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 孔祥永 (KONG, Xiangyong); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王东方 (WANG, Dongfang); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。成军 (CHENG, Jun); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。孙宏达 (SUN, Hongda); 中国北京市北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE&HOWE INTELLECTUAL PROPERTY AT-

TORNEYS); 中国北京市东城区建国门内大街 28 号民生金融中心 D 座 10 层陈源, Beijing 100005 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: PIXEL UNIT AND MANUFACTURING METHOD THEREOF, ARRAY SUBSTRATE, AND DISPLAY DEVICE

(54) 发明名称: 像素单元及其制造方法、阵列基板和显示装置

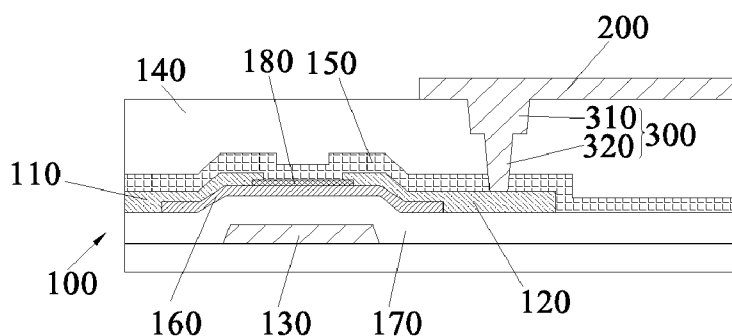


图 2 / FIG. 2

(57) Abstract: A pixel unit and a manufacturing method thereof, an array substrate comprising a pixel unit, and a display device comprising an array substrate. The pixel unit comprises a thin film transistor (100) and a pixel electrode (200). The thin film transistor (100) comprises a gate (130), a source (110), and a drain (120). The pixel electrode (200) is electrically connected to the drain (120) through a via hole (300), an upper end surface of the via hole (300) is connected to the pixel electrode (200), and a lower end surface of the via hole (300) is connected to the drain (120). The via hole (300) is a stepped hole, and the area of the upper end surface of the via hole (300) is greater than the area of the lower end surface of the via hole (300). A joint between the pixel electrode (200) of the pixel unit and the via hole (300) is not easy to be broken.

(57) 摘要:

[见续页]

WO 2015/024318 A1



一种像素单元及其制造方法、一种包括像素单元的阵列基板以及一种包括阵列基板的显示装置，像素单元包括薄膜晶体管（100）和像素电极（200），薄膜晶体管（100）包括栅极（130）、源极（110）和漏极（120），像素电极（200）通过过孔（300）与漏极（120）电连接，且过孔（300）的上端面与像素电极（200）相连接，过孔（300）的下端面与漏极（120）相连接，其中过孔（300）为阶梯孔，且过孔（300）的上端面的面积大于过孔（300）的下端面的面积。像素单元的像素电极（200）在与过孔（300）的连接处不容易断裂。

像素单元及其制造方法、阵列基板和显示装置

5 技术领域

本发明涉及显示技术领域，具体地，涉及一种像素单元及其制造方法、一种包括所述像素单元的阵列基板以及一种包括该阵列基板的显示装置。

10 背景技术

显示装置（例如，液晶面板）中包括阵列基板，阵列基板中一般包括多个像素单元，图 1 中所示的是一种常见的阵列基板的像素单元结构示意图。如图 1 所示，阵列基板的像素单元至少包括薄膜晶体管 100' 和像素电极 200，薄膜晶体管 100' 至少包括源极 110、漏极 120 和栅极 130，该像素电极 200 通过过孔 300' 与薄膜晶体管 100' 的漏极 120 电连接。在阵列基板中，为了降低寄生电容，并增加薄膜晶体管 100' 的上表面的平坦性，通常会在薄膜晶体管 100' 的源极 110 和漏极 120 的上方设置有机绝缘层 140 作为平坦层。有机绝缘层 140 的厚度越大，则寄生电容越小。但是，有机绝缘层厚度增加会导致过孔 300' 的轴向高度增加，过孔 300' 的轴向高度越大，则像素电极 200 越容易在与过孔 300' 的连接处断裂。

因此，如何在降低寄生电容的同时避免像素电极在与过孔的连接处断裂成为本领域亟待解决的技术问题。

25 发明内容

本发明的目的在于提供一种像素单元及其制造方法、一种包括该像素单元的阵列基板以及一种包括该阵列基板的显示装置。在所述像素单元中，像素电极在与过孔的连接处不容易断裂。

为了实现上述目的，作为本发明的一个方面，提供一种像素单元，该像素单元包括薄膜晶体管和像素电极，所述薄膜晶体管包括栅

极、源极和漏极，所述像素电极通过过孔与所述漏极电连接，且所述过孔的上端面与所述像素电极相连接，所述过孔的下端面与所述漏极相连接，其中，所述过孔为阶梯孔，且所述过孔的上端面的面积大于所述过孔的下端面的面积。

5 优选地，所述过孔包括大孔部和小孔部，所述大孔部的一端面与所述像素电极相连接，所述小孔部的一端面与所述漏极相连接，并且所述大孔部的轴向高度与小孔部的轴向高度相同。

10 优选地，所述薄膜晶体管还包括有机绝缘层，该有机绝缘层设置在所述薄膜晶体管的源极和漏极上方，所述过孔贯穿所述有机绝缘层。

优选地，所述薄膜晶体管还包括无机绝缘层，所述无机绝缘层设置在所述有机绝缘层与所述薄膜晶体管的源极和漏极之间，所述过孔贯穿所述无机绝缘层。

15 优选地，所述过孔包括大孔部和小孔部，所述小孔部的一部分和所述大孔部设置在所述有机绝缘层中，所述小孔部的另一部分设置在所述无机绝缘层中。

优选地，所述有机绝缘层由感光树脂制成，且所述无机绝缘层与所述有机绝缘层的刻蚀选择比不低于 10。

20 优选地，所述无机绝缘层为由硅的氧化物、硅的氮化物、钪的氧化物、铝的氧化物中的任意一种形成的单层结构，或者所述无机绝缘层为由硅的氧化物、硅的氮化物、钪的氧化物、铝的氧化物中的任意几种形成多层结构。

作为本发明的另一个方面，提供一种像素单元的制造方法，该制造方法包括如下步骤：

25 形成薄膜晶体管；

形成过孔，该过孔穿过所述薄膜晶体管的上表面而到达所述薄膜晶体管的漏极，其中，所述过孔为阶梯孔，且所述过孔的上端面的面积大于所述过孔的下端面的面积；以及

30 形成像素电极，使得该像素电极通过所述过孔与所述漏极电连接，所述过孔的上端面与所述像素电极相连接，所述过孔的下端面与

所述漏极相连接。

优选地，所述形成薄膜晶体管的步骤包括：

形成所述薄膜晶体管的源极和漏极；

在所述源极和所述漏极上方形成无机绝缘层；以及

5 在所述无机绝缘层上形成有机绝缘层。

优选地，所述过孔包括大孔部和小孔部，所述有机绝缘层由感光树脂材料制成，所述无机绝缘层与所述有机绝缘层的刻蚀选择比不低于 10，在进行所述形成过孔的步骤时，对所述薄膜晶体管中与所述小孔部相对应的第一部分进行全曝光，对所述薄膜晶体管中的环绕
10 第一部分、且位于与所述大孔部相对应的部分内的第二部分进行半曝光。

优选地，所述有机绝缘层由感光树脂材料制成，所述无机绝缘层与所述有机绝缘层的刻蚀选择比不低于 10，所述形成过孔的步骤包括：

15 将掩膜板设置在所述有机绝缘层的上方，对所述有机绝缘层进行曝光，其中，所述掩膜板包括不透光区、透光区和半透光区，所述透光区与所述小孔部对应，所述半透光区与所述大孔部对应；以及

对所述有机绝缘层进行显影，并随后对显影后的所述有机绝缘层以及所述无机绝缘层进行刻蚀，以形成穿过所述有机绝缘层和所述
20 无机绝缘层的所述过孔。

可替代地，所述过孔包括大孔部和小孔部，所述有机绝缘层由不感光的树脂材料制成，在进行所述形成过孔的步骤时，通过构图工艺先形成贯穿所述有机绝缘层和所述无机绝缘层的第一孔，该第一孔的横截面积与小孔部相同；形成了所述第一孔之后，再通过构图工艺
25 形成所述大孔部。

优选地，在所述形成像素电极的步骤中，通过喷墨打印的方法形成所述像素电极。

优选地，所述制造方法还包括：

对所述薄膜晶体管进行退火处理，退火温度为 200℃至 600℃，
30 退火保温时间为 30min 至 3h。

作为本发明的再一个方面，提供一种阵列基板，其中，该阵列基板包括本发明实施例所提供的上述的像素单元。

作为本发明的还一个方面，还提供一种显示装置，该显示装置包括阵列基板，其中，所述阵列基板为本发明实施例所提供的上述阵列基板。

在根据本发明实施例的阵列基板中，由于过孔为阶梯孔，并且过孔的横截面积较大部分的上端面与像素电极相连，因此，像素电极可以与过孔的上端面之间形成良好的接触，从而可以防止像素电极在与过孔的连接处断裂。本发明实施例所提供的像素单元不仅具有较小的寄生电容，而且所述阵列基板的像素电极不容易断裂。

附图说明

附图是用来提供对本发明的进一步理解，并且构成说明书的一部分，与下面的具体实施方式一起用于解释本发明，但并不构成对本发明的限制。在附图中：

图 1 是现有技术中一种阵列基板的像素单元的结构示意图；

图 2 是本发明实施例所提供的像素单元的一种结构示意图；

图 3 是本发明实施例所提供的像素单元的另一种结构示意图；

和

图 4 是本发明实施例所提供的像素单元的制造方法的流程图；

图 5a 至图 5i 是展示本发明实施例所提供的像素单元的制造方法的图解。

附图标记说明

100、100'：薄膜晶体管	110：源极
120：漏极	130：栅极
140：有机绝缘层	150：无机绝缘层
160：有源层	170：栅绝缘层
180：欧姆接触层	200：像素电极
300、300'：过孔	310：大孔部

320: 小孔部

具体实施方式

以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是，此处所描述的具体实施方式仅用于说明和解释本发明，并不用于限制本发明。

在本发明实施例中所用到的方位词“上、下”是指图 2 中示出的“上、下”方向。

如图 2 所示，本发明的一个方面提供一种像素单元，该像素单元包括薄膜晶体管 100 和像素电极 200，薄膜晶体管 100 包括栅极 130、源极 110 和漏极 120，像素电极 200 通过过孔 300 与漏极 120 电连接，且过孔 300 的上端面与像素电极 200 相连接，过孔 300 的下端面与薄膜晶体管 100 的漏极 120 相连接，其中，过孔 300 为阶梯孔，且过孔 300 的上端面的面积大于该过孔 300 的下端面的面积。

为了减小寄生电容，薄膜晶体管 100 的源极 110 和漏极 120 上方通常设置有较厚的有机绝缘层 140。过孔 300 贯穿有机绝缘层 140 到达漏极 120。将过孔 300 设置为阶梯孔，并且将过孔 300 的横截面积较大的上端面与像素电极 200 相连。

在本发明实施例中，由于过孔 300 为阶梯孔，因此，像素电极 200 可以与过孔 300 的上端面之间形成良好的接触，从而可以防止像素电极 200 在与过孔 300 的连接处断裂。

当有机绝缘层 140 厚度较大时，根据本发明实施例的过孔 300 既可以保证像素电极 200 与薄膜晶体管 100 的漏极 120 之间的电连接，又可以增大像素电极 200 和过孔 300 之间的连接强度。因此，本发明实施例所提供的阵列基板不仅具有较小的寄生电容，而且所述阵列基板的像素电极 200 不容易在与过孔 300 的连接处断裂。

容易理解的是，参照图 3 所示，薄膜晶体管 100 还可以包括栅极 130、有源层 160、栅绝缘层 170 和欧姆接触层 180。

所述薄膜晶体管可以具有顶栅结构（即，栅极 130 位于有源层 160 的上方），也可以具有底栅结构（即，栅极 130 位于有源层 160

下方)。图2中所示的薄膜晶体管具有底栅结构。

可以利用 Mo、MoNb、Al、AlNd、Ti、Cu 中的任意一种或几种形成源极 110 和漏极 120。源极 110 和漏极 120 可以形成为单层金属，或者，源极 110 和漏极 120 可以形成为多层金属。优选地，可以选用

5 Mo、Al 或含 Mo、Al 的合金形成单层或多层的源极 110 和漏极 120。

在本发明实施例中，可以利用 Mo、MoNb、Al、AlNd、Ti 和 Cu 中的一种或几种形成栅极 130。栅极 130 可以具有由上述材料中的一种形成的单层结构，也可以具有由上述材料中的几种形成的叠层结构。例如，栅极 130 可以为 Mo、Al 的叠层结构。通常，栅极 130

10 的厚度在 100nm 至 500nm 之间。

在本发明的实施例中，可以利用硅的氧化物 (SiO_x)、硅的氮化物 (SiN_x)、铪的氧化物 (HfO_x)、硅的氮氧化物 (SiON)、铝的氧化物 (AlO_x) 等中的一种或几种形成栅绝缘层 170。栅绝缘层 170 可以具有由上述材料中的一种形成的单层结构，也可以具有由上述材料中的几种形成的叠层结构。例如，栅绝缘层 170 可以为 $\text{SiN}_x/\text{SiO}_x$ 的叠层结构，也可以是 $\text{SiN}_x/\text{SiON}/\text{SiO}_x$ 的叠层结构。通常，栅绝缘层 170 的厚度在 300nm 至 600nm 之间。可以利用 PECVD

15 (Plasma Enhanced Chemical Vapor Deposition, 等离子体增强化学气相沉积法) 形成栅绝缘层 170。

在本发明实施例中，可以利用 PECVD 形成有源层 160，该有源层 160 的厚度在 30nm 至 200nm 之间。

20

欧姆接触层 180 与有源层 160 直接接触，以形成欧姆接触。可以通过对有源层 160 进行掺杂获得欧姆接触层 180，掺杂的元素可以是磷、铝等。通常，欧姆接触层 180 的厚度控制在 30nm 至 100nm 之间。

25

在本发明的实施例中，对欧姆接触层 180 的位置和结构也没有特殊的限定，只要与有源层 160 直接接触即可。例如，如图 2 所示，欧姆接触层 180 可以位于有源层 160 的上表面上，并位于源极 110 和漏极 120 之间。可替代地，如图 3 所示，欧姆接触层 180 可以位于有源层 160 的两侧的上表面上，源极 110 和漏极 120 分别覆盖位于有

30

源层 160 两侧的上表面上的欧姆接触层 180。

在本发明的实施例中，对过孔 300 的横截面的形状并没有限定，即，过孔 300 的横截面可以为圆形，也可以为椭圆形或方形等。

5 如图 2 和图 3 所示，过孔 300 包括大孔部 310 和小孔部 320。为了防止过孔 300 在阶梯处断裂，优选地，大孔部 310 的轴向高度可以与小孔部 320 的轴向高度相同。

10 为了防止有机绝缘层 140 吸收的水分在薄膜晶体管 100 的源极 110 和漏极 120 上聚集，优选地，薄膜晶体管 100 还可以包括无机绝缘层 150，无机绝缘层 150 设置在该薄膜晶体管 100 的源极 110 和漏极 120 上方，有机绝缘层 140 设置在无机绝缘层 150 上方，即，无机绝缘层 150 设置在有机绝缘层 140 与薄膜晶体管 100 的源极 110、漏极 120 之间。在这种情况下，过孔 300 穿过无机绝缘层 150 和有机绝缘层 140。具体地，小孔部 320 的一部分和大孔部 310 设置在有机绝缘层 140 中，小孔部 320 的另一部分设置在无机绝缘层 150 中。

15 在本发明的实施例中，对无机绝缘层 150 的材料也没有特殊限制，例如，无机绝缘层 150 可以为由硅的氧化物 (SiO_x)、硅的氮化物 (SiN_x)、铪的氧化物 (HfO_x)、铝的氧化物 (AlO_x) 中的任意一种形成的单层结构。另外，无机绝缘层 150 可以为由上述材料中的任意几种形成的多层结构。优选地，无机绝缘层 150 的厚度可以在
20 300nm 至 600nm 之间。

在本发明的实施例中，对有机绝缘层 140 的具体材料并没有特殊的限制，只要可以将薄膜晶体管 100 的源极、漏极与像素电极 200 隔开即可。

25 在本发明的实施例中，可以利用树脂材料形成有机绝缘层 140。树脂材料可以是感光树脂材料，也可以是不感光的树脂材料。

作为本发明的一个实施例，在不设置无机绝缘层 150 的情况下，当利用不感光的树脂材料形成有机绝缘层 140 时，加工过孔 300 之前，可以先在有机绝缘层 140 的上方涂敷第一层光刻胶，再对该第一层光刻胶进行曝光显影，随后对有机绝缘层 140 进行刻蚀，在有机绝缘层
30 140 中形成大孔部 310，随后涂敷第二层光刻胶，对第二层光刻胶进

行曝光显影，随后进行刻蚀形成小孔部 320。

作为本发明的另一种实施方式，在设置无机绝缘层 150 的情况下，可以利用感光树脂材料制成有机绝缘层 140，此时无机绝缘层 150 与有机绝缘层 140 的刻蚀选择比可以设置为不低于 10。即，利用相同的刻蚀液进行刻蚀时，有机绝缘层 140 的刻蚀速率小于无机绝缘层 150 的刻蚀速率。利用感光树脂材料制成的有机绝缘层 140 性质与光刻胶相似，在制造所述像素单元时，可以利用有机绝缘层 140 作为无机绝缘层 150 的刻蚀阻挡层，从而可以减少一道构图刻蚀工艺。在下文中，将详细介绍如何利用有机绝缘层 140 作为无机绝缘层 150 的刻蚀阻挡层，这里先不赘述。

作为本发明的另外一个方面，如图 4 和图 5a 至图 5i 所示，提供一种像素单元的制造方法，其中，该制造方法包括以下步骤：

步骤 10、形成薄膜晶体管 100（图 5a 至图 5g）；

步骤 20、形成过孔 300（图 5h），该过孔 300 穿过所述薄膜晶体管 100 的上表面到达薄膜晶体管 100 的漏极 120，过孔 300 为阶梯孔，且过孔 300 的上端面的面积大于过孔 300 的下端面的面积；以及

步骤 30、形成像素电极 200（图 5i），使得该像素电极 200 通过过孔 300 与薄膜晶体管 100 的漏极 120 电连接，过孔 300 的上端面与像素电极 200 相连接，过孔 300 的下端面与薄膜晶体管 100 的漏极 120 相连接。

其中，形成薄膜晶体管 100 的步骤 10 可以包括：

步骤 11、形成薄膜晶体管 100 的源极 110 和漏极 120（图 5e）；

步骤 12、在源极 110 和漏极 120 上方形成无机绝缘层 150（图 5f）；

步骤 13、在无机绝缘层 150 上形成有机绝缘层 140（图 5g）。

如上所述，无机绝缘层 150 可以为由硅的氧化物（ SiO_x ）、硅的氮化物（ SiN_x ）、铪的氧化物（ HfO_x ）、铝的氧化物（ AlO_x ）中的任意一种形成的单层结构。另外，无机绝缘层 150 可以为由上述材料中的任意几种形成的多层结构。可以利用 PECVD 形成无机绝缘层 150。

如上所述，形成有机绝缘层 140 可以减小寄生电容，形成无机绝缘层 150 可以防止有机绝缘层 140 吸收的水分在薄膜晶体管 100 的源极 110 和漏极 120 上聚集。可以利用 PECVD 技术形成有机绝缘层 140。

5 本领域技术人员应当理解的是，在步骤 11 之前，形成薄膜晶体管 100 的步骤 10 还包括：提供基板的步骤；在所述基板上形成栅极 130 的步骤（图 5a）；在形成有栅极 130 的基板上形成栅绝缘层 170 的步骤（图 5b）；在栅绝缘层 170 上形成有源层 160 的步骤（图 5c）；在有源层 160 上形成欧姆接触层 180 的步骤（图 5d）。

10 如图 5i 所示，过孔 300 包括大孔部 310 和小孔部 320。典型地，大孔部 310 的轴向高度与小孔部 320 的轴向高度相同，从而可以防止过孔 300 在大孔部 310 与小孔部 320 接合的阶梯处断裂。

 在本发明的实施例中，可以通过多种方式形成过孔 300，例如，当利用不感光的树脂材料制成有机绝缘层 140 时，可以通过构图工艺
15 先形成贯穿有机绝缘层 140 和无机绝缘层 150 的第一孔，该第一孔的横截面积与小孔部 320 相同。形成了第一孔之后，再通过构图工艺形成大孔部 310。通过两步构图工艺可以形成包括大孔部 310 和小孔部 320 的过孔 300。

 可替代地，可以通过一步构图工艺形成包括大孔部 310 和小孔部 320 的过孔 300。可以利用感光树脂材料制成有机绝缘层 140，无机绝缘层 150 与有机绝缘层 140 的刻蚀选择比设置为不低于 10。在
20 进行步骤 20 时，对所述薄膜晶体管中与所述小孔部 320 相对应的第一部分进行全曝光，对所述薄膜晶体管中环绕第一部分、且位于与大孔部 310 相对应的部分内的第二部分进行半曝光。即，薄膜晶体管上进行半曝光的区域在平面上的投影为环形。
25

 下文中将具体介绍如何形成包括大孔部 310 和小孔部 320 的过孔 300。

 可以利用有机绝缘层 140 作为无机绝缘层 150 的刻蚀阻挡层形成过孔 300。即，形成过孔 300 的步骤 20 可以包括：

30 步骤 21、将掩模板设置在有机绝缘层 140 的上方，对有机绝缘

层 140 进行曝光,所述掩模板包括不透光区、透光区和半透光区,所述透光区与小孔部 320 对应,所述半透光区与大孔部 310 对应。

具体地,透光区贯穿所述掩模板的厚度方向,半透光区的厚度小于透光区的厚度。

5 步骤 22、对有机绝缘层 140 进行显影,随后对显影后的所述有机绝缘层以及无机绝缘层 150 进行刻蚀,以形成穿过有机绝缘层 140 和无机绝缘层 150 的过孔 300。

10 具体地,由于有机绝缘层 140 由感光树脂材料制成,因此,利用曝光显影,可以使有机绝缘层 140 上与大孔部 310 相对应的部分产生变性,并且可以使有机绝缘层 140 上与小孔部 320 相对应的部分被显影掉。刻蚀液可将有机绝缘层 140 上变性的部分刻蚀掉,即,将有机绝缘层 140 上与大孔部 310 对应的部分刻蚀掉,从而形成大孔部 310,并且无机绝缘层 150 上与小孔部 320 相对应的部分与刻蚀液直接接触,并被刻蚀液刻蚀掉,从而最终形成小孔部 320。

15 应当理解的是,此处所述的透光区与小孔部 320 相对应,指的是,所述透光区的位置与小孔部 320 的位置相对应,且所述透光区的横截面积与小孔部 320 的横截面积相对应。同样地,所述半透光区域与大孔部 310 相对应,指的是,所述半透光区的位置与大孔部 310 的位置相对应,且半透光区的横截面积与大孔部 310 的横截面积相对应。

20 应。

如上所述,将过孔 300 设置为阶梯孔,可以防止像素电极 200 在与过孔 300 的连接处断裂。

此外,利用感光树脂材料制成有机绝缘层 140 可以减少掩模板的使用,简化整个制作方法。

25 本领域技术人员应当理解的是,此处所述的“对应”,可以是完全相同,也可以是按比例放大或缩小。

形成过孔 300 之后,可以通过沉积的方法在有机绝缘层 140 上方沉积形成像素电极层,然后通过构图工艺形成像素电极 200。

30 为了简化制造工艺,在所述步骤 30 中,可以通过喷墨打印的方法形成像素电极 200。

在本发明实施例中，可以利用 ITO（氧化铟锡）材料制造像素电极 200。

为了降低像素电极 200 的电阻，例如，本发明实施例所述提供的制造方法还可以包括：步骤 40、对所述薄膜晶体管进行退火处理，退火温度为 200℃ 至 600℃，退火保温时间为 30min~3h。

此处所述的对阵列基板进行退火处理，主要是对像素电极 200 进行退火处理。对像素电极 200 进行退火处理可以使像素电极 200 的组织产生再结晶，细化像素电极 200 的晶粒，从而降低像素电极 200 的电阻。

应当理解的是，在图 4 中的向下的箭头以及图 5a 至图 5i 中的 a 至 i 的顺序代表本发明实施例所提供的制造方法的各个步骤的进行顺序。

作为本发明的再一个方面，还提供一种阵列基板，该阵列基板包括至少一个本发明实施例所提供的上述像素单元。例如，阵列基板上所有像素单元均为本发明实施例所提供的像素单元。

作为本发明的又一个方面，还提供一种显示装置，该显示装置包括阵列基板，其中，所述阵列基板为本发明实施例所提供的上述阵列基板。在所述阵列基板中，连接像素电极 200 和薄膜晶体管 100 的漏极 120 的过孔 300 为阶梯孔，既允许有机绝缘层具有较大的厚度，又能防止像素电极 200 在与过孔 300 的连接处断裂。

本发明实施例所提供的显示装置还可以包括与所述阵列基板相对设置的彩膜基板。

可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。对于本领域内的普通技术人员而言，在不脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本发明的保护范围。

权 利 要 求 书

1、一种像素单元，包括薄膜晶体管和像素电极，所述薄膜晶体管包括栅极、源极和漏极，所述像素电极通过过孔与所述漏极电连接，
5 且所述过孔的上端面与所述像素电极相连接，所述过孔的下端面与所述漏极相连接，其特征在于，所述过孔为阶梯孔，且所述过孔的上端面的面积大于所述过孔的下端面的面积。

2、根据权利要求 1 所述的像素单元，其特征在于，所述过孔包括大孔部和小孔部，所述大孔部的一端面与所述像素电极相连接，所述小孔部的一端面与所述漏极相连接，并且所述大孔部的轴向高度与小孔部的轴向高度相同。
10

3、根据权利要求 1 所述的像素单元，其特征在于，所述薄膜晶体管还包括有机绝缘层，该有机绝缘层设置在所述薄膜晶体管的源极和漏极上方，所述过孔贯穿所述有机绝缘层。
15

4、根据权利要求 3 所述的像素单元，其特征在于，所述薄膜晶体管还包括无机绝缘层，所述无机绝缘层设置在所述有机绝缘层与所述薄膜晶体管的源极和漏极之间，所述过孔贯穿所述无机绝缘层。
20

5、根据权利要求 4 所述的像素单元，其特征在于，所述过孔包括大孔部和小孔部，所述小孔部的一部分和所述大孔部设置在所述有机绝缘层中，所述小孔部的另一部分设置在所述无机绝缘层中。
25

6、根据权利要求 4 所述的像素单元，其特征在于，所述有机绝缘层由感光树脂制成，且所述无机绝缘层与所述有机绝缘层的刻蚀选择比不低于 10。

7、根据权利要求 6 所述的像素单元，其特征在于，所述无机绝
30

缘层为由硅的氧化物、硅的氮化物、钪的氧化物、铝的氧化物中的任意一种形成的单层结构，或者所述无机绝缘层为由硅的氧化物、硅的氮化物、钪的氧化物、铝的氧化物中的任意几种形成多层结构。

5 8、一种像素单元的制造方法，该制造方法包括如下步骤：
形成薄膜晶体管；

形成过孔，该过孔穿过所述薄膜晶体管的上表面而到达所述薄膜晶体管的漏极，其中，所述过孔为阶梯孔，且所述过孔的上端面的面积大于所述过孔的下端面的面积；以及

10 形成像素电极，使得该像素电极通过所述过孔与所述漏极电连接，所述过孔的上端面与所述像素电极相连接，所述过孔的下端面与所述漏极相连接。

15 9、根据权利要求 8 所述的制造方法，其特征在于，所述形成薄膜晶体管的步骤包括：

形成所述薄膜晶体管的源极和漏极；

在所述源极和所述漏极上方形成无机绝缘层；以及

在所述无机绝缘层上形成有机绝缘层。

20 10、根据权利要求 9 所述的制造方法，其特征在于，所述过孔包括大孔部和小孔部，所述有机绝缘层由感光树脂材料制成，所述无机绝缘层与所述有机绝缘层的刻蚀选择比不低于 10，在进行所述形成过孔的步骤时，对所述薄膜晶体管中与所述小孔部相对应的第一部分进行全曝光，以及对所述薄膜晶体管中的第二部分进行半曝光，所述第二部分环绕所述第一部分、且位于与所述大孔部相对应的部分内。

25 11、根据权利要求 10 所述的制造方法，其特征在于，所述形成过孔的步骤包括：

30 将掩膜板设置在所述有机绝缘层的上方，对所述有机绝缘层进

行曝光，其中，所述掩膜板包括不透光区、透光区和半透光区，所述透光区与所述小孔部对应，所述半透光区与所述大孔部对应；以及

对所述有机绝缘层进行显影，并随后对显影后的所述有机绝缘层以及所述无机绝缘层进行刻蚀，以形成穿过所述有机绝缘层和所述无机绝缘层的所述过孔。

12、根据权利要求 9 所述的制造方法，其特征在于，所述过孔包括大孔部和小孔部，所述有机绝缘层由不感光的树脂材料制成，在进行所述形成过孔的步骤时，通过构图工艺先形成贯穿所述有机绝缘层和所述无机绝缘层的第一孔，该第一孔的横截面积与小孔部相同；形成了所述第一孔之后，再通过构图工艺形成所述大孔部。

13、根据权利要求 8 至 12 中任意一项所述的制造方法，其特征在于，在所述形成像素电极的步骤中，通过喷墨打印的方法形成所述像素电极。

14、根据权利要求 13 所述的制造方法，其特征在于，该制造方法还包括：

对所述薄膜晶体管进行退火处理，退火温度为 200℃至 600℃，退火保温时间为 30min 至 3h。

15、一种阵列基板，其特征在于，该阵列基板包括权利要求 1 至 7 中任意一项所述的像素单元。

16、一种显示装置，其特征在于，该显示装置包括权利要求 15 所述的阵列基板。

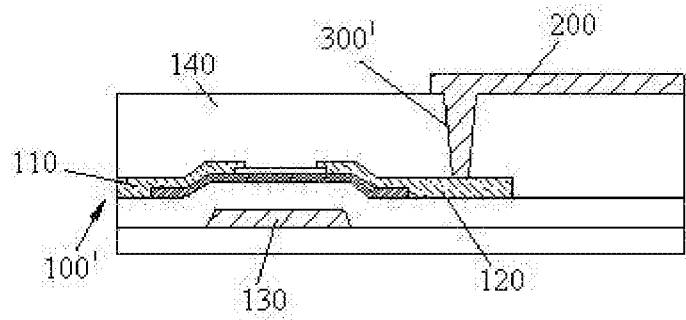


图 1

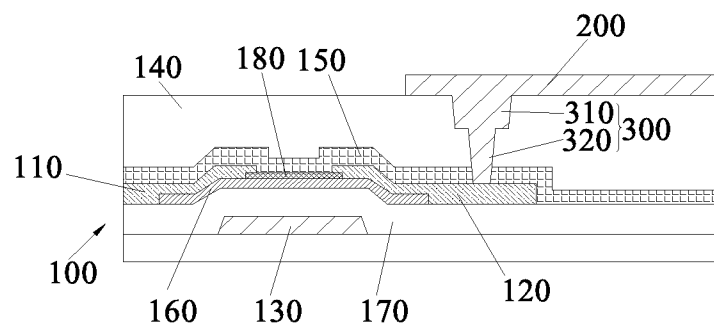


图 2

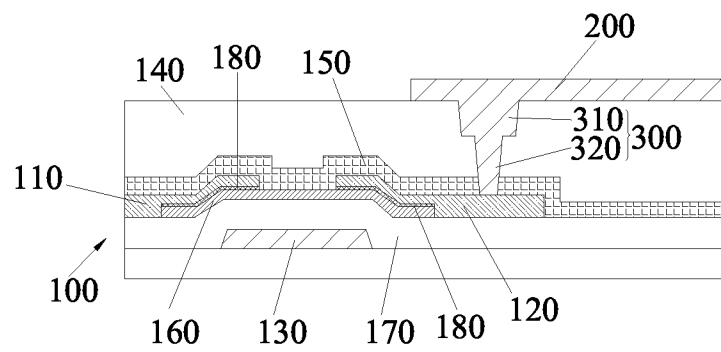


图 3

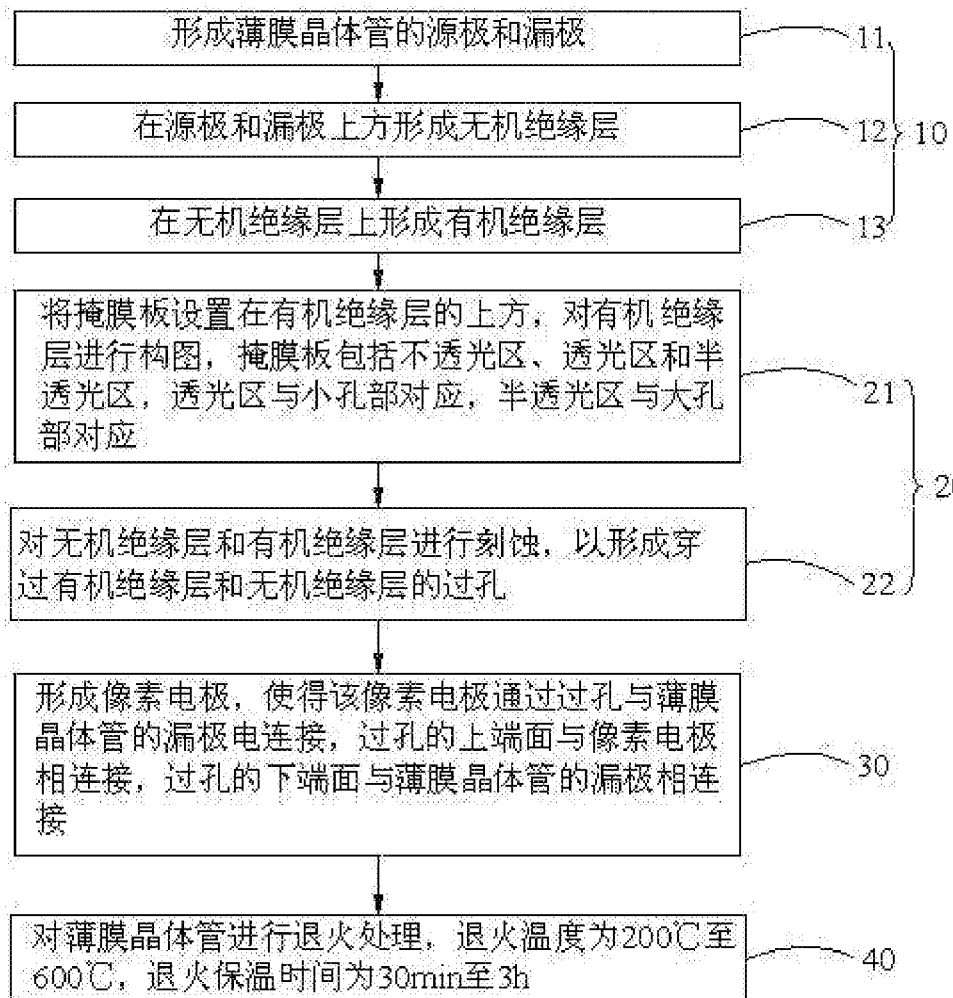


图 4

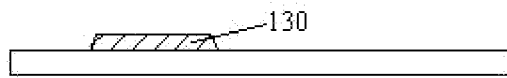


图 5a

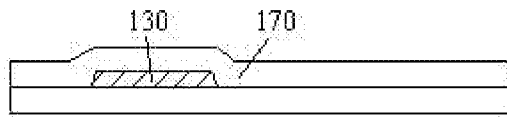


图 5b



图 5c

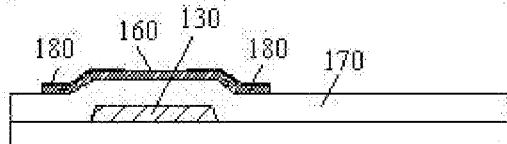


图 5d

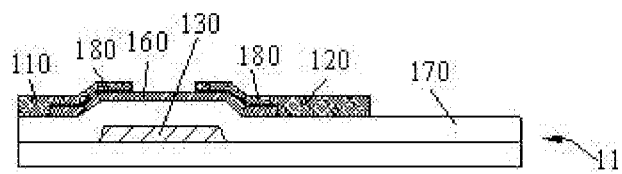


图 5e

4/4

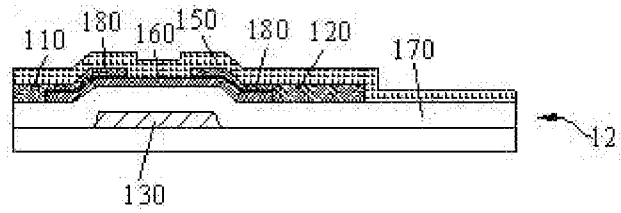


图 5f

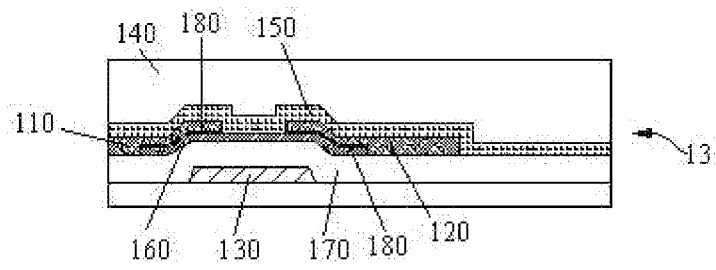


图 5g

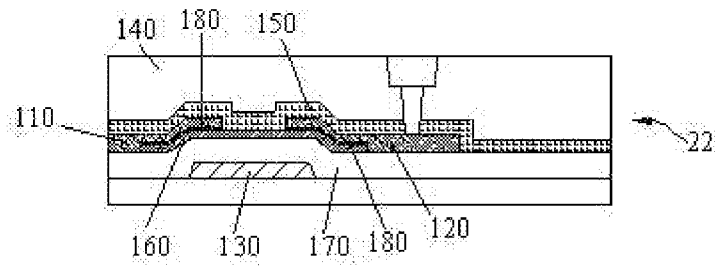


图 5h

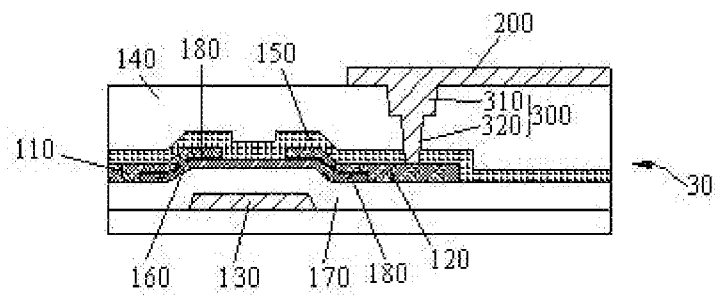


图 5i

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/088044

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1368 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC: H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
CNTXT; DWPI: through, pixel, diameter, hole?, stepped hole

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006215062 A (SHARP KK) 2006 August 17 (2006.08.17) description, paragraphs [0043]-[0068], and figures 6-11	1-3, 8, 13-16
X	JP 11126907 A (SHARP KK) 1999 May 11 (1999.05.11) description, paragraphs [0035]-[0074], and figure 1	1-3, 8, 13-16
X	JP 2002040411 A (MATSUSHITA DENKI SANGYO KK) 2002 February 06 (2002.02.06) description, paragraphs [0037]-[0042], and figures 1-3	1-3, 8, 13-16
PX	CN 103389605 A (JAPAN DISPLAY EAST INC.) 13 November 2013 (2013-11-13) description, paragraphs [0076]-[0090], and figure 3	1-16
A	CN 102969311 A (BOE TECHNOLOGY GROUP CO LTD) 2013 March 13 (2013.03.13) the whole document	1-16
A	US 2005007508 A1 (SAITOU et al.) 2005 January 13 (2005.01.13) the whole document	1-16
A	JP 2010079152 A (SEIKO EPSON CORP.) 2010 April 08 (2010.04.08) the whole document	1-16

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 April 2014	Date of mailing of the international search report 19 May 2014
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHAO, Duan Telephone No. (86-10) 62088403

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/088044

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2006215062 A	17 October 2006	None	
JP 11126907 A	11 May 1999	JP 3447535 B2	16 September 2003
JP 2002040411 A	06 February 2002	None	
CN 103389605 A	13 November 2013	JP 2013235148 A	21 November 2013
		US 2013299830 A1	14 November 2013
CN 102969311 A	13 March 2013	None	
US 2005007508 A1	13 January 2005	JP 2005031221 A	03 February 2005
JP 2010079152 A	08 April 2010	None	

国际检索报告

国际申请号

PCT/CN2013/088044

A. 主题的分类

G02F 1/1368(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L, G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNTXT;DWPI:像素, 孔, through, 画素, pixel, 阶梯孔, diameter, hole?, 象素

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	JP 2006215062A (SHARP KK) 2006年 8月 17日 (2006 - 08 - 17) 说明书第43-68段, 图6-11	1-3, 8, 13-16
X	JP 11126907A (SHARP KK) 1999年 5月 11日 (1999 - 05 - 11) 说明书第35-74段, 附图1	1-3, 8, 13-16
X	JP 2002040411A (松下电器产业株式会社) 2002年 2月 06日 (2002 - 02 - 06) 说明书第37-42段, 图1-3	1-3, 8, 13-16
PX	CN 103389605A (株式会社日本显示器东) 2013年 11月 13日 (2013 - 11 - 13) 说明书第76-90段, 图3	1-16
A	CN 102969311A (京东方科技集团股份有限公司) 2013年 3月 13日 (2013 - 03 - 13) 全文	1-16
A	US 2005007508A1 (SAITOU 等) 2005年 1月 13日 (2005 - 01 - 13) 全文	1-16
A	JP 2010079152A (SEIKO EPSON CORP) 2010年 4月 08日 (2010 - 04 - 08) 全文	1-16

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2014年 4月 17日

国际检索报告邮寄日期

2014年 5月 19日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

授权官员

赵端

传真号 (86-10)62019451

电话号码 (86-10)62088403

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/088044

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
JP 2006215062A	2006年 8月 17日	无	
JP 11126907A	1999年 5月 11日	JP 3447535B2	2003年 9月 16日
JP 2002040411A	2002年 2月 06日	无	
CN 103389605A	2013年 11月 13日	JP 2013235148A	2013年 11月 21日
		US 2013299830A1	2013年 11月 14日
CN 102969311A	2013年 3月 13日	无	
US 2005007508A1	2005年 1月 13日	JP 2005031221A	2005年 2月 03日
JP 2010079152A	2010年 4月 08日	无	

表 PCT/ISA/210 (同族专利附件) (2009年7月)