



103 P 3/07
 BIBLIOTEKA
 Urzędu Patentowego
 Polskiej Rzeczypospolitej Ludowej

POLSKIEJ RZECZYPOSPOLITEJ LUDOWEJ OPIS PATENTOWY

Nr 47128

Kl. 21 a², 18/08
 Kl. internat. H 03 g

Institut für Regelungstechnik*)

Berlin, Niemiecka Republika Demokratyczna

Wielostopniowe układy wzmacniające do urządzeń cyfrowych

Patent trwa od dnia 20 listopada 1961 r.

Pierwszeństwo: dnia 8 lipca 1961 r. (Niemiecka Republika Demokratyczna)

Wynalazek dotyczy stopnia wzmacniającego do urządzeń cyfrowych, jaki często używany jest w elektronice jako układ podstawowy. Taki stopień może posiadać tylko dwa stany końcowe „O” lub „L”, przy czym stosuje się w nim tranzystory. Układ tego rodzaju znajduje zastosowanie na przykład jako stopień koincydencyjny albo układ bramki lub jako wzmacniacz końcowy, na przykład stopnia kontroli lamp lub przekaźników.

Odnosnie wysterowania takiego stopnia wzmacniającego do urządzeń cyfrowych, należy się troszczyć o to, aby przy uwzględnieniu właściwego zakresu temperatur i zakresu napięcia baterii oba stany „O” i „L” były utrzymywane z dostateczną dokładnością i stabilnością. Stan przepuszczalności prądu przez wzmac-

niacz można uważać za stabilny, gdy przy dołnej temperaturze granicznej i dolnym napięciu granicznym baterii jest zapewnione pełne wysterowanie tranzystora aż do napięcia odpowiadającego dolnemu zekrzywieniu charakterystyki. Stabilizacja stanu blokady tranzystora zastosowanego w układzie emiterowym wymaga specjalnego środka, mianowicie polaryzacji emitera względem bazy jako wejścia sterowanego potencjałem. Napięcie polaryzacji jest doprowadzane do emitera na przykład z dzielnika napięciowego.

Wielostopniowe układy wzmacniające znajdują zastosowanie gdy za pomocą wartości znamionowych nie można osiągnąć koniecznego wzmocnienia, szczególnie w przypadku wzmocnienia mocy dla przekaźników lub gdy konieczne jest odwracanie fazy, lub gdy w układzie łańcuchowym wielu sprzężonych prądowo stop-

*) Właściciel patentu oświadczył, że twórcą wynalazku jest Dietrich Francke.

ni wzmacniających potencjał emitera ma być zmniejszony ze względu na oszczędność baterii.

Wielostopniowe analogowe układy wzmacniające znane są już dostatecznie. Dzieli się one na dwie grupy, mianowicie na stopnie wzmacniające kolektora z odwróconą fazą, w układzie równoległym oraz na stopnie wzmacniające emitera z zgodną fazą w układzie szeregowym, pod warunkiem, że tranzystory są tego samego typu. Oba podstawowe układy połączeń mogą być zastosowane w układach wzmacniających do urządzeń cyfrowych, przy czym uwzględnić należy specjalne warunki wymienione wyżej. W szczególności należy zwrócić uwagę na stabilność blokady we wszystkich stopniach, do czego właśnie służy niniejszy wynalazek. Poszczególne stopnie wzmacniające (w równoległym układzie) muszą wytwarzać wraz ze wzrastającą liczbą porządkową coraz wyższe napięcie polaryzujące. ^{gdyż} poszczególny stopień nie może do następnego z kolei stopnia podawać potencjału sterującego niższego w stosunku do potencjału zerowego baterii, niż to odpowiada napięciu polaryzującemu. Napięcia polaryzujące poszczególnych stopni w odniesieniu do potencjału zerowego, muszą być uporządkowane w stosunkowo dużych odstępach, a to w celu zapewnienia wyraźnych różnic z uwzględnieniem tolerancji i odchyień. Pochłania to większą część napięcia baterii.

Korzystniejsze jest tu zastosowanie stopni wzmacniających w układzie szeregowym, ponieważ konieczne napięcia polaryzujące powstają na wspólnym dzielniku napięcia. Ponieważ prąd emitera w kierunku blokady jest bardzo mały, więc nie mogą powstać napięcia polaryzujące na stopniach następujących, tak, że nie występują blokujące prądy bazy. Bazy następnych stopni mogą więc być dołączone do potencjału zerowego, na przykład poprzez oporniki. Okazuje się przy tym, że połączone ze sobą wejścia tranzystorów nie pobierają równomiernie istniejącego napięcia polaryzującego, lecz jeden ze stopni wskutek stanu nieustalonego, pobiera dla siebie większą część napięcia polaryzującego kosztem innych stopni tak że pozostałe stopnie nie otrzymują żadnego prądu blokującego..

Aby usunąć te wady, część dzielnika napięcia leżąca przy potencjale odniesienia, według

wynalazku jest wykonana ponownie jako dzielnik napięcia i z tego dzielnika, poprzez oporniki pobierane są coraz wyższe napięcia polaryzujące dla emiterów stopni wejściowych.

Podobną korzyścią jest zastosowanie dwustopniowego wzmacniacza w układzie równoległym, w którym na skutek odwrócenia fazy tranzystor przewodzący właśnie prąd, wytwarza blokujące napięcie polaryzujące dla drugiego tranzystora tak, że nie potrzeba stosować stopniowania, wskutek czego unika się większych ograniczeń napięcia wyjściowego.

Jeżeli mamy wiele wzmacniaczy do urządzeń cyfrowych, sprzężonych stałoprądowo i połączonych łańcuchowo, na przykład przez to, że szereg stopni koincydencyjnych pracuje na inny wspólny stopień koincydencyjny, to polaryzujące napięcie emitera konieczne do blokady, wzrasta stopniowo ze stopnia na stopień i ogranicza znacznie napięcie wyjściowe.

W celu usunięcia tej wady można według wynalazku, opierając się na zasadzie dwustopniowego wzmacniacza w układzie równoległym, skonstruować układ, który redukuje polaryzujące napięcie emitera do najmniejszej wartości pojedynczych wzmacniaczy, przez to, że potencjał sterujący jest doprowadzany do wejścia poprzez dzielnik napięcia, a wskutek odwrócenia fazy każdy z tranzystorów przewodzących prąd wytwarza blokujące napięcie polaryzujące na wspólnym oporniku emitera, przy czym napięcie to ma każdorazowo tę samą wartość i jest przeznaczone dla drugiego właśnie zablokowanego tranzystora.

Na rysunku fig. 1 przedstawia dwustopniowy układ wzmacniający do urządzeń cyfrowych w układzie emitera, który jest wyposażony w tranzystory warstwowe pnp, a fig. 2 — dwustopniowy redukujący układ wzmacniający w układzie kolektora również z tranzystorami warstwowymi pnp.

Według fig. 1 na podstawie chwilowego stanu przejściowego załączonego na wejściu relaksacyjnego stopnia sterującego SKS, stopień wzmacniający DVS jest zablokowany, tzn. nie przewodzi prądu, gdyż potencjał sterujący $U_e + U_{kn}$ jest bardziej dodatni niż napięcie polaryzujące U_0 stopnia wzmacniającego DVS. Różnica napięć $U_0 - U_e$, działająca jako blokujące napięcie polaryzujące rozkłada się równomiernie na opornikach R_0 wykonanych jako dzielnik napięcia i złożonych na przykład z opor-

ników R_{01} , R_{02} , a tym samym na obszarze „baza-emiter” n tranzystorów na przykład T_{r1} , T_{r2} połączonych w znany sposób za pomocą dobrych w odpowiedni sposób oporników, na przykład R_{b2} , włączonych między odczepy dzielnika napięcia i odpowiednie wejścia tranzystora.

W ten sposób osiąga się to, że w stanie blokady, zerowe prądy kolektorów wszystkich elementów wzmacniających wielostopniowego układu wzmacniającego tak są stłumione, że wpływ zmian temperatury w pracy tranzystorów, na potencjał na wyjściu A , jest w dużym stopniu ograniczony.

Według fig. 2 na podstawie chwilowego stanu przejściowego dołączonych przez macierz złożoną z diod DM stopni sterujących, stopień wejściowy T_{r1} układu wzmacniającego urządzenia cyfrowego jest zablokowany, tzn. nie przewodzi prądu, gdyż potencjał sterujący $U_e + U_{kn}$ na wejściu E , zmniejszony przez stosunek dzielnika napięcia $p = R_{a1} / (R_{a1} + R_{k1})$ jest bardziej dodatni niż napięcie polaryzujące U_0 wzmacniacza, które to napięcie może posiadać najmniejszą możliwą wartość, w zależności, czy stosunek p jest dostatecznie mały. W ten sposób osiąga się zmniejszenie napięcia U_e ze stopnia poprzedzającego na jednakowe lub mniejsze napięcie polaryzacji U_0 stopnia następującego. Jednocześnie układ wzmacniający złożony ze stopni, równoległych i sprzężonych prądem stałym według fig. 2, może mieć tę zaletę, że napięcie blokujące U_0 jest jednakowo zarówno w stanie „O” i „L” lub tylko mało się różni tak, że nie ma prawie żadnych strat w napięciu na wyjściu. Osiąga się to w ten sposób, że tranzystory T_{r1} i T_{r2} przewodzą prąd zawsze naprzemiennie to jeden to drugi, a przewodzący właśnie tranzystor wytwarza napięcie U_0 dla zablokowanego w tym momencie tranzystora T_{r2} względnie T_{r1} na wspólnej oporności R_0 dołączonej do emitera. Warunkiem stałości napięcia U_0 jest to, aby przez oba tranzystory T_{r1} i T_{r2} w stanie przewodzenia płynął zawsze taki sam prąd. Jeżeli warunek ten nie jest spełniony, na przykład gdy tranzystor T_{r2} zasilany stopień mocy, to można zastosować dodat-

kowy stopień T'_{r1} pracujący w zgodności fazy ze stopniem wejściowym T_{r1} , przy czym przez oba stopnie T_{r1} razem płynie taki prąd jak przez sam stopień mocy T_{r2} . W ten sposób osiąga się to, że wiele układów wzmacniających urządzeń cyfrowych może być sprzężonych w jeden układ łańcuchowy, przy czym stopniowany wzrost napięcia blokującego U_0 emitera następujących po sobie stopni nie koniecz- nie ogranicza napięcie wyjściowe $U_b - U_0$.

Zastrzeżenia patentowe

1. Wielostopniowe układy wzmacniające do urządzeń cyfrowych, w których do stabilizacji stanu blokady tranzystora włączonego szeregowo przed innym tranzystorem do emitera tego tranzystora jest doprowadzone napięcie polaryzujące, na przykład przez dzielnik napięcia, znamienne tym, że część dzielnika napięcia jest przyłączona do potencjału odniesienia i jest wykonana ponownie, jako dzielnik napięcia, a z tego dzielnika napięcia, przenoszone są poprzez oporności, napięcia polaryzujące dla emiterów poprzedzających stopni.
2. Wielostopniowe układy wzmacniające do urządzeń cyfrowych, które sprzężone prądem stałym są połączone łańcuchowo, a w których szereg stopni koincydencyjnych pracuje na dalszy, wspólny stopień koincydencyjny, przy czym napięcie polaryzujące emitera konieczne do blokady nie wzrasta stopniowo ze stopnia na stopień, znamienne tym, że potencjał sterujący jest doprowadzony do wejścia poprzez dzielnik napięcia, a na skutek odwróconej fazy przez tranzystor, aktualnie przewodzący prąd, wytwarza się napięcie na wspólnej oporności dołączonej do emitera, które to napięcie za każdym razem tej samej wartości służy do blokady innego blokowanego w tej chwili tranzystora.

Institut für
Regelungstechnik

Zastępca: dr Andrzej Au-
rzecznik patentowy

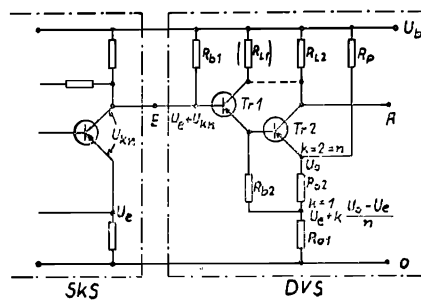


Fig. 1

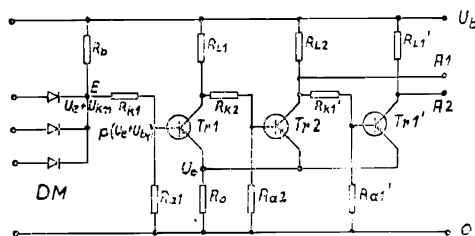


Fig. 2