[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G06F 12/08
G06T 1/60

[12] 发明专利说明书

[21] ZL 专利号 98119926.7

[45] 授权公告日 2004 年 3 月 24 日

[11] 授权公告号 CN 1143217C

[22] 申请日 1998.7.30 [21] 申请号 98119926.7
[30] 优先权
[32] 1997. 7.30 [33] JP [31] 204374/1997
[71] 专利权人 索尼公司
地址 日本东京都
[72] 发明人 近藤哲二郎
审查员 石 岗

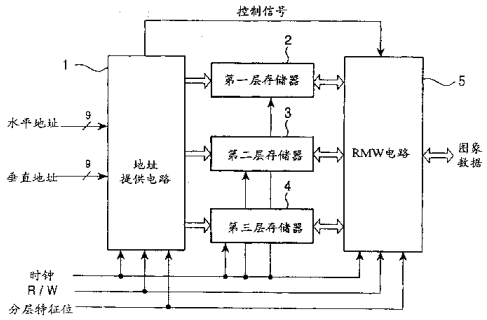
[74] 专利代理机构 北京市柳沈律师事务所
代理人 马 莹

权利要求书 3 页 说明书 42 页 附图 9 页

[54] 发明名称 存储装置和存取方法

[57] 摘要

一种不采用行延迟电路而执行分层编码的存储装置和存取方法。 地址提供电路给第一层存储器提供作为地址的 9 位水平地址和 9 位垂直地址，给第二层存储器提供水平地址和垂直地址的高阶八位。 第一层中的每个象素被写入到第一层存储器中的每一个地址(2s，2t)、(2s +1，2t)、(2s，2t +1)和(2s +1，2t +1)处时，第二层存储器中的相同地址(s，t)也被存取。 读 - 改 - 写电路确定在第一层存储器中的地址处的存储值之和，将和值写入到第二层存储器中的地址(s，t)处。



ISSN1008-4274

1. 一种存储图像的存储装置，包括：

第一存储器，用于将输入的图像数据存储在至少由第一地址信号和第二地址信号指定的地址处；

第二存储器，用于在被至少由所述第一地址信号和所述第二地址信号的一部分指定的地址处，存储已被处理的所述输入的图像数据的第一被处理数据；和

控制器，用于控制向所述第一存储器和所述第二存储器写入数据和从所述第一存储器和所述第二存储器中读出数据，并且用于对所述数据执行预定处理。

2. 根据权利要求1的存储装置，其中所述控制器将写在对应于所述第二存储器中的所述每个地址的所述第一存储器中的多个地址处的数据之和写到所述第二存储器中的每个地址处。

3. 根据权利要求1的存储装置，其中所述第二存储器存储其数据长度大于所述第一存储器存储的数据的数据长度的数据。

4. 根据权利要求3的存储装置，其中所述第一地址信号和所述第二地址信号分别对应于所述输入的图像数据的象素的水平位置和垂直位置。

5. 根据权利要求4的存储装置，其中所述第一存储器的存储容量对应于构成所述输入的图像数据的一个显示屏的象素数目。

6. 根据权利要求4的存储装置，其中所述第一存储器的存储容量对应于通过从构成所述输入的图像数据的一个显示屏的象素数目中减去所述第二存储器中的地址数目所得的数目。

7. 根据权利要求4的存储装置，其中所述控制器将所述输入的图像数据写入到由所述第一地址信号和所述第二地址信号指定的所述第一存储器中的地址处，

读出存储在由所述第一和第二地址信号指定的所述第二存储器中的地址处的存储数据，

通过处理所述存储数据和所述输入的图像数据来计算所述第一被处理数据，和

将所述第一被处理数据写入到存储所述存储数据的所述第二存储器中

的地址处。

8. 根据权利要求4的存储装置，其中所述控制器读出存储在由所述第一和第二地址信号指定的所述第一存储器中的地址处的数据，同时读出存储在由所述第一和第二地址信号的一部分指定的所述第二存储器中的地址处的数据，和

选择并输出两个被读出数据中的一个。

9. 根据权利要求4的存储装置，还包括一个用于通过延迟所述第一和第二信号而产生延迟地址信号的延迟单元，其中所述控制器读出存储在由所述第一和第二地址信号指定的所述第一存储器中的地址处的所述输入的图像数据，同时读出存储在由所述第一和第二地址信号的一部分指定的所述第二存储器中的地址处的所述第一被处理数据，

通过处理所述输入的图像数据和所述第一被处理数据来计算第二被处理数据，和

将所述第二被处理数据写入到存储所述第一被处理数据的所述第二存储器中的地址处，

同时，所述控制器读出存储在由所述延迟的地址信号指定的所述第一存储器中的地址处的所述输入的图像数据，并读出存储在由部分所述延迟的地址信号指定的所述第二存储器中的地址处的所述第二被处理数据，

通过处理所述输入的图像数据和所述第二被处理数据来计算原始的第一被处理数据，和

将所述第一被处理数据写入到存储所述第二被处理数据的所述第二存储器中的地址处。

10. 一种存储装置的存取方法，该存储装置包括：第一存储器，用于将输入的图像数据存储在至少由第一地址信号和第二地址信号指定的地址处，和

第二存储器，用于在被至少由部分所述第一地址信号和所述第二地址信号指定的地址处存储已被处理的所述输入的图像数据的第一被处理数据，所述存取方法包括步骤：

将所述输入的图像数据写入至少由所述第一地址信号和所述第二地址信号指定的地址中，

读出存储在由所述第一和第二地址信号指定的所述第二存储器中的地

址处的存储数据，

通过处理所述存储数据和所述输入的图像数据来计算所述第一被处理数据，和

将所述第一被处理数据写入到存储所述存储数据的所述第二存储器中的地址处。

11. 一种存储装置中的存取方法，该存储装置包括：第一存储器，用于将输入的图像数据存储在至少由第一地址信号和第二地址信号指定的地址处；和

第二存储器，用于在被至少由部分所述第一地址信号和所述第二地址信号指定的地址处存储已被处理的所述输入的图像数据的第一被处理数据；和

延迟单元，通过延迟所述第一和第二地址信号来产生一个延迟地址信号，所述存取方法包括步骤：

读出存储在由所述第一和第二地址信号指定的所述第一存储器中的地址处的所述输入的图像数据，同时读出存储在由部分所述第一和第二地址信号指定的所述第二存储器中的地址处的所述第一被处理数据，

通过处理所述输入的图像数据和所述第一被处理数据来计算第二被处理数据，和

将所述第二被处理数据写入到存储所述第一被处理数据的所述第二存储器中的地址处，

同时，读出存储在由所述延迟的地址信号指定的所述第一存储器中的地址处的所述输入的图像数据，并读出存储在由部分所述延迟的地址信号指定的所述第二存储器中的地址处的所述第二被处理数据，

通过处理所述输入的图像数据和所述第二被处理数据来计算原始的第一被处理数据，和

将所述第一被处理数据写入到存储所述第二被处理数据的所述第二存储器中的地址处。

存储装置和存取方法

技术领域

本发明涉及一种存储装置和存取方法，尤其涉及一种最好被用在分层编码中的存储装置和存取方法，其中分层编码是把一幅图像分成具有不同象素数目的多层。

背景技术

在现有的一种编码方法中，用高分辨率的图像(底层或第一层数据)形成具有较少象素数目的第二层的图像数据，然后用第二层图像数据形成具有较少象素数目的第三层的图像数据，一直重复此过程，直到形成顶层的图像数据。这种编码方法称作分层编码，其中每一层的图像数据按照各自的分辨率(象素数目)呈现在监视器上。然后用户通过从分层编码的图像数据中选择图像数据来观看图像数据，图像数据与用户个人监视器的分辨率匹配。

某一分辨率的图像数据作为底(第一)层图像数据，随后形成较高层的图像数据。当所有这些数据被存储并传递时，与仅存储或传递底层图像数据时的情况相比，存储和传递较高层的图像数据还需要额外的存储容量和额外的数据传递容量。

本发明的发明人已提出了一种限制存储容量增大的分层编码方法。

例如，现假设把 2 × 2(行 × 列)四象素的和作为三层分层编码中的较高层象素(一个象素值)。参见图 9A，现把 8 × 8 的象素看作底层的一个图像，并计算 h00、h10、h01 和 h11 等 2 × 2 象素即左顶部的四个象素之和 m0，然后把 m0 作为第二层的左顶部象素。以相同的方式，分别计算 h20、h30、h21 和 h31 等右顶部的四象素之和 m1， h02、h12、h03 和 h13 等左底部四象素之和 m2 以及 h22、h32、h23 和 h33 等右底部四象素之和 m3，并分别把这些和值作为第二层的右顶、左底和右底象素。计算第二层中 2 × 2 象素的 m0、m1、m2 和 m3 四象素之和 q0，和值是顶层中一个图像的象素。

如果象素 h00 至 h33，m0 至 m3 和 q0 均已被存储，则需要额外的存储容量来存储第二层中的象素 m0 至 m3 及第三层中的象素 q0。

参见图 9B，例如第三层中的出自于第二层象素 m0 至 m3 的象素 q0 位于右底部象素 m3 的位置处。由此，第二层由象素 m0 至 m2 和 q0 组成。

参见图 9C，例如第二层中的出自于第一层象素 h00、h10、h01 和 h11 的象素 m0 代替左底部象素 h11，所有这些象素用于确定第二层中的象素 m0。类似地，第二层中剩余的象素 m1、m2 和 q0 替换第一层中的象素 h31、h13 和 h33。虽然象素 q0 不是直接从象素 h22、h32、h23 和 h33 中导出，但象素 q0 替换直接由这些象素导出的象素 m3，并且象素 q0 由此替换 m3 被置于象素 h33 的位置。

在这种方式中，参见图 9C，总象素数为 4×4 象素的 16 个，与图 9A 中底层的象素数目相同。因此避免了存储容量的增加。

分别由象素 q0 和 h11 替换的象素 m3 和 h33，以及由象素 m0 至 m2 替换的象素 h31 和 h13 按如下解码。

因为 q0 是 m0 至 m3 之和，所以等式 q0 = m0 + m1 + m2 + m3 成立。象素 m3 由等式 m3 = q0 − (m0 + m1 + m2)确定。

m0 是 h00、h10、h01 和 h11 之和，等式 m0 = h00 + h10 + h01 + h11 成立。因此，h11 由等式 h11 = m0 − (h00 + h10 + h01)确定。h31、h13 和 h33 也由同样的方式确定。在确定 m3 后确定 h33。

在上述分层编码中，除了通常的用于存储分层编码结果的存储器(如 SRAM(静态随机存取存储器)或 DRAM(动态 RAM))外，通常还需要用于第一层象素(象素值)的行延迟的延迟电路。

例如，参见图 9C，需要计算等式 m0 = h00 + h10 + h01 + h11 以确定第二层中的象素 m0，以及为确定第二层中的象素 m0，需要将象素 h00、h10、h01 和 h11 在整个两行上进行分配，并且以一行为单位从顶部到底部连续地执行将图像数据供给存储器。以一行为单位还执行向存储器写入和从存储器读出图像数据。

为此，欲计算 m0，需要将以 h00 开始的行延迟一行，以等待从 h01 开始的行，并且需要把从 h00 开始的行和从 h01 开始的行写入存储器中。

除了用于存储分层编码结果的存储器外，通常还需要用于图像数据行延迟的延迟电路，这导致装置的庞大。

发明内容

从上述问题来看，本发明得到了改进，并且本发明的一个目的是使得装置紧凑。

根据本发明的一个方面，存储装置包括：用于在被至少一个第一地址信号和一个第二地址信号指定的地址处存储输入的图像数据的第一存储器；用于在被至少一个第一地址信号和一个第二地址信号部分指定的地址处存储已被处理的输入图像数据的第一被处理数据的第二存储器；和用于控制向第一存储器和第二存储器写入数据和从其中和读出数据并对数据执行预定处理的控制器。

根据本发明的另一个方面，存取方法包括步骤：在由第一和第二地址信号指定的第一存储器中的地址处写入输入的图像数据；读出存储在由第一和第二地址信号部分指定的第二存储器中地址处的存储数据；通过处理存储的数据和输入的图像数据计算第一被处理数据；以及，在存储数据的第二存储器中的地址处写入第一被处理数据。

根据本发明的另一个方面，存取方法包括步骤：读出存储在由第一和第二地址信号指定的第一存储器中地址处的输入的图像数据，同时，读出存储在由第一和第二地址信号部分指定的第二存储器中地址处的第一被处理数据；通过处理输入的图像数据和被一被处理数据计算第二被处理数据；以及，在存储第一被处理数据的第二存储器中的地址处写入第二被处理数据，与此同时，读出存储在由延迟地址信号指定的第一存储器中地址处的输入的图像数据，同时，读出存储在由部分的延迟地址信号指定的第二存储器中地址处的第二被处理数据；通过处理输入的图像数据第二被处理数据计算原始第一被处理数据；以及，在存储第二被处理数据的第二存储器中的地址处写入第一被处理数据。

附图说明

图 1 表示本发明存储装置实施例结构的框图；

图 2 表示对于第一层图像的显示屏的构成；

图 3 是图 1 所示存储装置的第一功能框图；

图 4 是图 1 所示存储装置的第二功能框图；

图 5 是图 1 所示存储装置的第三功能框图；

图 6 是图 1 所示存储装置的第四功能框图；

图 7 表示被分为存储体 A 和存储体 B 的图 6 所示的第一层存储器 2;

图 8 是图 1 所示存储装置的第五功能框图;

图 9A－9C 表示分层编码过程。

具体实施方式

现参考附图对本发明的实施例进行讨论。

图 1 是执行本发明存储装置的实施例结构图。

例如，存储装置由一个 CMOS 芯片(互补型金属氧化物半导体)构成，该

芯片执行分层编码以从输入的一幅图像衍生出例如具有不同象素数目的三层图像。

具体地说，地址提供电路1具备水平地址和垂直地址，即相应于输入到存储装置中的图像的每个象素的水平和垂直位置的地址。

如图2所示，在本发明的此实施例中，地址提供电路1接收单个显示屏上的图像(数字图像数据)，该显示屏由水平方向上的512个象素相乘垂直方向上的512个象素构成。水平地址和垂直地址的每一个均表示为9位($\log_2 512$)。

地址提供电路1根据需要处理水平地址和垂直地址，并将它们送入第一层存储器2、第二层存储器3和第三层存储器4。除水平和垂直地址外还配置给地址提供电路1一个时钟(在以下将要描述的图3-6和图8中未示出)、一个R/W(读/写)信号和一个分层特征位。地址提供电路1与时钟同步地提供给第一层存储器2、第二层存储器3和第三层存储器4一个地址。按照R/W信号和分层特征位，地址提供电路1处理水平地址和垂直地址。另外，地址提供电路1根据需要向RMW电路5提供一个预定的控制信号。

当读出存储在存储装置中的图像时，从存储装置中读出图像数据并向存储装置中写入图像数据的R/W信号指令以及分层信号指令将被读出，并例如是二位特征位，其中分层信号指令的第一层图像、第二层图像和第三层图像将在后面讨论。因为向第一层存储器2、第二层存储器3和第三层存储器4写入图像数据是同时进行的，所以当R/W信号指示写入时分层特征位被忽略(无效)。因为从第一层存储器2、第二层存储器3和第三层存储器4的读出是分别进行的，所以在只读期间分层特征位有效。但是也可以从第一层存储器2、第二存储器3和第三存储器4中同时读出。在这种情况中不需要使用分层特征位。

第一层存储器2将由RMW电路5馈送的图像数据存储到由地址提供电路1指定的地址处，并读出存储在该地址处的图像数据，且将其输出给RMW电路5。第一层存储器2被设计成存储第一层图像，即，输入到存储装置中的图像数据。第一层存储器2被设计成至少存储一个显示屏中的第一层图像，即，如图2所示的512 × 512象素的图像数据。构成第一层存储器2的每个存储单元的数据长度至少等于分派给第一层图像象素的位数。具体地说，例如当第一层图像的一个象素被表示成八位时，构成第一层存储器2的

存储单元至少有一个八位的数据长度。

第二层存储器3将由RMW电路5馈送的图像数据存储到由地址提供电路1指定的地址处，并读出存储在该地址处的图像数据以及将其输出给RMW电路5。第二层存储器3被设计成存储第二层图像。具体地说，与参考图9所描述的方式一样，从第一层图像的2×2(行×列)四象素衍生出第二层中的一个象素，第二层存储器3被设计成存储由该象素构成的第二层图像。另外，第二层存储器3至少具有能够存储一个显示屏的第二层图像的存储容量。特别是，因为第二层中的一个象素由第一层中的2×2象素衍生而来，所以一个显示屏的第二层由256×256(=512/2×512/2)象素组成。因此第二层存储器2被设计成至少存储具有如此象素数目的第二层图像。另外，构成第二层存储器3的每个存储单元至少具有能够存储第二层图像的一个象素而无数字丢失的数据长度。特别是，因为在本实施例中第一层中的象素被表示为八位，所以作为四个八位象素之和的第二层中的象素被表示成十($=\log_2(2^8+2^8+2^8+2^8)$)位。构成第二层存储器3的每个存储单元至少有十位的数据长度。

第三层存储器4将由RMW电路5馈送的图像数据存储到由地址提供电路1指定的地址处，并读出存储在该地址处的图像数据以及将其输出给RMW电路5。第三层存储器4被设计成存储第三层图像。具体地说，与参考图9所描述的方式一样，从第二层图像的2×2四象素即第一层中4×4象素衍生出第三层中的一个象素，第三层存储器4被设计成存储由该象素构成的第三层图像。另外，第三层存储器4至少具有能够存储一个显示屏的第三层图像的存储容量。特别是，因为第三层中的一个象素由第二层中的2×2象素衍生而来，所以一个显示屏的第二层由128×128(=256/2×256/2)象素组成。因此第三层存储器4被设计成至少存储具有如此象素数目的第三层图像。另外，构成第三层存储器4的每个存储单元至少具有能够存储第三层图像的一个象素而无数字丢失的数据长度。特别是，因为在本实施例中第二层中的象素被表示为十位，所以作为四个十位象素之和的第三层中的象素被表示成十二($=\log_2(2^{10}+2^{10}+2^{10}+2^{10})$)位。构成第三层存储器4的每个存储单元至少有十二位的数据长度。

第一层存储器2、第二层存储器3和第三层存储器4被设置有一个时钟，数据读出和数据写入与该时钟同步进行。

RMW 电路 5 被设计成将输入到存储装置中的图像数据写入到第一层存储器 2 作为第一层图像。RMW 电路 5 还从第一层图像计算出第二层图像，并将其写入到第二层存储器 3 中。另外，RMW 电路 5 从第一层图像(或者第二层图像)计算出第三层图像，并将其写入到第三层存储器 4 中。RMW 电路 5 读出分别存储在第一层存储器 2、第二层存储器 3 和第三层存储器 4 中的图像数据，并输出读出的图像数据。RMW 电路 5 配置有时钟、R/W 信号、分层特征位和由地址提供电路 1 输出的控制信号，并与时钟同步地执行响应于 R/W 信号、分层信号和控制信号的各种处理。

现在参见图 3 至 5 讨论存储装置的操作。

如图 2 所示，由每个象素被表示成八位的 512 × 512 个象素构成的一个显示屏的图像数据被馈送到存储装置作为第一层图像。在此假设图像数据被顺序地扫描并提供。

至于第一层图像的象素，令 h(0，0)代表左顶象素，h(x， y)代表从左起的第(x + 1)列及从顶起的(y + 1)行处的象素。因为第一层图像由 512 × 512 的象素构成，所以 x 和 y 均取 0 至 511(= 2^9 − 1)范围内一整数。

现在考虑均取 0 至 255(= $2^9/2$ − 1)范围内一整数的变量 s 和 t，第二层中的一个象素是第一层中邻近的 2 × 2 个象素之和，

h(2s, 2t)，h(2s + 1, 2t)

h(2s, 2t + 1)，h(2s + 1, 2t + 1)，

该和值在此由 m(s， t)表示。下列方程成立

$$m(s, t) = h(2s, 2t) + h(2s + 1, 2t) + h(2s, 2t + 1) + h(2s + 1, 2t + 1) \quad \cdots(1)$$

现在考虑均取 0 至 127(= $2^9/4$ − 1)范围内一整数的变量 m 和 n，第三层中的一个象素是第二层中邻近的 2 × 2 个象素之和，

m(2m， 2n)，m(2m + 1， 2n)，

m(2m， 2n + 1)，h(2m + 1， 2n + 1)，

即，是第一层中邻近 4 × 4 象素之和，

h(4m, 4n), h(4m + 1, 4n), h(4m + 2, 4n), h(4m + 3, 4n),

h(4m,4n + 1), h(4m + 1, 4n + 1), h(4m + 2,4n + 1), h(4m + 3,4n + 1),

h(4m,4n + 2), h(4m + 1,4n + 2), h(4m + 2,4n + 2), h(4m + 3,4n + 2),

h(4m,4n + 3), h(4m + 1,4n + 3), h(4m + 2,4n + 3), h(4m + 3,4n + 3),

并且和值由 q(m, n)表示。下列等式成立。

$$q(m,n)=m(2m, 2n)+m(2m+1, 2n)+m(2m, 2n+1)+m(2m+1, 2n+1)$$
$$=h(4m, 4n)+h(4m+1, 4n)+h(4m+2, 4n)+h(4m+3, 4n)$$
$$+h(4m, 4n+1)+h(4m+1, 4n+1)+h(4m+2, 4n+1)+h(4m+3, 4n+1)$$
$$+h(4m, 4n+2)+h(4m+1, 4n+2)+h(4m+2, 4n+2)+h(4m+3, 4n+2)$$
$$+h(4m, 4n+3)+h(4m+1, 4n+3)+h(4m+2, 4n+3)+h(4m+3, 4n+3) \quad \cdots(2)$$

在数据写入和数据读出期间，与时钟同步地对地址提供电路 1 提供水平地址 HA 和垂直地址 VA(HA，VA)，例如以下述顺序(对应于连续扫描顺序)，

(0, 0)，(1, 0)，…，(511, 0)，

(0, 1)，(1, 1)，…，(511, 1)，

.

.

.

(0, 511)，(1, 511)，…，(511, 511)，

此处，令 ha1，ha2，…，ha8(ha8 为最大有效位)以 ha0 表示最小有效位来表示九位水平地址 HA 的位，并 va1，va2，…，va8(va8 是为最大有效位)以 va0 表示最小有效位来表示九位垂直地址 VA 的位。

当图像数据被写入到存储装置时，以与时钟同步的顺序 RMW 电路 5 提供第一层图像、同时对地址提供电路 1 提供如上所述的水平地址 HA 和垂直地址 VA 。

对第一层存储器 2 的存取按如下进行。

参见图 3，在写入操作期间(当 R/W 信号指示写入操作时)，地址提供电路 1 将供给它的水平地址 HA 和垂直地址 VA 馈送给第一层存储器 2 的地址端(ADh，ADv)。RMW 电路 5 将供给其的第一层图像数据写入到由水平地址 HA 和垂直地址 VA 指定的第一层存储器 2 中的一个存储单元(未示出)。重复相同的处理步骤，以在第一层存储器 2 中存储由 512 × 512 象素构成的一个显示屏的第一层存储器。以这种方式，在第一层存储器 2 中的地址处

(0，0)，(1，0)，…，(511，0)，

(0，1)，(1，1)，…，(511，1)，

.

.

.

(0， 511)，(1， 511)，…，(511， 511)，

第一层象素(象素值)

h(0， 0)，h(1， 0)，…，h(511， 0)，

h(0， 1)，h(1， 1)，…，h(511， 1)，

.

.

.

h(0， 511)，h(1， 511)，…，h(511， 511)，

分别被存储。

在读出操作期间(当 R/W 信号指示读出操作时)，当分层特征指示第一层时，地址提供电路 1 将供给其的水平地址 HA 和垂直地址 VA 馈送给第一层存储器 2 的地址端。RMW 电路 5 读出存储在由水平地址 HA 和垂直地址 VA 标定的第一层存储器 2 中存储单元内的第一层图像数据，并重复相同的处理步骤，以从第一层存储器 2 中读出由 512 × 512 象素构成的一个显示屏的第一层存储数据。以这种方式输出被连续扫描的第一层图像。

现在讨论对第二层存储器 3 的存取。

如图 4 所示，在写入操作期间，地址提供电路 1 将无最小有效位 ha0 的高阶八位 ha1 至 ha8 馈送给第二层存储器 3 的地址端作为提供给那儿的水平地址 HA 的一部分，并将无最小有效位 va0 的高阶八位 va1 至 va8 馈送给第二层存储器 3 的地址端作为提供给那儿的垂直地址 VA 的一部分。另外，地址提供电路 1 将水平地址 HA 的最小有效位 ha0 和垂直地址 VA 的最小有效位 va0 输出给 RMW 电路 5 作为控制信号。

当由图 2 中所示的 D1 表示的第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)和 h(2s+1, 2t+1)的每一个被送入 RMW 电路 5 时，地址提供电路 1 输出一个指示第二层存储器 3 中相同地址(s, t)的信号。

另一方面，在 RMW 电路 5 中，供给其的第一层图像数据被输入给一个算术单元 13 。算术单元 13 接收开关 12 的输出以及第一层图像数据，并将其相加且将该和值馈送到写入部分 14 。

开关 12 根据 NOR(或非)门 15 的输出在其端子 12a 和 12b 之间选择。端

子 12a 和 12b 分别被供以读出部分 11 和 0 的输出。NOR 门 15 接收来自地址提供电路 1 的水平地址 HA 的最小有效位 ha0 和垂直地址 VA 的最小有效位 va0 。只有当最小有效位 ha0 和 va0 均为 0 ，即，当第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)和 h(2s+1, 2t+1)的左顶象素 h(2s, 2t)被提供给算术单元 13 时，其输出才处于 H(高)电平，而其余的时间处于 L(低)电平。

开关 12 被设计成根据 NOR 门 15 的输出是否处于 L 电平或 H 电平而在其 12a 端和 12b 端之间选择。

读出部分 11 读出存储在相应于地址提供电路 1 输出信号的地址处的数据(存储数据)。

当第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)和 h(2s+1, 2t+1)的左顶象素 h(2s, 2t)被提供给算术单元 13 时，读出部分 11 读出存储在第二层存储器 3 内地址(s, t)处的数据，并将其输出到端子 12a 。因为水平地址 HA 的最小有效位 ha0 和垂直地址 VA 的最小有效位 va0 均为 0 ，所以 NOR 门 15 的输出被驱动至 H 电平，致使开关 12 选择其 12b 端。

其结果是，经开关 12 将 0 馈送给算术单元 13 。

算术单元 13 将 0 和第一层中的象素 h(2s, 2t)相加并将所得的和值(0+h(2s, 2t))馈送给写入部分 14 。写入部分 14 将算术单元 13 的输出写入到相应于地址提供电路 1 的输出的地址处，即，第二层存储器 3 中的地址(s, t)处。

当第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)和 h(2s+1, 2t+1)的左顶象素 h(2s, 2t)的右侧象素 h(2s+1, 2t)被馈送给算术单元 13 时，读出部分 11 读出存储在第二层存储器 3 内地址(s, t)处的数据(此处为 0+h(2s, 2t))，并将其输出到终端 12a 。

因为水平地址 HA 的最小有效位 ha0 为 1 和垂直地址 VA 的最小有效位 va0 为 0 ，所以 NOR 门 15 的输出被驱动至 L 电平，致使开关 12 选择其 12a 端。

其结果是，算术单元 13 接收到由读出部分 11 经开关 12 读出的数据(存储数据)(此处为 0+h(2s, 2t))。

算术单元 13 将经开关 12 提供的数据与第一层中的象素 h(2s, 2t)相加，并将所得的和值(0+h(2s, 2t)+h(2s+1, 2t))馈送给写入部分 14 。写入部分 14 将算术单元 13 的输出写入到相应于地址提供电路 1 的输出的地址处，即第二

层存储器 3 中的地址(s, t)处。

关于 2t+1 行的图像数据的提供从顶部开始。当第一层中 2 × 2 象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)和 h(2s+1, 2t+1)的左底象素 h(2s, 2t+1)被馈送给算术单元 13 时，读出部分 11 读出存储在第二层存储器 3 内地址(s, t)处的数据(此处为 0+h(2s, 2t)+h(2s+1, 2t))，并将其输出到终端 12a 。

因为水平地址 HA 的最小有效位 ha0 为 0 以及垂直地址 VA 的最小有效位 va0 为 1 ，所以 NOR 门 15 的输出被驱动至 L 电平，致使开关 12 选择其 12a 端。

其结果是，算术单元 13 接收到由读出部分 11 经开关 12 读出的数据(存储数据)(此处为 0 + h(2s, 2t)+h(2s+1, 2t))。

算术单元 13 将经开关 12 提供的数据与第一层中的象素 h(2s, 2t+1)相加，并将所得的和值(0+h(2s, 2t)+h(2s+1, 2t)+h(2s, 2t+1))馈送给写入部分 14 。写入部分 14 将算术单元 13 的输出写入到相应于地址提供电路 1 的输出的地址处，即第二层存储器 3 中的地址(s, t)处。

当第一层中 2 × 2 象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)和 h(2s+1, 2t+1)的左底象素 h(2s, 2t+1)的右侧象素 h(2s+1, 2t+1)被馈送给算术单元 13 时，读出部分 11 读出存储在第二层存储器 3 内地址(s, t)处的数据(此处为 0+h(2s, 2t)+h(2s+1, 2t)+h(2s, 2t+1))，并将其输出到终端 12a 。

因为水平地址 HA 的最小有效位 ha0 以及垂直地址 VA 的最小有效位 va0 均为 1 ，所以 NOR 门 15 的输出被驱动至 L 电平，致使开关 12 选择其 12a 端。

其结果是，算术单元 13 接收到经开关 12 由读出部分 11 读出的数据(存储数据)(此处为 0+h(2s, 2t)+h(2s+1, 2t)+h(2s, 2t+1))。

算术单元 13 将经开关 12 提供的数据与第一层中的象素 h(2s+1, 2t+1)相加，并将所得的和值(0+h(2s, 2t)+h(2s+1, 2t)+h(2s, 2t+1)+(2s+1, 2t+1))馈送给写入部分 14 。写入部分 14 将算术单元 13 的输出写入到相应于地址提供电路 1 的输出的地址处，即第二层存储器 3 中的地址(s, t)处。

第二层存储器 3 最终存储由方程 h(2s, 2t)+h(2s+1, 2t)+h(2s, 2t+1)+(2s+1, 2t+1)表示的和，即由方程(1)表示的第二层象素(象素值)m(s, t)。

同样，第二层存储器以此方式存储由 256 × 256 象素的一个显示屏构成的第二层图像。

如上所述，第一层图像数据被写入到由水平地址 HA 和垂直地址 VA 指定的第一层存储器 2 中的地址(HA， VA)处。将存储的存储数据从由水平地址 HA 和垂直地址 VA 的部分 ha1 至 ha8 和 va1 至 va8 指定的第二层存储器中的地址处读出。第一层中的存储数据和图像数据被相加，其和值(第一被处理数据)被写入到存储存储数据的第一层存储器 2 中的地址处。第一层中的图像数据按此布局被存储，同时产生第二层中的图像数据并将其存储。换而言之，在实时基础上获得第二层图像数据。

因为存储第二层图像的第二层存储器 3 执行常规行延迟电路的功能，所以不需要这样的电路，并且在存储装置中实现了紧凑设计。

现在讨论从第二层存储器 3 中对第二层图像的读出。

在读出操作期间，当分层特征位指示第二层时，地址提供电路 1 将提供予其的水平地址 HA 的高阶八位 ha1 至 ha8 或垂直地址 VA 的高阶八位 va1 至 va8 馈送给第二层存储器 2 的地址端，同时将最小有效位 ha0 和最小有效位 va0 输出给 RMW 电路 5 作为控制信号。

在 RMW 电路 5 中，读出部分 11 接收分层特征位、R/W 信号和 NOR 门 15 的输出。由于 R/W 信号指示读出操作且分层特征位指示第二层，只有当 NOR 门 15 的输出为 H 电平时，读出部分 11 才读出并输出存储在相应于地址提供电路 1 输出的信号的第二层中地址处的图像数据。

根据上述讨论，当水平地址 HA 和垂直地址 VA 的结合是(2s, 2t)，(2s+1, 2t)，(2s, 2t+1)和(2s+1, 2t+1)的其中之一时，地址提供电路 1 向第二层存储器 3 输出相同的地址。如果单从相应于由地址提供电路 1 输出的信号的第二层存储器 3 中的地址处读出数据，则重复四次读出相同的数据。

为此，只有当水平地址 HA 和垂直地址 VA 的结合是源自(2s, 2t)，(2s+1, 2t)，(2s, 2t+1)和 h(2s+1, 2t+1)的(2s, 2t)时，即当 NOR 门 15 的输出为 H 电平时，读出部分 11 被设计成从第二层存储器 3 中的地址(s, t)处读出第二层内的象素(象素值)m(s, t)。

由读出部分 11 读出的第二层中的图像数据被馈送给开关 16，开关 16 仅当 R/W 信号指示读出操作时接通，而其余时间断开。因为此时开关 16 被接通，所以由读出部分 11 读出的第二层中的图像数据经开关 16 输出。

以这种方式，从第二层存储器 3 中读出由 256 × 256 象素构成的一幅显示屏的被存储的第二层图像。然后输出被顺序扫描的第二层图像。

现在讨论对第三层存储器 4 的存取。

如图 5 所示，在写入操作期间，地址提供电路 1 将无低阶位 ha0 和 ha1 的高阶七位 ha2 至 ha8 馈送给第三层存储器的地址端，作为提供给那儿的水平地址 HA 的一部分，并将无低阶位 va0 和 va1 的高阶七位 va2 至 va8 馈送给第三层存储器 4 的地址端，作为提供给那儿的垂直地址 VA 的一部分。另外，地址提供电路 1 将水平地址 HA 的低阶位 ha0 和 ha1 以及垂直地址 VA 的低阶位 va0 和 va1 输出给 RMW 电路 5 作为控制信号。

当由图 2 中所示的 D2 表示的第一层中 4 × 4 的十六象素 h(4m, 4n)、h(4m+1, 4n)、h(4m+2, 4n)、h(4m+3, 4n)、h(4m, 4n+1)、h(4m+1, 4n+1)、h(4m+2, 4n+1)、h(4m+3, 4n+1)、h(4m, 4n+2)、h(4m+1, 4n+2)、h(4m+2, 4n+2)、h(4m+3, 4n+2)、h(4m, 4n+3)、h(4m+1, 4n+3)、h(4m+2, 4n+3)和 h(4m+3, 4n+3)的每一个被送入 RMW 电路 5 时，地址提供电路 1 输出一个指示第三层存储器 4 中的相同地址(s, t)的信号。

另一方面，在 RMW 电路 5 中，供给到那儿的第一层图像数据被输入给一个算术单元 23 。算术单元 23 接收开关 22 的输出以及第一层图像数据，并将其相加，且将该和值馈送到写入部分 24 。

开关 22 根据 NOR 门 25 的输出在其端子 22a 和 22b 之间选择。端子 22a 和 22b 分别被供以读出部分 21 和 0 的输出。NOR 门 25 接收来自地址提供电路 1 的水平地址 HA 的低阶位 ha0 和 ha1 以及垂直地址 VA 的低阶位 va0 和 va1 。只有当低阶 ha0 和 ha1 以及 va0 和 va1 均为 0 ，即，当第一层中 4 × 4 象素 h(4m, 4n)、h(4m+1, 4n)、h(4m+2, 4n)、h(4m+3, 4n)、h(4m, 4n+1)、h(4m+1, 4n+1)、h(4m+2, 4n+1)、h(4m+3, 4n+1)、h(4m, 4n+2)、h(4m+1, 4n+2)、h(4m+2, 4n+2)、h(4m+3, 4n+2)、h(4m, 4n+3)、h(4m+1, 4n+3)、h(4m+2, 4n+3)和 h(4m+3, 4n+3)的左顶象素 h(4m, 2n)被提供给算术单元 23 时，其输出才处于 H 电平，而其余的时间则处于 L 电平。

开关 22 被设计成根据 NOR 门 25 的输出是否处于 L 电平或 H 电平而在其 22a 端和 22b 端之间选择。

读出部分 21 读出存储在相应于由地址提供电路 1 输出的信号的地址处的数据(存储数据)。

当第一层中象素 h(4m, 4n)被提供给算术单元 23 时，读出部分 21 读出存储在第三层存储器 4 内的地址(m, n)处的数据，并将其输出到终端 22a 。因为

水平地址 HA 的低阶位 ha0 和 ha1 以及垂直地址 VA 的低阶位 va0 和 va1 均为 0，所以 NOR 门 25 的输出被驱动至 H 电平，致使开关 22 选择其 22b 端。

其结果是，经开关 22 将 0 馈送给算术单元 23 。

算术单元 23 将 0 和第一层中的象素 h(4m, 4n)相加，并将所得的和值(0+h(4m, 4n))馈送给写入部分 24 。写入部分 24 将算术单元 23 的输出写入到相应于由地址提供电路 1 输出的信号的址处，即第三层存储器 4 中的地址(m, n)处。

当第一层中 h(4m, 4n)象素的右侧象素 h(4m+1, 4n)被馈送给算术单元 23 时，读出部分 21 读出存储在第三层存储器 4 内的地址(m, n)处的数据(此处为 0+h(4m, 4n))，并将其输出到终端 22a 。

因为水平地址 HA 的低阶位 ha0 和 ha1 分别为 1 和 0 以及垂直地址 VA 的低阶位 va0 和 va1 分别为 0，所以 NOR 门 25 的输出被驱动至 L 电平，致使开关 22 选择其 22a 端。

其结果是，算术单元 23 经开关 22 接收到由读出部分 21 读出的数据(存储数据)(此处为 0+h(4m, 4n))。

算术单元 23 将经开关 22 提供的数据与第一层中的象素 h(4m+1, 4n)相加，并将所得的和值(0+h(4m, 4n)+h(4m+1, 4n))馈送给写入部分 24 。写入部分 24 将算术单元 23 的输出写入到相应于地址提供电路 1 的输出信号的地址处，即，第三层存储器 4 中的地址(m, n)处。

当第一层中 h(4m+1, 4n)象素的右侧象素 h(4m+2, 4n)被馈送给算术单元 23 时，读出部分 21 读出存储在第三层存储器 4 内的地址(m, n)处的数据(此处为 0+h(4m, 4n)+h(4m+1, 4n))，并将其输出到终端 22a 。

因为水平地址 HA 的低阶位 ha0 和 ha1 分别为 0 和 1 以及垂直地址 VA 的低阶位 va0 和 va1 分别为 0，所以 NOR 门 25 的输出被驱动至 L 电平，致使开关 22 选择其 22a 端。

其结果是，算术单元 23 经开关 22 接收到由读出部分 21 读出的数据(存储数据)(此处为 0+h(4m, 4n)+h(4m+1, 4n))。

算术单元 23 将经开关 22 提供的数据与第一层中的象素 h(4m+2, 4n)相加，并将所得的和值(0+h(4m, 4n)+h(4m+1, 4n)+h(4m+2, 4n))馈送给写入部分 24 。写入部分 24 将算术单元 23 的输出写入到相应于由地址提供电路 1 输出的信号的地址处，即，第三层存储器 4 中的地址(m, n)处。

当第一层中 h(4m+3, 4n)、 h(4m, 4n+1)、 h(4m+1, 4n+1)、 h(4m+2, 4n+1)、 h(4m+3, 4n+1)、 h(4m, 4n+2)、 h(4m+1, 4n+2)、 h(4m+2, 4n+2)、 h(4m+3, 4n+2)、 h(4m, 4n+3)、 h(4m+1, 4n+3)、 h(4m+2, 4n+3)和 h(4m+3, 4n+3)的每一个被馈送给算术单元 23 时，执行如上所述的相同的处理步骤，并在第三层存储器 4 中的地址(m, n)处最终存储由方程(2)表示的第三层存储器 4 中的象素(象素值)q(m, n)。

以这种方式，第三层存储器 4 存储由 128 × 128 象素的一个显示屏构成的第三层图像。

第一层图像数据被存储的同时产生第二层图像数据和第三层图像数据，并同时将其存储。总而言之，在实时基础上获得第二层和第三层图像数据。

因为存储第三层图像的第三层存储器 4 执行常规的行延迟电路的功能，所以不需要这样的电路，因此在存储装置中实现了紧凑设计。

现在讨论从第三层存储器 4 中对第三层图像的读出。

在读出操作期间，当分层特征位指示第三层时，地址提供电路 1 将提供予其的水平地址 HA 的高阶七位 ha2 至 ha8 或垂直地址 VA 的高阶七位 va2 至 va8 馈送给第三层存储器 3 的地址端，同时将低阶二位 ha0 和 ha1 以及低阶二位 va0 和 va1 输出给 RMW 电路 5 作为控制信号。

在 RMW 电路 5 中，读出部分 21 接收分层特征位、R/W 信号和 NOR 门 25 的输出。以 R/W 信号指示读出操作且以分层特征位指示第三层，只有当 NOR 门 25 的输出为 H 电平时，读出部分 21 读出并输出存储在相应于地址提供电路 1 的输出信号的第三层中的地址处的图像数据。

根据上述讨论，当水平地址 HA 和垂直地址 VA 的结合是 h(4m, 4n)、h(4m+1, 4n)、 h(4m+2, 4n)、 h(4m+3, 4n)、 h(4m, 4n+1)、 h(4m+1, 4n+1)、 h(4m+2, 4n+1)、 h(4m+3, 4n+1)、 h(4m, 4n+2)、 h(4m+1, 4n+2)、 h(4m+2, 4n+2)、 h(4m+3, 4n+2)、 h(4m, 4n+3)、 h(4m+1, 4n+3)、 h(4m+2, 4n+3)和 h(4m+3, 4n+3)的其中之一时，地址提供电路 1 在每个结合处输出相同的地址(m, n)。如果单从相应于地址提供电路 1 的输出信号的第三层存储器 4 中的地址处读出数据，则重复十六次读出相同的数据。

为此，只有当水平地址 HA 和垂直地址 VA 的结合是(4m, 4n)，即，当 NOR 门 25 的输出为 H 电平时，读出部分 21 才从第三层存储器 4 中的地址(m,

n)处读出第三层内的象素(象素值)m(m, n)。

由读出部分 21 读出的第三层中的图像数据被馈送给开关 26，开关 26 仅当 R/W 信号指示读出操作接通，而其余时间断开。因为此时开关 26 被接通，所以由读出部分 21 读出的第三层中的图像数据经开关 26 输出。

以这种方式，从 RMW 电路 5 中读出由 128 × 128 象素构成的一幅显示屏的被存储的第三层图像。然后输出被顺序扫描的第三层图像。

按如上所述的方式进行从第二层存储器 3 读取第二层中的图像数据。或者，图像数据的读取也可通过使地址提供电路 1 提供水平地址 HA 的低阶八位 ha0 至 ha7 和垂直地址 VA 的低阶八位 va0 至 va7 作为第二层存储器 3 中的地址来进行。类似地，从第三层存储器 4 中读取第三层中图像可通过使地址提供电路 1 提供水平地址 HA 的低阶七位 ha0 至 ha6 和垂直地址 VA 的低阶七位 va0 至 va6 作为第三层存储器 4 中的地址来进行。

如已参考图 9 描述的，从第一层中的其余象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)以及它们的和，即，第二层中的象素 m(s, t)来确定第一层中 2 × 2 象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)和 h(2s+1, 2t+1)中邻近的一个象素，如右底象素 h(2s+1, 2t+1)。

具体地说，第一层中的象素 h(2s+1, 2t+1)由下列方程确定。

$$h(2s+1, 2t+1)=m(s, t)-(h(2s, 2t)+h(2s+1, 2t)+h(2s, 2t+1))$$

因为第一层中的象素 h(2s+1, 2t+1)由上述方程确定，所以不需要存储该象素。

布置第一层存储器 2 不需要用于存储象素 h(2s+1, 2t+1) —— 这一第一层中的 2 × 2 象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)和 h(2s+1, 2t+1)的其中之一的存储单元。

在上述讨论中，第一层存储器 2 至少有一个能够存储 512 × 512 象素的图像数据的存储单元，但是如果不存储第一层中的象素 h(2s+1, 2t+1)，则存储单元能够存储 512 × 512 × 3/4 象素的图像数据。在这种情况中，第一层存储器 2 具有相应于通过从第一层图像的一个显示屏的象素数目中减去第二层存储器 3 中的地址的数目(第二层的一个显示屏的象素数目(256 × 256))所得的数目的存储单元(存储容量)。

从第二层中的其余象素 m(2m, 2n)、m(2m+1, 2n)、m(2m, 2n+1)以及它们的和，即第三层中的象素 q(m, n)来确定第二层中 2 × 2 象素 n(2m, 2n)、

m(2m+1, 2n)、m(2m, 2n+1)和 m(2m+1, 2n+1)中邻近的一个象素，如右底象素 m(2m+1, 2n+1)。

具体地说，第二层中的象素 m(2m+1, 2n+1)由下列方程确定。

$$m(2m+1, 2n+1)=q(m,n)-(m(2m, 2n)+m(2m+1, 2n)+m(2m, 2n+1))$$

因为第二层中的象素 m(2m+1, 2n+1)由上述方程确定，所以不需要存储该象素。

布置第二层存储器 3 不需要用于存储象素 m(2m+1, 2n+1) — 这一第二层中的 2 × 2 象素 n(2m, 2n)、m(2m+1, 2n)、m(2m, 2n+1)和 m(2m+1, 2n+1)的其中之一的存储单元。

在上述讨论中，第二层存储器 3 至少有一个能够存储 256 × 256 象素的图像数据的存储单元，但是如果不存储第一层中的象素 m(2m+1, 2n+1)，则存储单元能够存储 256 × 256 × 3/4 象素的图像数据。在这种情况中，第二层存储器 3 具有相应于通过从第二层图像的一个显示屏的象素数目中减去第三层存储器 4 中的地址的数目(第三层的一个显示屏的象素数目(128 × 128)所得的数目的存储单元。

即使当第一层存储器 2 和第二层存储器 3 具有如上所述的较少的存储容量，也可按照图 3 至图 5 所示将图像数据写入到第一层存储器 2 、第二层存储器 3 和第三层存储器 4 。但是在这种情况中，第一层存储器 2 没有用于存储第一层中的象素 h(2s+1, 2t+1)的存储单元，即没有相应于地址(2s+1, 2t+1)的存储单元。即使地址提供电路 1 将地址(2s+1, 2t+1)馈送给第一层存储器 2 而同时 RMW 电路 5 馈送第一层中的象素 h(2s+1, 2t+1)，象素 h(2s+1, 2t+1)也不能被存储在第一层存储器 2 中。

类似地，第二层存储器 3 没有用于存储第二层中的象素 m(2m+1, 2n+1)的存储单元，即没有相应于地址(2m+1, 2n+1)的存储单元。即使地址提供电路 1 将地址(2m+1, 2n+1)馈送给第二层存储器 3 而同时 RMW 电路 5(写入部分 14(图 4))馈送第二层中的象素 m(2m+1, 2n+1)，象素 m(2m+1, 2n+1)也不能被存储在第二层存储器 3 中。

虽然按照与参考图 5 所述的相同方式来执行对存储在存储装置中的第三层内图像的读出，但是对第一层和第二层的图像读出按下列方式进行。

图 6 表示图 1 中的存储装置在执行对第一层图像的读取操作时具有存储容量减小的第一层存储器 2 。

在这种情况中，地址提供电路 1 由延迟电路 31 和选择器电路 32 至 34 组成。水平地址 HA 和垂直地址 VA 馈送给延迟电路 31，该延迟电路 31 在低阶第三位 va2 的转换中锁存并输出垂直地址 VA 的高阶七位 va2 至 va8 。

特别是，延迟电路 31 检测垂直地址 VA 的低阶第三位 va2 由 0 至 1 和从 1 至 0 的转换，并且在转换之前锁存垂直地址 VA 的高阶位 va2 至 va8，然后将它们与其余的垂直地址和水平地址一块输出。由延迟电路 31 输出的水平地址 HA 和垂直地址 VA 是提供给地址提供电路的但具有四行延迟($=2^{3-1}$)的水平地址 HA 和垂直地址 VA 。因为延迟电路 31 仅在垂直地址 VA 的低阶第三位 va2 的转换之前锁存垂直地址 VA 的高阶七位 va2 至 va8，所以延迟电路 31 不象传统的用于行延迟图像的延迟电路那样大。延迟电路 31 可由用于锁存垂直地址 VA 的高阶七位 va2 至 va8 的七个触发器构成，实现了装置的紧凑设计。

按照需要，在下文中，由延迟电路 31 产生的四行较前的水平地址 HA 和垂直地址 VA 分别被称为延迟的水平地址 HA 和延迟的垂直地址 VA(预定的地址信号)。

延迟的水平地址 HA 和延迟的垂直地址 VA 被馈送到选择器电路 32 。源自于延迟的水平地址 HA 和延迟的垂直地址 VA 的延迟的水平地址 HA 的高阶八位 ha1 至 ha8(除最小有效位 ha0 之外)以及垂直地址 VA 的高阶八位 va1 至 va8(除最小有效位 va0 之外)，均被馈送给选择器电路 33 。另外，源自于延迟的水平地址 HA 和延迟的垂直地址 VA 的延迟的水平地址 HA 的高阶七位 ha2 至 ha8(除低阶二位 ha0 和 ha1 之外)以及垂直地址 VA 的高阶七位 va2 至 va8(除低阶二位 va0 和 va1)之外，均被馈送给选择器电路 34 。

选择器电路 32 接收供给地址提供电路 1 的水平地址 HA 和垂直地址 VA 、延迟的水平地址 HA 和延迟的垂直地址 VA 、以及垂直地址 VA 的低阶第三位 va2 作为控制信号。响应于控制信号 va2，选择器电路 32 选取延迟的水平地址 HA 和延迟的垂直地址 VA 作为一个存储体(bank)A 地址和存储体 B 地址，而水平地址 HA 和垂直地址 VA 作为另一个存储体 A 地址和存储体 B 地址，分别馈送给第一层存储器 2 的存储体 A 地址端和存储体 B 地址端。

假设当控制信号 va2 转换时，选择器电路 32 选取延迟的水平地址 HA 和延迟的垂直地址 VA 作为存储体 A 地址，而水平地址 HA 和垂直地址 VA 作为存储体 B 地址，然后选择器电路 32 再选取延迟的水平地址 HA 和延迟

的垂直地址 VA 作为存储体 B 地址，而水平地址 HA 和垂直地址 VA 作为存储体 A 地址。之后当控制信号 va2 又转换时，选择器电路 32 选取延迟的水平地址 HA 和延迟的垂直地址 VA 作为存储体 A 地址，而水平地址 HA 和垂直地址 VA 作为存储体 B 地址。在每一次控制信号 va2 转换时，延迟的水平地址 HA 和延迟的垂直地址 VA 在存储体 A 地址和存储体 B 地址之间交换，同时水平地址 HA 和垂直地址 VA 在存储体 B 地址和存储体 A 地址之间交换。

除了延迟的水平地址 HA 的高阶八位 ha1 至 ha8 和延迟的垂直地址 VA 的高阶八位 va1 至 va8 外，选择器电路 33 还接收提供给地址提供电路 1 的水平地址 HA 的高阶八位 ha1 至 ha8 和垂直地址 VA 的高阶八位 va1 至 va8，以及垂直地址 VA 的低阶第三位 va2 作为控制信号。在选择器电路 32 、选择器电路 33 中，当控制信号 va2 每次变换时，延迟的水平地址 HA 的高阶八位 ha1 至 ha8 和延迟的垂直地址 VA 的高阶八位 va1 至 va8 在存储体 A 地址和存储体 B 地址之间交换，同时水平地址 HA 的高阶八位 ha1 至 ha8 和垂直地址 VA 的高阶八位 va1 至 va8 在存储体 B 地址和存储体 A 地址之间交换。

由选择器电路 33 选取作为存储体 A 地址和存储体 B 地址的位分别馈送给第二层存储器 3 中的存储体 A 地址端和存储体 B 地址端。

除了延迟的水平地址 HA 的高阶七位 ha2 至 ha8 和延迟的垂直地址 VA 的高阶七位 va2 至 va8 外，选择器电路 34 还接收提供给地址提供电路 1 的水平地址 HA 的高阶七位 ha2 至 ha8 和垂直地址 VA 的高阶七位 va2 至 va8，以及垂直地址 VA 的低阶第三位 va2 作为控制信号。在选择器电路 32 、选择器电路 33 中，当控制信号 va2 每次变换时，延迟的水平地址 HA 的高阶七位 ha2 至 ha8 和延迟的垂直地址 VA 的高阶七位 va2 至 va8 在存储体 A 地址和存储体 B 地址之间交换，同时水平地址 HA 的高阶七位 ha2 至 ha8 和垂直地址 VA 的高阶七位 va2 至 va8 在存储体 B 地址和存储体 A 地址之间交换。

由选择器电路 34 选取作为存储体 A 地址和存储体 B 地址的位分别馈送给第三层存储器 4 中的存储体 A 地址端和存储体 B 地址端。

第一层存储器 2 的地址空间被分为图 6 所示实施例中的存储体 A 和存储体 B 的两个存储体(块)(对于以下将描述的图 8 同样成立)。特别是，如图 2 所示，用于存储 8 α 行至 8 α+3 行上象素的第一层存储器 2 的存储区域是存储体 A，用于存储 8 α+4 行至 8 α+7 行上象素的第一层存储器 2 的存储区

域是存储体 B(α=0， 1，…， 63)。

为了允许同时存存储储体 A 和存储体 B，要得到两地址端，即存取存储体 A 的地址端(存储体 A 地址端)和一个地址端(存储体 B 地址端)。存储体 A 和存储体 B 分别具有两个存储体 A 数据端和两个存储体 B 数据端作为从其中读出和往其中写入的输入/输出端。

在第一层存储器 2 中，数据(存储体 A 数据)经存储体 A 端在输入给存储体 A 地址端的地址处(存储体 A 地址)被读出和写入，同时数据(存储体 B 数据)经存储体 B 端在输入给存储体 B 地址端的地址处(存储体 B 地址)被读出和写入。

在本实施例中，延迟的水平地址 HA 和延迟的垂直地址 VA 分别是引入了四行延迟(四行在第一层图像中)的水平地址 HA 和垂直地址 VA 。例如，当选择器电路 32 选取水平地址 HA 和垂直地址 VA 作为存储体 A 地址并且延迟的水平地址 HA 和延迟的垂直地址 VA 作为存储体 B 地址时，相应于水平地址 HA 和垂直地址 VA 的存储体 A 地址的存储单元被存取，同时相应于早四行被存取的延迟的水平地址 HA 和延迟的垂直地址 VA 的存储体 B 地址的存储单元也被存取。

现假设，第一层存储器 2 被分为如图 7 所示的作为存储体 A 的存储区域和作为存储体 B 的存储区域，并且，在存储体 A 中的存储区域被存取的同时存储体 B 中的存储区域也被存取。在本实施例中被同时存取的存储体 A 和存储体 B 中相应的存储单元用四行隔开。被同时存取的存储体 A 和存储体 B 中相应的存储单元用四行隔开的原因如下：因为本实施例中作为顶层的第三层中的一个象素对应于第一层中的 4 × 4 象素，每个存储体最好至少基于 4 × 4 象素的单元。存储体 A 和存储体 B 在此可每隔四行交替变换一次。或者是存储体 A 和存储体 B 在此可每隔四列交替变换一次。存储体的数目不局限于两个存储体，即存储体 A 和存储体 B 。另外，存储体形成在水平方向和垂直方向两个方向上，即以网格图案形成。

回到图 6，如同在第一层存储器 2 中一样，第二层存储器 3 中地址空间被分为存储体 A 和存储体 B 两个存储体。因为第二层图像的水平方向和垂直方向上的象素数目分别是第一层图像的水平方向和垂直方向上的象素数目的一半，所以存储第二层中 4 α 行和 4 α+1 行上象素的第二层存储器 3 的存储区域是存储体 A，存储 4 α+2 行和 4 α+3 行上象素的第二层存储器 3 的

存储区域是存储体 B 。

如同在第一层存储器 2 中一样，第三层存储器 4 中的地址空间被分为存储体 A 和存储体 B 两个存储体。因为第三层图像的水平方向和垂直方向上的象素数目分别是第一层图像的水平方向和垂直方向上的象素数目的 1/4 ，所以存储第三层中 2 α 行上象素的第三层存储器 4 的存储区域是存储体 A ，存储 2 α+1 行上象素的第三层存储器 4 的存储区域是存储体 B 。

从第一层存储器 2 中存储体 A 和存储体 B 读出的数据(存储体 A 数据和存储体 B 数据)分别被输出到与选择器电路 41 相连的存储体 A 数据端和存储 B 数据端。地址提供电路 1 将垂直地址 VA 的低阶第三位 va2 馈送到选择器电路 41 作为控制信号，并且响应于控制信号 va2 ，选择器电路 41 将存储体 A 数据端和存储体 B 数据端其中之一与读出部分 44 相连，并将存储体 A 数据端和存储体 B 数据端中的另外一个与读出部分 45 相连。

当控制信号 va2 在选择器电路 41 在分别将存储体 A 数据端和存储体 B 数据端与读出部分 44 和读出部分 45 相连的一点处转换时，存储体 A 数据端和存储体 B 数据端分别与读出部分 45 和读出部分 44 重新相连。当控制信号 va2 再次转换时，选择器电路 41 又分别将存储体 A 数据端和存储体 B 数据端与读出部分 44 和读出部分 45 相连。控制信号 va2 每次转换时，选择器电路 41 交替变换存储体 A 数据端与读出部分 44 和读出部分 45 之间的连接，同时交替变换存储体 B 数据端与读出部分 45 和读出部分 44 之间的连接。

与选择器电路 42 相连的是：一存储体 A 数据端，要写入到第二层存储器 3 中的存储体 A 上的数据被馈送到该存储体 A 数据端；一存储体 A 数据端，从该数据端输出从存储体 A 读出的数据；一存储体 B 数据端，要写入到存储体 B 上的数据被馈送到该存储体 B 数据端；以及，一存储体 B 数据端，从该数据端输出从存储体 B 读出的数据。选择器电路 42 还被提供了来自地址提供电路 1 的垂直地址 VA 的低阶第三位 va2 作为控制信号，并且，响应于控制信号 va2 ，选择器电路 42 将存储体 A 数据端和存储体 B 数据端其中之一与写入部分 46 和读出部分 47 相连，同时将存储体 A 数据端和存储体 B 数据端中的另一个与写入部分 48 和读出部分 49 相连。

当控制信号 va2 在选择器电路 42 在将存储体 A 数据端与读出部分 47 和写入部分 46 相连而将存储体 B 数据端与写入部分 48 和读出部分 49 相连的一点处转换时，存储体 A 数据端又与写入部分 48 和读出部分 49 重新相

连，而存储体B数据端又与写入部分46和读出部分47重新相连。当控制信号va2再次转换时，存储体A数据端又与写入部分46和读出部分47重新相连，而存储体B数据端又与写入部分48和读出部分49重新相连。控制信号va2每次转换时，选择器电路42交替变换存储体A数据端与写入部分46和读出部分47以及写入部分48和读出部分49之间的连接，同时交替变换存储体B数据端与写入部分48和读出部分49以及写入部分46和读出部分47之间的连接。

与选择器电路43相连的是：一存储体A数据端，要写入到第三层存储器4中的存储体A上的数据被馈送到该存储体A数据端；一存储体A数据端，从该数据端输出从存储体A读出的数据；一存储体B数据端，要写入到存储体B上的数据被馈送到该存储体B数据端；以及，一存储体B数据端，从该数据端输出从存储体B读出的数据。选择器电路43还被提供了来自地址提供电路1的垂直地址VA的低阶第三位va2作为控制信号。与选择器电路42的方式相同，响应于控制信号va2，选择器电路43将存储体A数据端在写入部分50和读出部分51以及写入部分52和读出部分53之间交替相连，同时将存储体B数据端在写入部分52和读出部分53以及写入部分50和读出部分51之间交替相连。

读出部分44和读出部分45从第一层存储器2中经选择器电路41读出数据。由读出部分44读出的数据被馈送给算术单元54和选择器电路58，并经开关61也被送到算术单元56。由读出部分45读出的数据被馈送给算术单元55和57。写入部分46将算术单元54的输出经选择器电路42写入到第二层存储器3上。读出部分47经选择器电路42从第二层存储器3上读出数据，并将数据馈送给算术单元54和选择器电路58。写入部分48将算术单元55的输出经选择器电路42写入到第二层存储器3上。读出部分49经选择器电路42从第二层存储器3上读出数据，并将数据馈送给算术单元55和开关62。写入部分50将算术单元56的输出经选择器电路43写入到第三层存储器4上。读出部分51经选择器电路43从第三层存储器4上读出数据，并将数据馈送给算术单元56和选择器电路58。写入部分52将算术单元57的输出经选择器电路43写入到第三层存储器4上。读出部分53经选择器电路43从第三层存储器4上读出数据并将数据馈送给算术单元57。

算术单元54从读出部分47的输出中减去读出部分44的输出，并将差

值馈送给写入部分 46 。算术单元 55 将读出部分 45 的输出和读出部分 49 的输出相加，并将和值馈送给写入部分 48 。算术单元 56 从读出部分 51 的输出中减去由开关 61 提供的信号，并将差值馈送给写入部分 50 。算术单元 57 将读出部分 45 和读出部分 53 的输出相加，并将和值馈送给写入部分 52 。在相加操作中，当开关 62 接通并当读出部分 49 给出其输出时，算术单元 57 也将读出部分 49 的输出相加。

选择器电路 58 根据 AND(与)门 59 和 60 的输出选择读出部分 44 、读出部分 47 和读出部分 51 其中之一的输出。AND 门 59 接收来自地址提供电路 1 的水平地址 HA 的最小有效位 ha0 和垂直地址 VA 的最小有效位 va0 作为控制信号，计算它们的逻辑积并馈送给选择器电路 58 。AND 门 60 接收提供给地址提供电路 1 的水平地址 HA 的低阶第二位 ha1 和垂直地址 VA 的低阶第二位 va1 作为控制信号，计算它们的逻辑积并馈送给选择器电路 58 。

开关 61 依据 AND 门 59 的输出在其 61a 端和 61b 端之间选择。61a 端和 61b 端分别被提供了读出部分 44 的输出和读出部分 47 的输出。开关 62 依据 NOR 门 63 的输出断开和接通，以将读出部分 49 的输出传递给算术单元 57 。与 AND 门 59 类似, nOR 门 63 接收最小有效位 ha0 和 va0 ，其 on/off(开/关)输出控制开关 62 。

因而 RMW 电路 5 由选择器电路 41 至 43 、读出部分 44 和 45 、写入部分 46 、读出部分 47 、写入部分 48 、读出部分 49 、写入部分 50 、读出部分 51 、写入部分 52 、读出部分 53 、算术单元 54 至 57 、选择器电路 58 、AND 门 59 和 60 、开关 61 和 NOR 门 63 构成。

在图 6 中省去了时钟， R/W 信号和分层特征位(对于下面将要描述的图 8 同样如此)。

现在讨论 RMW 电路 5 的操作。

在此假设选择器电路 32 选择提供给地址提供电路 1 的水平地址 HA 和垂直地址 VA 作为存储体 A 地址，并选择延迟的水平地址 HA 和延迟的垂直地址 VA 作为存储体 B 地址。

类似地，选择器电路 33 和 34 选择存储体 A 地址和存储体 B 地址。具体地说，选择器电路 33 选择水平地址 HA 的高阶八位 ha1 至 ha8 和垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 A 地址，并选择延迟的水平地址 HA 的高阶八位 ha1 至 ha8 和延迟的垂直地址 VA 的高阶八位 va1 至 va8 作为存

储体 B 地址。选择器电路 34 选择水平地址 HA 的高阶七位 ha2 至 ha8 和垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 A 地址，并选择延迟的水平地址 HA 的高阶七位 ha2 至 ha8 和延迟的垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 B 地址。

在选择器电路 32 至 34 中，被选取的存储体 A 地址和存储体 B 地址分别被馈送到第一层存储器 2 、第二层存储器 3 和第三层存储器 4 的存储体 A 地址端和存储体 B 地址端。

在选择器电路 41 中，第一层存储器 2 的存储体 A 数据端与读出部分 44 相连而存储体 B 数据端与读出部分 45 相连。在选择器电路 42 中，第二层存储器 3 的存储体 A 数据端与写入部分 46 及读出部分 47 相连而存储体 B 数据端与写入部分 48 及读出部分 49 相连。在选择器电路 43 中，第三层存储器 4 的存储体 A 数据端与写入部分 50 及读出部分 51 相连而存储体 B 数据端与写入部分 52 及读出部分 53 相连。

读出部分 44 经选择器电路 41 读出存储在由选择器电路 32 输出的存储体 A 地址内的第一层中的象素(象素值)，并将其馈送给算术单元 54 、选择器电路 58 和开关 61 的 61a 端。

当 AND 门 59 的输出不是 1(即 0)时，选择器电路 58 选择并输出读出部分 44 的输出作为第一层中的一个象素。具体地说， AND 门 59 的输出不为 1 意味着 ha0 和 va0 中至少有一个为 0 ，并意味着源自于图 2 中由 D1 表示的第一层中 2 × 2 四象素 h(2s, 2t)、 h(2s+1, 2t)、 h(2s, 2t+1)和 h(2s+1, 2t+1)的除右底象素 h(2s+, 2t+1)之外的三个象素 h(2s, 2t)、 h(2s+1, 2t)和 h(2s, 2t+1)中的任意一个被读出的时刻。因为， h(2s, 2t)、 h(2s+1, 2t)和 h(2s, 2t+1)的任意一个被存储于第一层存储器 2 中，所以从第一层存储器 2 中读出的值被选择器电路 58 选取并输出。

读出部分 47 经选择器电路 42 读出存储在由选择器电路 33 输出的存储体 A 地址内的第二层中的象素(象素值)，并将其馈送给算术单元 54 、选择器电路 58 和开关 61 的 61b 端。

当第一层中 2 × 2 四象素 h(2s, 2t)、 h(2s+1, 2t)、 h(2s, 2t+1)和 h(2s+1, 2t+1)中的任意一个被存取时，即当第一层存储器 2 中的存储体 A 地址(2s, 2t)、(2s+1, 2t)、(2s, 2t+1)和(2s+1, 2t+1)中的任意一个被存取时，第二层存储器 3 中的存储体 A 地址(s, t)也被存取。

当读出部分 44 从第一层存储器 2 中读出象素 h(2s, 2t)、h(2s+1, 2t)和 h(2s, 2t+1)中的一个，并将其馈送给算术单元 54 时，读出部分 47 从第二层存储器 3 中的存储体 A 地址(s, t)处读出数据，并将其馈送给算术单元 54 。

算术单元 54 从读出部分 47 的输出中减去读出部分 44 的输出，并将差值馈送给写入部分 46 。写入部分 46 经选择器电路 42 将算术单元 54 的输出写入到第二层存储器 3 中的存储体 A 地址(s, t)处。

第二层象素 m(s, t)，即第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)、和 h(2s+1, 2t+1)之和，最初被存储在第二层存储器 3 中的存储体 A 地址(s, t)处。当读出部分 44 读出第一层中象素 h(2s, 2t)而读出部分 47 读出存储在第二层存储器 3 中的存储体 A 地址(s, t)处的数据(此处为 m(s, t))时，算术单元 54 确定它们之间的差(m(s, t)-h(2s, 2t))，且写入部分 46 将其写入到第二层存储器 3 中的存储体 A 地址(s, t)处。

当读出部分 44 读出第一层中象素 h(2s+1, 2t)时，读出部分 47 读出存储在第二层存储器 3 中的存储体 A 地址(s, t)处的数据(此处为 m(s, t)-h(2s, 2t))。算术单元 54 确定它们之间的差(m(s, t)-h(2s, 2t)-h(2s+1, 2t))，且写入部分 46 将其写入到第二层存储器 3 中的存储体 A 地址(s, t)处。

当读出部分 44 读出第一层中象素 h(2s, 2t+1)时，读出部分 47 读出存储在第二层存储器 3 中的存储体 A 地址(s, t)处的数据(此处为 m(s, t)-h(2s, 2t)-h(2s+1, 2t))。算术单元 54 确定它们之间的差(m(s, t)-h(2s, 2t)-h(2s+1, 2t)-h(2s, 2t+1))，且写入部分 46 将其写入到第二层存储器 3 中的存储体 A 地址(s, t)处。最后，第一层象素 h(2s+1, 2t+1)(=m(s, t)-h(2s, 2t)-h(2s+1, 2t)-h(2s, 2t+1))被写入到第二层存储器 3 中的存储体 A 地址(s, t)处。

当第一层存储器 2 中的存储体 A 地址(2s+1, 2t+1)被存取时(没有相应于该地址的存储单元，并且即使试图存取该地址也没有任何内容写入该处及从该处读出)，读出部分 47 从第二层存储器 3 中的存储体 A 地址(s, t)处读出的数据是右底象素(象素值)h(2s+1, 2t+1)，该象素源自图 2 中由 D1 表示的第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)、和 h(2s+1, 2t+1)(不包括 h(4m+3, 4n+3))。

当 AND 门 59 的输出(AND 门 59 和 AND 门 60 的两个输出)只为 1(因而 AND 门 60 的输出为 0)时，选择器电路 58 选择并输出读出部分 44 的输出作为第一层中的一个象素。具体地说，AND 门 59 的输出只为 1 意味着 ha0 和

va0 中均为 1 并且 ha1 和/或 va1 为 0，并意味着源自于图 2 中由 D1 表示的第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)、和 h(2s+1, 2t+1)(不包括 h(4m+3, 4n+3))的右底象素 h(2s+1, 2t+1)被读出的时刻。如上所述，象素 h(2s+1, 2n+1)由读出部分 47 从第二层存储器 3 中的存储体 A 地址(s, t)处读出，且读出部分 47 的输出由选择器电路 58 选择并输出。

读出部分 51 经选择器电路 43 从第三层存储器 4 读出存储在由选择器电路 34 输出的存储体 A 地址内的第三层中的象素(象素值)，并将其馈送给算术单元 56 和选择器电路 58 。

如上所述，当图 2 中由 D2 表示的第一层中 4 × 4 十六象素 h(4m, 4n)、h(4m+1, 4n)、h(4m+2, 4n)、h(4m+3, 4n)、h(4m, 4n+1)、h(4m+1, 4n+1)、h(4m+2, 4n+1)、h(4m+3, 4n+1)、h(4m, 4n+2)、h(4m+1, 4n+2)、h(4m+2, 4n+2)、h(4m+3, 4n+2)、h(4m, 4n+3)、h(4m+1, 4n+3)、h(4m+2, 4n+3)和 h(4m+3, 4n+3)中的每一个被存取时，第三层存储器 4 中的存储体 A 地址(m, n)被存取。

当读出部分 44 读出第一层存储器 2 中象素 h(4m, 4n)、h(4m+1, 4n)、h(4m+2, 4n)、h(4m+3, 4n)、h(4m, 4n+1)、h(4m+2, 4n+1)、h(4m, 4n+2)、h(4m+1, 4n+2)、h(4m+2, 4n+2)、h(4m+3, 4n+2)、h(4m, 4n+3)和 h(4m+2, 4n+3)中的每一个，不包括第一层中 2 × 2 象素中的右底象素 h(2s+1, 2t+1)，且将其馈送给 61a 端时，读出部分 51 从第三层存储器 4 中的存储体 A 地址(m, n)处读出数据并将其馈送给算术单元 56 。

当 AND 门 59 的输出为 0 时，开关 61 选择其 61a 端。由读出部分 44 输出的第一层中象素 h(4m, 4n)、h(4m+1, 4n)、h(4m+2, 4n)、h(4m+3, 4n)、h(4m, 4n+1)、h(4m+2, 4n+1)、h(4m, 4n+2)、h(4m+1, 4n+2)、h(4m+2, 4n+2)、h(4m+3, 4n+2)、h(4m, 4n+3)和 h(4m+2, 4n+3)中的每一个经开关 61 馈送给算术单元 56 。

当读出部分 47 输出相应于第一层中 2 × 2 象素中右底象素 h(2s+1, 2t+1)的象素 h(4m+1, 4n+1)、h(4m+3, 4n+1)和 h(4m+1, 4n+3)时，并当 AND 门 59 的输出为 1 时，开关 61 被设计成选择其 61b 端。由读出部分 47 输出的象素 h(4m+1, 4n+1)、h(4m+3, 4n+1)和 h(4m+1, 4n+3)经开关 61 馈送给算术单元 56 。

算术单元 56 从读出部分 51 的输出中减去开关 61 的输出，并将差值馈

送给写入部分 50 。写入部分 50 经选择器电路 43 将算术单元 56 的输出写入到第三层存储器 4 中的存储体 A 地址(m, n)处。

第三层象素 q(m, n)，即第一层中 4 × 4 十六象素之和，最初被存储在第三层存储器 4 中的存储体 A 地址(m, n)处。当读出部分 44 读出第一层中象素 h(4m, 4n)时，读出部分 51 读出存储在第三层存储器 4 中的存储体 A 地址(m, n)处的数据(此处为 q(m, n))。算术单元 56 确定它们之间的差(q(m, n)-h(4m, 4n))，且写入部分 50 将其写入到第三层存储器 4 中的存储体 A 地址(m, n)处。

当读出部分 44 读出第一层中象素 h(4m+1, 4n)时，读出部分 51 读出存储在第三层存储器 4 中的存储体 A 地址(m, n)处的数据(此处为 q(m, n)-h(4m, 4n))。算术单元 56 确定它们之间的差(h(m, n)-h(4m, 4n)-h(4m+1, 4n))，且写入部分 50 将其写入到第三层存储器 4 中的存储体 A 地址(m, n)处。

之后，类似地重复写入存储在第三层存储器 4 中的存储体 A 地址(m, n)处的值。

读出相应于第一层中 2 × 2 象素中右底象素 h(2s+1, 2t+1)的第一层象素 h(4m+1, 4n+1)之后，读出部分 47 将其经过开关 61 馈送给算术单元 56 。然后第三层存储器 4 中的存储体 A 地址存储由方程 q(m, n)-h(4m, 4n)-h(4m+1, 4n)-h(4m+2, 4n)-h(4m+3, 4n)-h(4m, 4n+1)表示的数据，并且读出部分 51 读出该数据且将其送入算术单元 56 。

算术单元 56 从读出部分 51 的输出中减去读出部分 47 的输出，并且写入部分 50 将差值(q(m, n)-h(4m, 4n)-h(4m+1, 4n)-h(4m+2, 4n)-h(4m+3, 4n)-h(4m, 4n+1)-h(4m+1, 4n+1))写入到第三层存储器 4 中的存储体 A 地址(m, n)处。

最后，当读出部分 44 读出第一层中象素 h(4m+2, 4n+3)时，读出部分 51 读出存储在第三层存储器 4 中的存储体 A 地址(m, n)处的数据(此处为 q(m, n)-h(4m, 4n)-h(4m+1, 4n)-h(4m+2, 4n)-h(4m+3, 4n)-h(4m, 4n+1)-h(4m+1, 4n+1)-h(4m+2, 4n+1)-h(4m+3, 4n+1)-h(4m, 4n+2)-h(4m+1, 4n+2)-h(4m+2, 4n+2)-h(4m+3, 4n+2)-h(4m, 4n+3)-h(4m+1, 4n+3))。算术单元 56 确定它们之间的差且写入部分 50 将差值写入到第三层存储器 4 中的存储体 A 地址(m, n)处。具体地说，第一层中象素 h(4m+3, 4n+3)(=q(m, n)-h(4m, 4n)-h(4m+1, 4n)-h(4m+2, 4n)-h(4m+3, 4n)-h(4m, 4n+1)-h(4m+1, 4n+1)-h(4m+2, 4n+1)-(4m+3, 4n+1)-h(4m, 4n+2)-h(4m+1, 4n+2)-h(4m+2, 4n+2)-h(4m+3, 4n+2)-h(4m,

4n+3)-h(4m+1, 4n+3)-h(4m+2, 4n+3))被写入到第三层存储器 4 中的存储体 A 地址(m, n)处。

当第一层存储器 2 中的存储体 A 地址(4m+3, 4n+3)被存取时(没有相应于该地址的存储单元，并且即使试图存取该地址也没有任何内容写入该处及从该处读出)，读出部分 51 从第三层存储器 4 中的存储体 A 地址(m, n)处读出的数据是右底象素(象素值)h(4m+3, 4n+3)，该象素源自图 2 中由 D2 表示的第一层中 4 × 4 四象素。

当 AND 门 59 和 AND 门 60 的两个输出均为 1 时，选择器电路 58 选择并输出读出部分 51 的输出作为第一层象素。具体地说，AND 门 59 和 AND 门 60 的两个输出均为 1 意味着 ha0 、va0 、ha1 和 va1 均为 1，并意味着第一层中 4 × 4 十六象素的右底象素 h(4m+3, 4n+3)被读出的时刻。读出部分 51 从第三层存储器 4 中的存储体 A 地址(m, n)处读出象素 h(4m+3, 4n+3)，且读出部分 51 的输出由选择器是电路 58 选择并输出。

当第一层中的该象素被按此方式读出时，第二层存储器 3 存储第一层象素 h(2s+1, 2n+1)(不包括 h(4m+3, 4n+3))，并且第三层存储器 4 存储第一层象素 h(4m+3, 4n+3)。

第一层中的象素被写入，代替了存储在第二层存储器 3 和第三层存储器 4 中的值。

然后，被重新写入的第二层存储器 3 和第三层存储器 4 中的值需要被复原到第二层存储器 3 和第三层存储器 4 中它们原始的象素处(如果不需要，它们可以保留不恢复)。

如上所述，第一层存储器 2 被分成存储 8 α 行 8 α+3 行上象素的存储体 A 和存储 8 α+4 行至 8 α+7 行上象素的存储体 B 。第二层存储器 3 被分成存储第二层中 4 α 行和 4 α+1 行上象素的存储体 A 和存储第二层中 4 α+2 行和 4 α+3 行上象素的存储体 B 。并且第三层存储器 4 被分成存储第三层中 2 α 行上象素的存储体 A 和存储 2 α+1 行上象素的存储体 B 。

在本实施例中，延迟的水平地址 HA 和延迟的垂直地址 VA 分别是引入了四行延迟的水平地址 HA 和垂直地址 VA 。如上所述，当水平地址 HA 和垂直地址 VA 被选为存储体 A 地址，而延迟的水平地址 HA 和延迟的垂直地址 VA 被选作存储体 B 地址时，在第一层存储器 2 中水平地址 HA 和垂直地址 VA 的存储体 A 中，存储单元被存取，同时，在延迟的水平地址 HA 和延

迟的垂直地址 VA 的存储体 B 中(存储体 B 中存储单元对应于存储体 A 中存储单元的位置)，存储单元也被存取。

类似地，在第二层存储器 3 中，存储体 A 内的存储单元被存取，同时，被早二行存取的存储体 B 内的存储单元也被存取。在第三层存储器 4 中存储体 A 内的存储单元被存取，同时，被早一行存取的存储体 B 内的存储单元也被存取。

当读出部分 44 从第一层存储器 2 中的存储体 A 中读出象素 h(2s, 2t)、h(2s+1, 2t)和 h(2s, 2t+1)中的每一个时，读出部分 45 从第一层存储器 2 中的存储体 B 中经选择器电路 41 读出被早四行存取的象素 h(2s, 2t')、h(2s+1, 2t')和 h(2s, 2t'+1)的每一个，并将其馈送给算术单元 55 。此处, t'=t-2 。

当读出部分 45 从第一层存储器 2 中的存储体 B 中读出象素 h(2s, 2t')、h(2s+1, 2t')和 h(2s, 2t'+1)中的每一个时，读出部分 49 从第二层存储器 3 中的存储体 B 地址(s, t')处(预定的地址)经选择器电路 42 读出数据并将数据馈送给算术单元 55 。

算术单元 55 将读出部分 45 的输出和读出部分 49 的输出相加，并将和值馈送给写入部分 48 。写入部分 48 将算术单元 55 的输出经选择器电路 42 写入到第二层存储器 3 中的存储体 B 地址(s, t')处。

第二层存储器 3 中的存储体 B 地址(s, t')首先存储通过在第二层中早二行存取(在第一层中早四行)而确定的第一层象素 h(2s+1, 2t'+1)。当读出部分 45 从第一层存储器 2 中的存储体 B 中读出第一层象素 h(2s, 2t')时，读出部分 49 读出存储在第二层存储器 3 中的存储体 B 地址(s, t')处的数据(此处为 h(2s+1, 2t'+1))。算术单元 55 确定和值(h(2s, 2t')+h(2s+1, 2t'+1))，写入部分 48 将其写入到第二层存储器 3 中的存储体 B 地址(s, t')处。

另外，当读出部分 45 从第一层存储器 2 中的存储体 B 中读出第一层象素 h(2s+1, 2t')时，读出部分 49 读出存储在第二层存储器 3 中的存储体 B 地址(s, t')处的数据(此处为 h(2s, 2t')+h(2s+1, 2t'+1))。算术单元 55 确定和值(h(2s, 2t')+h(2s+1, 2t')+h(2s+1, 2t'+1))，写入部分 48 将其写入到第二层存储器 3 中的存储体 B 地址(s, t')处。

当读出部分 45 从第一层存储器 2 中的存储体 B 中读出第一层象素 h(2s, 2t'+1)时，读出部分 49 读出存储在第二层存储器 3 中的存储体 B 地址(s, t')处的数据(此处为 h(2s, 2t')+h(2s+1, 2t')+h(2s+1, 2t'+1))。算术单元 55 确定和值

(h(2s, 2t')+h(2s+1, 2t')+h(2s, 2t'+1)+h(2s+1, 2t'+1))，并且写入部分 48 将其写入到第二层存储器 3 中的存储体 B 地址(s, t')处。被写入到第二层存储器 3 中的存储体 B 地址(s, t')处的是原始的第二层象素 m(s, t')(=h(2s, 2t')+h(2s+1, 2t')+h(2s, 2t'+1)+h(2s+1, 2t+1))。

当读出部分 44 从第一层存储器 2 中的存储体 A 中读出第一层中象素 h(4m, 4n)、h(4m+1, 4n)、h(4m+2, 4n)、h(4m+3, 4n)、h(4m, 4n+1)、h(4m+2, 4n+1)、h(4m, 4n+2)、h(4m+1, 4n+2)、h(4m+2, 4n+2)、h(4m+3, 4n+2)、h(4m, 4n+3)和 h(4m+2, 4n+3))中的每一个(除第一层中 2 × 2 象素的右底象素 h(2s+1, 2t'+1)之外)时，读出部分 45 经选择器电路 41 从第一层存储器 2 中的存储体 B 中处读出早四行的第一层象素 h(4m, 4n')、h(4m+1, 4n')、h(4m+2, 4n')、h(4m+3, 4n')、h(4m, 4n'+1)、h(4m+2, 4n'+1)、h(4m, 4n'+2)、h(4m+1, 4n'+2)、h(4m+2, 4n'+2)、h(4m+3, 4n'+2)、h(4m, 4n'+3)和 h(4m+2, 4n'+3)中的每一个，并将其馈送给算术单元 57 。此处, n'=n-1 。

读出部分 53 经选择器电路 43 从第三层存储器 4 中的存储体 B 地址(m, n')处读出数据，并将其馈送给算术单元 57 。

读出部分 49 的输出经开关 62 馈送到算术单元 57 。开关 62 仅当 NOR 门 63 的输出处于 H 电平(hv0=va0=0)时接通，而其余的时间断开。因此开关 62 仅当读出部分 49 从第二层存储器 3 中的存储体 B 处读出第一层象素 h(4m+1, 4n'+1)、h(4m+3, 4n'+1)和 h(4m+1, 4n+3)中的每一个时接通，其结果是第一层象素 h(4m+1, 4n'+1)、h(4m+3, 4n'+1)和 h(4m+1, 4n'+3)经开关 62 馈送到算术单元 57 。

算术单元 57 将读出部分 45 的输出和读出部分 53 的输出相加，并当开关 62 接通且读出部分 49 给出其输出时，在加法操作中再加上读出部分 49 的输出，所得的和值被馈送给写入部分 52 。写入部分 52 将算术单元 57 的输出经选择器电路 43 写入到第三层存储器 4 中的存储体 B 地址(m, n')处。

第三层存储器 4 中的存储体 A 地址(m, n')最初存储通过在第三层中早一行存取(在第一层中早四行)而确定的第一层象素 h(4m+3, 4n'+3)。当读出部分 45 和读出部分 49 分别读出第一层象素 h(4m, 4n')和 h(4m+1, 4n'+1)时，读出部分 53 读出存储在第三层存储器 4 中的存储体 B 地址(m, n')处的数据(此处为 h(4m+3, 4n'+3))。算术单元 57 确定和值(h(4m, 4n')+h(4m+1, 4n'+1)+h(4m+3, 4n'+3)，且写入部分 52 将其写入到第三层存储器 4 中的存储体 B 地址(m, n')

处。

当读出部分 45 读出第一层象素 h(4m+1, 4n')时，读出部分 53 读出存储在第三层存储器 4 中的存储体 B 地址(m, n')处的数据(此处为 h(4m, 4n')+h(4m+1, 4n'+1)+h(4m+3, 4n'+3))。算术单元 57 确定和值(h(4m, 4n')+h(4m+1, 4n')+h(4m+1, 4n'+1)+h(4m+3, 4n'+3))，且写入部分 52 将其写入到第三层存储器 4 中的存储体 B 地址(m, n')处。

最后，读出部分 45 读出第一层象素 h(4m+2, 4n'+3)，且读出部分 53 读出存储在第三层存储器 4 中的存储体 B 地址(m, n')处的数据(此处为 h(4m, 4n')+h(4m+1, 4n')+h(4m+2, 4n')+h(4m+3, 4n')+h(4m, 4n'+1)+h(4m+1, 4n'+1)+h(4m+2, 4n'+1)+h(4m+3, 4n'+1)+h(4m, 4n'+2)+h(4m+1, 4n'+2)+h(4m+2, 4n'+2)+h(4m+3, 4n'+2)+h(4m, 4n'+3)+h(4m+1, 4n'+3)+h(4m+3, 4n'+3))。算术单元 57 确定和值，且写入部分 52 将其写入到第三层存储器 4 中的存储体 B 地址(m, n')处。具体地说，写入到第三层存储器 4 中的存储体 B 地址(m, n')处的是原始的第三层象素 q(m, n')(=h(4m, 4n')+h(4m+1, 4n')+h(4m+2, 4n')+h(4m+3, 4n')+h(4m, 4n'+1)+h(4m+1, 4n'+1)+h(4m+2, 4n'+1)+h(4m+3, 4n'+1)+h(4m, 4n'+2)+h(4m+1, 4n'+2)+h(4m+2, 4n'+2)+h(4m+3, 4n'+2)+h(4m, 4n'+3)+h(4m+1, 4n'+3)+h(4m+2, 4n'+3)+h(4m+3, 4n'+3))。

当垂直地址 VA 的低阶第三位 va2 转换时，选择器电路 32 选取提供给地址提供电路 1 的水平地址 HA 和垂直地址 VA 作为存储体 B 地址，并选择延迟的水平地址 HA 和延迟的垂直地址 VA 作为存储体 A 地址。

类似地，选择器电路 33 和 34 选择存储体 A 地址和存储体 B 地址。具体地说，选择器电路 33 选择水平地址 HA 的高阶八位 ha1 至 ha8 和垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 B 地址，并选择延迟的水平地址 HA 的高阶八位 ha1 至 ha8 和延迟的垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 A 地址。选择器电路 34 选择水平地址 HA 的高阶七位 ha2 至 ha8 和垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 B 地址，并选择延迟的水平地址 HA 的高阶七位 ha2 至 ha8 和延迟的垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 A 地址。

在选择器电路 32 至 34 中，被选取的存储体 A 地址和存储体 B 地址分别被馈送到第一层存储器 2、第二层存储器 3 和第三层存储器 4 的存储体 A 地址端和存储体 B 地址端。

在选择器电路41中，第一层存储器2的存储体B数据端与读出部分44相连，而存储体A数据端与读出部分45相连。在选择器电路42中，第二层存储器3的存储体B数据端与写入部分46及读出部分47相连，而存储体A数据端与写入部分48及读出部分49相连。在选择器电路43中，第三层存储器4的存储体B数据端与写入部分50及读出部分51相连，而存储体A数据端与写入部分52及读出部分53相连。

在上述讨论中执行了与上述过程一致但存储体A和存储体B互换的过程。

第一层象素由选择器电路58输出，而在第二层存储器3和第三层存储器4中存储的内容被再写到原始值中。

图8表示图1所示的当第一层存储器2和第二层存储器3被设置为具有如上所述的较小存储容量时读出第二层中图像的存储装置的结构图。如图8所示，涉及到第一层存储器2中的部分被省去。

地址提供电路1由延迟电路71和选择器电路73及74组成。延迟电路71和选择器电路73及74分别与图6中的延迟电路31和选择器电路33及34结构一致。

第二层存储器3和第三层存储器4分别与图6中的结构一致。

RMW电路5由选择器电路81和82、读出部分84和85、写入部分86、读出部分87、写入部分88、读出部分89、开关91和92、算术单元94和95、选择器电路98和AND门99和100组成。

分别从第二层存储器3中的存储体A和储体B读出的存储体A数据和储体B数据被输出到与选择器电路81相连的存储体A数据端和储体B数据端。选择器电路81接收来自地址提供电路1的垂直地址VA的低阶第三位va2作为控制信号。相应于控制信号va2，选择器电路81将存储体A数据端和存储体B数据端中的一个与读出部分84相连，而将存储体A数据端和存储体B数据端中的另一个与读出部分85相连。

当控制信号va2在选择器电路81分别将存储体A数据端和存储体B数据端与读出部分84和读出部分85相连处转换时，存储体A数据端和存储体B数据端分别与读出部分85和读出部分84再相连。当控制信号va2再转换时，选择器电路81又分别将存储体A数据端和存储体B数据端与读出部分84和读出部分85相连。在控制信号va2每次转换时，选择器电路81交替变

换存储体 A 数据端与读出部分 84 和读出部分 85 之间的相连，同时交替变换存储体 B 数据端与读出部分 85 和读出部分 84 之间的相连。

与选择器电路 82 相连的是：一存储体 A 数据端，要写在第三层存储器 4 中的存储体 A 上的数据被馈送到该存储体 A 数据端；一存储体 A 数据端，从该数据端中输出从存储体 A 中读出的数据；一存储体 B 数据端，要写在存储体 B 上的数据被馈送到该存储体 B 数据端；以及一存储体 B 数据端，从该数据端中输出从存储体 B 读出的数据。选择器电路 82 还被提供了来自地址提供电路 1 的垂直地址 VA 的低阶第三位 va2 作为控制信号。相应于控制信号 va2，选择器电路 82 将存储体 A 数据端和存储体 B 数据端的其中之一与写入部分 86 和读出部分 87 相连，同时将存储体 A 数据端和存储体 B 数据端中的另一个与写入部分 88 和读出部分 89 相连。

当控制信号 va2 在选择器电路 82 将存储体 A 数据端与写入部分 86 和读出部分 87 相连，而存储体 B 数据端与写入部分 88 和读出部分 89 相连处转换时，存储体 A 数据端与写入部分 88 和读出部分 89 重新相连，而同时存储体 B 数据端与读出部分 86 和写入部分 87 重新相连。当控制信号 va2 再转换时，选择器电路 82 又将存储体 A 数据端与写入部分 86 和读出部分 87 相连，而存储体 B 数据端与写入部分 88 和读出部分 89 相连。在控制信号 va2 每次转换时，选择器电路 82 交替变换存储体 A 数据端与写入部分 86 和读出部分 87 之间的连接，和在写入部分 86 和读出部分 87 以及写入部分 88 和读出部分 89 之间的连接，而同时交替转换存储体 B 数据端与写入部分 88 和读出部分 89 以及写入部分 86 和读出部分 87 之间的连接。

读出部分 84 和 85 从第二层存储器 3 中经选择器电路 81 读出数据。由读出部分 84 读出的数据被馈送给开关 91 的 91b 端和选择器电路 98 。由读出部分 85 读出的数据被馈送给开关 92 的 92b 端。写入部分 86 将算术单元 94 的输出经选择器电路 82 写入到第三层存储器 4 上。读出部分 87 经选择器电路 82 从第三层存储器 4 上读出数据，并将数据馈送给算术单元 94 和选择器电路 98 。写入部分 88 将算术单元 95 的输出经选择器电路 82 写入到第三层存储器 4 上。读出部分 89 经选择器电路 82 从第三层存储器 4 上读出数据，并将数据馈送给算术单元 95 。

开关 91 依据 AND 门 99 的输出在其 91a 端和 91b 端之间选择，将其输出馈送给算术单元 94 。开关端 91b 被提供了 0 。开关 92 依据 AND 门 99 的

输出在其 92a 端和 92b 端之间选择，并将其输出馈送给算术单元 95 。开关端 92b 被提供了 0 。

算术单元 94 从读出部分 87 的输出中减去开关 91 的输出，并将差值馈送给写入部分 86 。算术单元 95 将读出部分 89 的输出和开关 92 的输出相加，并将和值馈送给写入部分 88 。

选择器电路 98 根据 AND 门 99 和 100 的输出选择读出部分 84 和读出部分 87 其中之一的输出。AND 门 99 接收来自地址提供电路 1 的水平地址 HA 的最小有效位 ha0 和垂直地址 VA 的最小有效位 va0 作为控制信号，计算它们的逻辑积并将其馈送给选择器电路 98 和开关 91 和 92 。AND 门 100 接收提供给地址提供电路 1 的水平地址 HA 的低阶第二位 ha1 和垂直地址 VA 的低阶第二位 va1 作为控制信号，计算它们的逻辑积并将其馈送给选择器电路 98 。

现在讨论存储装置的操作。

在此假设在选择器电路 73 和选择器电路 74 中水平地址 HA 和垂直地址 VA 被选作存储体 A 地址，并选择延迟的水平地址 HA 和延迟的垂直地址 VA 作为存储体 B 地址。

具体地说，选择器电路 73 选择水平地址 HA 的高阶八位 ha1 至 ha8 和垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 A 地址，并选择延迟的水平地址 HA 的高阶八位 ha1 至 ha8 和延迟的垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 B 地址。选择器电路 74 选择水平地址 HA 的高阶七位 ha2 至 ha8 和垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 A 地址，并选择延迟的水平地址 HA 的高阶七位 ha2 至 ha8 和延迟的垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 B 地址。

在选择器电路 73 和 74 中，被选取的存储体 A 地址和存储体 B 地址分别被馈送到第二层存储器 3 和第三层存储器 4 的存储体 A 地址端和存储体 B 地址端。

在选择器电路 81 中，第二层存储器 3 的存储体 A 数据端与读出部分 84 相连而存储体 B 数据端与读出部分 85 相连。在选择器电路 82 中，第三层存储器 4 的存储体 A 数据端与写入部分 86 及读出部分 87 相连而存储体 B 数据端与写入部分 88 及读出部分 89 相连。

读出部分 84 经选择器电路 81 读出存储在由选择器电路 73 输出的第二

层存储器 3 中存储体 A 地址内的第二层象素(象素值)，并将其馈送给开关 91 的 91b 端和选择器电路 98 。

当 AND 门 99 的输出(AND 门 99 和 100 的输出)仅为 1 时，选择器电路 98 选择并输出读出部分 84 的输出作为第二层中的一个象素。具体地说，AND 门 99 的输出为 1 意味着 ha0 和 va0 均为 1 而 ha1 和/或 va1 为 0，并意味着源自于图 2 中由 D1 表示的第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)和 h(2s+1, 2t+1)的右底象素 h(2s+1, 2t+1)(不包括 h(4m+3, 4t+3))被读出的时刻。

当第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)、和 h(2s+1, 2t+1)中的每一个被存取时，第二层象素 m(s, t)也被存取。当第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)、和 h(2s+1, 2t+1)中的每一个被存取时，从第二层存储器 3 读出的数据即第二层象素 m(s, t)被输出，并且在此情况下，重复四次输出相同的象素。

当源自于第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)、和 h(2s+1, 2t+1)的右底象素 h(2s+1, 2t+1)(不包括 h(4m+3, 4t+3))被读取时，选择器电路 98 选择并输出读出部分 84 的输出，即第二层象素 m(s, t)。

同样的原因，仅当读出部分 84 输出第一层象素 h(2s+1, 2t+1)(当 AND 门 99 的输出变换成 1)时，开关 91 选择 91b 端，而其余时间选择 91a 端。具体地说，仅当源自于第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)、和 h(2s+1, 2t+1)的右底象素 h(2s+1, 2t+1)被读出时，由读出部分 84 输出的第二层象素 m(s, t)被馈送到算术单元 94，而在其余时间将 0 馈送给读出部分 87 。

读出部分 87 经选择器电路 82 读出存储在由选择器电路 74 输出的存储体 A 地址内的第三层象素(象素值)，并将其馈送给算术单元 94 和选择器电路 98 。

当第一层存储器中地址(4m, 4n)、(4m+1, 4n)、(4m+2, 4n)、(4m+3, 4n)、(4m, 4n+1)、(4m+1, 4n+1)、(4m+2, 4n+1)、(4m+3, 4n+1)、(4m, 4n+2)、(4m+1, 4n+2)、(4m+2, 4n+2)、(4m+3, 4n+2)、(4m, 4n+3)、(4m+1, 4n+3)、(4m+2, 4n+3)和(4m+3, 4n+3)的每一个被存取时，读出部分 87 从第三层存储器 4 中的存储体 A 地址处读出数据，并将其馈送给算术单元 94 。

根据上述讨论，当地址(4m, 4n)、(4m+1, 4n)、(4m+2, 4n)、(4m+3, 4n)、

(4m, 4n+1)、(4m+2, 4n+1)、(4m, 4n+2)、(4m+1, 4n+2)、(4m+2, 4n+2)、(4m+3, 4n+2)、(4m, 4n+3)和(4m+3, 4n+3)中每一个，不包括对应于第一层存储器 2 中地址(4m+1, 4n+1)、(4m+3, 4n+1)、(4m+1, 4n+3)、和(4m+3, 4n+3)被存取时，开关 91 选择 91b 端。在这种情况中，算术单元 94 在从第三层存储器 4 中的存储体 A 地址(m, n)处读出的数据中减去 0，其差值，即，从第三层存储器 4 中的存储体 A 地址(m, n)处读出的数据本身，被馈送给写入部分 86 。写入部分 86 经过选择器电路 82 将算术单元 94 输出的数据写入到第三层存储器 4 中的存储体 A 地址(m, n)处。存储在第三层存储器 4 中的存储体 A 地址(m, n)处的数据与前一个保持不变。

当第一层存储器 2 中地址(4m+1, 4n+1)、(4m+3, 4n+1)、和(4m+1, 4n+3)中的每一个被存取时，开关 91 选择 91b 端。在这种情况中，读出部分 84 从第二层存储器 3 读出第二层象素 m(2m, 2n)、 m(2m+1, 2n)和 m(2m, 2n+1)中的每一个，并通过开关 91 将其馈送给算术单元 94 。

算术单元 94 从读出部分 87 的输出中减去读出部分 84 的输出，并将差值馈送给写入部分 86 。写入部分 86 经选择器电路 82 将算术单元 94 的输出写入到第三层存储器 4 中的存储体 A 地址(m, n)处。

第一层中 4 × 4 十六象素 h(4m, 4n)、 h(4m+1, 4n)、 h(4m+2, 4n)、 h(4m+3, 4n)、 h(4m, 4n+1)、 h(4m+1, 4n+1)、 h(4m+2, 4n+1)、 h(4m+3, 4n+1)、 h(4m, 4n+2)、 h(4m+1, 4n+2)、 h(4m+2, 4n+2)、 h(4m+3, 4n+2)、 h(4m, 4n+3)、 h(4m+1, 4n+3)、 h(4m+2, 4n+3)和 h(4m+3, 4n+3)之和，即作为第二层中 2 × 2 四象素 m(2m, 2n)、 m(2m+1, 2n)、 m(2m, 2n+1)和 m(2m+1, 2n+1)之和的第三层象素 q(m, n)最初被存储在第三层存储器 4 中的存储体 A 地址(m, n)处，并且当第一层存储器 2 中的地址(4m+1, 4n+1)被存取时，算术单元 94 经开关 91 接收来自读出部分 84 的第二层象素 m(2m, 2n)，同时接收来自读出部分 87 的存储在第三层存储器 4 中的存储体 A 地址处的数据(此处为 q(m, n))。

算术单元 94 确定它们之间的差(q(m, n)-m(2m, 2n))，且写入部分 86 将其写入到第三层存储器 4 中的存储体 A 地址(m, n)处。

当第一层存储器 2 中的地址(4m+3, 4n+1)被存取时，算术单元 94 经开关 91 接收来自读出部分 84 的第二层象素 m(2m+1, 2n+1)，同时接收来自读出部分 87 的存储在第三层存储器 4 中的存储体 A 地址(m, n)处的数据(此处为 q(m,

n)-m(2m, 2n))。

算术单元 94 确定它们之间的差(q(m, n)-m(2m, 2n)-m(2m+1, 2n))，且写入部分 86 将其写入到第三层存储器 4 中的存储体 A 地址(m, n)处。

当第一层存储器 2 中的地址(4m+1, 4n+3)被存取时，算术单元 94 经开关 91 接收来自读出部分 84 的第二层象素 m(2m, 2n+1)，同时接收来自读出部分 87 的存储在第三层存储器 4 中的存储体 A 地址(m, n)处的数据(此处为 q(m, n)-m(2m, 2n)-m(2m+1, 2n))。

算术单元 94 确定它们之间的差(q(m, n)-m(2m, 2n)-m(2m+1, 2n)-m(2m, 2n+1))，且写入部分 86 将其写入到第三层存储器 4 中的存储体 A 地址(m, n)处。

因此，写入到第三层存储器 4 中的存储体 A 地址(m, n)处的是第二层象素 m(2m+1, 2n+1)(=q(m, n)-m(2m, 2n)-m(2m+1, 2n)-m(2m, 2n+1))。

当第一层存储器 2 中的存储体 A 地址(4m+3, 4n+3)被存取时(即第二层存储器 3 中的存储体 A 地址(2m+1, 2n+1)被存取时，没有相应于该地址的存储单元，并且即使试图存取该地址也没有任何内容写入该处及从该处读出)，读出部分 87 从第三层存储器 4 中的存储体 A 地址(m, n)处读出源自于图 2 中由 D2 表示的第一层中 4 × 4 十六象素的右底象素 2 × 2 象素 h(4m+2, 4n+2)、h(4m+3, 4n+2)、h(4m+2, 4n+3)、和 h(4m+3, 4n+3)之和(第二层中的 m(2m+1, 2n+1))。

当 AND 门 99 和 50 两个的输出均为 1 时，选择器电路 98 选择并输出读出部分 51 的输出作为第二层象素。具体地说，AND 门 99 和 50 的输出为 1 意味着 ha0、va0、ha1 和 va1 均为 1，并意味着第一层存储器 2 中的地址被存取的时刻。如上所述，读出部分 87 此时从第三层存储器 4 中的存储体 A 地址(m, n)处读出的数据是第二层象素(2m+1, 2n+1)，并且该数据由选择器电路 98 选择并输出。

如图 6 所示，当以此方式读出第二层象素时，第三层存储器 4 以相同的方式存储第二层象素 m(2m+1, 2n+1)。

具体地说，写入第二层象素，取代第三层存储器中的第三层像素。

以这种方式存储在第三层存储器 4 中的值需要被复原到原始的第三层象素处。

当水平地址 HA 和垂直地址 VA 被选为存储体 A 地址而延迟的水平地址

HA 和延迟的垂直地址 VA 被选作存储体 B 地址时，第一层存储器 2 中的水平地址 HA 和垂直地址 VA 的存储体 A 存储单元被存取，同时，延迟的水平地址 HA 和延迟的垂直地址 VA 的存储体 B 存储单元也被存取，二者都被早四行存取。

在第二层存储器 3 中，存储体 A 存储单元被存取，而被早二行存取的存储体 B 存储单元也被存取。在第三层存储器 4 中存储体 A 存储单元被存取，而被早一行存取的存储体 B 存储单元也被存取。

当读出部分 84 从第二层存储器 3 中的存储体 A 读出第二层象素 m(2m, 2n)、m(2m+1, 2n)和 m(2m, 2n+1)中的每一个时，读出部分 85 从第二层存储器 3 中的存储体 B 处分别读出第二层象素 m(2m, 2n')、m(2m+1, 2n')和 m(2m, 2n'+1)中的每一个，并将其馈送给开关 92 的 92b 端。此处, n'=n-1 。

类似开关 91，仅当读出部分 84 输出第一层象素 h(2s+1, 2t+1)(当 AND 门 99 的输出变换成 1)时，开关 92 被设计成选择 92b 端，而其余时间选择 92a 端。仅当源自于第一层中 2 × 2 四象素 h(2s, 2t)、h(2s+1, 2t)、h(2s, 2t+1)、和 h(2s+1, 2t+1)的右底象素 h(2s+1, 2t+1)被读出时，由读出部分 85 输出的第二层象素被馈送到算术单元 95，而在其余时间则被馈送 0 。

当读出部分 85 从第二层存储器 3 中存储体 B 读出第二层中象素 m(2m, 2n')、m(2m+1, 2n')和 m(2m, 2n'+1)中的每一个时，读出部分 89 经选择器电路 82 从第三层存储器 4 中的存储体 B 地址(m, n')处读出数据，并将其馈送给算术单元 95 。

算术单元 95 将读出部分 85 和读出部分 89 的输出相加并将所得的和值馈送给写入部分 88 。写入部分 88 将算术单元 95 的输出经选择器电路 82 写入到第三层存储器 4 中的存储体 B 地址(m, n')处。

第三层存储器 4 中的存储体 B 地址(m, n')最初存储通过在第二层中早二行存取(在第一层中早四行)而确定的第二层象素 m(2m+1, 2n'+1)。当读出部分 85 从第二层存储器 3 中的存储体 B 中读出第二层象素 m(2m, 2n')时，读出部分 89 读出存储在第三层存储器 4 中的存储体 B 地址(m, n')处的数据(此处为第二层象素 m(2m+1, 2n'+1))。算术单元 95 确定和值(m(2m, 2n')+m(2m+1, 2n'+1))，且写入部分 88 将其写入到第三层存储器 4 中的存储体 B 地址(m, n')处。

当读出部分 85 从第二层存储器 3 中的存储体 B 中读出第二层象素

m(2m+1, 2n')时，读出部分 89 读出存储在第三层存储器 4 中的存储体 B 地址(m, n')处的数据(此处为 m(2m, 2n')+m(2m+1, 2n'+1))。选择器电路 98 确定和值(m(2m, 2n')+m(2m+1, 2n')+m(2m+1, 2n'+))，且写入部分 88 将其写入到第三层存储器 4 中的存储体 B 地址(m, n')处。

当读出部分 85 从第二层存储器 3 中的存储体 B 中读出第二层象素 m(2m, 2n'+1)时，读出部分 89 读出存储在第三层存储器 4 中的存储体 B 地址(m, n')处的数据(此处为 m(2m, 2n')+m(2m+1, 2n')+m(2m+1, 2n'+1))。选择器电路 98 确定和值(m(2m, 2n')+m(2m+1, 2n')+m(2m, 2n'+1)+m(2m+1, 2n'+1))，且写入部分 88 将其写入到第三层存储器 4 中的存储体 B 地址(m, n')处。具体地说，第三层存储器 4 中的存储体 B 地址(m, n')存储原始的第三层象素 q(m, n')(=m(2m, 2n')+m(2m+1, 2n')+m(2m, 2n'+1)+m(2m+1, 2n'+1)=h(4m, 4n)，h(4m+1, 4n)，h(4m+2, 4n)，h(4m+3, 4n)，h(4m, 4n+1)，h(4m+1, 4n+1)，h(4m+2, 4n+1)，h(4m+3, 4n+1)，h(4m, 4n+2)，h(4m+1, 4n+2)，h(4m+2, 4n+2)，h(4m+3, 4n+2)，h(4m, 4n+3)，h(4m+1, 4n+3)，h(4m+2, 4n+3)，h(4m+3, 4n+3)。

当垂直地址 VA 的低阶第三位 va2 转换时，在选择器电路 73 和 74 中的存储体 A 地址和存储体 B 地址的选择反转。具体地说，选择器电路 73 选择水平地址 HA 的高阶八位 ha1 至 ha8 和垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 B 地址，并选择延迟的水平地址 HA 的高阶八位 ha1 至 ha8 和延迟的垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 A 地址。选择器电路 74 选择水平地址 HA 的高阶七位 ha2 至 ha8 和垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 B 地址，并选择延迟的水平地址 HA 的高阶七位 ha2 至 ha8 和延迟的垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 A 地址。

在选择器电路 73 和 74 中，被选取的存储体 A 地址和存储体 B 地址分别被馈送到第二层存储器 3 和第三层存储器 4 的存储体 A 地址端和存储体 B 地址端。

在选择器电路 81 中，第二层存储器 3 的存储体 B 数据端与读出部分 84 相连，而存储体 A 数据端与读出部分 85 相连。在选择器电路 82 中，第三层存储器 4 的存储体 B 数据端与写入部分 86 及读出部分 87 相连，而存储体 A 数据端与写入部分 88 及读出部分 89 相连。

在上述讨论中执行了与上述过程一致但存储体 A 和存储体 B 互换的过

程。

第二层象素由选择器电路 98 输出，而第三层存储器 4 中存储的内容被再写到原始数值处。

如上所述，第一层存储器 2 、第二层存储器 3 和第三层存储器 4 中的每一个被分成存储体 A 和存储体 B 两个存储体，并通过并行存取两个存储体，第一层和第二层中的象素被写入，取代了存储在第二层存储器 3 和第三层存储器 4 中的值，且重新写入的数据再被恢复到原始数据。

具体地说，读出存储在由水平地址 HA 和垂直地址 VA 指定的第一层存储器 2 中存储体 A 地址处的第一层象素，同时，读出存储在由水平地址 HA 和垂直地址 VA 的一部分指定的第二层存储器 3 中存储体 A 地址处的第二层象素(第一被处理数据)。通过从第二层象素中减去第一层象素，最终确定第一层象素(第二被处理数据)，并被写入存储第二层象素的第二层存储器 3 中的地址处。同时，读出存储在由延迟的水平地址 HA 和延迟的垂直地址 VA 指定的第一层存储器 2 中的存储体 B 地址处的第一层象素，同时，读出存储在由延迟的水平地址 HA 和延迟的垂直地址 VA 的一部分指定的第二层存储器 3 中的存储体 B 地址处的第一层象素(第二被处理数据)。通过将这些第一层象素相加，确定原始的第二层象素(第一被处理数据)，并且存储在第二层存储器 3 中的存储体 B 地址处的数据，即第一层象素又被重新写回到原始的第二层象素。

虽然，在本实施例中第一层存储器 2 、第二层存储器 3 和第三层存储器 4 被分成存储体 A 和存储体 B 两个储体，但存储体的分割并不限于此方法。

虽然，在本实施例中对从存储体 A 和存储体 B 读出的数据执行相加和相减操作，但对于从存储体 A 和存储体 B 读出的数据的处理并不局限于相加和相减操作。

虽然，在本实施例中利用提供给第一层存储器 2 的水平地址 HA 和垂直地址 VA 的一部分来存取第二层存储器 3 和第三层存储器 4 ，但也可以利用不同于提供给第一层存储器 2 的水平地址 HA 和垂直地址 VA 的指定的(独立的)地址来存取第二层存储器 3 和第三层存储器 4 。

虽然，在本实施例中采用相应于图像中每个象素的水平位置和垂直位置的水平地址和垂直地址来存取第一层存储器 2 、第二层存储器 3 和第三层存储器 4 ，但也可以利用相应于时间方向(direction of time)上的地址来存取第一

层存储器 2、第二层存储器 3 和第三层存储器 4。在这种情况中，第一层和第二层中的象素可以由沿时间方向分布的象素和在沿水平方向和垂直方向延伸的空间中分布的象素构成。

第一层存储器 2、第二层存储器 3 和第三层存储器 4 不需要由其各自的有形的存储器构成，所有这些可由一个存储器构成。在这种情况中，第一层存储器 2、第二层存储器 3 和第三层存储器 4 在一个存储器中有它们各自的存储区域。

虽然，在本实施例中地址提供电路 1 中第一层存储器 2、第二层存储器 3 和第三层存储器 4 以及 RMW 电路 5 全部布置在一个芯片上，但并不要求这样。

虽然，在本实施例中分配给第一层中每个象素的位数是 8，并且第一层存储器 2、第二层存储器 3 和第三层存储器 4 中存储单元的数据长度分别为 8、10 和 12 位，以避免数字丢失，但第一层存储器 2、第二层存储器 3 和第三层存储器 4 中的存储单元的数据长度可以都设为 8 位。但是在这种情况中，对于第二和第三层中的象素，通过将第一和第二层中 2 × 2 象素的和值的低阶二位(该值相等于 1/4，是一个平均值) 四舍五入(round down)而获得的数据被存储，这就导致数字的丢失，破坏数据的复原性。

当如上所述第一层存储器 2 和第二层存储器 3 的存储容量被降低，同时第一层象素和第二层象素保持不存储，且数字丢失被避免时，不存储在第一层和第二层中的象素(象素值)可根据方程(1)和(2)正确地判定。另一方面，当第一层和第二层中的一些象素未被存储且数字丢失未处理时，存储在第一层和第二层中的每个象素值将不能更好地确定。

本发明可以在非隔行扫描图像和隔行扫描图像中实现。

在上述实施例中，层的数目可以是 2 或 4 或更多。

虽然，在本实施例中，较低分层中 2 × 2 四象素的和在高于较低层一个层的另一层中形成一个象素(象素值)，但在较高分层中形成象素的方法并不局限于此。

虽然，在本实施例中采用硬件执行，但本发明可以用执行上述过程的程序来完成。

虽然，在上述实施例中象素(象素值)被存储在一个存储器如 RAM(随机存取存储器)中，但象素可被存储(写入)在存储介质如磁盘、磁光盘、磁带和

光卡中。

在本发明的存储装置中，第一存储器在至少由第一和第二地址信号指定的地址处存储输入的图像数据。第二存储器将第一被处理数据存储到至少由第一和第二地址信号指定的地址处。利用这种设置，通过将分布在多行上的一些输入图像数据的象素相加而得到的和值被确定并存储，不需要进行行延迟的单独的设置手段。

在本发明的存取方法中，输入的图像数据被存储在由第一和第二地址信号指定的第一存储器中的地址处，而存储在由第一和第二地址信号的一部分指定的第二存储器中地址处的数据被读出，并且通过处理存储数据和输入的图像数据计算出第一被处理数据。第一被处理数据被写入到存储存储数据的第二存储器中的地址处。利用这种设置，通过将分布在多行上的一些输入图像数据的象素相加而得到的和值被确定并存储，不需要进行行延迟的单独的设置手段。

在本发明的存取方法中，存储在由第一和第二地址信号指定的第一存储器中的地址处的输入图像数据被读出，同时存储在由第一和第二地址信号的一部分指定的第二存储器中的地址处的第一被处理数据被读出。通过处理输入的图像数据和第一被处理数据计算出第二被处理数据，并且第二被处理数据被写入到存储第一被处理数据的第二存储器中的地址处。同时存储在由延迟的地址信号指定的第一存储器中的地址处的输入图像数据被读出，以及存储在由延迟的地址信号的一部分指定的第二存储器中的地址处的第二被处理数据被读出。通过处理输入的图像数据和第二被处理数据计算出原始的第一被处理数据，并且第一被处理数据被写入到存储第二被处理数据的第二存储器中的地址处。利用这种设置，从第一被处理数据中确定第二被处理数据，同时从先确定的第二被处理数据复原原始的第一被处理数据。

上述的优选实施例并非用来限制本发明的范围，在不脱离本发明范围的前提下，可作各种改型和修改。

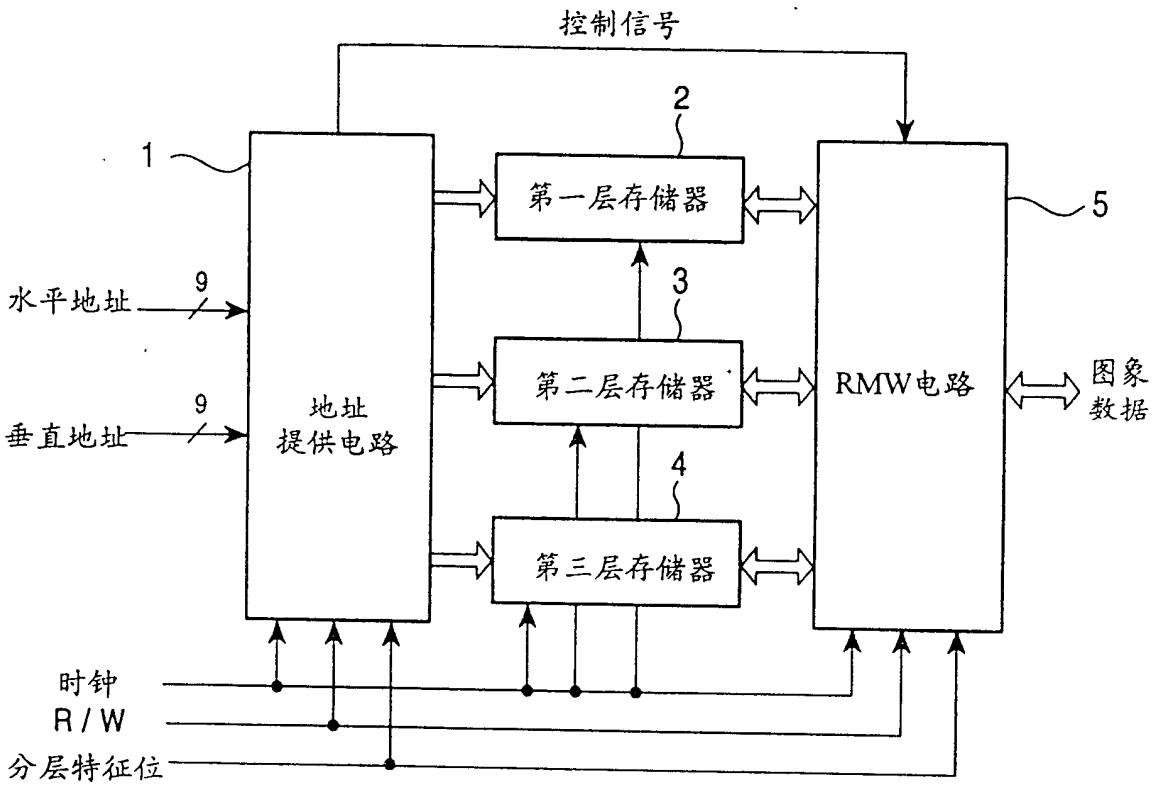

控制信号
1
2
第一层存储器
5
水平地址
9
3
第二层存储器
RMW电路
图象
数据
垂直地址
9
地址
提供电路
4
第三层存储器
时钟
R/W
分层特征位

图 1

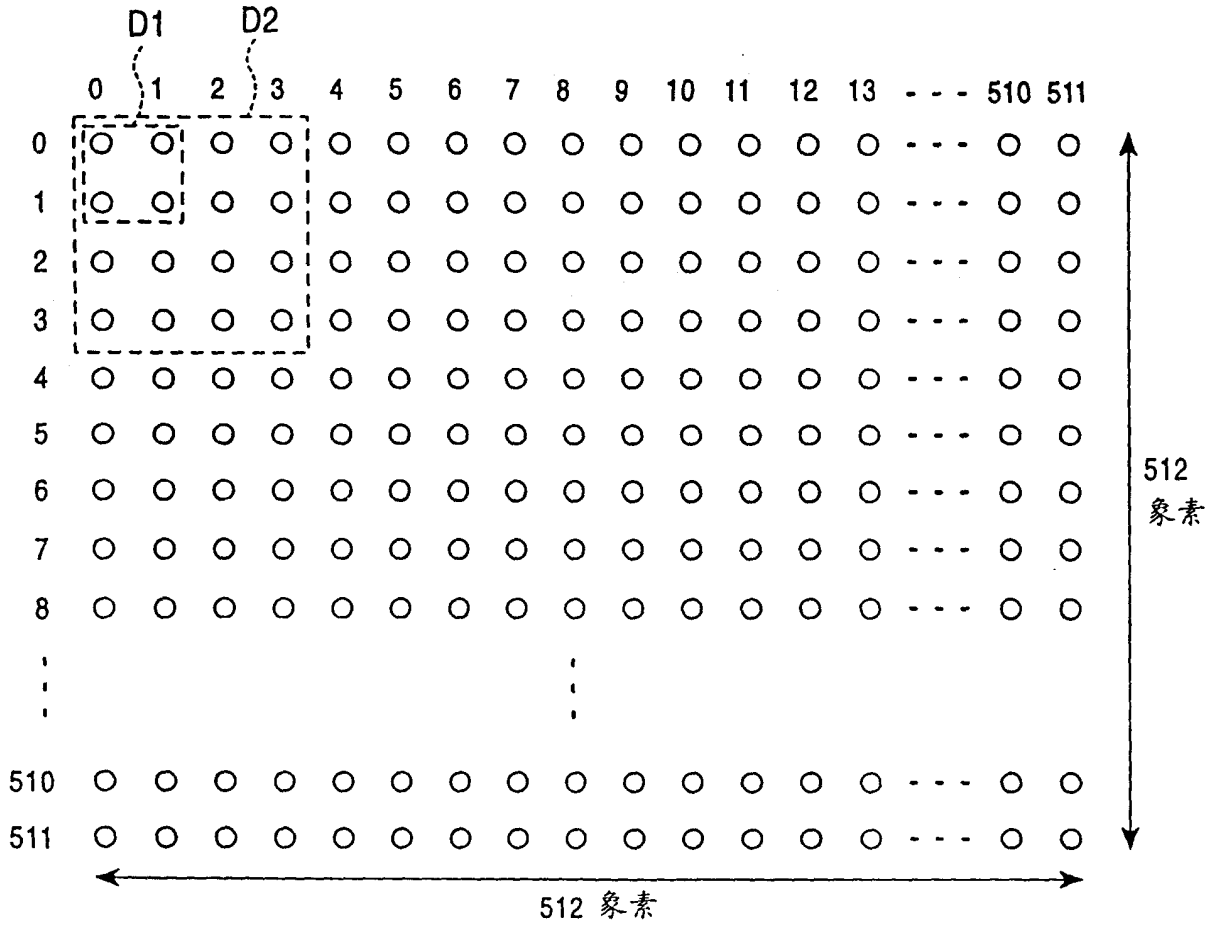

D1
D2
0 1 2 3 4 5 6 7 8 9 10 11 12 13 - - - 510 511
0
1
2
3
4
5
6
7
8
510
511
512
象素
512 象素

图 2

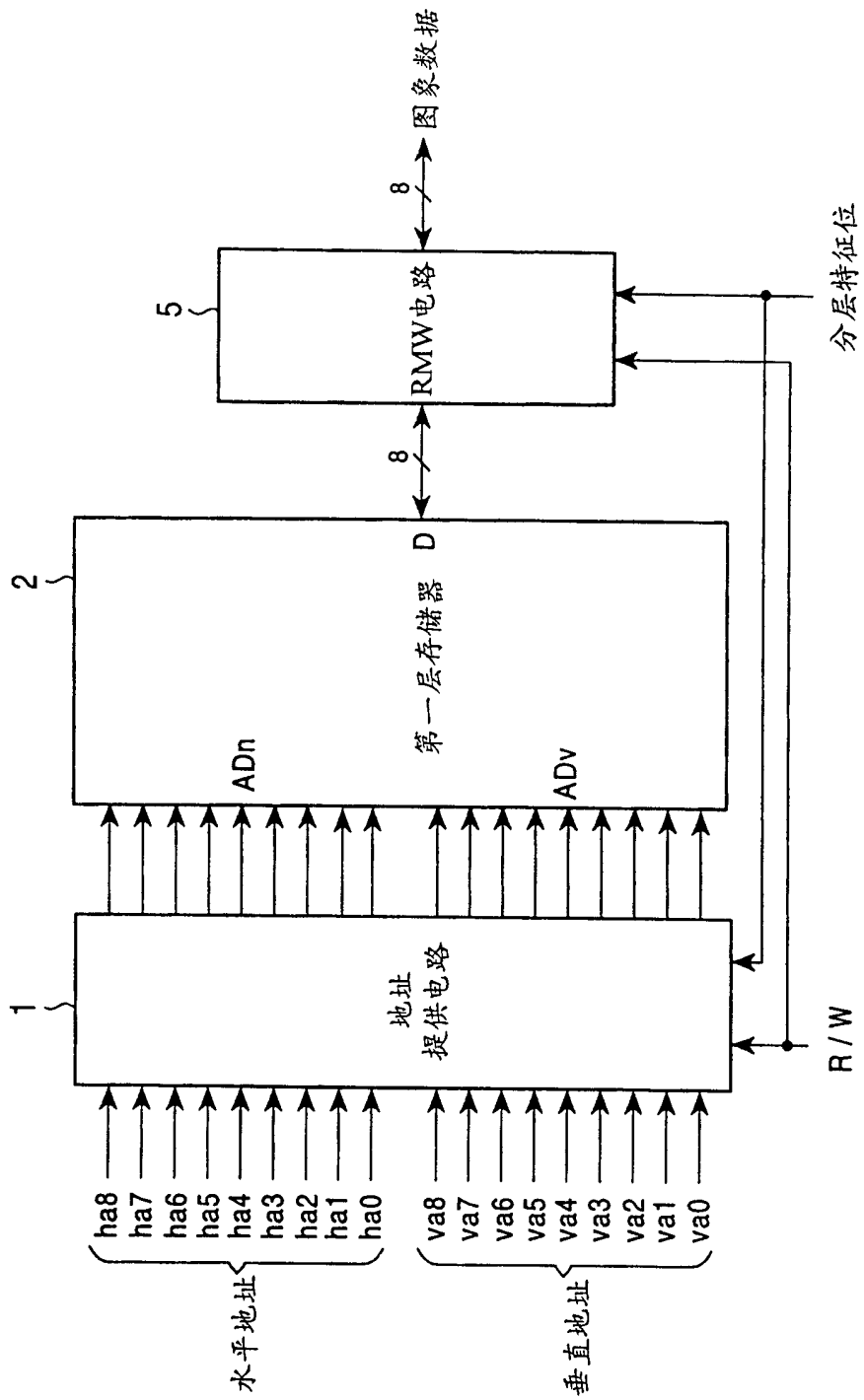

1
地址
提供电路
2
第一层存储器
D
ADn
ADv
5
RMW电路
8
8
图象数据
分层特征位
R / W
ha8
ha7
ha6
ha5
ha4
ha3
ha2
ha1
ha0
水平地址
va8
va7
va6
va5
va4
va3
va2
va1
va0
垂直地址

图 3

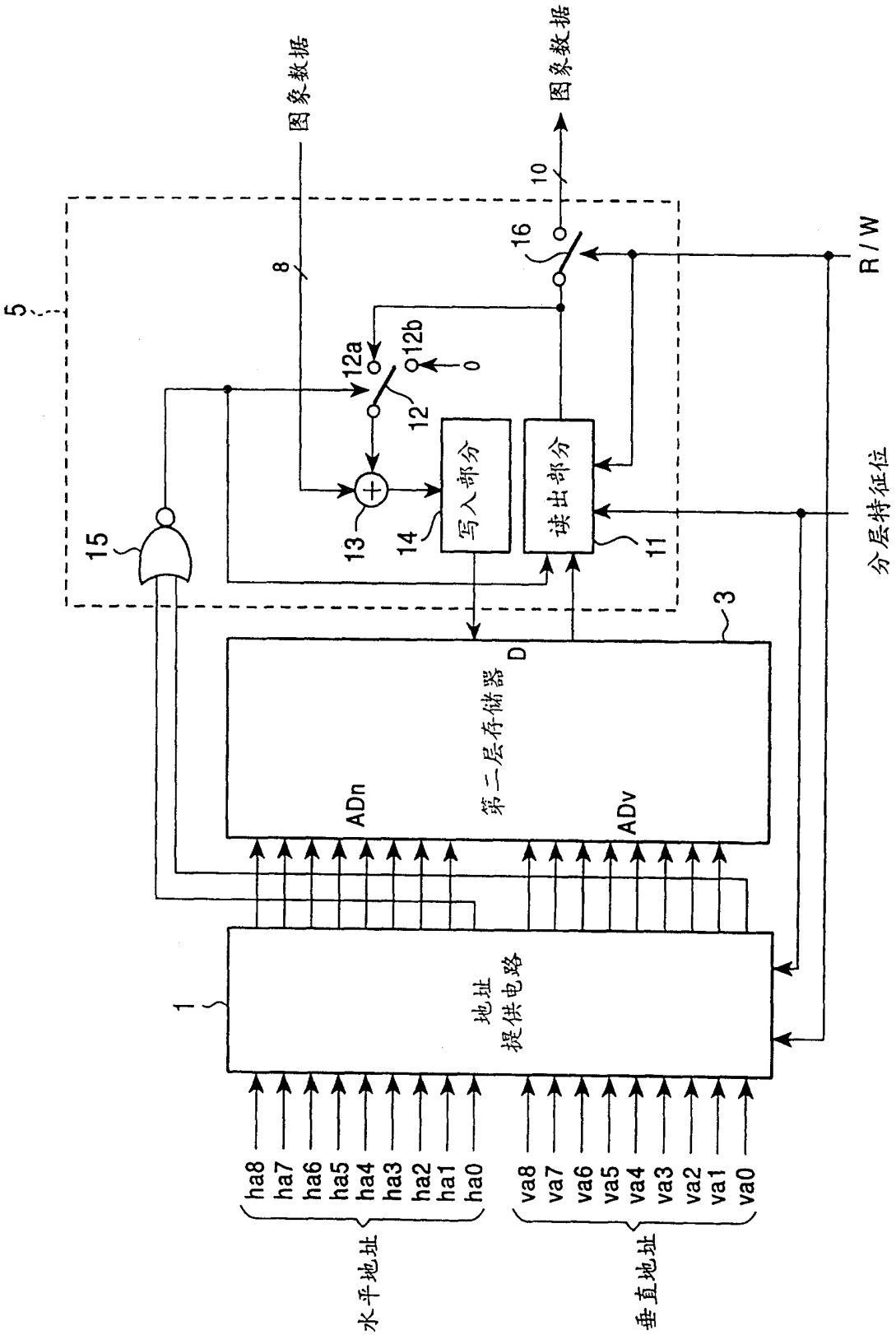

图象数据
图象数据
10
16
R / W
5
8
12a
12b
0
12
写入部分
读出部分
分层特征位
15
13
14
11
3
D
第二层存储器
ADn
ADv
1
地址
提供电路
ha8
ha7
ha6
ha5
ha4
ha3
ha2
ha1
ha0
va8
va7
va6
va5
va4
va3
va2
va1
va0
水平地址
垂直地址

图 4

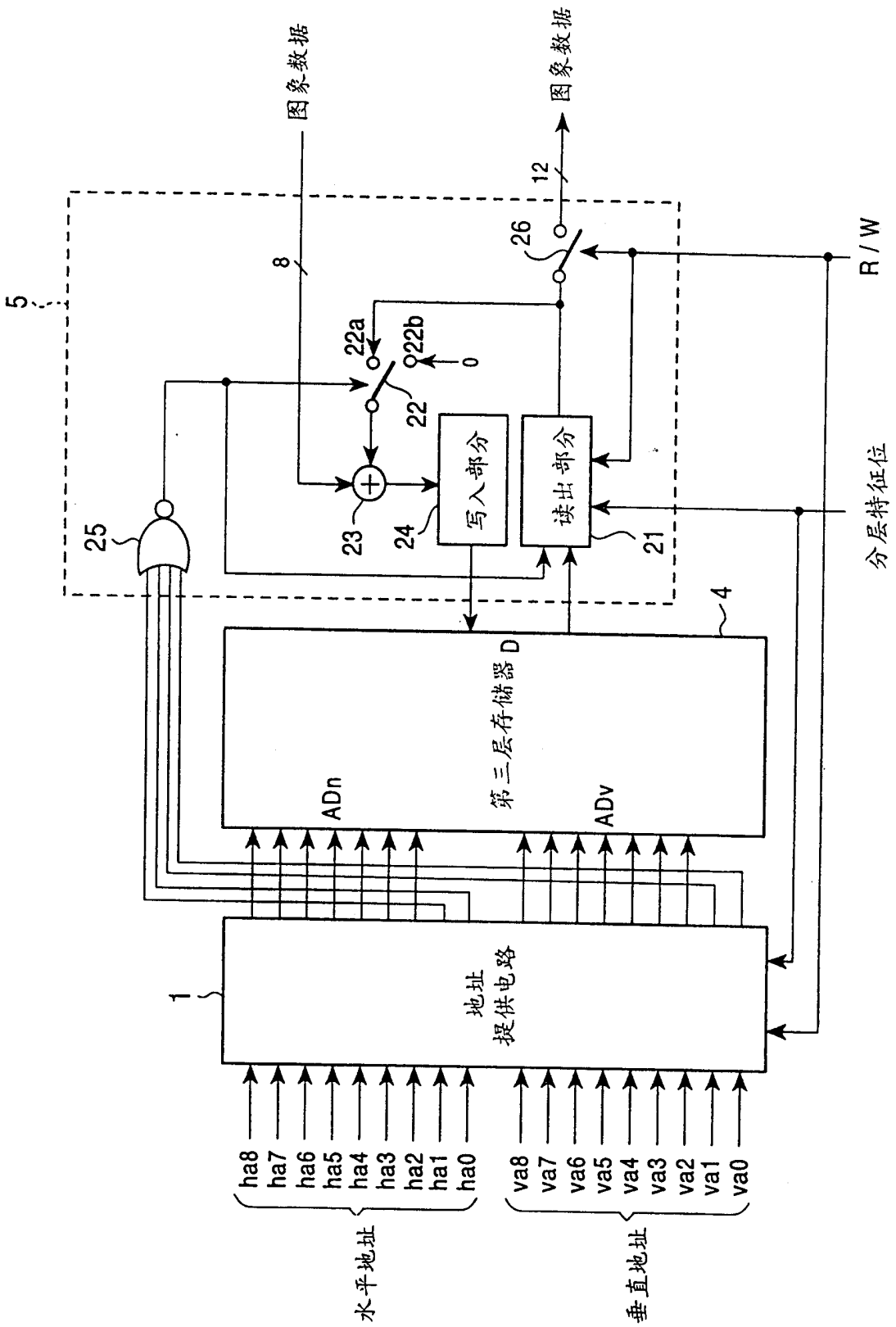

图象数据
图象数据
12
26
R / W
5
8
22a
22b
0
22
写入部分
读出部分
23
24
21
25
分层特征位
4
第三层存储器 D
ADn
ADv
1
地址
提供电路
ha8
ha7
ha6
ha5
ha4
ha3
ha2
ha1
ha0
va8
va7
va6
va5
va4
va3
va2
va1
va0
水平地址
垂直地址

图 5

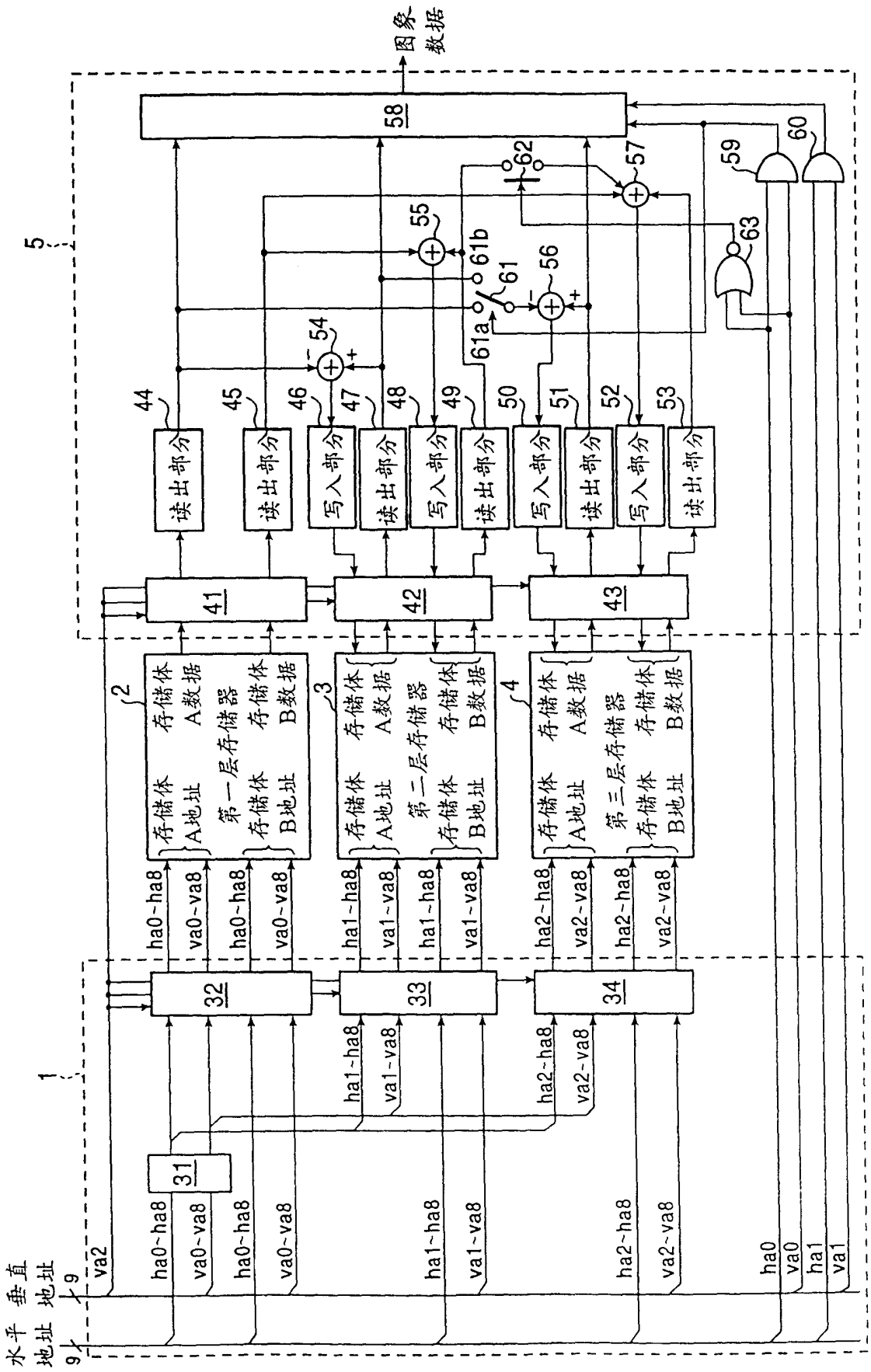

水平地址 9
垂直地址 9
1
5
图象数据
第一层存储器
第二层存储器
第三层存储器
存储体A数据
存储体A地址
存储体B数据
存储体B地址
读出部分
写入部分
31
32
33
34
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
61a
61b
62
63
ha0~ha8
va0~va8
ha1~ha8
va1~va8
ha2~ha8
va2~va8
ha0
va0
ha1
va1
va2

图 6

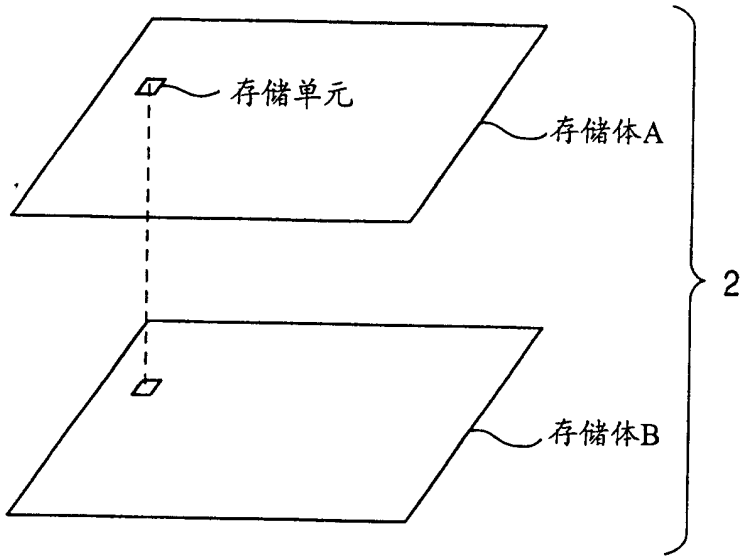


图 7

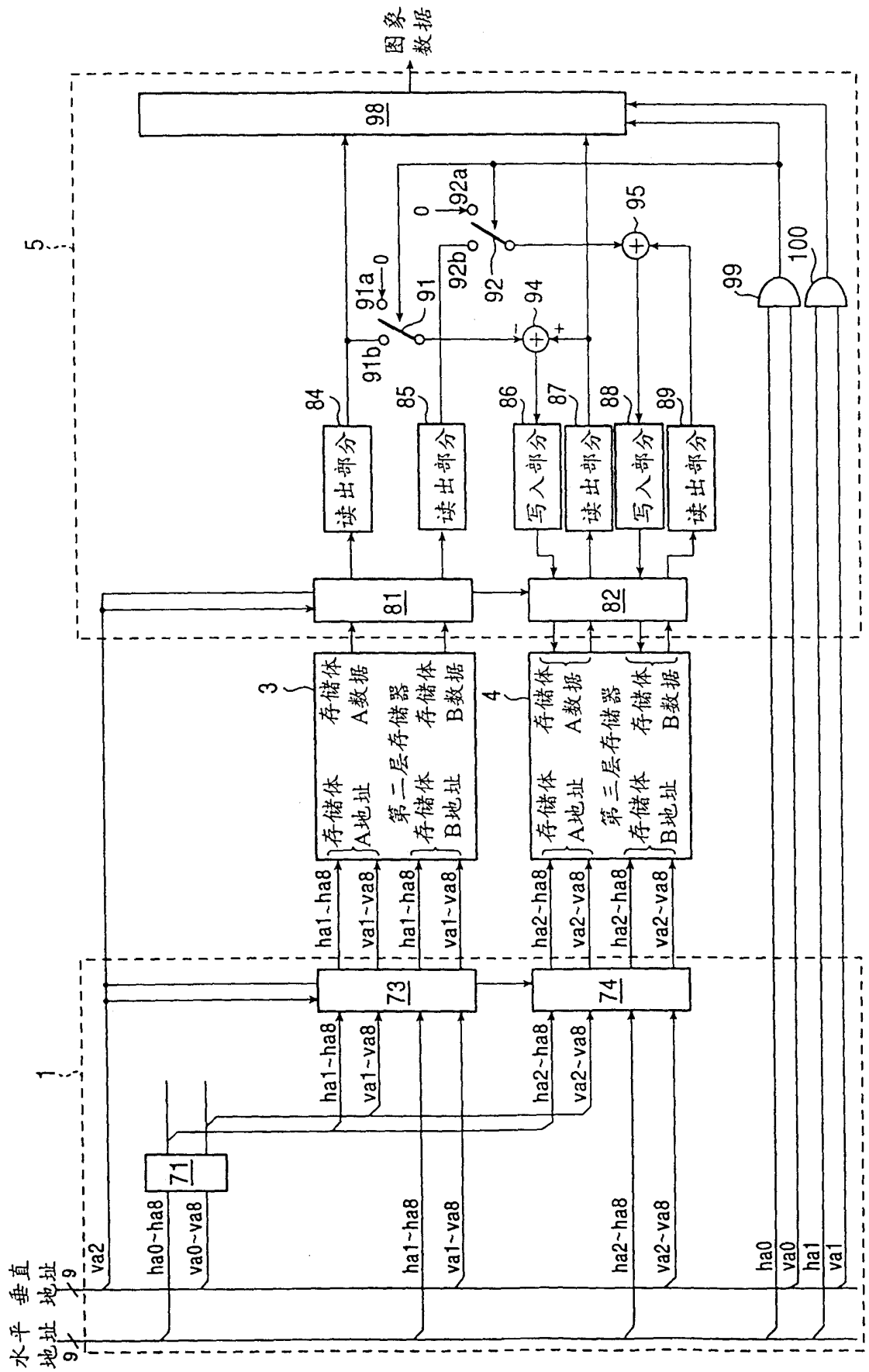

图象数据
水平地址 9
垂直地址 9
va2
ha0~ha8
va0~va8
71
1
ha1~ha8
va1~va8
73
74
ha2~ha8
va2~va8
ha0
va0
ha1
va1
3
4
第二层存储器
第三层存储器
存储体A地址
存储体B地址
存储体A数据
存储体B数据
81
82
84
85
86
87
88
89
读出部分
写入部分
91
91a
91b
92
92a
92b
94
95
98
99
100
5

图 8

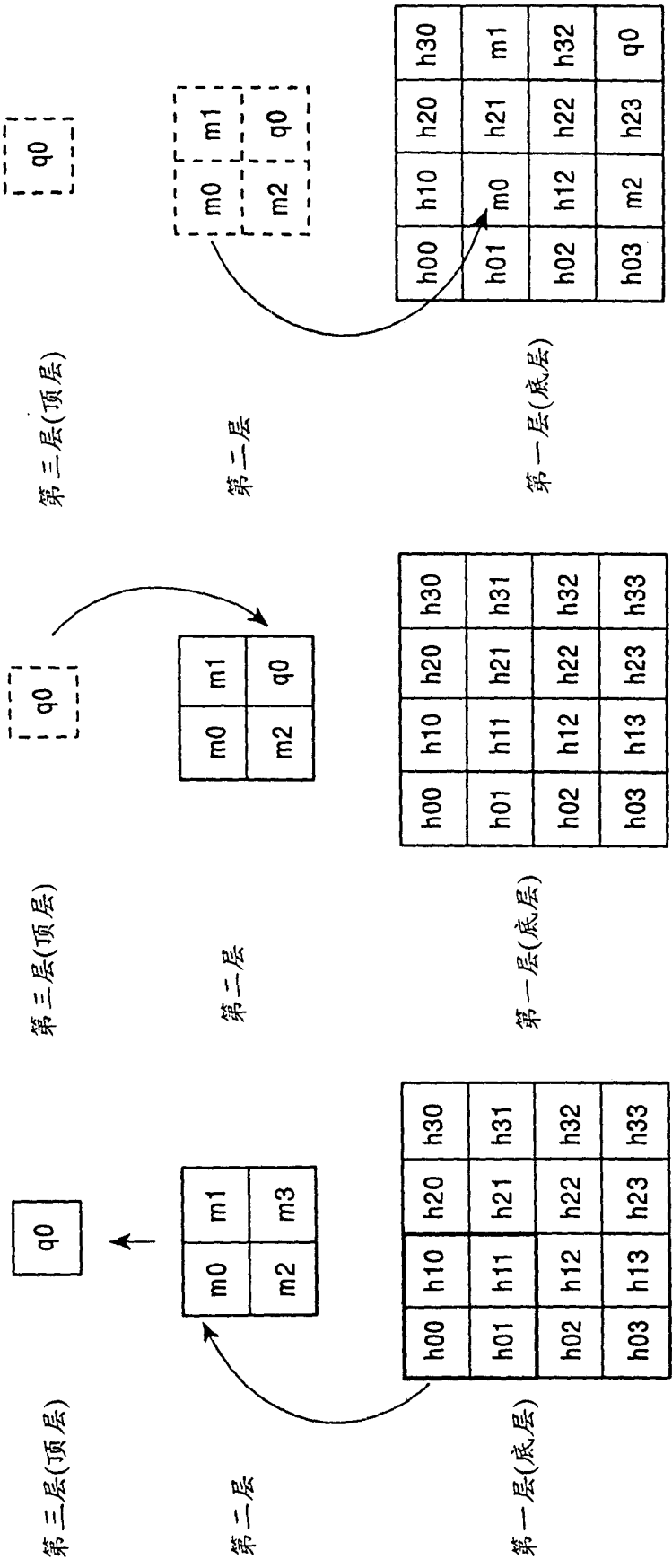

第三层(顶层)
第二层
第一层(底层)
q0
m0 m1
m2 m3
h00 h10 h20 h30
h01 h11 h21 h31
h02 h12 h22 h32
h03 h13 h23 h33
象素

图 9A

第三层(顶层)
第二层
第一层(底层)
q0
m0 m1
m2 q0
h00 h10 h20 h30
h01 h11 h21 h31
h02 h12 h22 h32
h03 h13 h23 h33

图 9B

第三层(顶层)
第二层
第一层(底层)
q0
m0 m1
m2 q0
h00 h10 h20 h30
h01 m0 h21 m1
h02 h12 h22 h32
h03 m2 h23 q0

图 9C