

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成29年10月19日(2017.10.19)

【公開番号】特開2017-157225(P2017-157225A)

【公開日】平成29年9月7日(2017.9.7)

【年通号数】公開・登録公報2017-034

【出願番号】特願2017-87793(P2017-87793)

【国際特許分類】

G 06 F 7/499 (2006.01)

G 06 F 9/38 (2006.01)

G 06 F 9/305 (2006.01)

【F I】

G 06 F 7/499 6 4 7

G 06 F 9/38 3 7 0 C

G 06 F 9/30 3 4 0 A

G 06 F 7/499 1 0 1

【手続補正書】

【提出日】平成29年8月3日(2017.8.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

プロセッサであって：

第一のレジスタと；

第二のレジスタと；

デフォルトの浮動小数点丸めモードの指標および非正規化数を0とみなす指標を記憶する制御レジスタと；

丸め命令を受領するデコーダであって、前記丸め命令は前記第一のレジスタを特定し、前記第一のレジスタは複数のパックされた倍精度浮動小数点値をもつソース・オペランドを記憶するものであり、前記丸め命令は、前記デフォルトの浮動小数点丸めモードがオーバーライドされることを示す丸めモード・オーバーライド指標をもち、前記丸め命令は、複数の可能なオーバーライド浮動小数点丸めモードのうちのあるオーバーライド浮動小数点丸めモードを特定する、デコーダと；

前記デコーダに結合され、前記第一および第二のレジスタに結合された実行ユニットであって、前記丸め命令に応答して：

前記ソース・オペランドの非正規化数のパックされた倍精度浮動小数点値を0に変換し；

特定されたオーバーライド浮動小数点丸めモードに従って、前記パックされた倍精度浮動小数点値に対して丸め処理を実行し、整数値の倍精度浮動小数点値を生成し；

前記整数値の倍精度浮動小数点値を前記第二のレジスタに記憶する、実行ユニットとを有する、

プロセッサ。

【請求項2】

前記オーバーライド浮動小数点丸めモードは負の無限大のほうへの丸めである、請求項1記載のプロセッサ。

**【請求項 3】**

前記オーバーライド浮動小数点丸めモードは正の無限大のほうへの丸めである、請求項1記載のプロセッサ。

**【請求項 4】**

前記オーバーライド浮動小数点丸めモードは零への丸めである、請求項1記載のプロセッサ。

**【請求項 5】**

前記オーバーライド浮動小数点丸めモードは最も近い偶数への丸めである、請求項1記載のプロセッサ。

**【請求項 6】**

前記複数の可能なオーバーライド浮動小数点丸めモードは、零から遠いほうへの丸めの丸めモードを含む、請求項1記載のプロセッサ。

**【請求項 7】**

前記丸めモード・オーバーライド指標は单一のビットであり、前記单一のビットは、前記デフォルトの浮動小数点丸めモードがオーバーライドされることを示すために0になる、請求項1記載のプロセッサ。

**【請求項 8】**

前記丸め命令は、スカラー値を記憶するパックされたデータ・レジスタを示す第二の丸め命令をもつ命令セット・アーキテクチャ(ISA)に含まれ、前記第二の丸め命令は、当該プロセッサに、前記スカラー値に対して丸め処理を実行して整数値の浮動小数点値を生成させるものである、請求項1記載のプロセッサ。

**【請求項 9】**

不正確例外フィールドを有する状態レジスタをさらに有し、前記実行ユニットは、前記丸め命令に応答して、前記丸め命令の実行中に不正確例外が生じる場合には前記不正確例外フィールドを更新しない、請求項1記載のプロセッサ。

**【請求項 10】**

前記丸め命令は、前記オーバーライド浮動小数点丸めモードを特定する丸めモード制御ビットをもつ、請求項1記載のプロセッサ。

**【請求項 11】**

メモリ・コントローラと、前記メモリ・コントローラに結合されたプロセッサ・コアを有するシステムであって、前記プロセッサ・コアは：

第一のレジスタと；

第二のレジスタと；

デフォルトの浮動小数点丸めモードの指標および非正規化数を0とみなす指標を記憶する制御レジスタと；

丸め命令を受領するデコーダであって、前記丸め命令は前記第一のレジスタを特定し、前記第一のレジスタは複数のパックされた倍精度浮動小数点値をもつソース・オペランドを記憶するものであり、前記丸め命令は、前記デフォルトの浮動小数点丸めモードがオーバーライドされることを示す丸めモード・オーバーライド指標をもち、前記丸め命令は、複数の可能なオーバーライド浮動小数点丸めモードのうちのあるオーバーライド浮動小数点丸めモードを特定する、デコーダと；

前記デコーダに結合され、前記第一および第二のレジスタに結合された実行ユニットであって、前記丸め命令に応答して：

前記ソース・オペランドの非正規化数のパックされた倍精度浮動小数点値を0に変換し；

特定されたオーバーライド浮動小数点丸めモードに従って、前記パックされた倍精度浮動小数点値に対して丸め処理を実行し、整数値の倍精度浮動小数点値を生成し；

前記整数値の倍精度浮動小数点値を前記第二のレジスタに記憶する、実行ユニットとを有する、

システム。

**【請求項 1 2】**

前記オーバーライド浮動小数点丸めモードは負の無限大のほうへの丸めである、請求項1 1記載のシステム。

**【請求項 1 3】**

前記オーバーライド浮動小数点丸めモードは正の無限大のほうへの丸めである、請求項1 1記載のシステム。

**【請求項 1 4】**

前記オーバーライド浮動小数点丸めモードは零への丸めである、請求項1 1記載のシステム。

**【請求項 1 5】**

前記オーバーライド浮動小数点丸めモードは最も近い偶数への丸めである、請求項1 1記載のシステム。

**【請求項 1 6】**

前記複数の可能なオーバーライド浮動小数点丸めモードは、零から遠いほうへの丸めの丸めモードを含む、請求項1 1記載のシステム。

**【請求項 1 7】**

前記丸めモード・オーバーライド指標は単一のビットであり、前記単一のビットは、前記デフォルトの浮動小数点丸めモードがオーバーライドされることを示すために0になる、請求項1 1記載のシステム。

**【請求項 1 8】**

前記プロセッサ・コアは、零から遠いほうへの丸めモードに従って丸め処理を実行する、請求項1 1記載のシステム。

**【請求項 1 9】**

前記丸め命令は、スカラー値を記憶するパックされたデータ・レジスタを示す第二の丸め命令をもつ命令セット・アーキテクチャ(ISA)に含まれ、前記第二の丸め命令は、当該プロセッサに、前記スカラー値に対して丸め処理を実行して整数値の浮動小数点値を生成させるものである、請求項1 1記載のシステム。

**【請求項 2 0】**

不正確例外フィールドを有する状態レジスタをさらに有し、前記実行ユニットは、前記丸め命令に応答して、前記丸め命令の実行中に不正確例外が生じる場合には前記不正確例外フィールドを更新しない、請求項1 1記載のシステム。

**【請求項 2 1】**

前記丸め命令は、前記オーバーライド浮動小数点丸めモードを特定する丸めモード制御ビットをもつ、請求項1 1記載のシステム。

**【請求項 2 2】**

前記プロセッサ・コアに結合された通信装置をさらに有する、請求項1 1記載のシステム。

**【請求項 2 3】**

前記プロセッサ・コアに結合されたI/O装置をさらに有する、請求項1 1記載のシステム。

**【請求項 2 4】**

前記プロセッサ・コアに結合されたグラフィック・エンジンをさらに有する、請求項1 1記載のシステム。

**【請求項 2 5】**

前記プロセッサ・コアに結合された周辺コンポーネント相互接続(PCI)エクスプレス・バスをさらに有する、請求項1 1記載のシステム。

**【請求項 2 6】**

前記プロセッサ・コアに結合されたディスク・ドライブをさらに有する、請求項1 1記載のシステム。

**【請求項 2 7】**

前記プロセッサ・コアに結合された大容量記憶装置をさらに有する、請求項11記載のシステム。

【請求項28】

前記プロセッサ・コアに結合されたオーディオI/Oをさらに有する、請求項11記載のシステム。

【請求項29】

メモリと、前記メモリに結合されたプロセッサとを有するシステムであって、前記プロセッサは：

第一のレジスタと；

第二のレジスタと；

デフォルトの浮動小数点丸めモードの指標および非正規化数を0とみなす指標を記憶する制御レジスタと；

丸め命令を受領するデコーダであって、前記丸め命令は前記第一のレジスタを特定し、前記第一のレジスタは複数のパックされた倍精度浮動小数点値をもつソース・オペランドを記憶するものであり、前記丸め命令は、前記デフォルトの浮動小数点丸めモードがオーバーライドされることを示す丸めモード・オーバーライド指標をもち、前記丸め命令は、複数の可能なオーバーライド浮動小数点丸めモードのうちのあるオーバーライド浮動小数点丸めモードを特定する、デコーダと；

前記デコーダに結合され、前記第一および第二のレジスタに結合された実行ユニットであって、前記丸め命令に応答して：

前記ソース・オペランドの非正規化数のパックされた倍精度浮動小数点値を0に変換し；

特定されたオーバーライド浮動小数点丸めモードに従って、前記パックされた倍精度浮動小数点値に対して丸め処理を実行し、整数値の倍精度浮動小数点値を生成し；

前記整数値の倍精度浮動小数点値を前記第二のレジスタに記憶する、実行ユニットとを有する、

システム。

【請求項30】

前記オーバーライド浮動小数点丸めモードは負の無限大のほうへの丸めである、請求項29記載のシステム。

【請求項31】

前記オーバーライド浮動小数点丸めモードは正の無限大のほうへの丸めである、請求項29記載のシステム。

【請求項32】

前記オーバーライド浮動小数点丸めモードは零への丸めである、請求項29記載のシステム。

【請求項33】

前記オーバーライド浮動小数点丸めモードは最も近い偶数への丸めである、請求項29記載のシステム。

【請求項34】

前記複数の可能なオーバーライド浮動小数点丸めモードは、零から遠いほうへの丸めの丸めモードを含む、請求項29記載のシステム。

【請求項35】

前記丸めモード・オーバーライド指標は単一のビットであり、前記単一のビットは、前記デフォルトの浮動小数点丸めモードがオーバーライドされることを示すために0になる、請求項29記載のシステム。

【請求項36】

前記プロセッサは、零から遠いほうへの丸めの丸めモードに従って丸め処理を実行する、請求項29記載のシステム。

【請求項37】

前記丸め命令は、スカラー値を記憶するパックされたデータ・レジスタを示す第二の丸め命令をもつ命令セット・アーキテクチャ(ISA)に含まれ、前記第二の丸め命令は、前記プロセッサに、前記スカラー値に対して丸め処理を実行して整数値の浮動小数点値を生成させるものである、請求項29記載のシステム。

【請求項38】

不正確例外フィールドを有する状態レジスタをさらに有し、前記実行ユニットは、前記丸め命令に応答して、前記丸め命令の実行中に不正確例外が生じる場合には前記不正確例外フィールドを更新しない、請求項29記載のシステム。

【請求項39】

前記丸め命令は、前記オーバーライド浮動小数点丸めモードを特定する丸めモード制御ビットをもつ、請求項29記載のシステム。

【請求項40】

前記プロセッサに結合されたオーディオI/Oをさらに有する、請求項29記載のシステム。

【請求項41】

前記プロセッサに結合された通信装置をさらに有する、請求項29記載のシステム。

【請求項42】

前記プロセッサに結合されたI/O装置をさらに有する、請求項29記載のシステム。

【請求項43】

前記プロセッサに結合された大容量記憶装置をさらに有する、請求項11記載のシステム。

【請求項44】

前記プロセッサに結合された周辺コンポーネント相互接続(PCI)エクスプレス・バスをさらに有する、請求項29記載のシステム。

【請求項45】

前記プロセッサに結合されたディスク・ドライブをさらに有する、請求項29記載のシステム。

【請求項46】

前記プロセッサに結合されたグラフィック・エンジンをさらに有する、請求項29記載のシステム。

【請求項47】

プロセッサであって：

第一のレジスタおよび第二のレジスタを含む複数のレジスタと；

現在の浮動小数点丸めモードを示す第一のフィールドおよび非正規化数が0に変換されるべきかどうかを示す第二のフィールドを有する制御レジスタと；

不正確例外が発生したかどうかを示す値を記憶する第三のフィールドを有する状態レジスタと；

丸め命令を受領し、該丸め命令のフィールドをデコードする制御ユニットであって、前記丸め命令は前記第一のレジスタを特定し、前記第一のレジスタは複数のパックされた倍精度浮動小数点値をもつソース・オペランドを記憶するものであり、前記丸め命令は、前記現在の浮動小数点丸めモードが使われることを示し、前記丸め命令は、前記状態レジスタの前記第三のフィールドの値における変化を抑制することを示す、制御ユニットと；

前記制御ユニットに結合され、前記複数のレジスタに結合された実行ユニットであって、前記丸め命令に応答して：

前記第二のフィールドが前記非正規化数が0に変換されるべきであると示すときは、前記ソース・オペランドの非正規化数を0に変換し；

前記現在の浮動小数点丸めモードに従って丸め処理を実行し、前記ソース・オペランドの前記パックされた倍精度浮動小数点値に対応する整数値のパックされた倍精度浮動小数点値を生成し；

前記整数値のパックされた倍精度浮動小数点値を前記第二のレジスタに記憶する、実行

ユニットとを有する、  
プロセッサ。

**【請求項 4 8】**

前記丸め命令が前記状態レジスタの前記第三のフィールドの前記値における前記変化を抑制することを示すとき、前記丸め命令のあるビットが値1をもつ、請求項 4 7 記載のプロセッサ。

**【請求項 4 9】**

前記現在の浮動小数点丸めモードは：  
負の無限大のほうへの丸め；  
正の無限大のほうへの丸め；  
零への丸め；および  
最も近い偶数への丸め

のうちのいずれか一つである、請求項 4 7 記載のプロセッサ。

**【請求項 5 0】**

前記丸め命令は、スカラ値を記憶するパックされたデータ・レジスタを示す第二の丸め命令をもつ命令セット・アーキテクチャ (ISA) に含まれ、前記第二の丸め命令は、当該プロセッサに、前記スカラ値に対して丸め処理を実行して整数値の浮動小数点値を生成させるものである、請求項 4 7 記載のプロセッサ。

**【請求項 5 1】**

メモリ・コントローラと、前記メモリ・コントローラに結合されたプロセッサ・コアとを有するシステムであって、前記プロセッサ・コアは：

第一のレジスタおよび第二のレジスタを含む複数のレジスタと；  
現在の浮動小数点丸めモードを示す第一のフィールドおよび非正規化数が0に変換されるべきかどうかを示す第二のフィールドを有する制御レジスタと；

不正確例外が発生したかどうかを示す値を記憶する第三のフィールドを有する状態レジスタと；

丸め命令を受領し、該丸め命令のフィールドをデコードする制御ユニットであって、前記丸め命令は前記第一のレジスタを特定し、前記第一のレジスタは複数のパックされた倍精度浮動小数点値をもつソース・オペランドを記憶するものであり、前記丸め命令は、前記現在の浮動小数点丸めモードが使われることを示し、前記丸め命令は、前記状態レジスタの前記第三のフィールドの値における変化を抑制することを示す、制御ユニットと；

前記制御ユニットに結合され、前記複数のレジスタに結合された実行ユニットであって、前記丸め命令に応答して：

前記第二のフィールドが前記非正規化数が0に変換されるべきであると示すときは、前記ソース・オペランドの非正規化数を0に変換し；

前記現在の浮動小数点丸めモードに従って丸め処理を実行し、前記ソース・オペランドの前記パックされた倍精度浮動小数点値に対応する整数値のパックされた倍精度浮動小数点値を生成し；

前記整数値のパックされた倍精度浮動小数点値を前記第二のレジスタに記憶する、実行ユニットとを有する、  
システム。

**【請求項 5 2】**

前記丸め命令が前記状態レジスタの前記第三のフィールドの前記値における前記変化を抑制することを示すとき、前記丸め命令のあるビットが値1をもつ、請求項 5 1 記載のシステム。

**【請求項 5 3】**

前記現在の浮動小数点丸めモードは：  
負の無限大のほうへの丸め；  
正の無限大のほうへの丸め；  
零への丸め；および

最も近い偶数への丸め

のうちのいずれか一つである、請求項 5 1 記載のシステム。

【請求項 5 4】

前記丸め命令は、スカラー値を記憶するパックされたデータ・レジスタを示す第二の丸め命令をもつ命令セット・アーキテクチャ (ISA) に含まれ、前記第二の丸め命令は、前記プロセッサに、前記スカラー値に対して丸め処理を実行して整数値の浮動小数点値を生成させるものである、請求項 5 1 記載のシステム。

【請求項 5 5】

前記プロセッサ・コアに結合された通信装置をさらに有する、請求項 5 1 記載のシステム。

【請求項 5 6】

前記プロセッサ・コアに結合されたI/O装置をさらに有する、請求項 5 1 記載のシステム。

【請求項 5 7】

前記プロセッサ・コアに結合されたグラフィック・エンジンをさらに有する、請求項 5 1 記載のシステム。

【請求項 5 8】

前記プロセッサ・コアに結合された周辺コンポーネント相互接続 (PCI) エクスプレス・バスをさらに有する、請求項 5 1 記載のシステム。

【請求項 5 9】

前記プロセッサ・コアに結合されたオーディオI/Oをさらに有する、請求項 5 1 記載のシステム。

【請求項 6 0】

メモリと、前記メモリに結合されたプロセッサとを有するシステムであって、前記プロセッサは：

第一のレジスタおよび第二のレジスタを含む複数のレジスタと；

現在の浮動小数点丸めモードを示す第一のフィールドおよび非正規化数が0に変換されるべきかどうかを示す第二のフィールドを有する制御レジスタと；

不正確例外が発生したかどうかを示す値を記憶する第三のフィールドを有する状態レジスタと；

丸め命令を受領し、該丸め命令のフィールドをデコードする制御ユニットであって、前記丸め命令は前記第一のレジスタを特定し、前記第一のレジスタは複数のパックされた倍精度浮動小数点値をもつソース・オペランドを記憶するものであり、前記丸め命令は、前記現在の浮動小数点丸めモードが使われることを示し、前記丸め命令は、前記状態レジスタの前記第三のフィールドの値における変化を抑制することを示す、制御ユニットと；

前記制御ユニットに結合され、前記複数のレジスタに結合された実行ユニットであって、前記丸め命令に応答して：

前記第二のフィールドが前記非正規化数が0に変換されるべきであると示すときは、前記ソース・オペランドの非正規化数を0に変換し；

前記現在の浮動小数点丸めモードに従って丸め処理を実行し、前記ソース・オペランドの前記パックされた倍精度浮動小数点値に対応する整数値のパックされた倍精度浮動小数点値を生成し；

前記整数値のパックされた倍精度浮動小数点値を前記第二のレジスタに記憶する、実行ユニットとを有する、  
システム。

【請求項 6 1】

前記丸め命令が前記状態レジスタの前記第三のフィールドの前記値における前記変化を抑制することを示すとき、前記丸め命令のあるビットが値1をもつ、請求項 6 0 記載のシステム。

【請求項 6 2】

前記現在の浮動小数点丸めモードは：

負の無限大のほうへの丸め；

正の無限大のほうへの丸め；

零への丸め；および

最も近い偶数への丸め

のうちのいずれか一つである、請求項 6 0 記載のシステム。

**【請求項 6 3】**

前記丸め命令は、スカラー値を記憶するパックされたデータ・レジスタを示す第二の丸め命令をもつ命令セット・アーキテクチャ (ISA) に含まれ、前記第二の丸め命令は、前記プロセッサに、前記スカラー値に対して丸め処理を実行して整数値の浮動小数点値を生成させるものである、請求項 6 0 記載のシステム。

**【請求項 6 4】**

前記プロセッサに結合されたオーディオ I/O をさらに有する、請求項 6 0 記載のシステム。

**【請求項 6 5】**

前記プロセッサに結合された通信装置をさらに有する、請求項 6 0 記載のシステム。

**【請求項 6 6】**

前記プロセッサに結合された I/O 装置をさらに有する、請求項 6 0 記載のシステム。

**【請求項 6 7】**

前記プロセッサに結合された、マルチメディア・アプリケーションを記憶する大容量記憶装置をさらに有する、請求項 6 0 記載のシステム。

**【請求項 6 8】**

前記プロセッサに結合された周辺コンポーネント相互接続 (PCI) エクスプレス・バスをさらに有する、請求項 6 0 記載のシステム。

**【請求項 6 9】**

前記プロセッサに結合された、マルチメディア・アプリケーションを記憶するディスク・ドライブをさらに有する、請求項 6 0 記載のシステム。

**【請求項 7 0】**

前記プロセッサに結合されたグラフィック・エンジンをさらに有する、請求項 6 0 記載のシステム。

**【請求項 7 1】**

プロセッサであって：

丸め命令のソース・オペランドに関連する複数のパックされた倍精度浮動小数点値を記憶するソース・ベクター・レジスタと；

前記複数の倍精度浮動小数点値を丸めて、行き先ベクター・レジスタに記憶されるべき複数の丸められた整数値の倍精度浮動小数点値を生成する実行回路であって、前記実行回路は前記実行回路によって使われるべき丸めモードを指定するための第一の組の一つまたは複数のビットおよび精度例外が抑制されるべきかどうかを示す第二の組の一つまたは複数のビットを含む複数のビットを有する直接データに従って丸めを行なう、実行回路とを有する、

プロセッサ。

**【請求項 7 2】**

前記直接データをデコードして、前記実行回路によって使われるべき前記丸めモードを決定するとともに前記精度例外が抑制されるべきかどうかを決定する回路をさらに有する

請求項 7 1 記載のプロセッサ。

**【請求項 7 3】**

前記第一の組の一つまたは複数のビットが第一の値をもつことに応答して、前記実行回路は、最も近い整数値に対応する丸められた結果を生成する、最も近いものへの丸めモードを選択する、請求項 7 1 記載のプロセッサ。

**【請求項 7 4】**

前記第一の組の一つまたは複数のビットが第二の値をもつことに応答して、前記実行回路は、打ち切られた結果を生成する打ち切り丸めモードを選択する、請求項 7 3 記載のプロセッサ。

**【請求項 7 5】**

前記第一の組の一つまたは複数のビットが第三の値または第四の値をもつことに応答して、前記実行回路は、それぞれ負の無限大のほうへの丸めモードまたは正の無限大のほうへの丸めモードを選択する、請求項 7 3 記載のプロセッサ。

**【請求項 7 6】**

前記実行回路は浮動小数点実行回路である、請求項 7 1 記載のプロセッサ。

**【請求項 7 7】**

複数のプロセッサ・コアをさらに有し、前記実行回路は前記複数のコアの一つと一体である、

請求項 7 1 記載のプロセッサ。

**【請求項 7 8】**

前記プロセッサを一つまたは複数の装置に結合する通信相互接続をさらに有する、請求項 7 1 記載のプロセッサ。

**【請求項 7 9】**

前記通信相互接続が周辺コンポーネント相互接続エクスプレス (PCIe) 相互接続を含む、請求項 7 8 記載のプロセッサ。

**【請求項 8 0】**

丸め命令のソース・オペランドに関連する複数のパックされた倍精度浮動小数点値をソース・ベクター・レジスタに記憶する段階と；

前記複数の倍精度浮動小数点値を丸めて、行き先ベクター・レジスタに記憶されるべき複数の丸められた整数のパックされた倍精度浮動小数点値を生成する段階であって、丸めは丸めモードを指定するための第一の組の一つまたは複数のビットおよび精度例外が抑制されるべきかどうかを示す第二の組の一つまたは複数のビットを含む複数のビットを有する直接データに従って実行される、段階とを含む、

方法。

**【請求項 8 1】**

前記直接データをデコードして、使われるべき前記丸めモードを決定するとともに前記精度例外が抑制されるべきかどうかを決定する段階をさらに含む、

請求項 8 0 記載の方法。

**【請求項 8 2】**

前記第一の組の一つまたは複数のビットが第一の値をもつことに応答して、最も近い整数値に対応する丸められた結果を生成する、最も近いものへの丸めモードを選択する、請求項 8 0 記載の方法。

**【請求項 8 3】**

前記第一の組の一つまたは複数のビットが第二の値をもつことに応答して、打ち切られた結果を生成する打ち切り丸めモードを選択する、請求項 8 2 記載の方法。

**【請求項 8 4】**

前記第一の組の一つまたは複数のビットが第三の値または第四の値をもつことに応答して、それぞれ負の無限大のほうへの丸めモードまたは正の無限大のほうへの丸めモードを選択する、請求項 8 3 記載の方法。

**【請求項 8 5】**

機械によって実行されたときに該機械に動作を実行させるためのプログラムであって、前記動作は：

丸め命令のソース・オペランドに関連する複数のパックされた倍精度浮動小数点値をソース・ベクター・レジスタに記憶する段階と；

前記複数の倍精度浮動小数点値を丸めて、行き先ベクター・レジスタに記憶されるべき

複数の丸められた整数のパックされた倍精度浮動小数点値を生成する段階であって、丸めは丸めモードを指定するための第一の組の一つまたは複数のビットおよび精度例外が抑制されるべきかどうかを示す第二の組の一つまたは複数のビットを含む複数のビットを有する直接データに従って実行される、段階とを含む、

プログラム。

**【請求項 8 6】**

前記動作が、前記直接データをデコードして、使われるべき前記丸めモードを決定するとともに前記精度例外が抑制されるべきかどうかを決定する段階をさらに含む、

請求項 8 5 記載のプログラム。

**【請求項 8 7】**

前記動作が、前記第一の組の一つまたは複数のビットが第一の値をもつことに応答して、最も近い整数値に対応する丸められた結果を生成する、最も近いものへの丸めモードを選択することを含む、請求項 8 5 記載のプログラム。

**【請求項 8 8】**

前記動作が、前記第一の組の一つまたは複数のビットが第二の値をもつことに応答して、打ち切られた結果を生成する打ち切り丸めモードを選択することを含む、請求項 8 7 記載のプログラム。

**【請求項 8 9】**

前記動作が、前記第一の組の一つまたは複数のビットが第三の値または第四の値をもつことに応答して、それぞれ負の無限大のほうへの丸めモードまたは正の無限大のほうへの丸めモードを選択することを含む、請求項 8 8 記載のプログラム。

**【請求項 9 0】**

請求項 8 5 ないし 8 9 のうちいずれか一項記載のプログラムを記憶している機械可読記憶媒体。