I480757

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I480757 B**

(45)公告日： 中華民國 104 (2015) 年 04 月 11 日

(21)申請案號：098112145 (22)申請日： 中華民國 98 (2009) 年 04 月 13 日

(51)Int. Cl.： ***G06F19/00 (2011.01)*** ***G01R21/00 (2006.01)***

(30)優先權：2008/04/11 美國 12/101,598

(71)申請人：高級微裝置公司 (美國) ADVANCED MICRO DEVICES, INC. (US)
美國

(72)發明人：納夫利葛爾 沙姆爾 D NAFFZIGER, SAMUEL D. (US)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

TW 200620116A US 6473732B1

US 2003/0065960A1

審查人員：劉思芸

申請專利範圍項數：11 項 圖式數：7 共 38 頁

(54)名稱

用於即時功率估算之取樣晶片活動的系統與方法

SYSTEM AND METHOD OF SAMPLING CHIP ACTIVITY FOR REAL TIME POWER ESTIMATION

(57)摘要

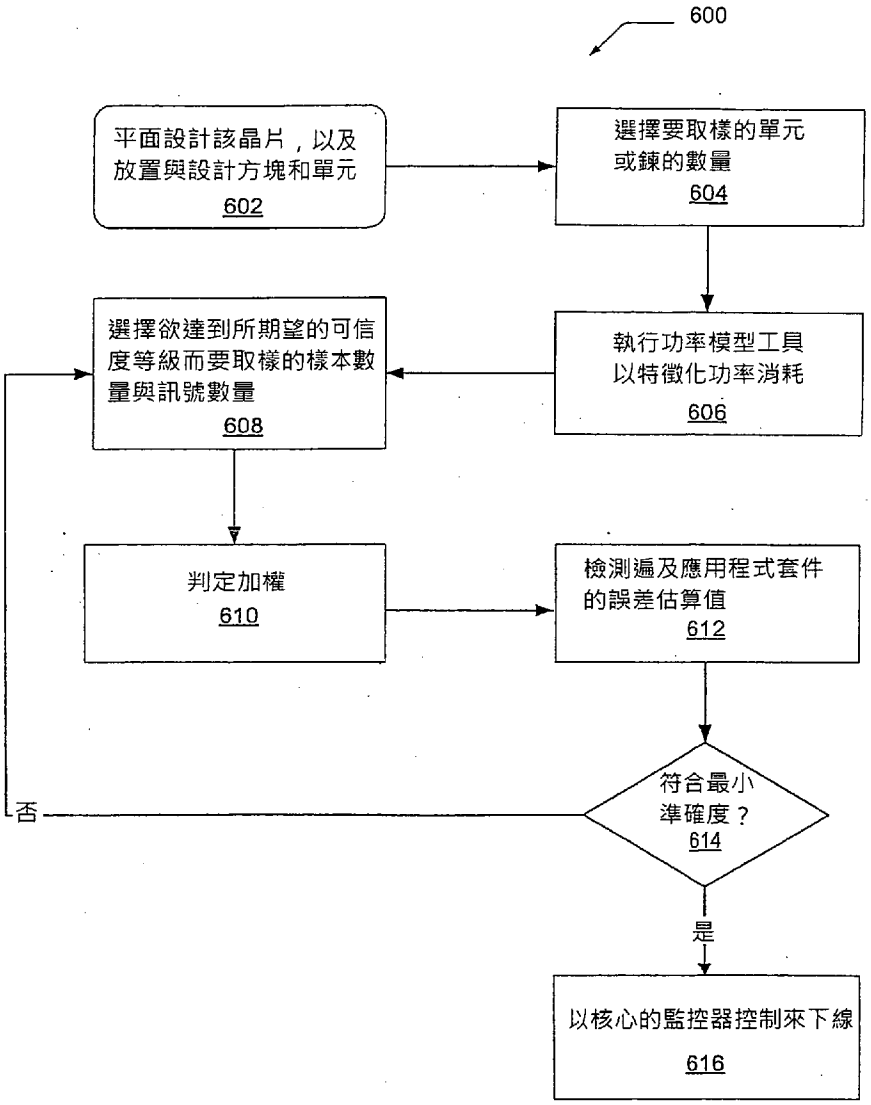
一種用於即時功率估算的系統與方法。核心可被分割成數個單元。模擬每個單元以達成實際功率消耗的特徵描述。取樣該功率消耗。進行統計分析，該統計分析假設該核心具有以具有帕松分佈(Poisson distribution)的靜態隨機程序(stationary random process)來估計的節點電容切換行為。該統計分析判定在取樣區間期間要取樣的數量。使用操作頻率、取樣區間、與樣本數來判定要取樣的訊號數量。選擇具有與節點電容切換行為有高關聯性的訊號，例如在時脈分配系統最後階段的時脈啟動訊號。指定具有已調整過的加權值給每個取樣訊號。每隔預定的時脈週期數目便進行取樣。加總所主張之取樣訊號的加權值以判定可重複的功率估算值。

A system and method for real-time power estimation. A core may be divided into units. Each unit is simulated to achieve a real power consumption characterization. The power consumption is sampled. Statistical anaylsis is performed that assumes the core has node capacitance switching behavior that is approximated by a stationary random process with a Poisson distribution. The statiscial analysis determines the number of samples to take during a sample interval. The operational frequency, sample interval, and number of samples are used to determine the number of signals to sample. Signals are chosen that have a high correlation with the node capacitance switching behavior, such as clock enable signals on the last stage of a clock distribution system. Weights with tuned values are assigned to each sampled signal. Sampling occurs during every predetermined number of clock cycles. The weights of asserted sampled signals are summed in order to determine a repeatable power estimation value.

600・・・方法

602、604、606、608、610、612、616・・・方塊

614・・・條件方塊



第 6 圖

I480757

公告本

第 098112145 號專利申請案
103 年 11 月 26 日修正替換頁

發明專利說明書

103年11月26日修正替換頁(本)

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：98112145

※ 申請日：98.4.13　　※IPC 分類：G06F 19/00 (2011.01)

G01R 21/00 (2006.01)

一、發明名稱：（中文/英文）

用於即時功率估算之取樣晶片活動的系統與方法

SYSTEM AND METHOD OF SAMPLING CHIP ACTIVITY FOR REAL TIME POWER ESTIMATION

二、中文發明摘要：

一種用於即時功率估算的系統與方法。核心可被分割成數個單元。模擬每個單元以達成實際功率消耗的特徵描述。取樣該功率消耗。進行統計分析，該統計分析假設該核心具有以具有帕松分佈(Poisson distribution)的靜態隨機程序(stationary random process)來估計的節點電容切換行為。該統計分析判定在取樣區間期間要取樣的數量。使用操作頻率、取樣區間、與樣本數來判定要取樣的訊號數量。選擇具有與節點電容切換行為有高關聯性的訊號，例如在時脈分配系統最後階段的時脈啟動訊號。指定具有已調整過的加權值給每個取樣訊號。每隔預定的時脈週期數目便進行取樣。加總所主張之取樣訊號的加權值以判定可重複的功率估算值。

103年11月26日修正替換頁(本)

三、英文發明摘要：

A system and method for real-time power estimation. A core may be divided into units. Each unit is simulated to achieve a real power consumption characterization. The power consumption is sampled. Statistical anaylsis is performed that assumes the core has node capacitance switching behavior that is approximated by a stationary random process with a Poisson distribution. The statiscial analysis determines the number of samples to take during a sample interval. The operational frequency, sample interval, and number of samples are used to determine the number of signals to sample. Signals are chosen that have a high correlation with the node capacitance switching behavior, such as clock enable signals on the last stage of a clock distribution system. Weights with tuned values are assigned to each sampled signal. Sampling occurs during every predetermined number of clock cycles. The weights of asserted sampled signals are summed in order to determine a repeatable power estimation value.

四、指定代表圖：

(一)本案指定代表圖為：第（ 6 ）圖。

(二)本代表圖之元件符號簡單說明：

600　　方法

602、604、606、608、610、612、616 方塊

614　　條件方塊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無化學式。

六、發明說明：

【發明所屬之技術領域】

本發明係有關電子電路，尤有關一種經濟而有效的方法，可重複且精確地即時估算功率。

【先前技術】

當前積體電路(IC)的功率消耗已經造成每一代半導體晶片越來越多的設計問題。增加的 IC 功率消耗直接影響建構系統的成本。當功率消耗增加時，為了移除多餘熱量並防止 IC 故障，必須使用更昂貴的冷卻系統(例如較大的風扇與散熱器)，而冷卻系統卻會增加系統的成本。IC 功率消耗的限制不只是可攜式電腦與行動通訊裝置的問題，也是高效能超純量微處理器(superscalar microprocessor)的問題，該微處理器可包含複數個處理器核心(簡稱核心)以及核心內的複數條管線(pipeline)。

IC(例如現代的互補金屬氧化半導體(CMOS)晶片)的功率消耗是與數學式 αfCV^2 成比例。符號 α 是切換因子(switching factor)、或節點在時脈週期期間將令充電或放電的機率。符號 f 是晶片的操作頻率。符號 C 是等效電容、或是在時脈週期中待充電或待放電的切換電容。符號 V 是晶片的操作電壓。當企圖減低晶片的功率消耗與減低電晶體內的靜電場時，可降低功率供給電壓 V。功率供給電壓的降低是有限度的，這是因為電壓的降低會減少可流過電晶體的電流量，因此會增加通過電晶體的傳播延遲(propagation delay)。如果為了較早導通(turn-on)電晶

體並幫助維持效能而減低了臨限電壓，卻會增加電晶體的漏電流。電晶體漏電流的增加將同時增加功率消耗與邏輯故障的可能性。

在每個世代核心上的裝置和金屬佈線的幾何尺寸正在縮減。超純量設計增加在晶粒上的積體電路密度，並具有複數管線、較大快取與較複雜的邏輯。因此，每個時脈週期可切換的節點數量便顯著增加。操作頻率也隨著每個世代而不斷增加。對於晶片中某些區塊或單元，可藉由關閉非使用週期期間該等區域的時脈以降低切換因子 α。因此，雖然操作電壓和切換因子可隨著 IC 的每個世代而一直減少，但是 IC 功率消耗式子中的其他項目卻一直增加並導致整體功率消耗的增加。對於此功率消耗增加的一些解決方案包含微體系結構(microarchitectural)與電路階層(circuit-level)的技術兩者。

這些設計技術是藉由在即時估算功率消耗的努力來協助的。舉例來說，當執行一個或多個應用程式時，如果知道核心的即時功率消耗、也將該功率消耗傳達至功率管理器(power manager)，則功率管理器便可改變操作的供應電壓、操作頻率或兩者，以在低功率消耗週期期間增加效能、或在高功率消耗週期期間減少功率消耗。

欲達成即時功率估算可藉由一種監控器，在特定時脈週期期間量測晶粒上的切換電容。節點電容 Cac 同時包括經切換的電容(或 ac)電容、以及源自交變電流(crossover current)的有效電容。對於指定部分而言，當操作已經達

到溫度極限時，漏電流是固定的。此漏電流數值可根據在測試時間所量測的熔入功率偏移(fused-in power offset)來說明。基於以下討論的可重複性理由，並不鼓勵企圖利用由溫度所引起之漏電流變數。因此為了獲得晶片功率準確而即時的估算，所需要的是操作的供應電壓(係被數位地設定)、操作頻率(係為已知)、在測試期間發現的熔入漏電流值、以及在特定時脈週期內所切換之設計中的節點數量與節點電容 Cac 的量測值。後項 Cac 並不是從半導體晶片上直接量測到的數值。

晶片內監控器(on-chip monitor)可企圖量測切換節點的電容 Cac。該監控器可量測單一核心或具有複數個核心之處理器內的指令發行速度(instruction issue rate)。如果能監控主要組件(例如指令發行佇列、重排序緩衝區、實體暫存器檔案、執行單元等等)的行為與它們個別間的交互作用，便可增加準確度。然而，為達此目的卻取樣數百個訊號將付出額外的金屬線路、增加電路與增加功率消耗的巨額代價。

再者，監控器與後續的回應機制(例如功率管理器)必須是確定(determinstic)的。換句話說，該監控器與機制需要從部件至部件(part-to-part)、系統至系統(system-to-system)、與程式執行至程式執行(run-to-run)都提供相同的結果或是頻率的改變。此需求的理由是於其系統中使用該處理器的原始設備製造商(Original Equipment Manufacturer，簡稱 OEM)必須對客戶提供效能保證。客戶

與 OEM 需要在不同時間與不同位置處重複基準測試程式(benchmark)和效能量測。如果這些重複不能在嚴格的容許量(也就是+/-1.5%)內達成，則該監控器與回應機制便需要被關閉。這是因為該監控器與機制佔用了晶粒面積卻無助於改善效能與節省功率。

類比感測器(例如溫度感測器及/或安培計)能夠提供準確的功率估算，但是它們全部具有環境相依性。在製造過程、周遭溫度與電力供應上的變化，以及散熱解決方案的品質都會改變類比感測器的量測值。

鑑於以上所述，需要一種經濟而有效的方法與機制來提供準確、數位的 IC 即時功率估算。

【發明內容】

本發明係設想準確的即時功率估算系統與方法。

實施例提供一種系統，包括功能方塊、功率監控器、與功率管理器。該功率管理器是組構成用來回應功率估算值而傳送操作電壓與頻率調整至該功能方塊，以反求該功能方塊內的功率消耗行為。對於預定數量之取樣訊號各者，該功能方塊是組構用以儲存其邏輯值並傳送該邏輯值至功率監控器。對於預定數量之取樣訊號各者，該功率監控器是組構用以儲存其加權值、僅對於具有邏輯高(logic high)數值之已儲存的邏輯值的取樣訊號加總其加權值、並傳送該功率估算值至該功率管理器，其中，該功率估算值是轉譯(translate)自該加權值的總和。

本發明的另一態樣提供一種方法，用來回應功率估算

值而傳送操作電壓與頻率調整以反求功率消耗行為。有用於預定數量之取樣訊號各者的邏輯值儲存器，也有用於預定數量之取樣訊號各者的加權值儲存器。對於儲存有邏輯高值之邏輯值的取樣訊號，僅從該等取樣訊號的加權值來計算累積值。該功率估算值是轉譯自該加權值的總和、並且被傳送至功率管理器。

本發明的另一態樣提供一種功率監控器，包括組構用來與功能方塊和功率管理器進行通訊的介面。加權表(weight table)係儲存預定數量之取樣訊號各者的加權值。對於儲存有邏輯高值之邏輯值的取樣訊號，加權累積器僅加總該等取樣訊號的加權值。鍊式控制(chain control)係傳送功率估算值至功率管理器，其中，該功率估算值是轉譯自該加權值的總和。

藉由參照下面的敘述與所附圖示將了解這些與其他的實施例。

雖然本發明可接受各種修改與替代形式，但是在此仍將藉由圖式中的例示方式來展示並詳細描述具體的實施例。然而應了解到，圖式與其詳細描述並非限制本發明僅於揭露的特定形式，相反地，本發明意欲涵蓋落入所附申請專利範圍所定義之本發明的精神與範疇內所有的修改型式、均等物與替代方案。

【實施方式】

在下列描述中，將提出許多具體細節以幫助徹底了解本發明。然而，此技術領域中具有通常知識者應認知到就

算沒有這些具體細節依然可以實施本發明。在一些例子中為了避免模糊本發明的焦點，便不詳細顯示已知的電路、結構和技術。

參照第 1 圖，係顯示核心功率管理 100 的實施例。此處核心 102 可為任意積體電路(IC)。在一個實施例中，核心 102 可為處理器核心。處理器核心可具有晶粒上(on-die)的指令和資料快取。處理器核心可為具有單一管線或複數管線的超純量處理器。在另一實施例中，核心 102 可為特定應用 IC(ASIC)。可使用任意電晶體家族來實現核心 102，例如金屬氧化物半導體的場效電晶體(metal oxide semiconductor field effect transistor，MOSFET)與雙極接面電晶體(bipolar junction transistor，BJT)等等。

功能方塊 110 可包含組構成用來執行邏輯功能、資料儲存、或其他功能的電晶體。為了功率管理的目的，可將功能方塊 110 分成單元 132a 至 132d。此處的命名原則是數字後接著字母的元件符號可單獨以數字來作為通稱。舉例來說，單元 132a 至 132d 可通稱為單元 132。在一個實施例中，單元 132 可非對應於功能組件，像是重排序緩衝區、記憶體管理單元、執行單元或處理器的其他部分。相反地，可根據為了功率管理目的而必須被取樣的訊號類型來選擇單元 132。舉例來說，經佈線配置至局部時脈分配方塊(local clock distribution block)的時脈啟動訊號(clock enable signal)可為經選擇作為要取樣的訊號。

在特定時脈週期期間要選擇哪個訊號來取樣可對應於

該選擇對於切換節點電容 Cac 量的關聯性有多高。稍後將提供取樣訊號選擇的進一步描述。在平面設計(floorplan)中，所選擇的時脈啟動訊號可能會重疊功能方塊。因此，分開像是單元 132a 和 132b 的分割(division)可能不是對應至該平面設計中的分割。單元 132 是消耗功率的該等單元，且此功率會被即時量測。

實施例可使用功率監控器 130 收集來自單元 132 的資料，例如所有預定取樣訊號的邏輯值。收集資料以後，功率監控器 130 可計算功率消耗的估算值。監控器控制(monitor control)132 可對應至每個單元 132。在替代的實施例中，監控器控制 132 可收集兩個或多個單元 112 的資料並計算這些單元 112 的總功率估算值。又另一實施例中，一個監控器控制 132(也就是控制 132a)可具有包含一個或多個其他監控器控制 132(也就是控制 132b 至 132d)的訊號介面，用以收集來自該一個或多個監控器控制 132(也就是控制 132b 至 132d)的資料。之後，可計算對於該一個或多個監控器控制 132 的功率估算值。

訊號取樣 120 與資料移出(dataout)122 是為了功率管理目的而使用的控制與資料訊號。在功率監控器 110 與功能方塊 130 之間的介面訊號可包括任何必要數量的訊號與通訊協定。實施例的該控制訊號取樣 120 可只在像是每 100 個時脈週期之選定的重複區間內的單一時脈週期才被主張(assert)。在一個實施例中，於主張該控制訊號取樣 120 之後預定數量的時脈週期，在資料移出 122 的資料訊號可

開始於每個時脈週期針對不同的取樣訊號提供邏輯值。換句話說，可使用資料移出 122 的資料訊號以掃描出一連串的數值，該數值包括在特定週期之取樣訊號的邏輯值。此外在其他實施例中，每個成對的監控器控制 132 和單元 112 之間可能沒有單一對訊號。在替代的實施例中可包含額外的訊號，用來使監控器控制 132 輪詢單元 112 以及使單元 112 向監控器控制 132 回應確認已準備好要傳送輸出資料。

在功率監控器 130 從接收自功能方塊 110 的資料計算出準確的即時功率估算之後，功率監控器 130 便判定出目前應用程式執行時的功率輪廓(power profile)。此判定會被傳送至功率管理器 140。此時功率管理器 140 便能視該應用程式是否高(低)於臨限值而降低(增加)功率。

如果高功率應用程式或病毒執行在核心 102 上，功率管理器 140 亦包括組構成用來調整操作電壓、操作頻率或這兩者的電路。對於平均功率在 Cac 極限集(limit set)之上的應用程式而言，必須降低操作頻率。然而，較低的 Cac 極限集卻容許該部分在較高頻率處被儲藏(bin)，因為其可以保證沒有應用程式將切換超過該 Cac 極限。

如前面所提到的，一種估算核心切換功率的方式是測量指令的發行速度。不幸地，對於具有許多特殊指令的一些核心實施例而言，由於資料寬度、效能增進電路、快取行為的不確定性、以及多種分支預測方法其中一種等因素，故不太可能有幾項簡單的方法來估算在時脈週期中切換的節點電容 Cac。為了從幾個不相關的訊號來準確估算

Cac，在設計出適當的功率模型、並且多組應用程式已經透過該模型執行以檢測訊號功率的相關性之前，該等訊號是未知的。但是屆時再藉由嘗試於所需位置中加入必要訊號的取樣電路來修改設計就太晚了。

另一方面，可以在設計中取樣對功率估算有顯著影響的多組訊號，但是此法可能會對於訊號過量取樣(over-sample)，因為可能有許多訊號是相關的，而一些訊號則可能對功率影響不大。然而，如果稍微過量的取樣設計成本低廉(例如有效率地實施)，則此種作法仍可大幅增加準確Cac監控的可信度。

如前所述，無論是以線路、電路的代價來看，在設計中取樣數百個對於Cac無顯著影響的訊號會大幅增加設計成本；如果是以最高的操作頻率來進行監控，甚至還有功率消耗的代價。然而卻可以利用一項事實，那就是可導出功率估算值的Cac估算值只需要在熱時段(thermal time frame)中回應，而該熱時段僅在數微秒(milisecond)的範圍內。此時段容許該估算使用數百萬個週期來判定Cac的平均值。事實上，如果估算與隨後的回應太快發生，並且是回應於應用程式中高活動的短期週期(short term period)，則該回應可能使核心減速(throttle)，於是效能便會不必要地被降低。估算必須長期監測該應用程式的平均功率，並根據該平均功率來進行後續的回應與可能之減速。然而，如果取樣間隔延伸至數百萬週期，則取樣的均方偏差(sigma)或標準差(standard deviation)將顯著增

加，這是因為應用程式具有相當高的可能性會移動至與程式碼完全無關的區域。基於功率模型資料，可在特定範圍內找出樣本活動的良好關聯性。舉例來說，在實施例中對於典型的應用程式而言，樣本活動的良好關聯性可位在五萬個時脈週期、均方偏差小的範圍內。

如果預先選擇幾百個要被取樣的已知訊號、且該訊號值是以連續的方式進行掃瞄，則需要數百個時脈週期才能取得與活動相關的訊號的單一樣本。接著從標準統計分析來看，在達到可信度之前(也就是可信度 99%，即該樣本的平均值與均方偏差、和訊號實際母體的平均值與均方偏差有緊密關聯性)，這幾百個訊號當中需要數個樣本。

假設可藉由具有帕松分佈(Poisson distribution)的靜態隨機程序(stationary random process)來估計應用程式的切換行為。此外，中央極限定理(central limit theorem)告訴我們可藉由常態分佈來準確地估計大量母體的資料。此統計方式相似於用來從母體、統計上的普查數量(statistical census number)等的少數樣本中產生民意測驗(opinion poll)的方式。較大範圍的母體特徵是藉由採樣足夠數量的隨機樣本來重建的。需要判定的兩個參數是必要樣本數與要取樣哪些訊號。

對於必要樣本數而言，於一實施例中，可從取樣中統計分析與量測應用程式的實際功率消耗和估算的功率消耗兩者以產生試算表。

第 2A 圖說明應用程式於取樣區間期間在核心上執行

的實際功率量測 200 的一個實施例。在替代的實施例中，可於核心的子分割(例如單元、功能組件等等)上進行此功率量測。在一個實施例中，可藉由在核心的矽前(pre-silicon)模型上執行的功率模型進行此量測。尖峰功率 210 可能是由核心的功能故障或是在核心上執行的高功率病毒(例如 Zuraski)所造成的特徵。在取樣區間期間所消耗的功率是藉由實際功率波形 220 來顯示。在一個實施例中，取樣區間可在數十微秒的範圍內。

現代處理器藉由高功率病毒 Zuraski 的降額形式(derated form)可設定熱設計功率(thermal design power，TDP)。為了儲藏的目的，此降額或衍生的 TDP 碼和其對應的功率消耗被用來設定核心的操作電壓和頻率。然而在大部分現代處理器的使用壽命期間，被執行的應用程式並不會消耗超過此 TDP 數值的 60%至 80%。

藉由準確的即時 Cac 估算與下面的功率估算，便可能利用到在執行的應用程式與 TDP 之間該 20%至 40%的缺口。這可藉由使缺口轉變成 TDP 的減量(其中，新的 TDP 是應用程式的功率)或是頻率的增加(其中，TDP 與之前相同，但卻是由典型的應用程式所消耗)來實現。TDP 不會被病毒消耗，這是因為病毒將被 Cac 估算之後的功率管理器隨後的回應而被減速之故。

第 2B 圖的實施例在說明於取樣間隔期間在核心上執行的應用程式之實際功率量測的數位取樣 230。取樣資料點 240 是取在每一定數量的間歇週期(intermittent cycle)

250 期間。在說明的實施例中，全部 N 個樣本是取在起始於取樣資料點 240a、而終止於取樣資料點 240n 的取樣區間期間。在取樣一功率估算值之間的間歇週期數量其判定可取決於取樣資料點的數量 N 的數值之判定，而間歇週期的數量則取決於所期望的準確度與可信度。

如上所述，藉由統計分析與量測應用程式的實際功率消耗、與從第 2A 至 2B 圖中顯示的取樣所估算的功率消耗兩者可產生試算表或查找表(look-up table)。接著需要選擇可信度與錯誤率(error rate)。

舉例來說，在第一個例子中，設計目標可能需要 95% 的可信度，其中，整個核心的樣本平均值(mean)(例如第 2B 圖中所說明者)是位於實際應用程式平均值的均方偏差(sigma)(或標準差，例如第 2A 圖中所說明者)的 12% 內。(0.12x均方偏差)此項是由於統計取樣而產生的誤差。舉例而言，使用查找表或試算表可判定至少需要 500 個樣本才能達到這些設計需求。如前所述，用以推導出功率估算值的 Cac 估算只需要在熱時段(數微秒的範圍內)中回應。此時段容許在該時段內使用數百萬個週期以判定平均 Cac。取樣間隔可為 25 微秒(μs)。在一個實施例中，操作頻率可為 3 GHz。對於此例而言，樣本之間的間歇時脈週期數量將是(3 GHz)*(25 μs)/500＝150 個時脈週期。實施例可採用一連串的方式掃瞄出取樣訊號的數值。因此在進行下次取樣之前，便可在單一時脈週期中取樣並連串掃瞄出 150 個訊號。

在此例中，絕對最差的案例估算情境可包含+/-2均方偏差之經修剪的(clipped)常態分佈，其中，一個均方偏差為範圍之25%。因此，最差的案例誤差是0.12*0.25＝3%。更典型的最大均方偏差值是接近10%。既然有12%均方偏差的誤差項，故「由於統計取樣而產生的誤差是0.12*0.1＝1.2%」便可能有95%的可信度。

在第二個例子中，設計目標可能要求99%的可信度以使樣本的平均值(例如第 2B 圖中所說明者)在整個核心上是在實際應用程式(例如第 2A 圖中所說明者)的平均值之均方偏差或標準差的 10%以內。(0.10x均方偏差)此項是由於統計取樣而產生的誤差。使用查找表或試算表可判定出至少需要 650 個樣本才能達成該等設計要求。再者，實施例中可分割核心成10個單元，其中，每個單元取樣相同數量的訊號。這樣分割的理由是為了增加準確度，將於稍後說明。對於每個單元只需要90%的可信度。該等可信度的總和可得出 99%的總可信度，這是因為 $0.9^{1/10}$ 是0.9895。再次使用查找表或試算表，對於650個樣本與90%的可信度可判定出來自均方偏差的偏差(deviation)不再是10%，而是減低至6.5%。雖然對於單獨的單元而言，可信度等級已經隨著其準確度的增加而減少，但是核心整體的可信度等級卻維持在99%不變，並且現在準確度已經從10%增進到6.5%。

如果此第二例具有與前面第一例相同的 25 微秒取樣區間、且操作頻率同樣是 3 GHz，則在樣本之間的間歇時

脈週期數量會是(3 GHz)*(25 μs)/650＝115 個時脈週期。在一個實施例中，可同第一例以連串方式掃瞄出取樣訊號值。因此在進行下次取樣之前，可從該 10 個單元的各者中於單一時脈週期內便取樣並連串掃瞄出 150 個訊號。

參照第 3 圖的實施例，係顯示用以取樣訊號並連串輸出所取樣之訊號值的電路 300。在一個實施例中，為了獲得所選擇之在時脈週期內取樣的訊號，如圖示可只對於要取樣的訊號(以訊號 350 來表示)設置 D 正反器(D flip-flop)電路 320 與多工器 310。此增加的電路以低代價便能獲得準確、即時地估算 Cac 的取樣資料。當選擇線(樣本 120)主張成邏輯高值時，訊號 350 便被多工器 310 所選擇並由 D 正反器 320 所儲存。

訊號樣本 120 可接收自控制方塊(例如第 1 圖的監控器控制 132)。實施例核心的單元中要取樣的訊號數量可為 100。在替代的實施例中，要取樣的訊號數量可為提供特定核心設計之準確功率估算的任何數量。每 100 個週期可主張一個時脈週期的樣本 120，以容許該取樣訊號所獲得的數值在樣本之間連串輸出。

佈線至 D 正反器 320 的時脈訊號時脈 330 可以是未設閘(ungated)的時脈訊號。當訊號樣本 120 被反主張至邏輯低數值時，多工器 310 便傳送先前 D 正反器 320 的輸出值。以此方式，在 100 個取樣訊號的取樣時脈週期期間的數值(訊號 350)便以連串方式輸出。根據連至監控器控制 132 的佈線距離，可在 D 正反器 320a 後方放置反相器緩衝區

(inverter buffer)。

在一個實施例中，被選為要取樣的訊號可以是時脈閘器(clock gater)的啟動訊號。閘器電路可為產生時脈訊號的時脈分配系統的最後一個階段。通常該閘器電路是位於現代處理器平面設計的局部方塊中，並且局部設計者是從時脈庫(clock library)選出閘器電路來驅動該方塊內的特定時脈負載。

第 3 圖的閘器電路 340 接收來自時脈分配系統之前階段的共用時脈 360 以及啟動訊號啟動時脈 362。在實施例中顯示的啟動時脈 362 是要被取樣的訊號，同時也是多工器 310 的輸入。也可將閘器電路 340 耦接成用來掃描在其他類型訊號之間的輸入與輸出訊號。

如上述關於統計分析的討論，由於統計取樣所產生之 Cac 估算的誤差可能是小的。然而，由於取樣訊號的活動對於節點切換電容(Cac)不準確的關聯性卻可能導致誤差。對局部設計者而言，安置時脈閘器啟動訊號(啟動時脈 362)相對來說較為容易。這些訊號也直接判定下游電路是否在作用(active)中，並因此判定下游節點電容可否切換。

對於已取樣的特定啟動時脈 362 而言，其邏輯高值的對應儲存值係表示至少正在切換最小電容。額外的電容量係被有條件地切換，其則是由時脈閘器啟動(clock gater enable)(啟動時脈 362)的下游其他訊號與組構所決定。決定 Cac 如何以各種方式改變的閘器時脈啟動訊號之訊號下游的一些例子是有效位元(像是載入儲存佇列(load-store

queue)中的有效位元)、運算元的位元寬度、與快取擊中或未擊中。雖然未顯示在第 3 圖上，但是在替代的實施例中可將該等訊號當中的一些和其他訊號邏輯地結合至時脈閘器啟動訊號以產生要取樣的新訊號並輸入至多工器 310。此新訊號可判定要增加至經切換之最小電容的電容增量。

尚有訊號其主張係除了時脈閘器啟動之外指出已經切換的電容量。一些例子像匯流排驅動器啟動、可內容定址之記憶體(content addressable memory，CAM)中的不匹配、與 CAM 字元線(word line，WL)驅動器。可能還需要轉變偵測器(transition detector)來判定這些訊號額外的切換電容。

第 4 圖說明用於第 3 圖電路 300 中訊號時脈 330、樣本 120 與資料移出 122 的時序圖 400 的實施例。時脈 330 是未設閘的時脈訊號。當主張樣本 120 時，所取樣的訊號(訊號 350)是儲存在 D 正反器 320 中；而當反主張樣本 120 時，所取樣的訊號(訊號 350)則是在資料移出 122 的線上連串輸出。

在準確地完成訊號取樣之後，此資訊可使用加權平均總和(weighted average sum)轉換成 Cac 的估算值。參照第 5 圖，係顯示用以判定加權平均總和的電路 500 的實施例。此電路可位於監控器控制 132 內。鍊式控制(chain control)502 可傳送樣本 120 至功能方塊 110 內的單元。再者，鍊式控制 502 可接收資料移出 122。在為了取樣資料而主張了樣本 120、並反主張樣本 120 之後，鍊式控制

502 可追蹤哪個訊號或連串鍊中的位元位置其數值目前正在被接收。在一個實施例中，可使用計數器來識別所取樣的訊號。這種計數器的輸出可用來為加權表 504 編索引。可把由鍊式控制 502 傳送的數值與加權表 504 中位元位置(Bit Position)506 的項目作比較。當項目命中或匹配該索引時，該索引之儲存在加權值 508 中的對應加權值便傳送至加權值累加器 510。此處所收到的加權值會和先前收到的加權值相加。

舉例來說，可選擇取樣 100 個訊號。新的取樣週期可能已經開始，而目前在資料移出 122 的線上收到的數值是該新取樣週期第 37 個接收值。如果第 37 個取樣值具有邏輯低值，則在第 38 個取樣值到達前不需要有任何動作。如果第 37 個取樣值具有邏輯高值，則該數值便用來為加權表 504 編索引。第 37 個取樣訊號對應的加權值是傳送至加權值累加器 510。此對應的加權值是與具有邏輯高值的 36 個先前接收值的累計加權值相加。下面將簡短描述用來選擇加權值的方法。

第 6 圖說明對於核心準確即時功率估算的方法 600 的實施例。嫻熟此技術者可修改方法 600 來推導出替代實施例。此外，雖然此實施例中顯示的步驟是循序的，然而一些步驟可不同於所顯示的順序來發生、一些步驟可同時進行、一些步驟可結合至其他步驟、而另一實施例則可能沒有一些步驟。在顯示的實施例中，於方塊 602 根據平面設計來對半導體晶片進行平面設計並放置個別的方塊與單

元。核心可為整個晶片或部分的晶片。如前文所述，該核心可為任意 IC。實施例的該核心可為處理器的核心。而在另一實施例中，該核心可為 ASIC 或其他半導體晶片。

於方塊 604，該核心可為了取樣目的而分割成數個單元。每個單元可提供預定取樣訊號的連串數值。在方塊 606 中，為了特徵化取樣區間期間整個晶粒的功率消耗，便在執行有多組應用程式的核心上執行一功率模型。在方塊 608 中，可從查找表中判定要在取樣區間內完成的多個樣本，該查找表是藉由帕松分佈等統計分析而獲得、並且當執行應用程式時特徵化核心的節點電容切換行為。於是從操作頻率、取樣區間、與所判定的取樣數量可判定要取樣的訊號數量。

在方塊 610 中，分配加權值至每個取樣訊號。以下將更詳細描述本程序。所主張之取樣訊號的加權總和是用來判定在特定時脈週期中核心的準確即時功率估算。該總和是在特定時脈週期中的節點切換電容(Cac)的估算值，且藉由索引查找表可把此總和轉譯成為功率值。當功率模型在核心上執行時，此查找表可能已經由特徵化的程序所產生。

在方塊 612 中，把從所取樣訊號的加權總和產生的即時功率估算值、與從在預定的應用程式套件中針對每個應用程式的功率模型所產生的功率估算值作比較。如果這兩個數值之間的差別是小於或等於預定的最小準確度(條件方塊 614)，便完成了功率估算電路的設計，並於方塊 616 中，該晶片可在具有該監控器控制於核心的狀態下定案

(tape-out)。如果未符合最小準確度(條件方塊 614)，則控制流便回到方塊 608。選擇要取樣之樣本的新數量與訊號的新數量。

第 7 圖說明為了判定欲指定給取樣訊號的加權值以進行核心的準確即時功率估算的方法 700。嫻熟此技術者可修改方法 700 來推導出替代實施例。此外，此實施例的步驟是循序顯示。然而，一些步驟可不同於所顯示的順序來發生、一些步驟可同時進行、一些步驟可結合至其他步驟、另一實施例則可能沒有一些步驟。在顯示的實施例中，於方塊 702 為了特徵化取樣區間期間整個晶粒的功率消耗，便在執行有多組應用程式的核心上執行一功率模型。

在方塊 704 中，把相等的初始加權值指定給每個取樣訊號。為了判定此初始值，會在核心上執行特定的應用程式，並且記錄在該時脈週期中所主張之取樣訊號的總和。記錄在取樣區間中對於每個取樣時脈週期所主張之取樣訊號的數量。在一個取樣區間中可能有數百個取樣時脈週期。在方塊 702，從功率模型的執行中所找出之取樣區間的實際功率估算值是用來判定實際的 Cac 值。該實際 Cac 會除以整個取樣區間所主張的取樣訊號的總和。如此導出的數值可成為分配給每個取樣訊號之相等的初始加權值。

在方塊 706 中，可針對應用程式套組中的每個應用程式進行上述步驟。對於取樣訊號，每個應用程式將具有它自己導出之相等的初始加權值。在方塊 708 中，所有這些數值的平均可成為用於取樣之相等的初始加權值。

對於每個應用程式而言，從初始加權值所計算的 Cac 將具有誤差項。在方塊 710 中，對所有的應用程式計算出總誤差。在一個實施例中，此總誤差可為各應用程式的誤差總和。在替代實施例中，此總誤差可為每個應用程式誤差的平方和。在替代的實施例中，可使用其他方程式來計算總誤差。

在方塊 712 中，對於特定的取樣訊號而言，可朝減少總誤差的方向上增加或減少其對應之相等的初始加權值。如果該總誤差並沒有停止減少(條件方塊 714)，則控制流便回到方塊 712。如果總誤差停止減少(條件方塊 714)，則在方塊 716 中儲存該特定取樣訊號目前的加權值。該數值可儲存在像是加權表 504 的表格中。

如果尚未對所有取樣訊號調查可能的數值變化(條件方塊 718)，則控制流回到方塊 712。如果已經調查了所有的取樣訊號(條件方塊 718)，則在方塊 720 中，儲存有加權值的一個或多個表格便具有最終加權值。

雖然已經以相當多的細節描述上述實施例，但是嫻熟此技術者一旦完全體會上述發明，則許多變化與修改形式將變得顯而易知。本發明意欲下列申請專利範圍被詮釋為涵蓋所有這類變化與修改形式。

【圖式簡單說明】

第 1 圖是說明具有功率管理的 IC(例如核心)之實施例的一般方塊圖；

第 2A 圖是說明在取樣區間期間，執行在核心上的應用

程式之實際功率量測的實施例示意圖；

第 2B 圖是說明在取樣間隔期間，執行在核心上的應用程式之實際功率量測的數位取樣實施例的示意圖；

第 3 圖是說明用以取樣訊號並連串輸出該取樣訊號值之電路的實施例示意圖；

第 4 圖是說明用以從單元輸出取樣訊號資訊之時序圖的實施例示意圖；

第 5 圖是說明功率估算監控電路之實施例的一般方塊圖；

第 6 圖是說明用於核心的準確即時功率估算方法之實施例的一般方塊圖；以及

第 7 圖是說明對於為了核心的準確即時功率估算所取樣的訊號，進行判定應指定給該取樣訊號之加權值的方法其中一個實施例的一般方塊圖。

【主要元件符號說明】

100　功率管理

102　核心

110　功能方塊

112a、112b、112c、112d、112 單元

120、120a、120b、120c、120d 訊號取樣

122、122a、122b、122c、122d 資料移出

130　功率監控器

132、132a、132b、132c、132d 監控器控制

140　功率管理器

10年11月2日修正替換頁(本)

200 實際功率量測

210 尖峰功率

220 實際功率波形

230 數位取樣

240、240a、240n 取樣資料點

250 間歇週期

300、500 電路

310、310a、310m、310n 多工器

320、320a、320m、320n D正反器

330 時脈訊號

340 閘器電路

350 訊號

360 共用時脈

362 啟動時脈

400 時序圖

502 鍊式控制

504 加權表

506 位元位置

508 加權值

510 加權值累加器

600、700 方法

602、604、606、608、610、612、616、702、704、706、708、710、712、716、720 方塊

614、714、718 條件方塊

七、申請專利範圍：

1. 一種用於功率估算的系統，包括：

功能方塊，係組構成用來傳送對應至預定數量的取樣訊號各者的資料；

功率監控器，係組構成用來：

接收前述資料，並儲存該預定數量的取樣訊號各者的對應加權值，其中，使用統計分析來判定該加權值，而該統計分析係假設該功能方塊具有以靜態隨機程序(stationary random process)來估計的節點電容切換行為；

加總具有對應之邏輯高值的該取樣訊號的該加權值；以及

依據前述總和判定功率估計值；

功率管理器，係組構成回應該功率估算值而傳送電壓與頻率調整值至該功能方塊以改變該功能方塊內的功率消耗行為，

其中，該預定數量的取樣訊號包括一個或多個時脈閘器啟動訊號。

2. 如申請專利範圍第 1 項所述之系統，其中，該功率估算值是與環境變化無關的可重複數值(repeatable value)。

3. 如申請專利範圍第 1 項所述之系統，另包含加權表，係組構成用來儲存預定數量的取樣訊號各者的加權值。

4. 如申請專利範圍第 3 項所述之系統，其中，使用統計分

析來判定該加權值，該統計分析係以帕松分佈(Poisson distribution)來假設該功能方塊具有以靜態隨機程序來估計的節點電容切換行為。

5. 如申請專利範圍第 1 項所述之系統，其中，每隔預定數量的時脈週期儲存一次該加權值。

6. 如申請專利範圍第 5 項所述之系統，其中，取樣區間內之預定數量的樣本是從該統計分析來判定。

7. 如申請專利範圍第 6 項所述之系統，其中，該預定數量的取樣訊號是從該操作頻率、該取樣區間、與該預定數量的樣本來判定。

8. 如申請專利範圍第 6 項所述之系統，其中，該預定數量的取樣訊號包括一個或多個時脈閘器啟動訊號。

9. 如申請專利範圍第 8 項所述之系統，其中，該功能方塊包括一個或多個單元，其中，對於相同預定數量的樣本與相同預定數量的取樣訊號，前述一個或多個單元之各者包括較該功能方塊低的可信度等級與較該功能方塊高的準確度。

10. 一種用於功率估算的方法，包括：

傳送來自功能方塊的資料，該資料係對應至預定數量的取樣訊號的各者；

在功率監控器中接收前述資料，並儲存該預定數量的取樣訊號各者的對應加權值，其中，使用統計分析來判定該加權值，該統計分析係假設該功能方塊具有以靜態隨機程序來估計的節點電容切換行為；

加總具有對應邏輯高值的該取樣訊號的該加權值；

依據前述總和判定功率估計值；以及

回應該功率估算值而傳送電壓與頻率調整值至該功能方塊以改變該功能方塊內的功率消耗行為；

其中，該預定數量的取樣訊號包括一個或多個時脈閘器啟動訊號。

11. 一種用於功率估算的功率監控器，包括：

介面，係組構成用來與功能方塊和功率管理器進行通訊；

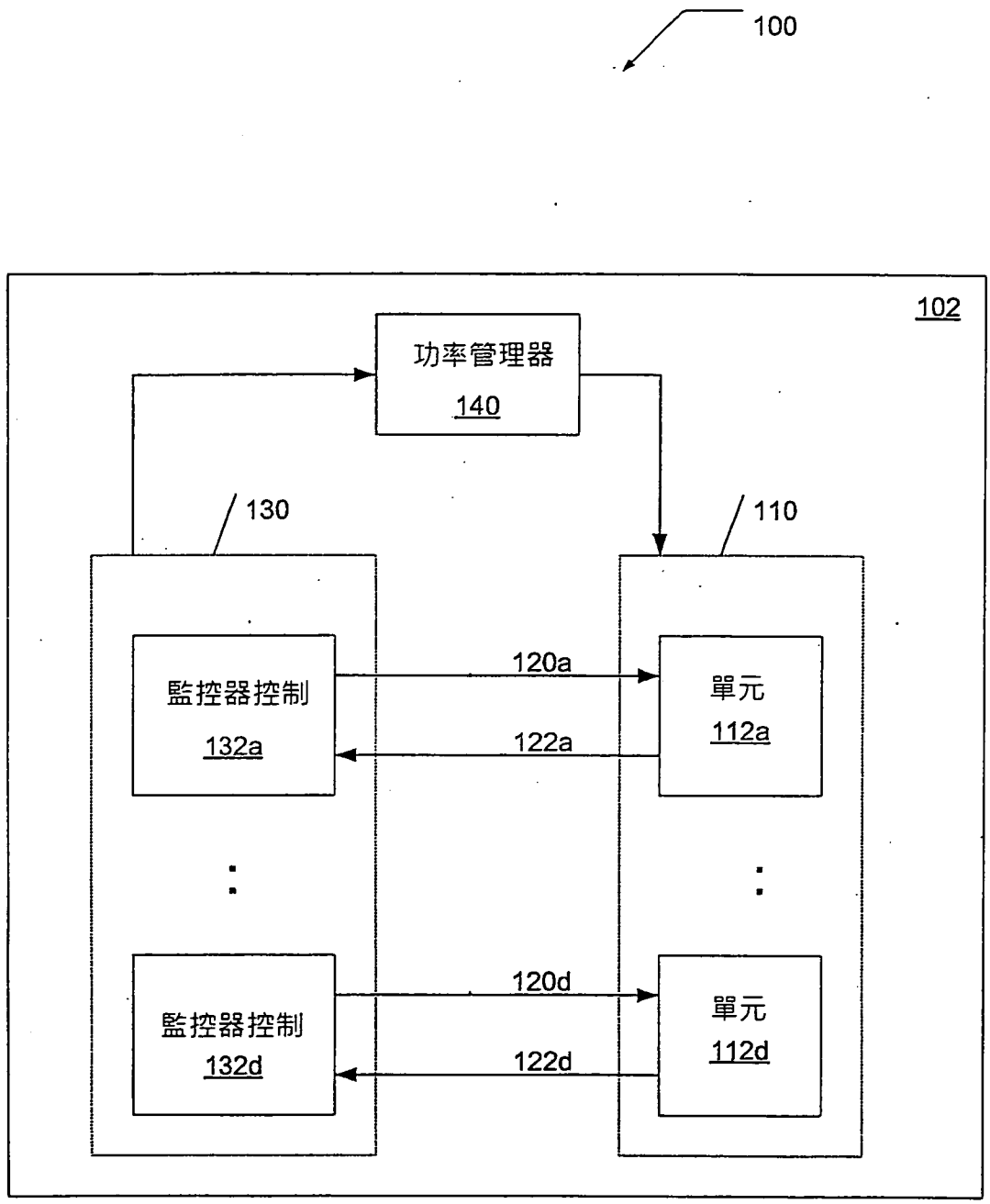
加權表，係組構成用來儲存預定數量的取樣訊號各者的加權值，其中，使用統計分析來判定該加權值，該統計分析係假設該功能方塊具有以靜態隨機程序來估計的節點電容切換行為；

加權值累加器，係組構成用來加總具有邏輯高值的取樣訊號的加權值；以及

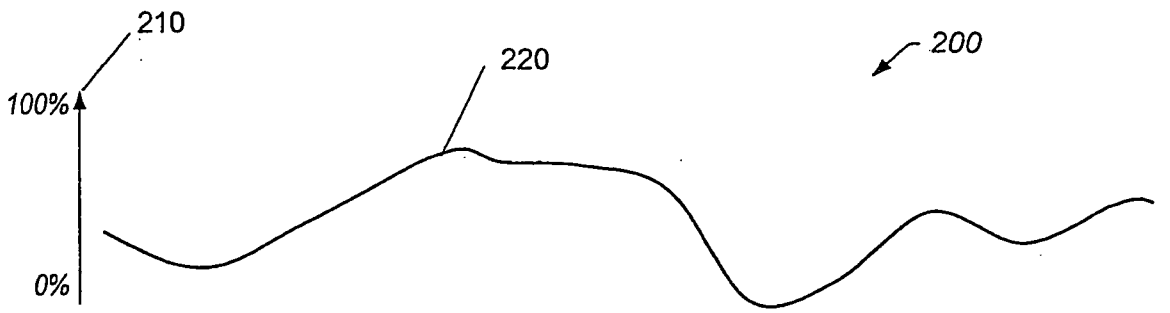
鍊式控制，係組構成用來傳送功率估算值至該功率管理器，其中，該功率估算值是轉譯自該加權值的該總和；

其中，該預定數量的取樣訊號包括一個或多個時脈閘器啟動訊號。

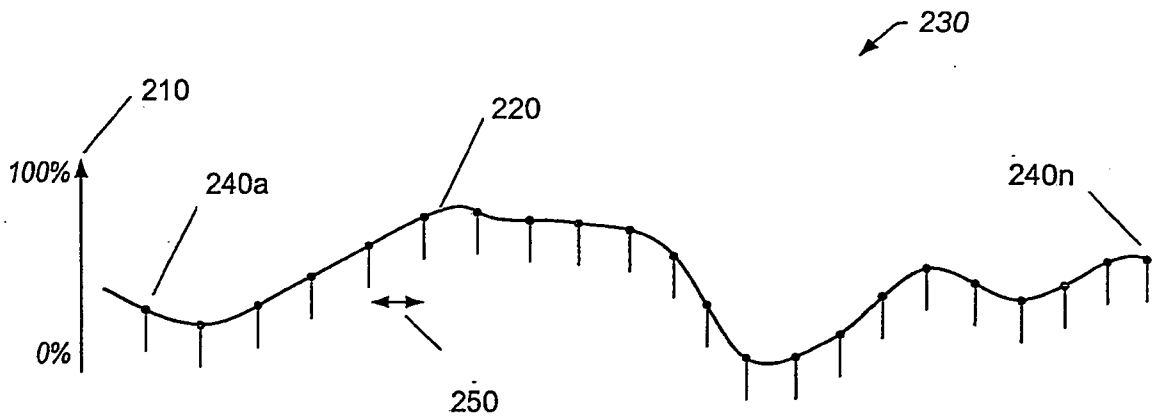
八、圖式：


100
102
功率管理器
140
130
110
監控器控制
132a
120a
122a
單元
112a
監控器控制
132d
120d
122d
單元
112d

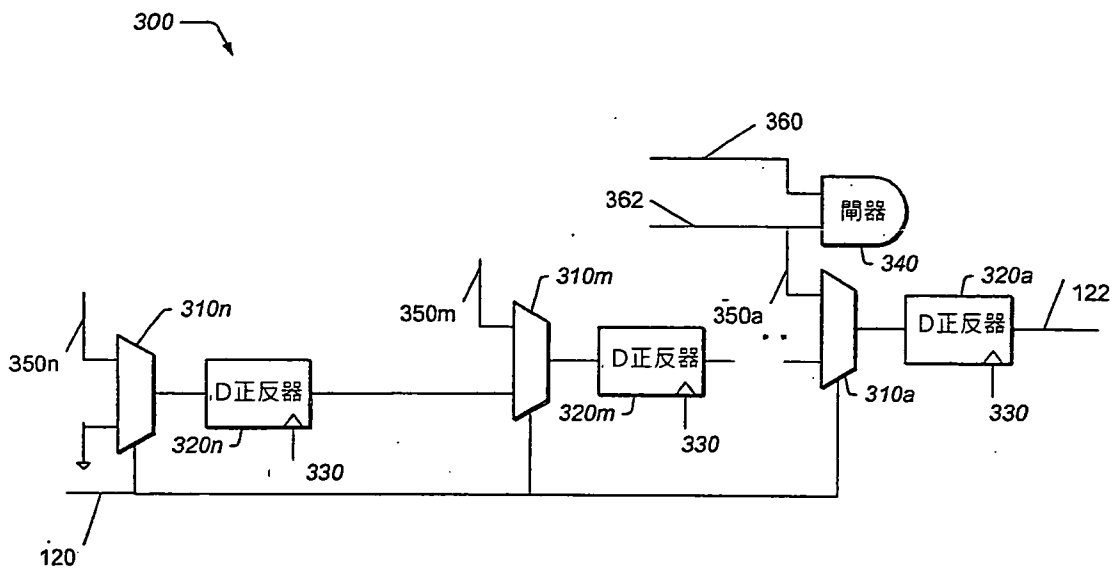
第 1 圖



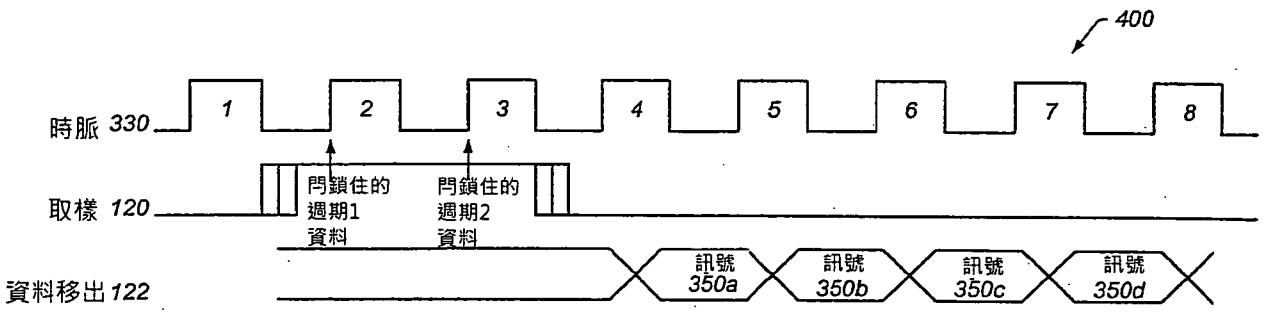
第 2A 圖



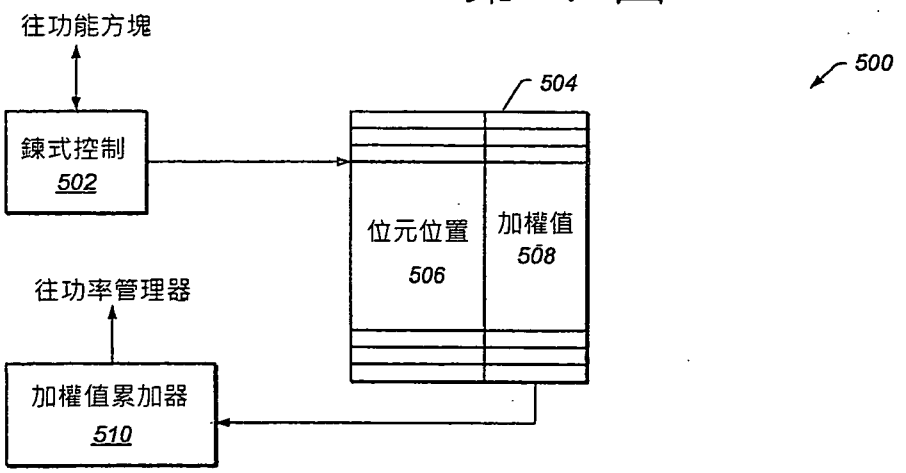
第 2B 圖


300
360
362
閘器
340
310n
350n
D正反器
320n
330
350m
310m
D正反器
320m
330
350a
310a
320a
D正反器
330
122
120

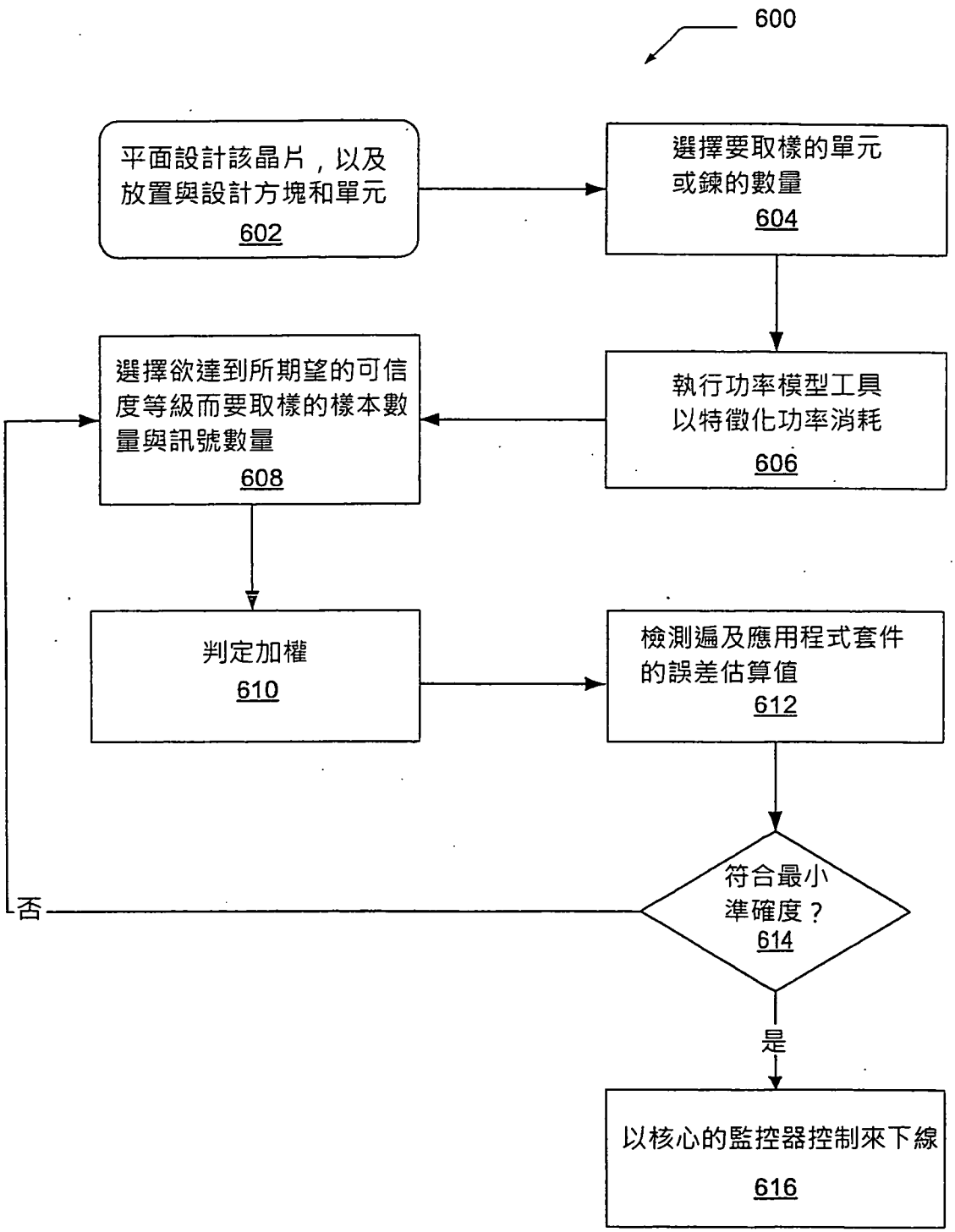
第 3 圖


400
時脈 330
1
2
3
4
5
6
7
8
取樣 120
閂鎖住的週期1資料
閂鎖住的週期2資料
資料移出 122
訊號 350a
訊號 350b
訊號 350c
訊號 350d

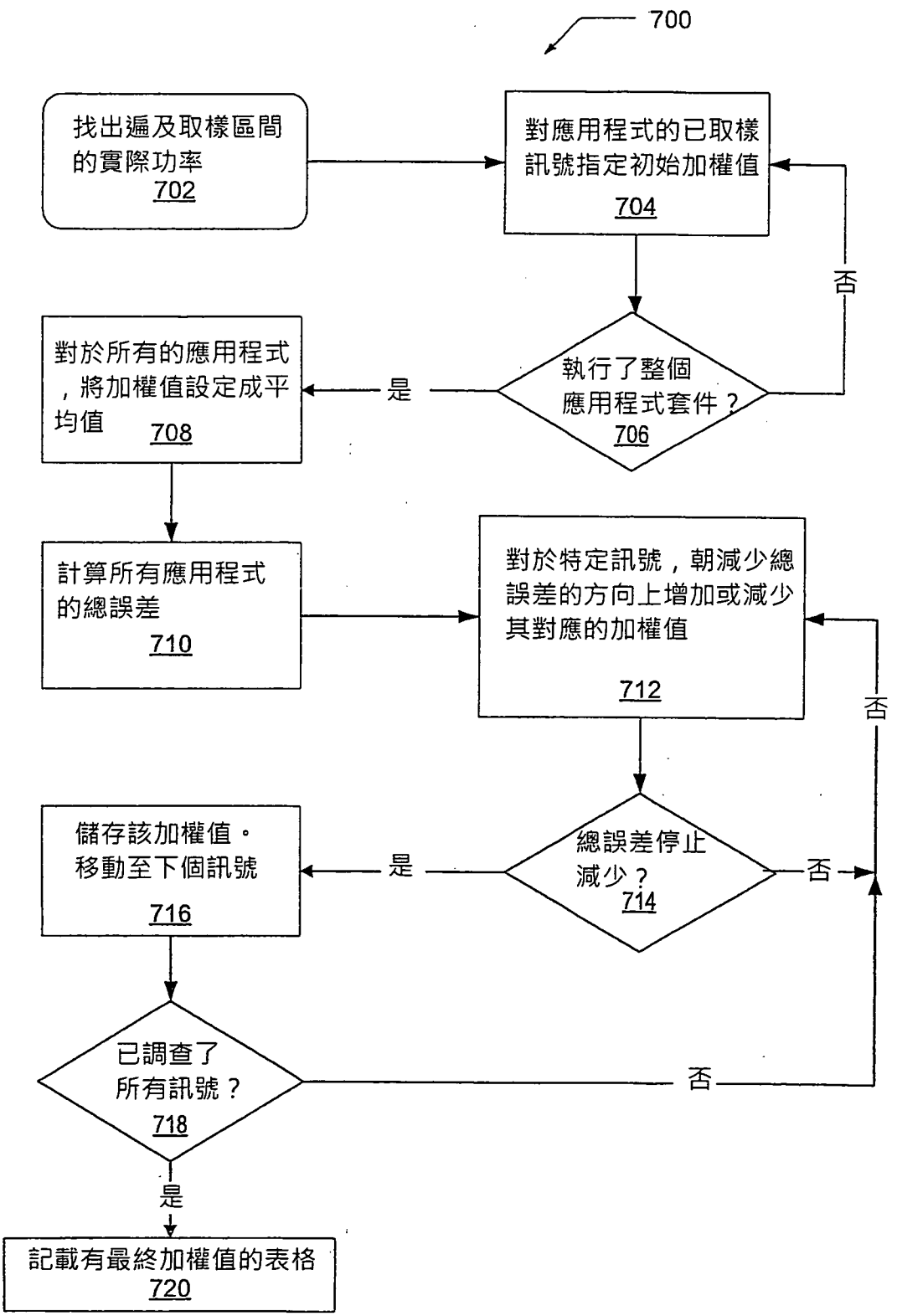
第 4 圖


往功能方塊
500
504
鍊式控制 502
位元位置 506
加權值 508
往功率管理器
加權值累加器 510

第 5 圖


600
平面設計該晶片，以及放置與設計方塊和單元
602
選擇要取樣的單元或鍊的數量
604
執行功率模型工具以特徵化功率消耗
606
選擇欲達到所期望的可信度等級而要取樣的樣本數量與訊號數量
608
判定加權
610
檢測遍及應用程式套件的誤差估算值
612
符合最小準確度？
614
否
是
以核心的監控器控制來下線
616

第 6 圖


700
找出遍及取樣區間的實際功率
702
對應用程式的已取樣訊號指定初始加權值
704
否
執行了整個應用程式套件？
706
是
對於所有的應用程式，將加權值設定成平均值
708
計算所有應用程式的總誤差
710
對於特定訊號，朝減少總誤差的方向上增加或減少其對應的加權值
712
否
總誤差停止減少？
714
是
否
儲存該加權值。移動至下個訊號
716
已調查了所有訊號？
718
否
是
記載有最終加權值的表格
720

第 7 圖