



(10) 授权公告号 CN 114220806 B

(45) 授权公告日 2024. 09. 24

(21) 申请号 202111574546.4

H02M 7/00 (2006.01)

(22) 申请日 2021.12.21

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 217086569 U, 2022.07.29

申请公布号 CN 114220806 A

审查员 王国海

(43) 申请公布日 2022.03.22

(73) 专利权人 广东汇芯半导体有限公司

地址 528000 广东省佛山市南海区丹灶镇
仙湖度假区养生路10号之一

(72) 发明人 冯宇翔 左安超 张土明 谢荣才

(74) 专利代理机构 深圳市辰为知识产权代理事务
所(普通合伙) 44719

专利代理师 陈建昌

(51) Int. Cl.

H01L 25/18 (2023.01)

H01L 21/50 (2006.01)

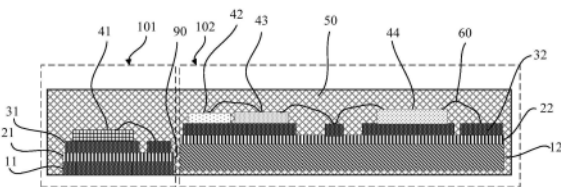
权利要求书2页 说明书8页 附图5页

(54) 发明名称

具有整流电路的半导体电路和半导体电路
的制备方法

(57) 摘要

本发明涉及一种具有整流电路的半导体电路和半导体电路的制备方法,包括第一电路基板和第二电路基板、第一电路布线层和第二电路布线层、多个电子元件、多个引脚和密封层。其中第一电路基板和第二电路基板左右间隔设置,二者之间相隔一定间距,多个电子元件分别设置在第一电路布线层和第二电路布线层,其中第一电路布线层和设置其上的电子元件形成整流电路区,第二电路布线层和设置其上的电子元件形成驱动和逆变电路区,通过将这两个电路区设置在相互间隔设置的两个电路基板上,使得二者之间保持一段的电气隔离的间隙,使得整流电路区产生的电磁干扰无法基于电路布线层传导至容易受干扰的驱动和逆变电路区,有效的提升整个半导体电路的工作可靠性。



1. 一种具有整流电路的半导体电路,其特征在于,包括:

左右间隔设置的第一电路基板和第二电路基板,所述第一电路基板和所述第二电路基板分别包括第一安装面、第一散热面、第二安装面和第二散热面;

第一电路布线层和第二电路布线层,所述第一电路布线层设置在所述第一安装面,所述第二电路布线层设置在所述第二安装面,所述第一安装面和所述第二安装面分别设置多个元件安装位和多个焊盘;

多个电子元件,分别设置在所述第一电路布线层和所述第二电路布线层,其中所述第一电路布线层和设置其上的电子元件组成包括整流电路,所述第二电路布线层和设置其上的电子元件组成包括逆变电路和驱动电路;

多个引脚,所述多个引脚的一端分别与所述第一电路布线层和所述第二电路布线层电连接;

密封层,所述密封层至少包裹设置电子元件的所述第一电路基板和所述第二电路基板的一面,所述多个引脚的另一端从所述密封层露出;

其中,整流电路由第一电路布线层和配置于其上的电子元件构成,整流电路包括由四个整流二极管组成的整流桥堆,有四个引出脚;两只整流二极管的阴极的连接点是全桥直流输出端连接正极输出引脚,两只整流二极管的阳极的连接点是全桥直流输出端连接负极输出引脚,整流二极管的阴极和整流二极管的阳极的共节点连接第一交流输入引脚,整流二极管的阴极和整流二极管的阳极的共节点连接第二交流输入引脚。

2. 根据权利要求1所述的半导体电路,其特征在于,

所述第一电路基板的散热面从密封层露出,所述第二电路基板的散热面被所述密封层包覆。

3. 根据权利要求1所述的半导体电路,其特征在于,

所述第一电路基板和所述第二电路基板之间的间隙范围是 0.5-4mm。

4. 根据权利要求1所述的半导体电路,其特征在于,

所述第一电路基板的面积小于所述第二电路基板面积的1/2。

5. 根据权利要求1所述的半导体电路,其特征在于,在所述第一电路基板和所述第一电路布线层之间还设置第一绝缘层,在所述第二电路基板和所述第二电路布线层之间还设置第二绝缘层。

6. 根据权利要求1所述的半导体电路,其特征在于,在所述第一电路布线层和所述第二电路布线层的未设置元件安装位和焊盘的表面还设置有绿油层。

7. 根据权利要求1所述的半导体电路,其特征在于,还包括多根键合线,所述键合线用于连接所述多个电子元件。

8. 根据权利要求7所述的半导体电路,其特征在于,所述键合线为金线、铜线、金铜混合线、38um或者38um以下细铝线、100um或100um以上的粗铝线。

9. 根据权利要求1所述的半导体电路,其特征在于,所述引脚的表面设置有合金层,所述合金层的厚度为5 μ m。

10. 一种如权利要求1至9任意一项所述的半导体电路的制备方法,其特征在于,所述制备方法包括:

提供第一电路基板和第二电路基板,并在第一电路基板和第二电路基板的表面分别制

备第一绝缘层和第二绝缘层；

在第一绝缘层和第二绝缘层的表面分别制备第一电路布线层和第二电路布线层；

制备引脚,其中多个引脚的一端通过连接筋相互连接；

在第一电路布线层和第二电路布线层配置电子元件和引脚；

将电子元件、电路布线层之间通过键合线电连接；

对设置有电子元件、引脚的第一电路基板和第二电路基板的通过封装模具进行注塑以形成密封层,其中密封层包覆第一电路基板的安装电子元件的一面,第一电路基板的另一面从密封层露出,密封层保护第二电路基板的两面,多个引脚的另一端从密封层露出；

将引脚之间的连接筋切除以形成待测半导体电路,通过测试设备对待测半导体电路进行参数测试,并根据参数测试的结果,若测试合格,则将测试合格的待测半导体电路的各引脚基于预设引脚形状进行折弯成型,得到合格的半导体电路。

具有整流电路的半导体电路和半导体电路的制备方法

技术领域

[0001] 本发明涉及一种具有整流电路的半导体电路和半导体电路的制备方法,属于半导体电路应用技术领域。

背景技术

[0002] 半导体电路是一种将电力电子和集成电路技术结合的功率驱动类产品。在传统的变频电机伺服控制主控板中,为满足主控板小型化的需求,有的半导体电路内部集成了整流桥堆,以此减小装配到电机腔体中占用的空间,从而有利于电机整体的小型化。但是整流桥堆由于功耗大,且传输大电流,容易对半导体的其他电路如驱动电路产生电磁干扰和热传导,影响到整个半导体电路工作的可靠性。

发明内容

[0003] 本发明需要解决的技术问题是解决现有的半导体电路因为集成了整流桥后因为电磁干扰和热传递影响到其工作可靠性问题。

[0004] 具体地,本发明公开一种半导体电路,该半导体电路包括:

[0005] 左右间隔设置的第一电路基板和第二电路基板,所述第一电路基板和所述第二电路基板分别包括第一安装面、第一散热面、第二安装面和第二散热面;

[0006] 第一电路布线层和第二电路布线层,所述第一电路布线层设置在所述第一安装面,所述第二电路布线层设置在所述第二安装面,所述第一安装面和所述第二安装面分别设置有多多个元件安装位和多个焊盘。;

[0007] 多个电子元件,分别设置在所述第一电路布线层和所述第二电路布线层,其中所述第一电路布线层和设置其上的电子元件组成包括整流电路,所述第二电路布线层和设置其上的电子元件组成包括逆变电路和驱动电路;

[0008] 多个引脚,所述多个引脚的一端分别与所述第一电路布线层和所述第二电路布线层电连接;

[0009] 密封层,所述密封层至少包裹设置电子元件的所述第一电路基板和所述第二电路基板的一面,所述多个引脚的另一端从所述密封层露出。

[0010] 可选地,所述第一电路基板的散热面从密封层露出,所述第二电路基板的散热面被所述密封层包覆。

[0011] 可选地,所述第一电路基板和所述第二电路基板之间的间隙范围是0.5-4mm。

[0012] 可选地,所述第一电路基板的面积小于所述第二电路基板面积的1/2。

[0013] 可选地,在所述第一电路基板和所述第一电路布线层之间还设置第一绝缘层,在所述第二电路基板和所述第二电路布线层之间还设置第二绝缘层。

[0014] 可选地,在所述第一电路布线层和所述第二电路布线层的未设置元件安装位和焊盘的表面还设置有绿油层。

[0015] 可选地,半导体电路还包括多根键合线,所述键合线用于连接所述多个电子元件。

[0016] 可选地,所述键合线为金线、铜线、金铜混合线、38um或者38um以下细铝线、100um或100um以上的粗铝线。

[0017] 可选地,所述引脚的表面设置有合金层,所述合金层的厚度为5 μ m。

[0018] 本发明还提出一种如上所述的半导体电路的制备方法,该制备方法包括:

[0019] 提供第一电路基板和第二电路基板,并在第一电路基板和第二电路基板的表面分别制备第一绝缘层和第二绝缘层;

[0020] 在第一绝缘层和第二绝缘层的表面分别制备第一电路布线层和第二电路布线层;

[0021] 制备引脚,其中多个引脚的一端通过连接筋相互连接;

[0022] 在第一电路布线层和第二电路布线层配置电子元件和引脚;

[0023] 将电子元件、电路布线层之间通过键合线电连接;

[0024] 对设置有电子元件、引脚的第一电路基板和第二电路基板的通过封装模具进行注塑以形成密封层,其中密封层包覆第一电路基板的安装电子元件的一面,第一电路基板的另一面从密封层露出,密封层保护第二电路基板的两面,多个引脚的另一端从密封层露出;

[0025] 将引脚之间的连接筋切除以形成待测半导体电路,通过测试设备对待测半导体电路进行参数测试,并根据参数测试的结果,若测试合格,则将测试合格的待测半导体电路的各引脚基于预设引脚形状进行折弯成型,得到合格的半导体电路。

[0026] 本发明的半导体电路,包括第一电路基板和第二电路基板、第一电路布线层和第二电路布线层、多个电子元件、多个引脚和密封层。其中第一电路基板和第二电路基板左右间隔设置,二者之间相隔一定的间距,多个电子元件分别设置在第一电路布线层和第二电路布线层,其中第一电路布线层和设置其上的电子元件组成包括整流电路形成整流电路区,第二电路布线层和设置其上的电子元件组成包括逆变电路和驱动电路形成驱动和逆变电路区,通过将这两个电路区设置在相互间隔设置的两个电路基板上,使得二者之间保持一段的电气隔离的间隙,使得整流电路区产生的电磁干扰无法基于电路布线层传导至容易受干扰的驱动和逆变电路区,有效的提升整个半导体电路的工作可靠性。

附图说明

[0027] 图1为本发明实施例的半导体电路的主视图;

[0028] 图2为图1的半导体电路的X-X方向的剖视图;

[0029] 图3为图1的半导体电路去掉位于电路基板安装面的密封层后,露出电子元件的视图;

[0030] 图4为本发明实施例的半导体电路的电路简化示意图;

[0031] 图5为本发明实施例的半导体电路的制备方法流程图;

[0032] 图6为本发明实施例的半导体电路的制备过程中制备的引脚的结构示意图。

[0033] 附图标记:

[0034] 第一电路基板11,第二电路基板12,第一绝缘层21,第二绝缘层21,第一电路布线层31,第二电路布线层32,整流二极管41,FRD42,IGBT43,驱动芯片44,密封层50,键合线60,引脚70,连接筋71,焊盘81,元件安装位82,间隙90,整流电路区101,驱动和逆变电路区102。

具体实施方式

[0035] 需要说明的是,在结构或功能不冲突的情况下,本发明中的实施例及实施例中的特征可以相互组合。下面根据实例来详细说明本发明。

[0036] 本发明提到的半导体电路,是一种将功率开关器件和高压驱动电路等集成在一起,并在外表进行密封封装的一种电路模块,在电力电子领域应用广泛,如驱动电机的变频器、各种逆变电压、变频调速、冶金机械、电力牵引、变频家电等领域应用。这里的半导体电路还有多种其他的名称,如模块化智能功率系统 (Modular Intelligent Power System, MIPS)、智能功率模块 (Intelligent Power Module, IPM),或者称为混合集成电路、功率半导体模块、功率模块等名称。

[0037] 本发明提出的具有整流电路的半导体电路如图1至图4所示,半导体电路包括第一电路基板11和第二电路基板12、第一电路布线层31和第二电路布线层32、多个电子元件、多个引脚70和密封层50。其中第一电路基板11和第二电路基板12左右间隔设置,二者之间相隔一定的间距,第一电路基板11和第二电路基板12分别包括第一安装面、第一散热面、第二安装面和第二散热面;第一电路布线层31设置在第一安装面,第二电路布线层32设置在第二安装面;多个电子元件分别设置在第一电路布线层31和第二电路布线层32,其中第一电路布线层31和设置其上的电子元件组成包括整流电路,第二电路布线层32和设置其上的电子元件组成包括逆变电路和驱动电路;多个引脚70的一端分别与第一电路布线层31和第二电路布线层32电连接;密封层50至少包裹设置电子元件的第一电路基板11和第二电路基板12的一面,多个引脚70的另一端从密封层50露出。如此,第一电路基板11上的电路布线层独立设置的整流电路形成整流电路区101,第二电路基板12上的电路布线层独立设置其他电路包括逆变电路和驱动电路形成驱动和逆变电路区102,因为整流电路区101的输入和输出端和逆变电路区在线路上没有连接,这两个电路布线层之间无需设置金属连接线如键合线60,因此通过将这两个电路区设置在相互间隔设置的两个电路基板上,使得二者之间保持一段的电气隔离的间隙90,从而使得工作于大电流环境的整流电路区101,其产生的电磁干扰无法基于电路布线层传导至容易收到干扰的驱动和逆变电路区102的弱电工作电路,如该电路区中驱动电路中的低压工作区,而且由于间隙90的存在,也使得整流电路中的大功率功率器件的发热无法直接通过电路布线层传导至其他电路,从而有效的降低其他较低温的工作元件如驱动芯片44的温升,以此大大降低了整流电路对其他电路产生的电磁传导干扰和热传导,有效的提升整个半导体电路的工作可靠性。

[0038] 在本发明的一些实施例中,第一电路基板11和第二电路基板12用于承载半导体电路中的电子元件,分别包括处于表面的第一安装面和背面的第一散热面,以及处于表面的第二安装面和背面的第二散热面,第一电路基板11和第二电路基板12可以采用金属材料或者其他材料制成,例如电路基板采用1100、5052等材质的铝构成的矩形板材,其厚度相对其它层厚很多,一般为0.8mm至2mm,常用的厚度为1.5mm。特别地,第一电路基板11可优选为覆铜基板DBC (Direct Bonding Copper) 框架结构,而第二电路基板12可优选为铝基板IMS (Insulated Metal Substrate) 框架结构,覆铜基板相对其他基板材料具有更好的热导系数。而且从图2可知,覆铜基板相对铝基板厚度上薄很多,以此更有利于将表面的功率器件的发热传导至背面,因为背面裸露于外界空气或者再连接散热器,从而以更快的将发热大的整流电路的功率器件产生的热量进行及时的传递,从而有效的保证其工作温升在安全范

围内,进一步提升其工作可靠性。进一步地,第一散热面和第二散热面还可以通过激光蚀刻、打磨的方式形成纹理(图中未示出),通过纹理以增强和密封层50的结合力。

[0039] 进一步地,在第一电路基板11和第一电路布线层31之间,以及第二电路基板12和第二电路布线层32之间,还可以设置绝缘层,分别是第一绝缘层21和第二绝缘层21,以实现在金属的电路基板的安装面和金属的电路布线层之间实现电气绝缘,防止电路布线层上的走线短路。其中第一绝缘层21和第二绝缘层21厚度相对电路基板较薄,一般在50um至150um,常用为110um。第一绝缘层21和第二绝缘层21可由环氧树脂等树脂材料制成,并可在树脂材料内部填充氧化铝和碳化铝等填料,以提高热导率。为了提高热导率,这些填料的形状可采用角形,为了避免填料损坏设置在其表面的电子元件的接触面的风险,填料可采用球形、角形或者角形与球形混合型。

[0040] 第一电路布线层31和第二电路布线层32可由分别设置在第一绝缘层21表面和第二绝缘层21表面的铜箔蚀刻形成,也可以是膏状导电介质印刷形成,导电介质可以是石墨烯、锡膏、银胶等导电材料。电路布线层的厚度与绝缘层大体相当也较薄,如70um左右。电路布线层的表面设置有多多个元件安装位82,以安装多个电子元件,电子元件包括功率器件和驱动芯片44,其中功率器件包括开关管如IGBT43(Insulated Gate Bipolar Transistor,绝缘栅双极型晶体管)或者MOS管(metal oxide semiconductor,金属氧化物半导体)等,也包括用于续流的FRD42和整流二极管41。其中第一电路布线层31上安装电子元件主要为整流二极管41;第二电路布线层32上安装电子元件主要包括开关管和驱动芯片44,还包括其他无源器件如电阻、电容等。其中由于功率器件工作消耗的功率大发热量大,因此整个半导体电路工作过程中温度相对室温要高。对功率器件还通过金属散热片将其固定安装在元件安装位82。这些电路布线层和安装于电路布线层上的多个电子元件构成半导体电路的整个电路。

[0041] 第一电路布线层31和第二电路布线层32的表面的周边还设置有多多个焊盘81,以固定引脚70,以此传输信号到半导体电路的内部电路。引脚70一般采用铜等金属制成,铜表面通过化学镀和电镀形成一层镍锡合金层,合金层的厚度一般为5um,镀层可保护铜不被腐蚀氧化,并可提高可焊接性。

[0042] 引脚70的材质可采用C194(-1/2H)板料(化学成分:Cu($\geq$ 97.0)、Fe:2.4、P:0.03、Zn:0.12)或KFC(-1/2H)板料(化学成分:Cu($\geq$ 99.6)、Fe:0.1(0.05~0.15)、P:0.03(0.025~0.04)),通过冲压或蚀刻工艺对0.5mm的C194或KFC板料进行加工,再对表面进行先镀镍厚度0.1-0.5um,再镀锡厚度2-5um;通过特定设备将引脚70多余的连筋切除并整形成所需形状。

[0043] 进一步地,在第一电路布线层31和第二电路布线层32的未设置元件安装位82和焊盘81的表面还设置有一层较薄的绿油层(图中未示出),其起到防止这两个电路布线层的走线之间发生短路,还起到防止电路布线层的表面氧化、污染,以此起到保护作用。

[0044] 其中密封层50可由树脂形成,通过传递模方式使用热硬性树脂模制也可使用注入模方式使用热塑性树脂模制。其中密封层50有两种封装结构,一种是密封层50包覆第一电路基板11和第二电路基板12的表面和背面,即包覆设置在两个电路基板上的电子元件的一面和电路基板的背面,同时密封层50包覆引脚70连接到电路基板的一端的部分长度,此种封装为密封层50的全包覆方式;在另一种封装方式中,密封层50包覆第一电路基板11和第

二电路板12的上表面,即包覆电路基板的表面和电子元件,同时密封层50包覆引脚70连接到电路板的一端的部分长度,而电路基板的背面即散热面露出于密封层50,以此形成密封层50的半包覆方式。针对全包覆方式,电路板背面设置纹理时,可以有效的加强和密封层50的结合强度,使二者不易分离。而针对半包覆方式,电路基板的背面可以不设置纹理,在半导体电路使用安装时,其在电路基板的背面还可以设置散热器(图中未示出),使得散热器的表面与电路基板的表面紧密接触,以此通过散热器将功率器件的发热进行更好的散热。

[0045] 优选地,为了更有利于第一电路板11上的整流电路的功率器件的散热,如图2所示,第一电路板11的散热面从密封层50露出,也即密封层50对第一电路板11采用半包覆的方式,而密封层50对第二电路板12为全包覆方式,因为第二电路板12的上的发热密度相对第一电路板11要大,因此第二电路板12的发热不如第一电路板11高,因此密封层50对第二电路板12的全包覆方式也可以满足第二电路板12的散热需求,从而更好的保护到第二电路板12上的电子元件如驱动芯片44。

[0046] 优选地,第一电路板11和第二电路板12之间的间隙90的宽度为0.5-4mm,如设置为0.7mm,以此使得二者之间保持良好的电气和热传导隔离,而且又保证间隙90不会过多占用半导体电路内部的空间。

[0047] 在本发明的一些实施例中,如图2和图3所示,半导体电路还包括多根键合线60,键合线60连接于多个电子元件、第一电路布线层31或第二电路布线层32、多个引脚70之间。如键合线60可以连接电子元件和电子元件,也可以连接电子元件和电路布线层,还可以是连接电子元件和引脚70,以及电路布线层和引脚70。电子元件为上述实施例提到的功率器件如IGBT43、续流二极管、以及驱动芯片44、以及其它如电阻、电容等。键合线60通常为金线、铜线、金铜混合线、38um或者38um以下细铝线、100um或100um以上的粗铝线。

[0048] 在本发明的一些实施例中,如图4所示,第一电路布线层和配置于其上的电子元件构成的整流电路包括由四个整流二极管301-304组成的整流桥堆,有四个引出脚。两只整流二极管303、304的阴极为的连接点是全桥直流输出端连接正极输出引脚,两只整流二极管301、302的阳极的连接点是全桥直流输出端连接负极输出引脚,整流二极管302的阴极和整流二极管303的阳极的共节点连接第一交流输入引脚,整流二极管301的阴极和整流二极管304的阳极的共节点连接第二交流输入引脚。

[0049] 第二电路布线层和配置于其上的电子元件组成的电路包括驱动电路和逆变电路,驱动电路包括驱动芯片44,驱动芯片44设置有过温保护开关电路、欠压保护电路、过流保护电路、过压保护电路中的至少一者(图中未示出)。其中6个IGBT305-310和续流二极管组成逆变电路,逆变电路主要由上下桥臂的3组逆变单元组成,每个逆变单元包括三极晶体管,在图4中为IGBT,也可以是MOS管,其中IGBT即三极晶体管305与三极晶体管308为一组,三极晶体管306与三极晶体管309为一组,三极晶体管307与三极晶体管310为一组,每组两个三极晶体管分为上桥臂和下桥臂,其中三极晶体管305为上桥臂,三极晶体管308为下桥臂,三极晶体管306为上桥臂,三极晶体管309为下桥臂,三极晶体管307为上桥臂,三极晶体管310为下桥臂,上桥臂的三极晶体管305的集电极与模块的高压输入端P连接,上桥臂的三极晶体管305的发射极与下桥臂的三极晶体管308的集电极连接,下桥臂的三极晶体管308的发射极与模块外引脚UN端连接,两个三极晶体管的栅极均与驱动芯片44相连,上桥臂的三极

晶体管306的发射极与下桥臂的三极晶体管309的集电极连接,下桥臂的三极晶体管309的发射极与模块外引脚VN端连接,两个三极晶体管的栅极均与驱动芯片44相连,上桥臂的三极晶体管307的发射极与下桥臂的三极晶体管310的集电极连接,下桥臂的三极晶体管310的发射极与模块外引脚WN端连接,两个三极晶体管的栅极均与驱动芯片44相连。

[0050] 本发明还提出一种基于上述实施例提到的半导体电路的制造方法,如图5所示,该制造方法包括以下步骤:

[0051] 步骤S100、提供第一电路基板和第二电路基板,并在第一电路基板和第二电路基板的表面分别制备第一绝缘层和第二绝缘层;

[0052] 步骤S200、在第一绝缘层和第二绝缘层的表面分别制备第一电路布线层和第二电路布线层;

[0053] 步骤S300、制备引脚,其中多个引脚的一端通过连接筋相互连接;

[0054] 步骤S400、在第一电路布线层和第二电路布线层配置电子元件和引脚;

[0055] 步骤S500、将电子元件、电路布线层之间通过键合线电连接;

[0056] 步骤S600、对设置有电子元件、引脚的第一电路基板和第二电路基板的通过封装模具进行注塑以形成密封层,其中密封层包覆第一电路基板的安装电子元件的一面,第一电路基板的另一面从密封层露出,密封层保护第二电路基板的两面,多个引脚的另一端从密封层露出;

[0057] 步骤S700、将引脚之间的连接筋切除以形成待测半导体电路,通过测试设备对待测半导体电路进行参数测试,并根据参数测试的结果,若测试合格,则将测试合格的待测半导体电路的各引脚基于预设引脚形状进行折弯成型,得到合格的半导体电路。

[0058] 其中在步骤S100中,可根据需要的电路布局设计大小合适的第一电路基板11和第二电路基板12。其中第一电路基板11为覆铜基板DBC,第二基板为铝基板IMS,由于二者的基板材料不同,二者的厚度也不同,其中覆铜基板DBC要比铝基板IMS薄很多,相比更有利于导热。二者由于板材不同,而且面积大小也不同,其中第一电路基板11由于只设置整流电路,相比第二基板设置驱动电路和逆变电路,电路占用的面积小很多,因此第一电路基板11相比第二电路基板12面积小,一般第一电路基板11面积小于第二电路基板12的1/2。二者需要分别进行加工,如采用刀具分别进行切割而成,第一电路基板11可设置为 $20\text{mm} \times 30\text{mm}$,第二电路基板12可设置为 $40 \times 30\text{mm}$,以第二电路基板12加工为例,可使用锣刀对 $1\text{m} \times 1\text{m}$ 的铝材进行锣板处理的方式形成,锣刀使用高速钢作为材质,马达使用5000转/分钟的转速,锣刀与铝材平面呈直角下刀;也可以通过冲压的方式形成。针对第二电路基板12,由于其背面即散热面也覆盖密封层50,可在其背面通过激光蚀刻、打磨的方式形成凹凸不平的纹理,以此通过纹理以增强第二电路基板12的背面与密封层50的结合力。在制备完成第一电路基板11和第二电路基板12后,接着在第一电路基板11和第二电路基板12的表面即第一安装面和第二安装面分别制备第一绝缘层21和第二绝缘层21,以实现在金属的电路基板的安装面和金属的电路布线层之间实现电气绝缘,防止电路布线层上的走线短路。第一绝缘层21和第二绝缘层21可由环氧树脂等树脂材料制成,并可在树脂材料内部填充氧化铝和碳化铝等填料,以提高热导率。

[0059] 在步骤S200中,可分别在第一绝缘层21和第二绝缘层21的表面压合金属基材如铜箔,然后对金属基材的表面进行加工,如通过蚀刻的方式铜箔进行加工,局部的取出铜箔,

以分别形成第一电路布线层31和第二电路布线层32。在这些电路布线层上设置有多个元件安装位82,并设置有多个焊盘81。

[0060] 进一步地,还可在第一电路布线层31和第二电路布线层32的表面设置一层较薄的绿油层(图中未示出),绿油层涂覆于这些电路布线层表面除元件安装位82和焊盘81以外的位置,以起到保护电路布线层中的走线表面氧化和被污染,实现保护作用。

[0061] 在步骤S300中,引脚70可由铜基材制备形成,如制成长度C为25mm,宽度K为1.5mm,厚度H为1mm的长条状,然后通过化学镀的方法在引脚70表面形成镍层:通过镍盐和次亚磷酸钠混合溶液,并添加了适当的络合剂,在已形成特定形状的铜材表面形成镍层,在金属镍具有很强的钝化能力,能迅速生成一层极薄的钝化膜,能抵抗大气、碱和某些酸的腐蚀。镀镍结晶极细小,镍层厚度一般为0.1 μ m;接着通过酸性硫酸盐工艺,在室温下将已形成形状和镍层的铜材浸在带有正锡离子的镀液中通电,在镍层表面形成镍锡合金层,镍层厚度一般控制在5 μ m,镍层的形成极大提高了保护性和可焊性。如图6所示,为了对各个引脚70之间的间距进行限位,通过特定的模具在引脚70的第二端会压制形成连接筋71,进而便于多个引脚70快速安装设置在电路基板上,以此完成引脚70的制备。

[0062] 在步骤S400中,首先通过锡膏印刷机,使用钢网,对上述第一电路布线层31和第二电路布线层32的元件安装位82和焊盘81表面进行锡膏涂装,钢网可使用0.13mm的厚度,这些元件安装位82和焊盘81需要进行锡膏焊接之处,如元件安装位82用于焊接电子元件,焊盘81用于焊接引脚70等。或者银胶点胶机,用银浆在元件安装位82和焊盘81涂装出特定图形,通过银浆同样可以实现在这些位置焊接电子元件和引脚70。

[0063] 然后进行电子元件和引脚70的安装,电子元件可直接放置在元件安装位82,引脚70的一端要安放在焊盘81上,另一端需要载具进行固定,载具通过合成石、不锈钢等材料制成,由于加强筋的连接作用,方便将引脚70固定在焊盘81的位置。然后,放于载具上的第一电路基板11和第二电路基板12通过回流焊,锡膏或银浆固化,电子元件和引脚70分别被焊接固定于元件安装位82和焊盘81。

[0064] 在步骤S500中,该步骤为连接键合线60的步骤。可将电子元件中的驱动芯片44走线的其中一个驱动键合焊盘81通过金线、铜线、金铜混合线、38 μ m或38 μ m以下的细铝线等键合线60直接连接到功率器件如IGBT43的栅极键合区,将驱动芯片44的其他驱动键合焊盘81走线通过金线、铜线、金铜混合线、38 μ m或38 μ m以下的细铝线等键合线60直接连接到电路布线层的焊盘81。将IGBT43的发射极键合区通过100 μ m或100 μ m以上的粗铝线直接连接到电路布线层的焊盘81。通过这些步骤,在第一电路基板11、第一绝缘层21、第一电路布线层31和设置于电路布线层上的电子元件构成整流电路区101,第二电路基板12、第二绝缘层21、第二电路布线层32和设置于电路布线层上的电子元件构成驱动和逆变电路区102。

[0065] 在步骤S600中,该步骤为形成密封层50的步骤。首先可在无氧环境中对上述步骤过程中安装了电子元件、引脚70的第一电路基板11和第二电路基板12进行烘烤。接着配置好引脚70的第一电路基板11和第二电路基板12通过载具搬运到封装模具中,封装模具由上模和下模组成,引脚70固定设置在上模和下模之间,然后对放置了这些电路基板的封装模具进行合模,封装模具内形成模具腔室,通过浇口对模具腔室内密封树脂,最后进行脱膜,在脱膜后,密封树脂经固化以形成密封层50,引脚70的自由端从密封层50露出。

[0066] 在步骤S700中,首先将连接多个引脚70的另一端的连接筋71切除以形成待测半导

体电路,其中,连接筋71为引脚70制备过程中产生的残留物,连接筋71会导致引脚70与引脚70之间产生短路,因此在半导体电路制备过程中,需要将连接筋71切除。在一个示例中,可通过特定设备将连接多个引脚70的第二端的连接筋71切除,从而使得各引脚70的另一端互不相连,得到待测半导体电路,以便在下一步中对待测半导体电路进行参数测试。

[0067] 其中,测试设备可用来对待测半导体电路进行参数测试,例如测试设备可向待测半导体电路发送测试信号,并接收待测半导体电路反馈回来的反馈信号;测试设备对反馈信号进行处理得到相应的反馈数据,并对反馈数据与预设阈值范围进行比对,在反馈数据满足预设阈值范围时,判定待测半导体电路测试合格,进而可对测试合格的待测半导体电路的各引脚70基于预设引脚70形状进行折弯成型,从而得到合格的半导体电路。

[0068] 进一步地,在测试设备可用来对待测半导体电路进行参数测试前,还可通过激光设备进行激光打标以对半导体电路的密封层50表面进行标记,从而方便半导体电路产品的识别和管理。

[0069] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不一定指的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。

[0070] 在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”“内”、“外”、“顺时针”、“逆时针”、“轴向”、“径向”、“周向”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0071] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。在本发明的描述中,“多个”的含义是至少两个,例如两个,三个等,除非另有明确具体的限定。

[0072] 在本发明中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或成一体;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系,除非另有明确的限定。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0073] 在本发明中,除非另有明确的规定和限定,第一特征在第二特征“上”或“下”可以是第一和第二特征直接接触,或第一和第二特征通过中间媒介间接接触。而且,第一特征在第二特征“之上”、“上方”和“上面”可是第一特征在第二特征正上方或斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”可以是第一特征在第二特征正下方或斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0074] 尽管上面已经示出和描述了本发明的实施例,可以理解的是,上述实施例是示例性的,不能理解为对本发明的限制,本领域的普通技术人员在本发明的范围内可以对上述实施例进行变化、修改、替换和变型。

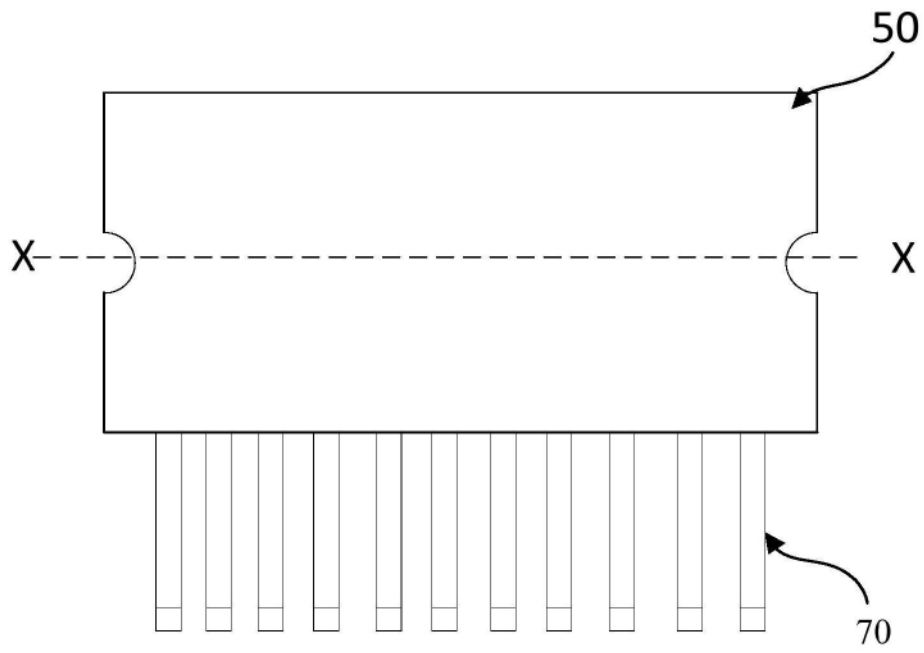


图1

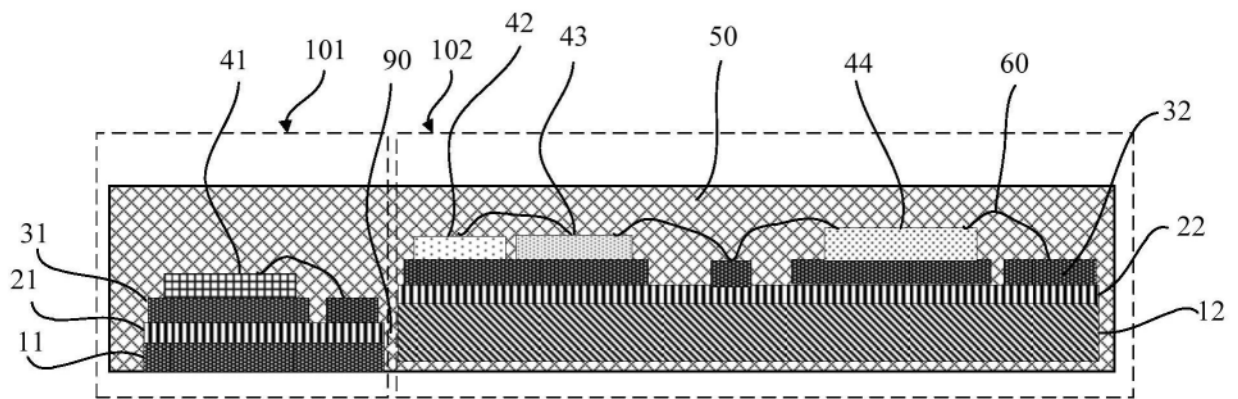


图2

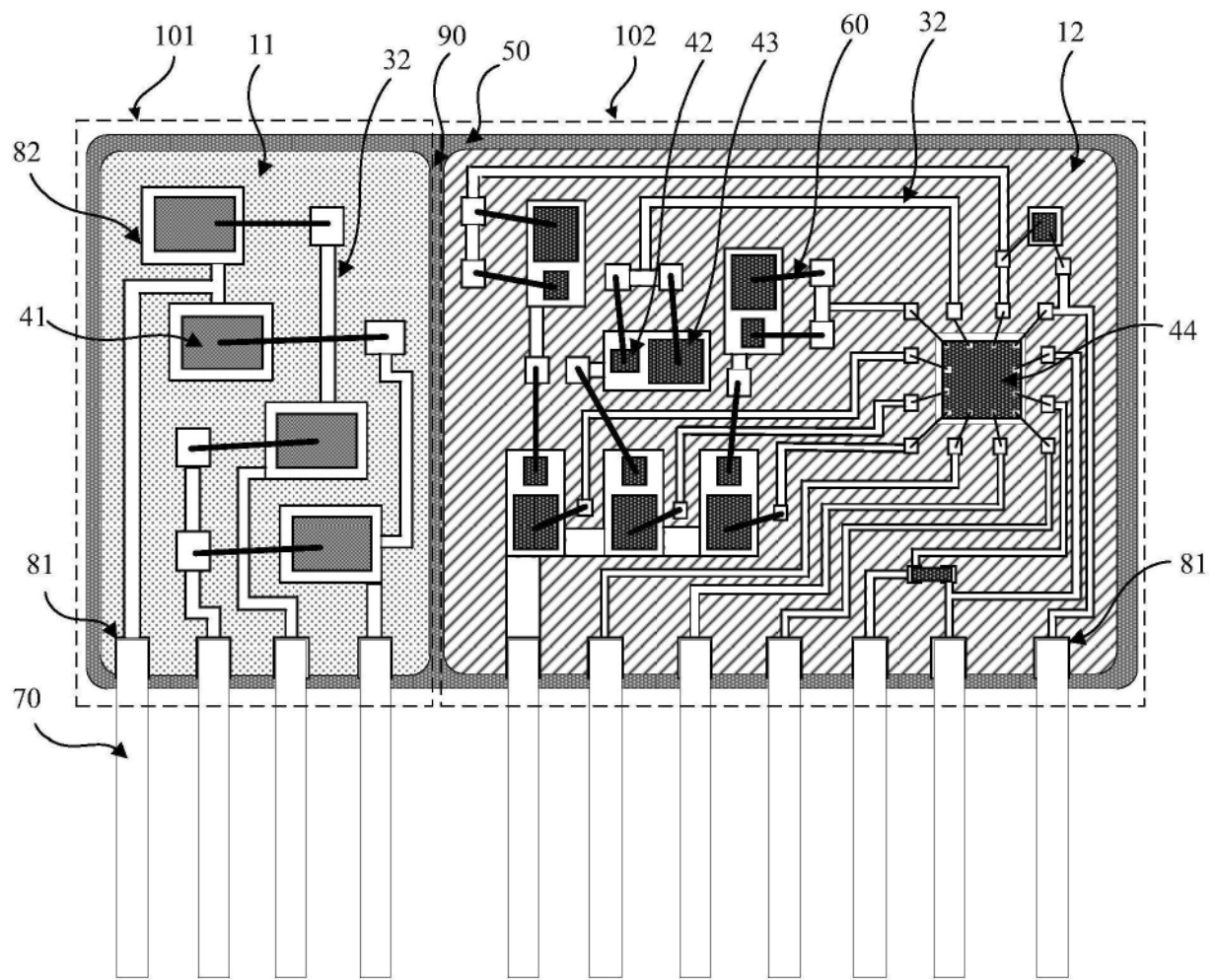


图3

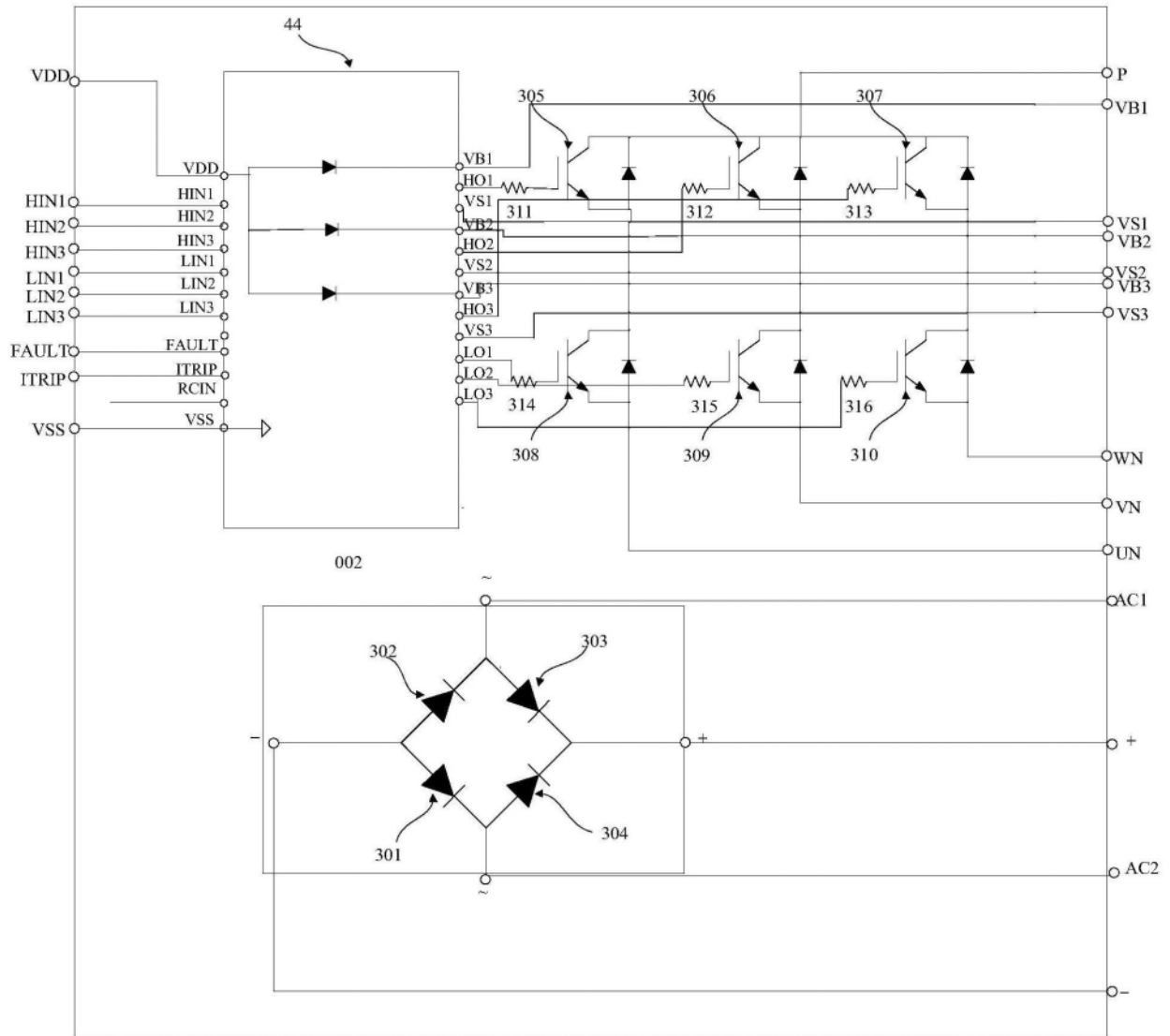


图4

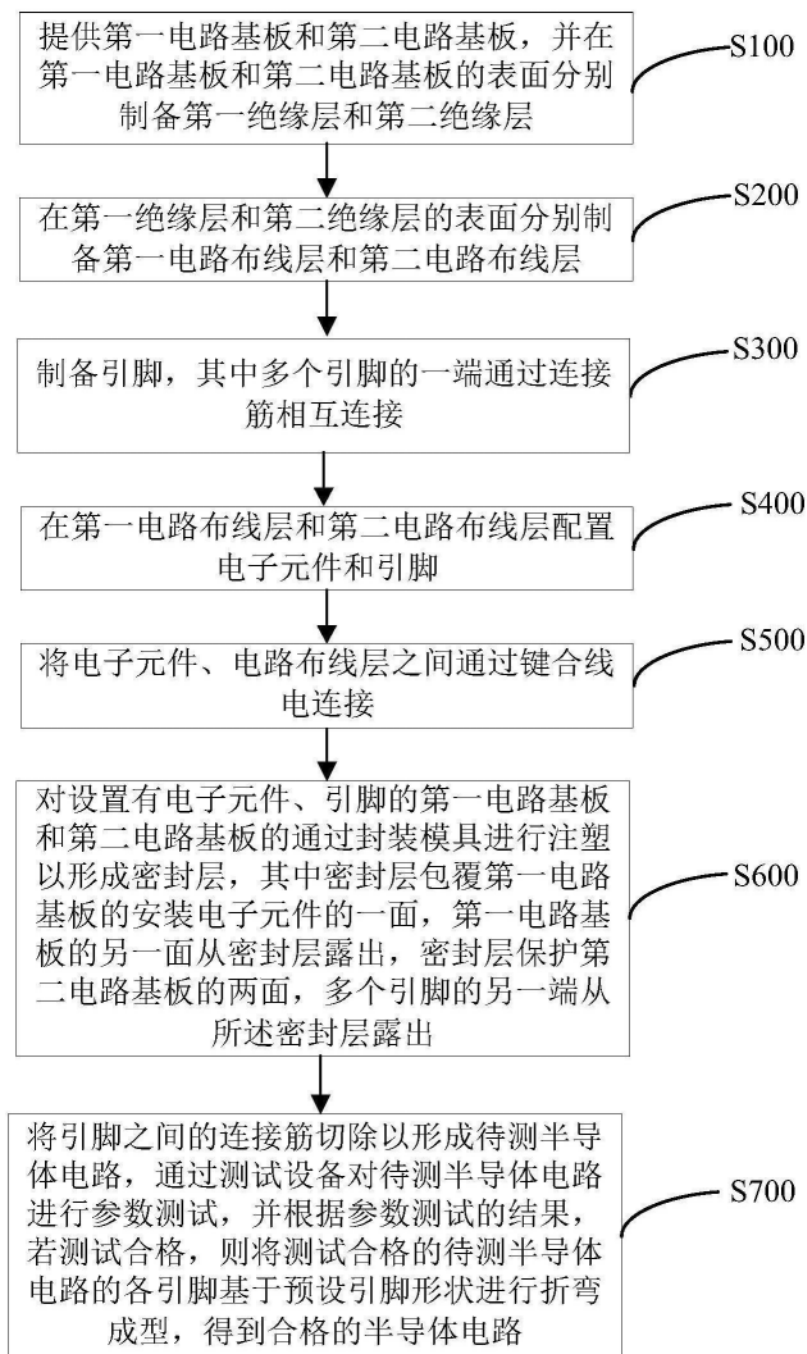


图5

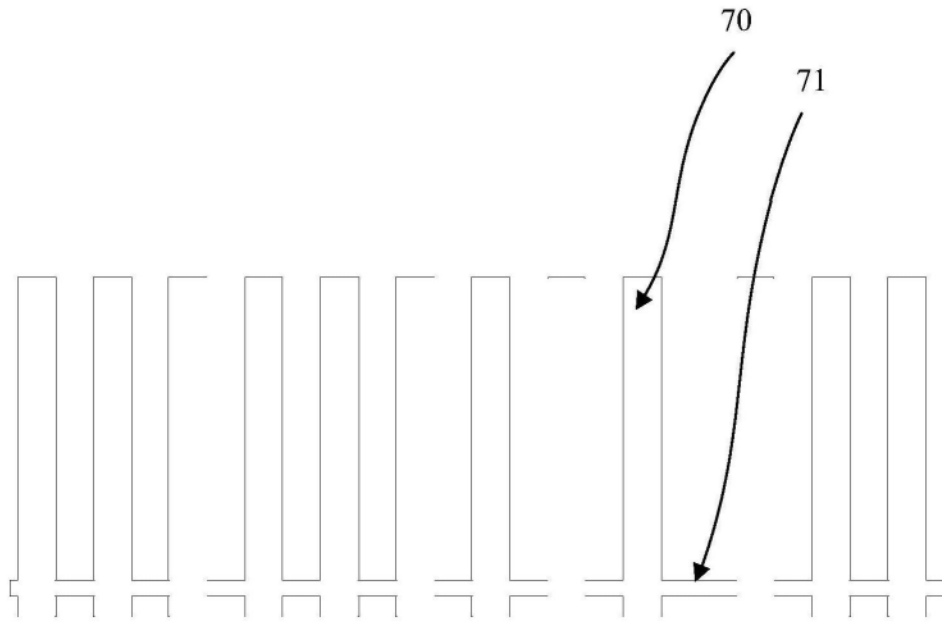


图6