

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 2 月 6 日 (06.02.2014)



(10) 国际公布号
WO 2014/019227 A1

(51) 国际专利分类号:
G02F 1/1368 (2006.01)

(21) 国际申请号: PCT/CN2012/079670

(22) 国际申请日: 2012 年 8 月 3 日 (03.08.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210269093.9 2012 年 7 月 31 日 (31.07.2012) CN

(71) 申请人 (对除美国外的所有指定国): **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市宝安区光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 及

(75) 发明人/申请人 (仅对美国): **陈政鸿 (CHEN, Cheng-hung)** [CN/CN]; 中国广东省深圳市宝安区光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: LIQUID CRYSTAL DISPLAY DEVICE, ARRAY SUBSTRATE, AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种液晶显示装置、阵列基板及其制作方法

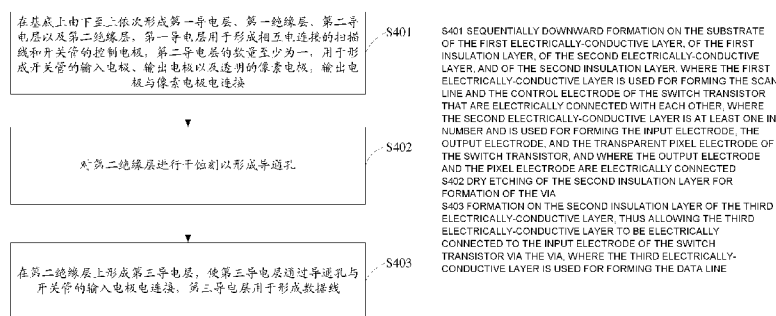


图 4 / Fig. 4

(57) Abstract: A method for manufacturing an array substrate, comprising: forming sequentially downwards on a substrate (100) a first electrically-conductive layer (101), a first insulation layer (102), a second electrically-conductive layer (104), and a second insulation layer (105), where the first electrically-conductive layer (101) is used for forming a scan line (1011) and a control electrode of a switch transistor that are electrically connected with each other, where the second insulation layer (105) is etched from a via (1051), and where a third electrically-conductive layer (106) for use in forming a data line is finally formed on the second insulation layer (105). Also provided are the array substrate and a liquid crystal display device. The method allows for greatly reduced probability of electrostatic wounding during the process of manufacturing the array substrate, thus increasing the yield of the array substrate.

(57) 摘要: 一种阵列基板的制作方法, 包括在基底 (100) 上由下至上依次形成第一导电层 (101)、第一绝缘层 (102)、第二导电层 (104) 以及第二绝缘层 (105), 其中, 第一导电层 (101) 用于形成相互电连接的扫描线 (1011) 和开关管的控制电极 (1012), 然后对第二绝缘层 (105) 进行干蚀刻以形成导通孔 (1051), 最后在第二绝缘层 (105) 上形成第三导电层 (106) 以用于形成数据线。还提供了一种阵列基板及液晶显示装置。该方法能够大大降低阵列基板制作过程中静电炸伤的机率, 提高阵列基板的良率。



WO 2014/019227 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种液晶显示装置、阵列基板及其制作方法

[1] 【技术领域】

[2] 本发明涉及液晶显示技术领域，特别是涉及一种液晶显示装置、阵列基板及其制作方法。

[3] 【背景技术】

[4] 液晶显示面板的制作过程一般分为阵列（Array）制程、组立（Cell）制程以及模组（Module）制程。其中，阵列制程主要是产生薄膜晶体管玻璃基板（也称为阵列基板），其作为液晶显示面板制作过程的第一道工序，所产生的薄膜晶体管玻璃基板的好坏对后续制程有着重大影响，甚至决定液晶显示面板的好坏。

[5] 阵列制程一般经过五道光罩制程（5PEP），以在没有任何杂质的玻璃上形成薄膜晶体管等结构。参阅图1-图3，第一道制程SP1中，首先在玻璃1上镀上第一金属层11，第一金属层11用于形成作为薄膜晶体管的栅极和扫描线；然后进入第二道制程SP2，在第一金属层11上形成绝缘层（Isolator Layer）12，并在用于形成薄膜晶体管的栅极的第一金属层11所对应的绝缘层12上形成一层半导体层13；在第三道制程SP3中，在绝缘层12以及半导体层13上镀上第二金属层14，用于形成数据线、薄膜晶体管的源极和漏极；在第四道制程SP4中，在第二金属层14、第二金属层14所没有覆盖的半导体层13以及绝缘层12上形成钝化层（Passivation Layer, PV）15，并在钝化层15对应的用于形成薄膜晶体管的漏极的第二金属层14的位置形成导通孔151；在第五道制程SP5中，在钝化层15上形成透明导电层16，透明导电层16用于形成像素电极，并且使透明导电层16通过导通孔151与用于形成薄膜晶体管的漏极的第二金属层14电性连接，以实现像素电极通过导通孔151与薄膜晶体管的漏极电性连接。

[6] 在上述五道光罩制程中，第一金属层11用于形成扫描线和薄膜晶体管的栅极，第二金属层14用于形成数据线、薄膜晶体管的源极和漏极。在液晶显示面板中，扫描线和数据线会相互交错，因此第一金属层11和第二金属层14会重叠，形

成相互跨线的重叠区域。而在设计液晶显示面板周边线路时，为了降低信号线路和测试线路的阻值，通常会大量地使用第一金属层11和第二金属层14的重叠结构，使其同时传导相同的信号以降低信号线路和测试线路的阻值并减小信号的延迟。

- [7] 但是，在五道光罩制程的第四道制程SP4中，在钝化层15上形成导通孔151时，通常是以干式蚀刻（Dry Etch）的方式进行，即利用等离子的化学反应方式去蚀刻钝化层15以形成导通孔151。此时，第一金属层11和第二金属层14并没有相互导通的路径，使得相互重叠的第一金属层11和第二金属层14之间会因为等离子的作用而产生电位差异。当电位差异较大时有可能造成第一金属层11和第二金属层14之间的绝缘层12崩溃而引起静电炸伤或造成两金属层上下短路。

[8] **【发明内容】**

- [9] 本发明主要解决的技术问题是提供一种液晶显示装置、阵列基板及其制作方法，能够大大降低阵列基板制作过程中静电炸伤的机率，提高阵列基板的良率。

- [10] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种阵列基板的制作方法，包括在基底上由下至上依次形成第一导电层、第一绝缘层、第二导电层以及第二绝缘层，第一导电层用于形成相互电连接的扫描线和开关管的控制电极，第二导电层的数量至少为一，用于形成开关管的输入电极、输出电极以及透明的像素电极，输出电极与像素电极电连接；对第二绝缘层进行干蚀刻以形成导通孔；在第二绝缘层上形成第三导电层，使第三导电层通过导通孔与开关管的输入电极电连接，第三导电层用于形成数据线；其中，在基底上由下至上依次形成第一导电层、第一绝缘层、第二导电层以及第二绝缘层的步骤包括：在基底上形成第一金属层；对第一金属层进行蚀刻，形成相互电连接的扫描线和作为开关管的薄膜晶体管的栅极；在薄膜晶体管的栅极和扫描线之上形成第一绝缘层；在第一绝缘层上形成透明导电层；对透明导电层进行蚀刻，形成薄膜晶体管的源极、漏极以及像素电极，并且薄膜晶体管的漏极与像素电极电连接；在薄膜晶体管的源极、漏极与像素电极之上形成第二绝缘层；对第二绝缘层进行干蚀刻以形成导通孔的步骤包括：在薄膜晶体管的源极对应的第二绝缘层上进行干蚀刻，以在第二绝缘层和薄膜晶体管的源极之间形成导通孔。

- [11] 其中，在薄膜晶体管的栅极和扫描线之上形成第一绝缘层之后的步骤包括：在薄膜晶体管的栅极对应的第一绝缘层上形成一半导体层，使薄膜晶体管的源极和漏极分别与半导体层连接。
- [12] 其中，在薄膜晶体管的源极对应的第二绝缘层上进行干蚀刻的步骤包括：利用反应离子刻蚀的干蚀刻方式在薄膜晶体管的源极对应的第二绝缘层上进行干蚀刻。
- [13] 其中，在第二绝缘层上形成第三导电层，使第三导电层通过导通孔与开关管的输入电极电连接的步骤包括：在第二绝缘层上形成第二金属层；对第二金属层进行蚀刻，形成数据线，使数据线通过导通孔与薄膜晶体管的源极电性连接。
- [14] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种阵列基板，包括基底；设置于基底上的相互电连接的扫描线和开关管的控制电极；设置于扫描线和开关管的控制电极上的第一绝缘层；设置于第一绝缘层上的开关管的输入电极、输出电极以及透明的像素电极，输出电极与像素电极电连接，输出电极与输入电极之间设置有半导体；设置于开关管的输入电极、输出电极以及像素电极之上的第二绝缘层，第二绝缘层上对应开关管的输入电极的位置设置有导通孔；设置于第二绝缘层上导通孔区域的数据线，数据线通过导通孔与开关管的输入电极电连接。
- [15] 其中，开关管是薄膜晶体管，控制电极是薄膜晶体管的栅极，输入电极、输出电极分别为薄膜晶体管的源极、漏极。
- [16] 其中，薄膜晶体管的源极、漏极以及像素电极同属于一层透明导电层。
- [17] 为解决上述技术问题，本发明采用的又一个技术方案是：提供一种液晶显示装置，包括阵列基板；阵列基板包括：基底；设置于基底上的相互电连接的扫描线和开关管的控制电极；设置于扫描线和开关管的控制电极上的第一绝缘层；设置于第一绝缘层上的开关管的输入电极、输出电极以及透明的像素电极，输出电极与像素电极电连接，输出电极与输入电极之间设置有半导体；设置于开关管的输入电极、输出电极以及像素电极之上的第二绝缘层，第二绝缘层上对应开关管的输入电极的位置设置有导通孔；设置于第二绝缘层上导通孔区域的数据线，数据线通过导通孔与开关管的输入电极电连接。

[18] 其中，开关管是薄膜晶体管，控制电极是薄膜晶体管的栅极，输入电极、输出电极分别为薄膜晶体管的源极、漏极。

[19] 其中，薄膜晶体管的源极、漏极以及像素电极同属于一层透明导电层。

[20] 本发明的有益效果是：本发明首先在基底上形成作为扫描线和开关管的控制电极的第一导电层，然后依次形成第一绝缘层、第二导电层和第二绝缘层，对第二绝缘层进行干蚀刻以形成导通孔，最后在第二绝缘层上形成第三导电层以用于形成数据线，由于在对第二绝缘层进行干蚀刻形成导通孔时，还未形成用于形成数据线的第三导电层，因此在干蚀刻时并未有扫描线和数据线的重叠区，由此能够大大降低阵列基板制作过程中静电炸伤的机率，提高阵列基板的良率。

[21] **【附图说明】**

[22] 图1是现有技术中一种阵列基板的平面结构示意图；

[23] 图2是图1的阵列基板沿AB方向的截面图；

[24] 图3是图1的阵列基板的五道光罩制程的示意图；

[25] 图4是本发明阵列基板的制作方法的一实施方式的流程图；

[26] 图5是图4的阵列基板的五道光罩制程的示意图；

[27] 图6是图4中第一导电层为第一金属层以及第二导电层为透明导电层时在基底上由下至上依次形成第一导电层、第一绝缘层、第二导电层以及第二绝缘层的一实施方式的流程图；

[28] 图7是图4中第三导电层为第二金属层时在第二绝缘层上形成第三导电层的一实施方式的流程图；

[29] 图8是本发明阵列基板的一实施方式的平面结构示意图；

[30] 图9是图8中的阵列基板沿CD方向的截面图。

[31] **【具体实施方式】**

[32] 本发明的液晶显示装置、阵列基板及其制作方法，能够大大降低阵列基板制作过程中静电炸伤的机率，提高阵列基板的良率。

[33] 下面将结合实施方式和附图对本发明进行详细说明。

[34] 参阅图4和图5，本发明阵列基板的制作方法的一实施方式包括：

- [35] 步骤S401: 在基底上由下至上依次形成第一导电层、第一绝缘层、第二导电层以及第二绝缘层, 第一导电层用于形成相互电连接的扫描线和开关管的控制电极, 第二导电层的数量至少为一, 用于形成开关管的输入电极、输出电极以及透明的像素电极, 输出电极与像素电极电连接。
- [36] 扫描线、数据线、像素电极和开关管是阵列基板中电路的主要元件, 而一片干净的、表面平滑的玻璃则作为阵列基板的基底材料。以玻璃为基底, 通过在基底上进行镀膜、蚀刻等工艺, 从而在基底上形成扫描线、数据线、像素电极和开关管等主要元件。本实施方式中, 开关管为薄膜晶体管, 开关管的控制电极、输入电极以及输出电极分别对应为薄膜晶体管的栅极、源极以及漏极。
- [37] 具体的制作过程, 如图5所示, 包括如下子步骤:
- [38] 子步骤S501: 首先, 在基底100上形成第一导电层101, 第一导电层101用于形成扫描线1011和薄膜晶体管的栅极1012, 使两者相互电连接(图中未示连接关系), 以在后续制程中通过扫描线1011向薄膜晶体管的栅极1012提供扫描信号。
- [39] 子步骤S502: 在形成扫描线1011和薄膜晶体管的栅极1012后, 在扫描线1011和薄膜晶体管的栅极1012上形成第一绝缘层102。
- [40] 进一步地, 在扫描线1011和薄膜晶体管的栅极1012之上形成第一绝缘层102后, 在薄膜晶体管的栅极1012对应的第一绝缘层102上形成一层半导体层103。
- [41] 子步骤S503: 在第一绝缘层102上形成第二导电层104, 扫描线1011和薄膜晶体管的栅极1012与第二导电层104之间通过第一绝缘层102电性绝缘。第二导电层104用于形成透明的像素电极1041以及薄膜晶体管的源极1042、漏极1043, 并且, 在形成过程中, 使得薄膜晶体管的源极1042和漏极1043分别与半导体层103连接。薄膜晶体管通过半导体层103实现开关的作用。具体地, 薄膜晶体管的栅极1012作为控制电极, 当扫描线1011向薄膜晶体管的栅极1012提供扫描信号时, 半导体层103导通, 使薄膜晶体管处于打开状态, 作为薄膜晶体管的输入电极的源极1042和作为输出电极的漏极1043通过半导体层103电性连接; 当薄膜晶体管的栅极1012没有输入扫描信号时, 半导体层103不导通, 使薄膜晶体管处于关闭状态, 源极1042和漏极1043电性绝缘。

- [42] 此外，第二导电层104在形成透明的像素电极1041时，使像素电极1041和薄膜晶体管的漏极1043电连接，以在后续制程中通过漏极1043向像素电极1041输入显示信号。
- [43] 子步骤S504：在完成第二导电层104后，在第二导电层104上形成第二绝缘层105。本实施方式中，第二绝缘层105可以是钝化层，也可以是其他具有绝缘特性的绝缘层，在此不做具体限制。
- [44] 步骤S402：对第二绝缘层进行干蚀刻以形成导通孔。
- [45] 在第二导电层104上形成第二绝缘层105后，第二绝缘层105使得薄膜晶体管的源极1042覆上了一层绝缘层（即第二绝缘层105），而源极1042作为薄膜晶体管的输入电极，需要对其输入所需的显示信号。因此，需在薄膜晶体管的源极1042对应的第二绝缘层105上进行干蚀刻，使得在第二绝缘层105上形成对应薄膜晶体管的源极1042的导通孔1051，以方便对源极1042输入显示信号。
- [46] 其中，干蚀刻是指利用等离子进行薄膜刻蚀的技术。本实施方式中，采用反应离子刻蚀的干蚀刻方式通过活性离子对第二绝缘层105进行物理轰击和化学反应，以在第二绝缘层105上形成对应薄膜晶体管的源极1042的导通孔1051。而在本发明的备选实施方式中，也可以利用物理性蚀刻或化学性蚀刻的干蚀刻方式对第二绝缘层105进行蚀刻以形成导通孔1051，在此不进行具体限制。
- [47] 步骤S403：在第二绝缘层上形成第三导电层，使第三导电层通过导通孔与开关管的输入电极电连接，第三导电层用于形成数据线。
- [48] 子步骤S505：在第二绝缘层105的导通孔1051所在的区域，形成第三导电层106，使第三导电层106能通过导通孔1051与作为开关管的薄膜晶体管的源极1042电连接。第三导电层106用于形成数据线。
- [49] 经过上述步骤后，基底100上已形成了扫描线1011、数据线（由第三导电层106形成）以及像素电极1041，而所形成的半导体层103、栅极1012、源极1042以及漏极1043则构成了基底100所需的薄膜晶体管。在扫描线1011向薄膜晶体管的栅极1012输入扫描信号时，半导体层103导通，使薄膜晶体管打开，数据线通过导通孔1051向薄膜晶体管的源极1042输入显示信号，显示信号从漏极1043输出至像素电极1041。

- [50] 值得注意的是，参阅图6并结合图5，在一具体实施方式中，第一导电层101和第三导电层106分别是第一金属层和第二金属层，第二导电层104是透明导电层。因此，在基底100上由下至上依次形成第一导电层101、第一绝缘层102、第二导电层104以及第二绝缘层105的具体步骤包括：
- [51] 步骤S601：在基底上形成第一金属层；
- [52] 步骤S602：第一金属层进行蚀刻，形成相互电连接的扫描线和作为开关管的薄膜晶体管的栅极；
- [53] 步骤S603：在薄膜晶体管的栅极和扫描线之上形成第一绝缘层；
- [54] 步骤S604：在第一绝缘层上形成透明导电层；
- [55] 步骤S605：对透明导电层进行蚀刻，形成薄膜晶体管的源极、漏极以及像素电极，并且薄膜晶体管的漏极与像素电极电连接；
- [56] 步骤S606：在薄膜晶体管的源极、漏极与像素电极之上形成第二绝缘层。
- [57] 在本发明的备选实施方式中，薄膜晶体管的源极1042和漏极1043可以是金属导电层形成。因此，第二导电层104的数量可以为二，包括用于形成像素电极1041的透明导电层以及用于形成薄膜晶体管的源极1042和漏极1043的第三金属层（图未示），使形成薄膜晶体管的漏极1043的第三金属层和形成像素电极1041的透明导电层电性连接，以实现薄膜晶体管的漏极1043和像素电极1041的电性连接。
- [58] 形成第二绝缘层之后，对第二绝缘层进行干蚀刻以形成导通孔。
- [59] 参阅图7，在第二绝缘层上形成第三导电层、使第三导电层通过导通孔与开关管的输入电极电连接的具体步骤包括：
- [60] 步骤S701：在第二绝缘层上形成第二金属层；
- [61] 步骤S702：对第二金属层进行蚀刻，形成数据线，使数据线通过导通孔与薄膜晶体管的源极电性连接。
- [62] 本领域技术人员在阅读上述关于图4和图5的阐述后，应能轻易地了解图6与图7中所示的方法是如何实施的，出于简洁的目的，在此不再赘述。
- [63] 综上所述，本实施方式的阵列基板的制作方法，首先在基底100上形成作为扫描线1011和薄膜晶体管的栅极1012的第一导电层101，然后依次形成第一绝缘层

102、第二导电层104和第二绝缘层105，对第二绝缘层105进行干蚀刻以形成导通孔1051，最后在第二绝缘层105上形成第三导电层106以用于形成数据线。由于在对第二绝缘层105进行干蚀刻形成导通孔1051时，还未形成用于形成数据线的第三导电层106，因此在干蚀刻时并未有扫描线1011和数据线的重叠区，由此能够大大降低阵列基板制作过程中静电炸伤的机率，提高阵列基板的良率。

[64] 参阅图8和图9，本发明阵列基板的一实施方式包括：基底800；设置于基底800上的相互电连接的扫描线8011和开关管的控制电极8012；设置于扫描线8011和开关管的控制电极8012上的第一绝缘层802；设置于第一绝缘层802上的透明的像素电极8041以及开关管的输入电极8042、输出电极8043，其中，输出电极8043与像素电极8041电连接，输入电极8042与输出电极8043之间设置有半导体803；设置于开关管的输入电极8042、输出电极8043以及像素电极8041之上的第二绝缘层805，并且第二绝缘层805上对应开关管的输入电极8042的位置设置有导通孔8051；设置于第二绝缘层805上导通孔8051区域的数据线806，数据线806通过导通孔8051与开关管的输入电极8042电连接。

[65] 值得注意的是，为了能够清楚示意本发明阵列基板电路中的主要元件结构分布，图8所示的阵列基板的平面结构示意图为简略结构图，第一绝缘层802以及第二绝缘层805没有在图8中示出，并且将覆盖在数据线806之下的开关管的输入电极8042和导通孔8051一并示出。

[66] 其中，本实施方式的开关管是薄膜晶体管，控制电极8012是薄膜晶体管的栅极，输入电极8042、输出电极8043分别是薄膜晶体管的源极、漏极。并且，薄膜晶体管的源极、漏极以及像素电极8041同属于一层透明导电层。

[67] 本实施方式的阵列基板，通过将数据线806最后设置于第二绝缘层805上导通孔8051所在的区域，使得在第二绝缘层805上设置导通孔8051时还未形成数据线806，由此避免了在设置导通孔8051时形成扫描线8011和数据线806的重叠区，能够大大降低阵列基板制作过程中静电炸伤的机率，提高阵列基板的良率。

[68] 本发明还提供液晶显示装置实施方式，其包括上述本发明阵列基板任一实施方式，在此不再赘述。

[69] 以上所述仅为本发明的实施例，并非因此限制本发明的专利范围，凡是利用本

发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1]

一种阵列基板的制作方法，其中，包括：

在基底上由下至上依次形成第一导电层、第一绝缘层、第二导电层以及第二绝缘层，所述第一导电层用于形成相互电连接的扫描线和开关管的控制电极，所述第二导电层的数量至少为一，用于形成开关管的输入电极、输出电极以及透明的像素电极，所述输出电极与像素电极电连接；

对所述第二绝缘层进行干蚀刻以形成导通孔；

在所述第二绝缘层上形成第三导电层，使所述第三导电层通过导通孔与开关管的输入电极电连接，所述第三导电层用于形成数据线；

其中，所述在基底上由下至上依次形成第一导电层、第一绝缘层、第二导电层以及第二绝缘层的步骤包括：

在所述基底上形成第一金属层；

对所述第一金属层进行蚀刻，形成相互电连接的扫描线和作为开关管的薄膜晶体管的栅极；

在所述薄膜晶体管的栅极和扫描线之上形成第一绝缘层；

在所述第一绝缘层上形成透明导电层；

对所述透明导电层进行蚀刻，形成所述薄膜晶体管的源极、漏极以及像素电极，并且所述薄膜晶体管的漏极与像素电极电连接；

在所述薄膜晶体管的源极、漏极与像素电极之上形成第二绝缘层；

所述对所述第二绝缘层进行干蚀刻以形成导通孔的步骤包括：

在所述薄膜晶体管的源极对应的第二绝缘层上进行干蚀刻，以在第二绝缘层和薄膜晶体管的源极之间形成导通孔。

[权利要求 2]

根据权利要求1所述的方法，其中，

所述在所述薄膜晶体管的栅极和扫描线之上形成第一绝缘层之后的步骤包括：

在所述薄膜晶体管的栅极对应的第一绝缘层上形成一半导体层，使所述薄膜晶体管的源极和漏极分别与所述半导体层连接。

[权利要求 3]

根据权利要求1所述的方法，其中，
所述在薄膜晶体管的源极对应的第二绝缘层上进行干蚀刻的步骤包括：
利用反应离子刻蚀的干蚀刻方式在所述薄膜晶体管的源极对应的第二绝缘层上进行干蚀刻。

[权利要求 4]

根据权利要求3所述的方法，其中，
所述在所述第二绝缘层上形成第三导电层，使所述第三导电层通过导通孔与开关管的输入电极电连接的步骤包括：
在所述第二绝缘层上形成第二金属层；
对所述第二金属层进行蚀刻，形成数据线，使所述数据线通过导通孔与薄膜晶体管的源极电性连接。

[权利要求 5]

一种阵列基板，其中，包括：
基底；
设置于所述基底上的相互电连接的扫描线和开关管的控制电极；
设置于所述扫描线和开关管的控制电极上的第一绝缘层；
设置于所述第一绝缘层上的开关管的输入电极、输出电极以及透明的像素电极，所述输出电极与像素电极电连接，所述输出电极与输入电极之间设置有半导体；
设置于所述开关管的输入电极、输出电极以及像素电极之上的第二绝缘层，所述第二绝缘层上对应开关管的输入电极的位置设置有导通孔；
设置于所述第二绝缘层上导通孔区域的数据线，所述数据线通过导通孔与开关管的输入电极电连接。

[权利要求 6]

根据权利要求5所述的阵列基板，其中，
所述开关管是薄膜晶体管，所述控制电极是薄膜晶体管的栅极，
所述输入电极、输出电极分别为薄膜晶体管的源极、漏极。

- [权利要求 7] 根据权利要求6所述的阵列基板，其中，
所述薄膜晶体管的源极、漏极以及像素电极同属于一层透明导电层。
- [权利要求 8] 一种液晶显示装置，其中，包括阵列基板；
所述阵列基板包括：
基底；
设置于所述基底上的相互电连接的扫描线和开关管的控制电极；
设置于所述扫描线和开关管的控制电极上的第一绝缘层；
设置于所述第一绝缘层上的开关管的输入电极、输出电极以及透明的像素电极，所述输出电极与像素电极电连接，所述输出电极与输入电极之间设置有半导体；
设置于所述开关管的输入电极、输出电极以及像素电极之上的第二绝缘层，所述第二绝缘层上对应开关管的输入电极的位置设置有导通孔；
设置于所述第二绝缘层上导通孔区域的数据线，所述数据线通过导通孔与开关管的输入电极电连接。
- [权利要求 9] 根据权利要求8所述的液晶显示装置，其中，
所述开关管是薄膜晶体管，所述控制电极是薄膜晶体管的栅极，
所述输入电极、输出电极分别为薄膜晶体管的源极、漏极。
- [权利要求 10] 根据权利要求9所述的液晶显示装置，其中，
所述薄膜晶体管的源极、漏极以及像素电极同属于一层透明导电层。

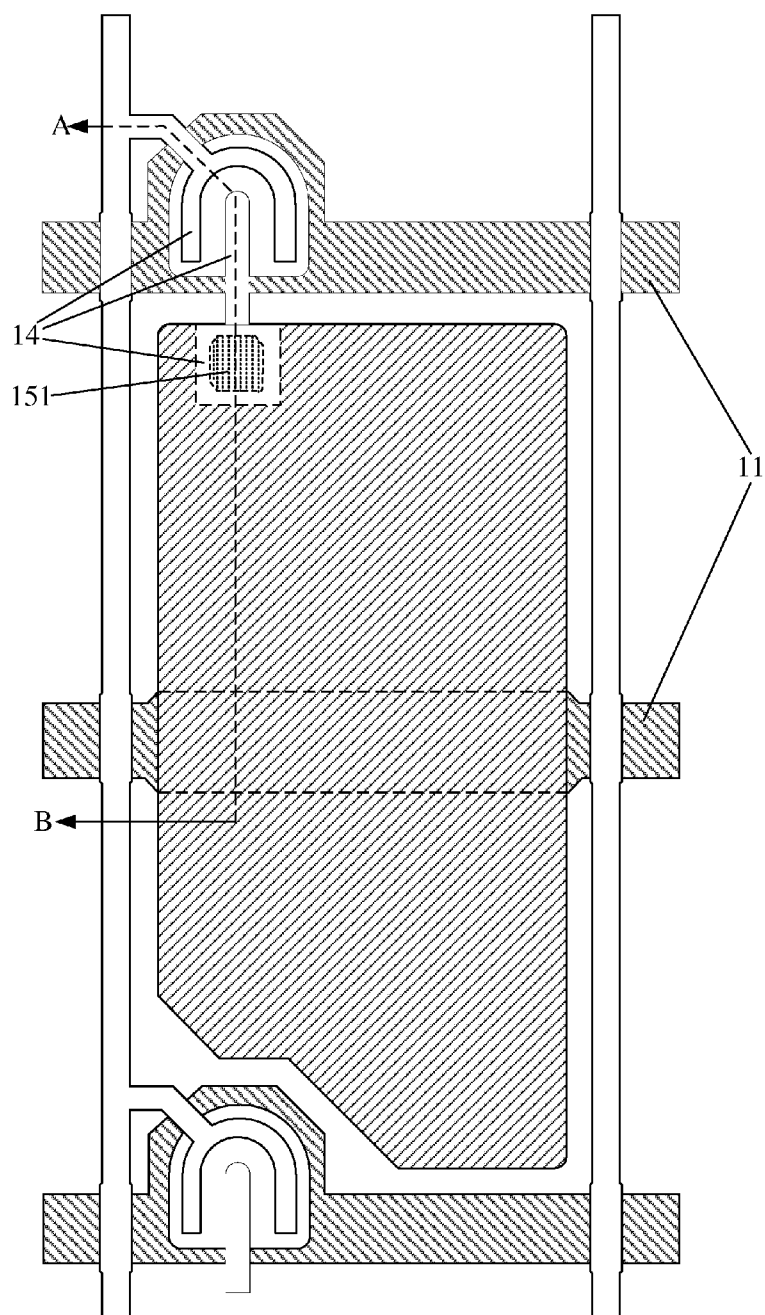


图 1

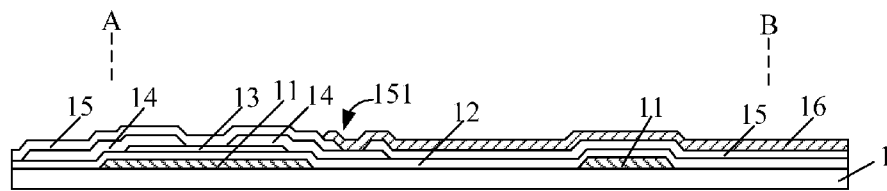


图 2

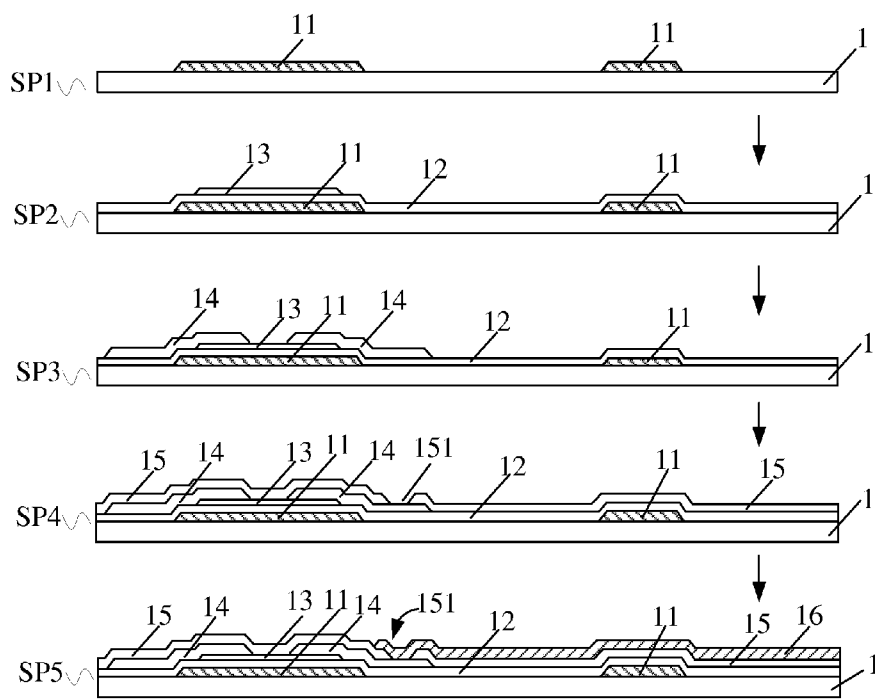


图 3

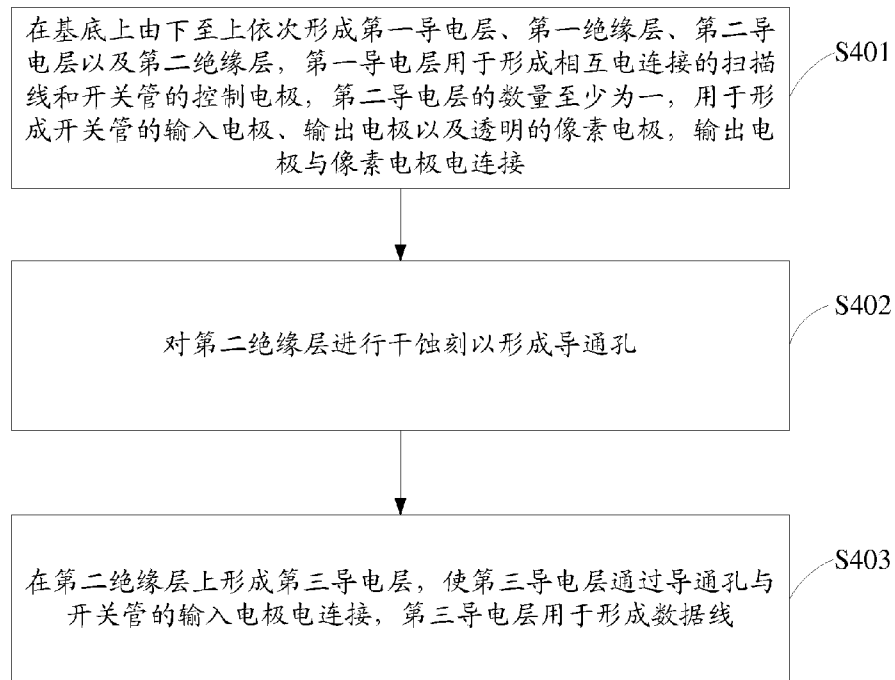


图 4

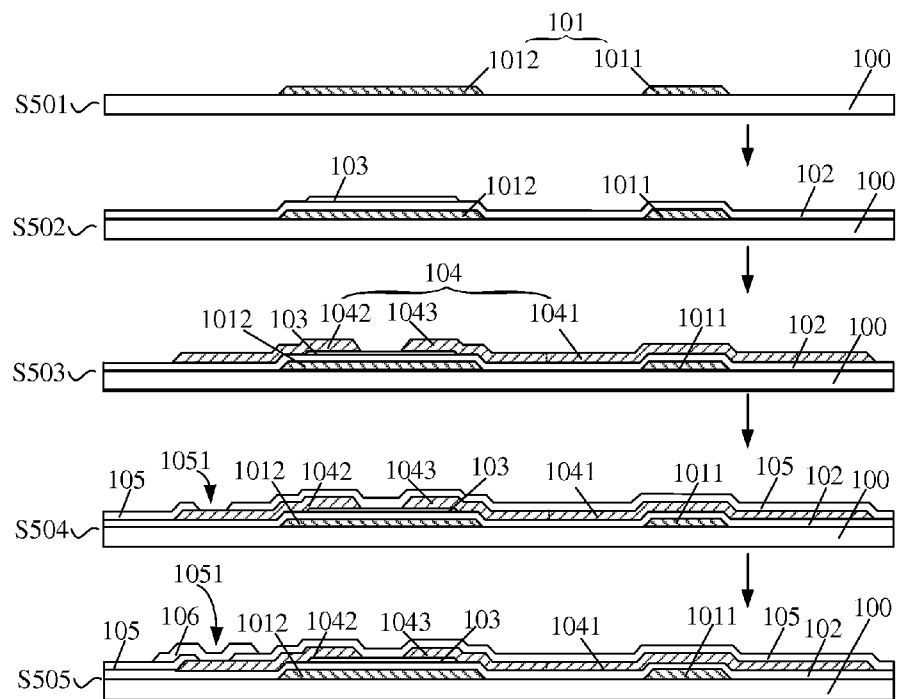


图 5

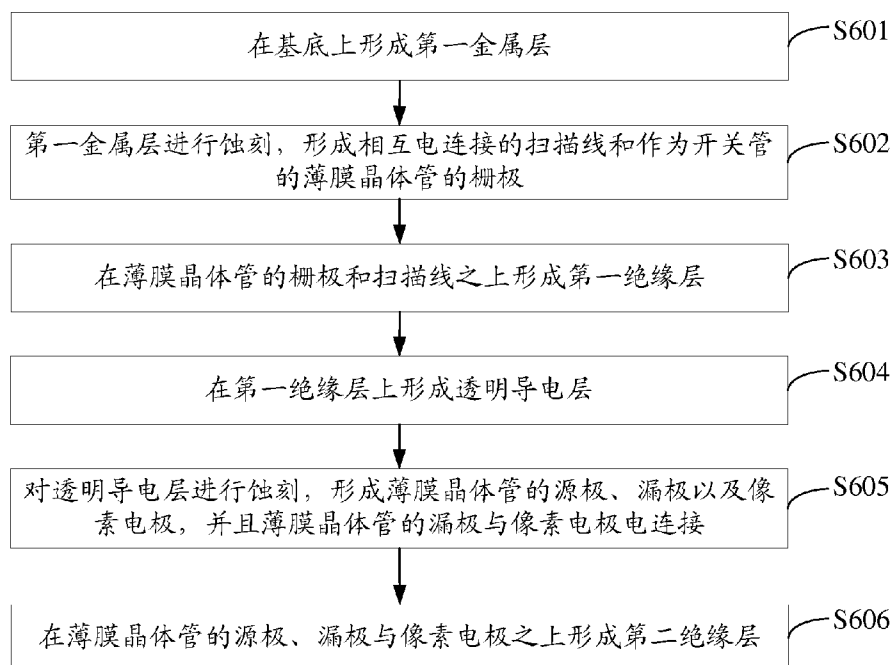


图 6

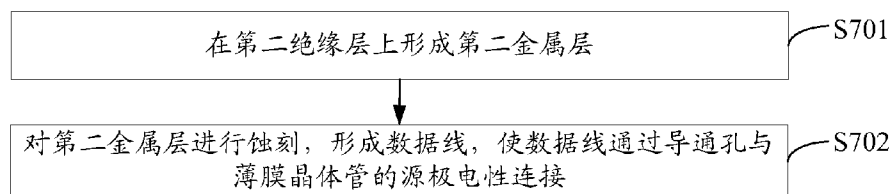


图 7

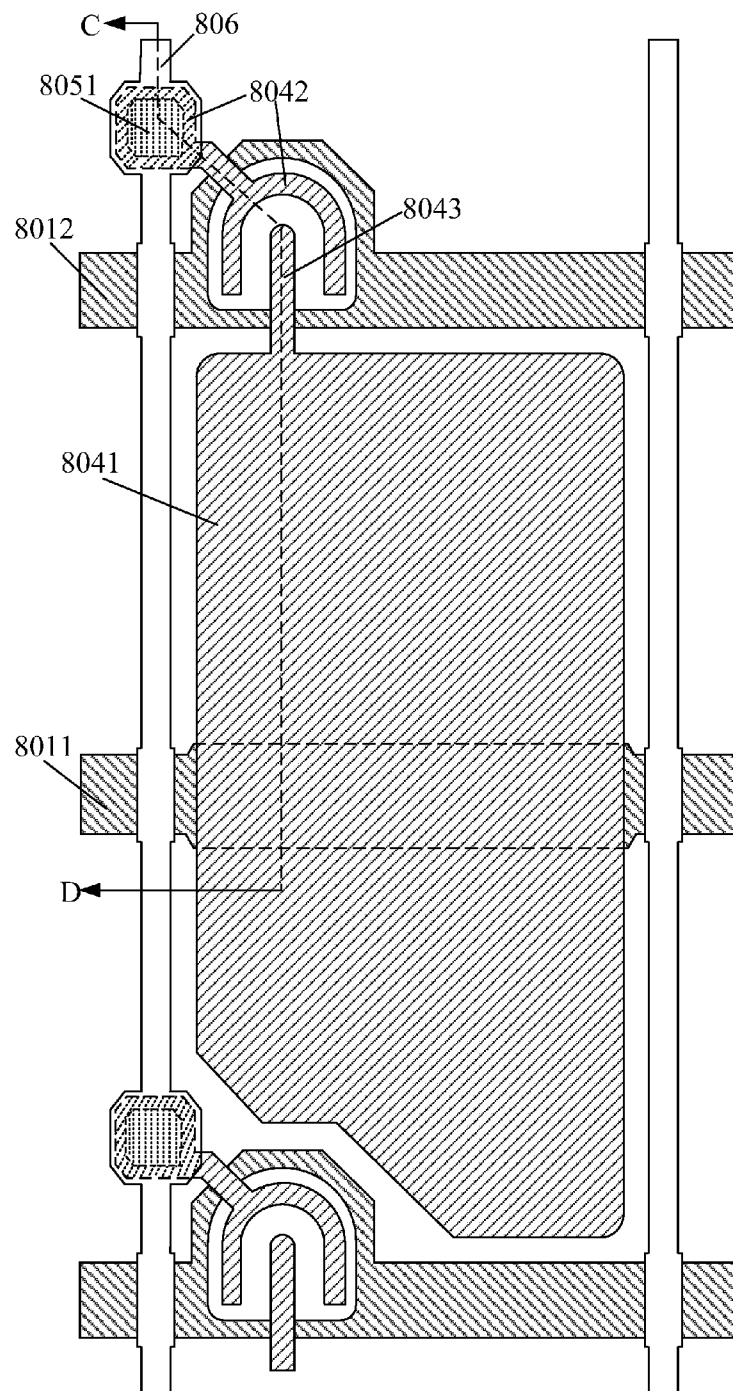


图 8

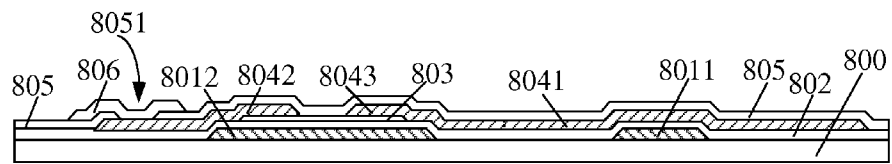


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/079670

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1368 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN: wire pixel+ pixle+ data+ signal+ +static+ hole+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1388405 A (LG. PHILIPS LCD CO., LTD.), 01 January 2003 (01.01.2003), description, page 10, paragraph 9 to page 13, paragraph 3, and figures 13-23	1-10
X	US 2002180897 A1 (CHAE, G.S.), 05 December 2002 (05.12.2002), description, paragraphs [0048]-[0071], and figures 7-14	5-6, 8-9
A	CN 101552277 A (SHANGHAI SVA-NEC LIQUID CRYSTAL DISPLAY CO., LTD.), 07 October 2009 (07.10.2009), the whole document	1-10
A	CN 101828212 A (KOBELITE, LTD.), 08 September 2010 (08.09.2010), the whole document	1-10
A	CN 102034750 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 27 April 2011 (27.04.2011), the whole document	1-10
A	JP 2001264802 A (TOSHIBA KK), 26 September 2001 (26.09.2001), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 April 2013 (15.04.2013)	Date of mailing of the international search report 25 April 2013 (25.04.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer ZHOU, Yu Telephone No.: (86-10) 62085894

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/079670

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1388405 A	01.01.2003	US 2002180900 A1	05.12.2002
		KR 20020090791 A	05.12.2002
		JP 2003043513 A	13.02.2003
		CN 1280665 C	18.10.2006
		KR 100795344 B1	17.01.2008
		US 6819383 B2	16.11.2004
		US 7333161 B2	19.02.2008
		US 2005046784 A1	03.03.2005
		US 2008166829 A1	10.07.2008
		US 7548284 B2	16.06.2009
US 2002180897 A1	05.12.2002	KR 20020092723 A	12.12.2002
		KR 100797374 B1	22.01.2008
		US 7342616 B2	11.03.2008
CN 101552277 A	07.10.2009	None	
CN 101828212 A	08.09.2010	KR 20100060003 A	04.06.2010
		JP 2009200162 A	03.09.2009
		WO 2009054466 A1	30.04.2009
		TW 200933895 A	01.08.2009
		JP 2009124136 A	04.06.2009
CN 102034750 A	27.04.2011	US 2011073864 A1	31.03.2011
		US 8236628 B2	07.08.2012
JP 2001264802 A	26.09.2001	None	

国际检索报告

国际申请号
PCT/CN2012/079670

A. 主题的分类

G02F 1/1368 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, VEN: 像素 象素 数据 信号 线 静电 孔 pixel+ pixle+ data+ signal+ +static+ hole+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 1388405 A (LG.飞利浦 LCD 株式会社) 01.1 月 2003 (01.01.2003) 说明书第 10 页第 9 段-第 13 页第 3 段, 图 13-23	1-10
X	US 2002180897 A1 (CHAE Gee Sung) 05.12 月 2002 (05.12.2002) 说明书第 [0048]-[0071]段, 图 7-14	5-6, 8-9
A	CN 101552277 A (上海广电 NEC 液晶显示器有限公司) 07.10 月 2009 (07.10.2009) 全文	1-10
A	CN 101828212 A (株式会社神户制钢所) 08.9 月 2010 (08.09.2010) 全文	1-10
A	CN 102034750 A (北京京东方光电科技有限公司) 27.4 月 2011 (27.04.2011) 全文	1-10
A	JP 2001264802 A (TOSHIBA KK) 26.9 月 2001 (26.09.2001) 全文	1-10

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
15.4 月 2013 (15.04.2013)

国际检索报告邮寄日期
25.4 月 2013 (25.04.2013)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

授权官员

周宇
电话号码: (86-10) **62085894**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/079670

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 1388405 A	01.01.2003	US 2002180900 A1	05.12.2002
		KR 20020090791 A	05.12.2002
		JP 2003043513 A	13.02.2003
		CN 1280665 C	18.10.2006
		KR 100795344 B1	17.01.2008
		US 6819383 B2	16.11.2004
		US 7333161 B2	19.02.2008
		US 2005046784 A1	03.03.2005
		US 2008166829 A1	10.07.2008
		US 7548284 B2	16.06.2009
US 2002180897 A1	05.12.2002	KR 20020092723 A	12.12.2002
		KR 100797374 B1	22.01.2008
		US 7342616 B2	11.03.2008
CN 101552277 A	07.10.2009	无	
CN 101828212 A	08.09.2010	KR 20100060003 A	04.06.2010
		JP 2009200162 A	03.09.2009
		WO 2009054466 A1	30.04.2009
		TW 200933895 A	01.08.2009
		JP 2009124136 A	04.06.2009
CN 102034750 A	27.04.2011	US 2011073864 A1	31.03.2011
		US 8236628 B2	07.08.2012
JP 2001264802 A	26.09.2001	无	