

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-236143
(P2004-236143A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03M 1/44	H03M 1/44	5J022
H03M 1/74	H03M 1/74	

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号	特願2003-24153 (P2003-24153)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成15年1月31日(2003.1.31)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100084618 弁理士 村松 貞男
		(74) 代理人	100092196 弁理士 橋本 良郎

最終頁に続く

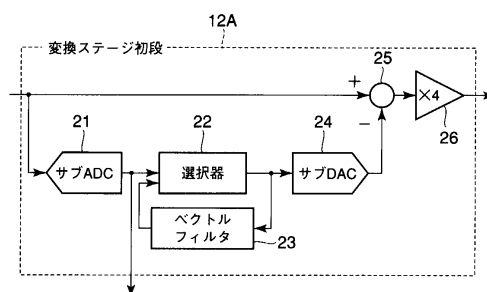
(54) 【発明の名称】 パイプライン型A/D変換器

(57) 【要約】

【課題】 所望信号帯域で高精度の変換特性が得られ、低消費電力かつ低コストのパイプライン型A/D変換器を提供する。

【解決手段】 パイプライン型ADCにおける初段の変換ステージ12Aは、サンプルホールド回路から出力されるアナログ信号をデジタル信号に変換するサブADC 21と、該デジタル信号をこれに対応する個数の複数のキャパシタを用いてアナログ信号に変換するサブDAC 24と、選択ベクトル信号を各要素毎にフィルタリングして各キャパシタの選択回数に応じた要素値を有するフィードバックベクトル信号を出力するベクトルフィルタ23と、フィードバックベクトル信号の各要素を要素値の小さい順にデジタル信号に対応する個数だけ選出して選択ベクトル信号を生成する選択器22を有する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

アナログ入力信号をサンプルホールドするサンプルホールド回路と；
 前記サンプルホールド回路の出力側に縦列接続され、入力される第 1 のアナログ信号をデジタル信号に変換して出力し、該デジタル信号を第 2 のアナログ信号に変換すると共に前記第 1 及び第 2 のアナログ信号の差信号を出力する複数の変換ステージと；
 前記複数の変換ステージからそれぞれ出力されるデジタル信号を合成してデジタル出力信号を生成する合成回路とを具備し、
 前記変換ステージの初段は、複数の要素を有する選択ベクトル信号に従って選択される、前記デジタル信号に対応する個数の複数のキャパシタを用いて前記デジタル信号を前記アナログ信号に変換するサブ D / A 変換器と；
 前記選択ベクトル信号を各要素毎にフィルタリングして、前記各キャパシタの選択回数に応じた要素値を有するフィードバックベクトル信号を出力するベクトルフィルタと；
 前記フィードバックベクトル信号の各要素を要素値の小さい順に前記デジタル信号に対応する個数だけ選出して前記選択ベクトル信号を生成する選択器とを含むパイプライン型 A / D 変換器。

10

【請求項 2】

前記選択器は、前記フィードバックベクトル信号の各要素を要素値の小さい順にソートするソータと、ソートされた各要素の番号を保持するレジスタと、該レジスタに保持された番号と前記デジタル信号とを比較して前記選択ベクトル信号を出力する複数の比較器とを有する請求項 1 に記載のパイプライン型 A / D 変換器。

20

【請求項 3】

アナログ入力信号をサンプルホールドするサンプルホールド回路と；
 前記サンプルホールド回路の出力側に縦列接続され、入力される第 1 のアナログ信号をデジタル信号に変換して出力し、該デジタル信号を第 2 のアナログ信号に変換すると共に前記第 1 及び第 2 のアナログ信号の差信号を出力する複数の変換ステージと；
 前記複数の変換ステージからそれぞれ出力されるデジタル信号を合成してデジタル出力信号を生成する合成回路とを具備し、
 前記変換ステージの初段は、
 複数の要素を有する選択ベクトル信号に従って選択される、前記デジタル信号に対応する個数の複数のキャパシタを用いて前記デジタル信号を第 2 のアナログ信号に変換するサブ D / A 変換器と；
 前記選択ベクトル信号を各要素毎にフィルタリングして、前記各キャパシタの選択回数に応じた要素値を有するフィードバックベクトル信号を出力するベクトルフィルタと；
 前記フィードバックベクトル信号の複数の要素を階層的にグループ分けし、グループ内の各要素値の和がより小さいグループを前記デジタル信号に対応する個数だけ選出し、該選出したグループに対応する要素値を用いて前記選択ベクトル信号を生成する選択器とを含むパイプライン型 A / D 変換器。

30

【請求項 4】

前記選択器は、前記各グループ内の各要素値の和を求める複数の加算器と、同一階層のグループ内の各要素値の大小関係と比較する第 1 の比較部と、該第 1 の比較部からの複数の出力信号及びその反転信号からなる複数の第 3 のデジタル信号と前記第 1 のデジタル信号とを比較して前記選択ベクトル信号を出力する第 2 の比較部とを有する請求項 3 に記載のパイプライン型 A / D 変換器。

40

【請求項 5】

前記ベクトルフィルタは、前記選択ベクトル信号の各要素を入力する複数のデジタルフィルタである請求項 1 または 3 に記載のパイプライン型 A / D 変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

50

本発明は A / D 変換器 (アナログ - デジタル変換器) に係り、特にサンプルホールド回路の出力側に複数の変換ステージを縦列接続して構成されるパイプライン型 A / D 変換器に関する。

【 0 0 0 2 】

【 従来 の 技 術 】

A / D 変換器 (アナログ - デジタル変換器、以下 A D C という) は種々の方式が知られているが、その一つにパイプライン型 A D C がある。パイプライン型 A D C は、入力段のサンプルホールド回路の出力側に複数の変換ステージが縦列に接続される。変換ステージは、サンプルホールド回路または前段の変換ステージから入力されるアナログ信号 (残差信号) をサブ A D C により比較的ビット数の少ないデジタル信号に変換して出力すると共に、該デジタル信号をサブ D A C によりアナログ信号に戻して、入力されるアナログ信号との差を残差信号として次の変換ステージへ出力する。各変換ステージのサブ A D C から出力されるデジタル信号が合成されることにより、アナログ入力信号に対応したデジタル出力信号が得られる。

10

【 0 0 0 3 】

パイプライン型 A D C の変換誤差は、初段の変換ステージ内のサブ D A C の変換精度に依存することが知られている。パイプライン型 A D C を集積回路で実現する場合に、初段の変換ステージ内のサブ D A C の変換誤差による歪みの発生を抑制する技術として、乱数を用いてサブ D A C を構成する回路素子の選び方を決める方法が非特許文献 1 に開示されている。この方法は、サブ D A C による歪みをランダムノイズにするだけでなく、乱数の性質を利用してサブ D A C の各回路素子の誤差を推定し、デジタル信号処理により誤差を除去するという方法である。

20

【 0 0 0 4 】

一方、特許文献 2 及び 3 には、誤差拡散技術を用いて、D A C を構成する回路素子の誤差の影響をある特定の周波数では少なくし、それ以外の特定の周波数に偏って分布させる技術が開示されている。

【 0 0 0 5 】

【 非 特 許 文 献 1 】

I a n G a l t o n , " D i g i t a l C a n c e l l a t i o n o f D / A C o n v e r t e r N o i s e i n P i p e l i n e d A / D C o n v e r t e r " , I E E E T r a n s a c t i o n o n C i r c u i t s a n d S y s t e m s - I I , V o l . 4 7 , N o . 3 , M a r c h 2 0 0 0

30

【 0 0 0 6 】

【 特 許 文 献 1 】

特開平 8 - 1 5 4 0 5 8 号公報

【 0 0 0 7 】

【 特 許 文 献 2 】

特開平 9 - 1 8 6 6 0 1 号公報

【 0 0 0 8 】

【 発 明 が 解 決 し よ う と す る 課 題 】

40

非特許文献 1 に記載の方法では、乱数の性質を利用してサブ D A C の構成素子の誤差を推定するために長時間のデータ収集が必要であり、電源投入から高い精度での A / D 変換が可能になるまでに時間がかかるという問題がある。従って、携帯無線通信装置のような用途では、待ち受けモードにおいても即座に受信に対応できるように A D C を能動状態にしておく必要があり、低消費電力化という観点から好ましくない。また、誤差推定のための回路や誤差を除去するための回路などが必要となるため、集積回路化した場合にチップ面積が大きくなり、コスト高になることも問題である。

【 0 0 0 9 】

従って、本発明の目的は所望信号帯域で高精度の変換特性が得られ、低消費電力かつ低コストのパイプライン型 A D C を提供することにある。

50

【 0 0 1 0 】

【課題を解決するための手段】

上記の課題を解決するため、本発明の第1の観点では、アナログ入力信号をサンプルホールドするサンプルホールド回路と、前記サンプルホールド回路の出力側に縦列接続され、入力される第1のアナログ信号をデジタル信号に変換して出力し、該デジタル信号を第2のアナログ信号に変換すると共に前記第1及び第2のアナログ信号の差信号を出力する複数の変換ステージと、前記複数の変換ステージからそれぞれ出力されるデジタル信号を合成してデジタル出力信号を生成する合成回路とを有するパイプライン型ADCにおいて、変換ステージの初段は、複数の要素を有する選択ベクトル信号に従って選択される、前記デジタル信号に対応する個数の複数のキャパシタを用いて前記デジタル信号を前記アナログ信号に変換するサブD/A変換器と、前記選択ベクトル信号を各要素毎にフィルタリングして、前記各キャパシタの選択回数に応じた要素値を有するフィードバックベクトル信号を出力するベクトルフィルタと、前記フィードバックベクトル信号の各要素を要素値の小さい順に前記デジタル信号に対応する個数だけ選出して前記選択ベクトル信号を生成する選択器とを含む。

10

【 0 0 1 1 】

本発明の第2の観点では、変換ステージの初段は、複数の要素を有する選択ベクトル信号に従って選択される、前記デジタル信号に対応する個数の複数のキャパシタを用いて前記デジタル信号を第2のアナログ信号に変換するサブD/A変換器と、前記選択ベクトル信号を各要素毎にフィルタリングして、前記各キャパシタの選択回数に応じた要素値を有するフィードバックベクトル信号を出力するベクトルフィルタと、前記フィードバックベクトル信号の複数の要素を階層的にグループ分けし、グループ内の各要素値の和がより小さいグループを前記デジタル信号に対応する個数だけ選出し、該選出したグループに対応する要素値を用いて前記選択ベクトル信号を生成する選択器とを含む。

20

【 0 0 1 2 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

図1は、本発明の一実施形態に係るパイプライン型ADCの構成を示す図である。アナログ入力信号10は、サンプルホールド回路(S/H)11によりサンプルホールド、すなわち所定のサンプリングクロックに従ってサンプルされ、かつ一定時間ホールドされる。サンプルホールド回路11から出力されるアナログ信号は、複数の変換ステージ12A, 12B, ..., 12Nの縦列接続に入力される。

30

【 0 0 1 3 】

各変換ステージ12A, 12B, ..., 12Nは、それぞれに入力されるアナログ信号を後述するように比較的少ないビット数のデジタル信号に変換すると共に、変換したデジタル信号の変換誤差を示すアナログの残差信号を出力する。初段の変換ステージ12Aからは例えば3ビットのデジタル信号が出力され、2段目以降の変換ステージ12A, 12B, ..., 12Nからは1.5ビット(3値)のデジタル信号がそれぞれ出力される。

【 0 0 1 4 】

変換ステージ12A, 12B, ..., 12N-1から出力される残差信号は、それぞれ次段の変換ステージ12B, ..., 12Nへ入力される。終段の変換ステージ12Nから出力される残差信号は、例えば2ビットのサブA/D変換器(サブADC)13によってデジタル信号に変換される。変換ステージ12A, 12B, ..., 12Nの具体的な構成については、後に詳しく説明する。

40

【 0 0 1 5 】

変換ステージ12A, 12B, ..., 12NとサブADC13から出力されるデジタル信号は、デジタル合成回路14によって合成され、全体として高分解能のデジタル出力信号15が生成される。初段の変換ステージ12Aから出力されるデジタル信号がデジタル出力信号15の最上位側、終段の変換ステージ12Nから出力される残差信号をA/D変換するサブADC13から出力されるデジタル信号がデジタル出力信号15の

50

最下位側である。

【0016】

サンプルホールド回路11から出力される同じアナログ信号(サンプルホールド値)に対して、変換ステージ12A, 12B, ..., 12NとサブADC13からそれぞれ出力されるデジタル信号は、各デジタル信号を出力する変換ステージまでの各ステージの持つ遅延時間の合計分に相当する相対的な遅延時間を持つ。従って、デジタル合成回路14では、このような相対遅延時間を補償してから各デジタル信号を合成する必要があることは言うまでもない。

【0017】

本実施形態のパイプライン型ADCでは、変換誤差を所望信号帯域内で十分に除去するために、最も大きな誤差を発生する初段の変換ステージ12Aに、先の特許文献1及び2に開示されている誤差拡散技術を用いる。これによって、所望信号帯域での高精度なA/D変換を行い、ノイズシェーピングによって誤差による雑音を所望信号帯域外(不要信号帯域)に分布させる。従って、誤差推定のための回路を不要とし、誤差による雑音除去のための回路も不要もしくは簡略化することが可能となり、消費電力の低減と低コスト化を実現することができる。

10

【0018】

図2には、初段の変換ステージ12Aの構成例を示す。変換ステージ12Aには、図1のサンプルホールド回路11から出力されるアナログ信号(サンプルホールド値)が入力される。入力されるアナログ信号は、まずサブA/D変換器(サブADC)21によって、比較的ビット数の少ないデジタル信号、例えば7値(3ビット)のデジタル信号に変換される。サブADC21から出力されるデジタル信号は、図1中のデジタル合成回路14へ出力されると共に、サブD/A変換器(サブDAC)24の構成回路素子であるキャパシタを選択するための選択器22の第1入力端に入力される。選択器22の第2入力端には、ベクトルフィルタ23を介してフィードバックベクトル信号が入力される。

20

【0019】

選択器22では、第2入力端に入力されるフィードバックベクトル信号の要素が要素値の小さい順に、第1入力端に入力されるサブADC21からのデジタル信号に対応する個数だけ選出される。選出された要素に対応するキャパシタを選択する状態とされることより、キャパシタを選択するための選択ベクトル信号が生成される。選択ベクトル信号に従って、サブDAC24に含まれるキャパシタ群のうちサブADC21から入力されるデジタル信号に対応する個数のキャパシタが選択される。これにより、サブADC21から出力されるデジタル信号は、サブDAC24によってアナログ信号に変換される。

30

【0020】

このように、選択器22によってサブDAC24内のキャパシタは常に選択頻度(使用頻度)の低い順に選択されるため、各キャパシタは万遍なく選択されるようになる。従って、各キャパシタの容量値がばらつきによる誤差を持っている場合でも、その誤差による変換誤差を小さく抑えることができる。選択器22の具体的な構成例については、後に詳しく説明する。

【0021】

サブDAC24から出力されるアナログ信号と、変換ステージ12Aに入力されるアナログ信号との差が減算器25によって求められる。減算器25から出力される差信号(これを残差信号という)は、残差増幅器26により増幅される。残差増幅器26から出力される残差信号は、次段の変換ステージ12Bへ出力される。

40

【0022】

一方、選択器22から出力される選択ベクトル信号Dはベクトルフィルタ23にも入力され、ここで誤差拡散のためのフィルタリング(例えば、積分)が施されることにより、前述のフィードバックベクトル信号が生成される。ベクトルフィルタ23については、後に具体的に説明する。

【0023】

50

2 段目以降の変換ステージ 1 2 B , ... , 1 2 N には、前段の変換ステージ 1 2 A , 1 2 B , ... , 1 2 N - 1 から出力されるアナログ信号（残差信号）が入力される。2 段目以降の変換ステージ 1 2 B , ... , 1 2 N は、図示しないが図 2 からベクトルフィルタ 2 3 を除去した構成であり、サブ ADC 2 1 から出力されるデジタル信号は、図 1 中のデジタル合成回路 1 4 へ出力されると共に、選択器 2 2 に入力される。選択器 2 2 では、サブ DAC 2 4 内のキャパシタ群のうち、サブ ADC 2 1 から出力されるデジタル信号に対応する個数のキャパシタが選択される。

【 0 0 2 4 】

図 3 に、図 2 中のサブ DAC 2 4、減算器 2 5 及び残差増幅器 2 6 の具体的な構成を示す。サブ DAC 2 4、減算器 2 5 及び残差増幅器 2 6 の機能は、スイッチ群 3 1 とキャパシタ群 3 2 及び、OTA (Operational Transconductance Amplifier; 演算トランスコンダクタンス増幅器) 3 3 を含むスイッチトキャパシタによって実現される。キャパシタ群 3 1 のうち、C 1 ~ C 6 は全て同じ容量値を持ち、C 7 は C 1 ~ C 6 の容量値の 2 倍の容量値を持つ。

10

【 0 0 2 5 】

サブ DAC 2 4 においては、キャパシタ群 3 1 から選択ベクトル信号 D によって図 2 中のサブ ADC 2 1 の出力デジタル信号に対応する個数のキャパシタが選択される。この場合、選択ベクトル信号 D はキャパシタ C 1 ~ C 6 の各々の選択状態、すなわち各キャパシタ C 1 ~ C 6 を選択するか否かを示す要素値を有する 6 個の要素からなる。サブ DAC 2 4 では、選択ベクトル信号 D によってサブ ADC 2 1 から出力されるデジタル信号に対応する個数のキャパシタが選択され、該キャパシタを用いてサブ ADC 2 1 から出力されるデジタル信号がアナログ信号に変換される。

20

【 0 0 2 6 】

図 1 中のサンプルホールド回路 1 1 からのアナログ信号または前段の変換ステージから入力される残差信号は、差動入力信号（正相入力電圧 V_{in+} 及び逆相入力電圧 V_{in-} ）として与えられる。差動入力信号とサブ DAC 2 4 からの出力信号との差信号である残差信号は、差動出力信号（正相出力電圧 V_{out+} 及び逆相出力電圧 V_{out-} ）として出力される。図 3 の回路の動作は、サンプルホールドモードと増幅モードが交互に繰り返される。

【 0 0 2 7 】

図 3 は差動回路構成の場合を示しているが、簡単のため正相側に注目して正相入力電圧 V_{in+} を入力電圧 V_{in} とし、正相出力電圧 V_{out+} を出力電圧 V_{out} として動作を説明する。

30

まず、サンプルホールドモードでは、スイッチ群 4 1 は図 3 (a) に示される状態となり、キャパシタ群 3 2 の全てのキャパシタ C 1 ~ C 7 を V_{in} が入力される端子に接続し、OTA 3 3 の入出力端子を短絡する。理想的には、OTA 3 3 の入出力端子の電位は同相モードの基準電位になる。この基準電位を 0 とする。このとき、キャパシタ C 1 ~ C 7 に蓄えられる電荷は、 $Q_i = C_i V_{in}$ （但し、 $i = 1, 2, \dots, 7$ 、 C_i はキャパシタ C 1 ~ C 7 のそれぞれの容量値）である。

【 0 0 2 8 】

一方、増幅モードではスイッチ群 3 1 は図 3 (b) に示される状態となり、キャパシタ群 3 2 のうちキャパシタ C 1 ~ C 6 には、正の参照電圧 V_{ref+} または負の参照電圧 V_{ref-} が印加される。 V_{ref+} と V_{ref-} は、符号が異なる等しい電圧である。その結果、キャパシタ C 7 の蓄積電荷 Q_7 は、次式となる。

40

【 0 0 2 9 】

【 数 1 】

$$Q7 = \sum_{i=1}^7 C_i V_{in} + [C1 \ C2 \ C3 \ C4 \ C5 \ C6] D V_{ref} \quad (1)$$

【0030】

但し、Dは図2中の選択器22から出力される選択ベクトル信号であり、“1”または“-1”を各要素の要素値として持つベクトルである。この選択ベクトル信号Dによって、スイッチ群31が切り替えられる。具体的には、選択ベクトル信号Dの要素値“1”の要素に対応するスイッチは参照電圧Vref+に接続され、このスイッチに接続されているキャパシタは充電される。選択ベクトル信号Dの要素値“-1”の要素に対応するスイッチは参照電圧Vref-に接続され、このスイッチに接続されているキャパシタは放電される。

【0031】

このようにキャパシタC1～Cから、選択ベクトル信号Dによって指示される、サブADC21の出力デジタル信号に対応する個数のキャパシタが選択され、選択されたキャパシタの参照電圧Vrefによる蓄積電荷が入力電圧Vinによる蓄積電荷に加算される。OTA33の出力電圧Voutは、 $V_{out} = Q7 / C7$ より求められる。例えば、選択ベクトル信号Dの全ての要素値が“1”の場合、Voutは次式となる。

【0032】

【数2】

$$V_{out} = \frac{1}{C7} \left(\sum_{i=1}^7 C_i V_{in} + \sum_{i=1}^6 C_i V_{ref} \right) = \frac{8}{2} V_{in} + \frac{6}{2} V_{ref} \quad (2)$$

【0033】

この例では、入力電圧Vinの4倍と参照電圧Vrefの3倍の電圧の合計が出力電圧Voutとなる。参照電圧Vrefは、選択ベクトル信号Dの値によって-3, -2, ..., 2, 3の7値をとる。このようにして、入力電圧VinとサブDAC24の出力電圧との差電圧である残差信号が出力電圧Voutとして出力される。

【0034】

式(2)は、キャパシタC1～C7の容量値の誤差を考慮しない場合であるが、実際には誤差が生じる。キャパシタC1～C7の容量値の誤差をdCi(但し、i=1, 2, ..., 7)とすると、OTA33の出力電圧Voutは次式となる。

【0035】

【数3】

$$V_{out} = \frac{1}{C7 + dC7} \left(\sum_{i=1}^7 (C_i + dC_i) V_{in} + \sum_{i=1}^6 (C_i + dC_i) V_{ref} \right) \quad (3)$$

【0036】

ここで、入力電圧Vinの係数の誤差は利得誤差であり、全てのキャパシタC1～C7のVinによる蓄積電荷の誤差を含むため、Vinによらず常に一定になる。この誤差も小さい方が望ましいが、入力Vinに依存しないので、信号品質の劣化への影響は小さい。一方、参照電圧Vrefの係数の誤差は選択ベクトル信号Dによって選択されるキャパシタのVrefによる蓄積電荷の誤差を含むため、選択ベクトル信号Dによって、すなわちDのベクトルの要素値によって変化する。

【0037】

10

20

30

40

50

通常のパイプライン型ADCでは、例えばVrefの係数を2にしたい場合、 $D = [1, 1, 1, 1, -1, -1]^t$ に固定されるために、誤差も $d_{C1} + d_{C2} + d_{C3} + d_{C4} - d_{C5} - d_{C6}$ に固定される。このため、周期的な信号が入力された場合は、誤差も周期性を持つことになる。周期的な誤差は歪みとして観測され、A/D変換器のスプリアスフリーダイナミックレンジを劣化させる。

【0038】

一方、先に示した非特許文献1の方法は、Vrefの係数が同じ2でも、乱数を利用して $D = [1, 1, 1, 1, -1, -1]^t$ のみでなく、 $D = [-1, 1, 1, 1, 1, -1]^t$ や $D = [1, -1, -1, 1, 1, 1]^t$ など様々なパターンを発生させることによって、周期的な入力信号の場合も誤差に周期性を持たないようにして、広い帯域にわたり薄く分布させ、かつ、統計的な信号処理を利用して誤差をデジタル回路により除去している。

10

【0039】

これに対して、本実施形態では選択ベクトル信号Dを乱数で決めるのではなく、ベクトルフィルタ23を用いて選択ベクトル信号Dをフィルタリングすることにより、誤差成分に周波数分布を持たせて所望信号帯域外に拡散させ、誤差成分の除去は別途デジタルフィルタによって行う。

【0040】

一般に、無線通信装置などでは、アナログ信号処理部で除去し切れなかった隣接チャネル信号などの妨害信号を除去するデジタルフィルタや、符号間干渉を除去するロールオフフィルタなどが備えられている。また、所望信号帯域の数倍のサンプリング周波数が用いられ、デジタルフィルタによって不要周波数成分を除去する構成となっている。本実施形態パイプライン型ADCを利用した場合、このような妨害信号除去用のデジタルフィルタを誤差成分除去用のフィルタとして利用することができ、新たにデジタルフィルタを加えることなく、良好な通信品質を確保することができる。

20

【0041】

図4に、ベクトルフィルタ23の一構成例を示す。この例のベクトルフィルタは、複数のデジタルフィルタ41~46を有し、各デジタルフィルタ41~46には図2中に示した選択器22からの選択ベクトル信号Dの各要素が入力される。デジタルフィルタ41~46は、この例ではそれぞれ加算器47と遅延器48からなる積分器（累積加算器）によって構成される。図4に示したベクトルフィルタ23においては、所望信号帯域内の特に直流近辺での誤差が少なくなる。

30

【0042】

ベクトルフィルタ23を構成するデジタルフィルタとして、図4に示したような積分器に代えて2次あるいは高次のデジタルフィルタを用いることも可能である。このような2次または高次のデジタルフィルタによるベクトルフィルタにおいては、係数の選び方によって雑音が少なくなる周波数帯域を選ぶことができる。図5には、加算器51, 59と遅延器52, 53及び係数乗算器54~58からなる公知の2次のデジタルフィルタの例を示す。

【0043】

図6には、選択器22の第1の構成例を示す。この例の選択器22は、ソータ61とレジスタ62及び複数の比較器63からなる。ソータ61には、ベクトルフィルタ23からのフィードバックベクトル信号が入力される。ソータ61は、ベクトルフィルタ23の出力信号である選択回数を示す各要素の要素値と要素番号を一組のデータとするレコードをソートする。

40

【0044】

すなわち、ソータ61ではフィードバックベクトル信号の各要素を要素値の小さい順にソートする。この例で示すソータ61は、矩形で示される単位ソータを複数個組み合わせることで、8入力のデータのソートを行う。各単位ソータは2組のデータを比較し、要素値の大きい方を上側の出力ポートに、要素値の小さい方を下側の出力ポートにそれぞれ出力

50

する機能を有する。

【0045】

本実施形態では、ベクトルフィルタ23からのフィードバックベクトル信号の要素数は6なので、ソータ61の8入力のうち2入力は余る。余った2入力にハードウェアによって定まる最大値及び最小値を入力し、誤り検出などに利用することも可能である。

【0046】

ソータ61の出力では、図で上から要素値が大きい順、すなわち対応するキャパシタの選択回数が多い順にデータが並ぶ。ソータ61の出力データはレコードの要素番号のみが利用され、要素値そのもの(選択回数)は利用されない。ソータ61の出力のうち、要素値が小さい順にソートされた要素番号が要素番号をアドレスとするレジスタ62に記入されて保持される。

10

【0047】

レジスタ62の6個の出力は、6個の比較器63の一方の入力端にそれぞれ入力される。比較器63の他方の入力端には、図2中に示したサブADC21から出力されるデジタル信号が入力される。比較器63は、サブADC21の出力値(サブADC21から出力されるデジタル信号の値)よりレジスタ62からの出力値が小さい場合に“-1”、大きいか等しい場合に“1”をそれぞれ出力する。例えば、サブADC21の出力値が“3”の場合、比較器63のうちレジスタ62の出力値“1”、“2”、“3”を入力とする3個の比較器の出力は“-1”に、その他の比較器の出力は“1”になる。これらの6個の比較器63の出力は、選択ベクトル信号Dとして選択器22から出力される。

20

【0048】

本実施形態のパイプライン型ADCによれば、サブDACの変換誤差による歪みの発生を抑制するために、非特許文献1に記載のように乱数を用いてサブDACを構成する回路素子の選び方を決める方法に比較して、低消費電力化と低コスト化を図りつつ所望信号帯域で高精度のA/D変換が可能となる。以下、この効果を具体的に説明する。

【0049】

通常、パイプライン型ADCはナイキスト周波数(サンプリング周波数の半分の周波数)の信号まで精度よく変換を行うことができるように設計されるので、乱数を利用してサブDACの誤差を除去するためには、長時間のデータ収集による誤差推定が必要となる。

【0050】

無線通信装置に用いられるADCでは、一般にサンプリング周波数を所望信号帯域の4~10倍程度の周波数に設定する、すなわち4~10倍程度のオーバーサンプリングを行っている。また、デジタル信号処理部では所望信号帯域外に存在する隣接チャネル信号を除去するフィルタや、符号間干渉を除去するロールオフフィルタなどが用いられる。従って、ADCの変換精度は変換周波数帯域全域にわたり高い必要はなく、所望信号帯域外に誤差が存在したとしても、これらのフィルタにより除去されるため、所望信号帯域においてのみ誤差が小さければ十分である。

30

【0051】

このような無線通信装置に用いられるADCに要求される性質を考慮すると、長時間のデータ収集が必要な乱数による誤差推定を行う必要はなく、サブDACの構成回路素子であるキャパシタの容量値の誤差の影響を所望信号帯域と異なる周波数帯域に偏って分布させる、本実施形態のようなパイプライン型ADCで十分である。本実施形態のADCを用いると、例えば待ち受けモードなどにおいてはADCを休止させることが可能であり、消費電力を効果的に低減できる。誤差推定のための回路が不要であり、誤差を除去するための回路などを特別に設ける必要もないため、集積回路化した場合の面積が小さくなり、低コスト化が可能になる。

40

【0052】

次に、図7を用いて選択器22の第2の構成例について説明する。

図6に示した選択器においては、フィードバックベクトル信号の要素値(選択回数)と共に要素番号をソートする必要があったが、図7に示す選択器は要素値のみを入力する。図

50

2中に示したベクトルフィルタからのフィードバックベクトル信号の各要素は、階層的にグループ分けされる。階層的なグループ分けとは、対象を複数の第1グループに分け、第1グループをさらに複数の第2グループに分けるといのように、グループのサイズを順次小さくしてグループ分けを繰り返すことをいう。

【0053】

図7に示す例では、フィードバックベクトル信号はそれぞれ4個の要素を含む2つのグループA、Bに分けられ、グループA、Bはさらにそれぞれ2つの要素を含む2つのグループA1、A2及びB1、B2に分けられる。この場合、2階層のグループ分けであり、グループA、Bは最上位階層、グループA1、A2、B1、B2は最下位階層ということになる。

10

【0054】

グループA、B、A1、A2、B1、B2毎に、グループ内の要素値の和加算器71によって求められる。グループA1、A2、B1、B2の両端の要素値及び加算器71の出力は、第1比較部72に入力される。第1比較部72は、この例では7個の比較器を有し、グループA1、A2、B1、B2の両端の要素値の大小関係と、加算器71からの同一階層のグループ内の要素値の和の大小関係の比較を行い、それらの比較結果としてそれぞれ1ビットの信号を出力する。

【0055】

比較部72からの比較結果のうち、グループA、B内の要素値の和の比較結果及びそれを反転器73で反転した信号は、それぞれグループA、Bの要素値の和をそれぞれ示すデジタル値の最下位ビット(1sb)として利用される。グループA1、A2内の要素値の和の比較結果及びこれを反転器73で反転した信号は、グループA1、A2の要素値の和をそれぞれ示すデジタル値の第2位ビットとして利用される。同様に、グループB1、B2内の要素値の和の比較結果及びこれを反転器73で反転した信号は、グループB1、B2の要素値の和をそれぞれ示すデジタル値の第2位ビットとして利用される。グループA1、A2、B1、B2の両端の要素値の比較結果とそれを反転器73で反転した信号は、グループA1、A2、B1、B2の両端の要素値をそれぞれ示すデジタル値の最上位ビット(msb)として利用される。

20

【0056】

このように比較部72からの比較結果及びその反転信号によって、“000”から“111”までの2進数でそれぞれ表される8個のデジタル信号が生成される。これら8個のデジタル信号は、8個の比較器を有する第2比較部74に入力され、図2中に示したサブADC21から出力されるデジタル信号とそれぞれ比較される。

30

【0057】

第2比較部74は、第1比較部72からの比較結果及びその反転信号からなるデジタル信号がサブADC21から出力されるデジタル信号より小さいとき“1”を出力し、それ以外するとき“-1”を出力する。第2比較部74の出力は、選択ベクトル信号Dとして選択器22から出力される。このような構成の選択器22によっても、サブDAC24内のキャパシタは常に選択頻度(使用頻度)の低い順に選択されるため、各キャパシタは万遍なく選択される。従って、各キャパシタの容量値の誤差による変換誤差を小さく抑えることができる。

40

【0058】

本実施形態では、ベクトルフィルタ23から出力されるフィードバックベクトル信号の要素数は6であるのに対して、図7に示す構成の選択器は8入力・8出力であり、2入力・2出力が余る。そこで、余った2入力にハードウェアで定まる最大値と最小値を入力するなどの方法により、機能検証などに用いることも可能である。

【0059】

図7に示した構成の階層的にグループ分けして比較する選択器を用いると、図6に示したソータを用いた選択器に比較して回路構成が単純になる。従って、チップ面積や消費電力を押さえつつ、所望信号帯域内の信号対雑音電力比が大きいパイプライン型ADCを実現

50

することが可能になる。

【0060】

【発明の効果】

以上説明したように、本発明によると所望信号帯域で高精度の変換特性が得られ、低消費電力かつ低コストのパイプライン型A/D変換器を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るパイプライン型ADCの構成を示すブロック図

【図2】同実施形態における初段の変換ステージの構成を示すブロック図

【図3】同実施形態におけるサブDACと減算器及び残差増幅器の具体的な構成例を示す回路図

10

【図4】同実施形態におけるベクトルフィルタの一例を示すブロック図

【図5】同実施形態におけるベクトルフィルタに利用可能な2次のデジタルフィルタの構成を示すブロック図

【図6】同実施形態における選択器の第1の構成例を示すブロック図

【図7】同実施形態における選択器の第2の構成例を示すブロック図

【符号の説明】

10 ... アナログ入力信号

11 ... サンプルホールド回路

12A, 12B, ..., 12N ... 変換ステージ

21 ... サブDAC

20

22 ... 選択器

23 ... ベクトルフィルタ

24 ... サブADC

25 ... 減算器

26 ... 残差増幅器

31 ... スイッチ群

32 ... キャパシタ群

33 ... 演算トランスコンダクタンス増幅器

41 ~ 46 ... デジタルフィルタ

61 ... ソータ

30

62 ... レジスタ

63 ... 比較器

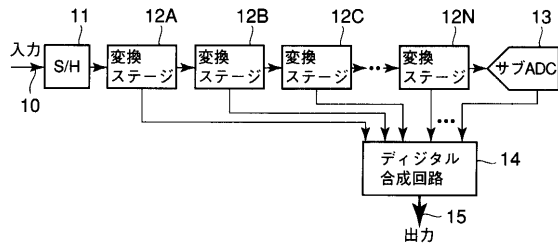
71 ... 加算器

72 ... 第1比較器

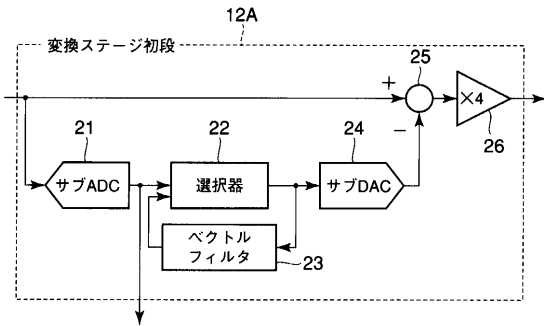
73 ... 反転器

74 ... 第2比較器

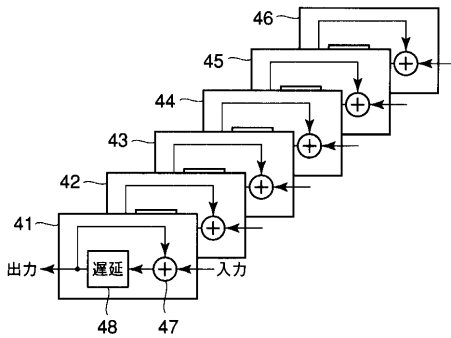
【 図 1 】



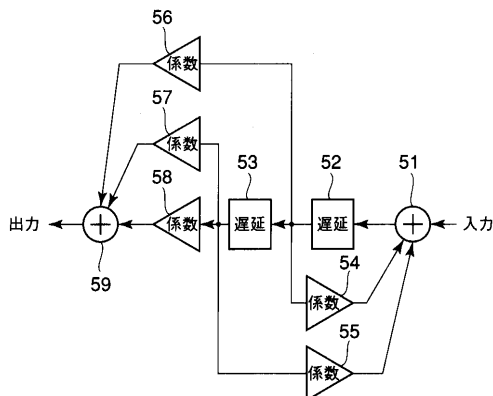
【 図 2 】



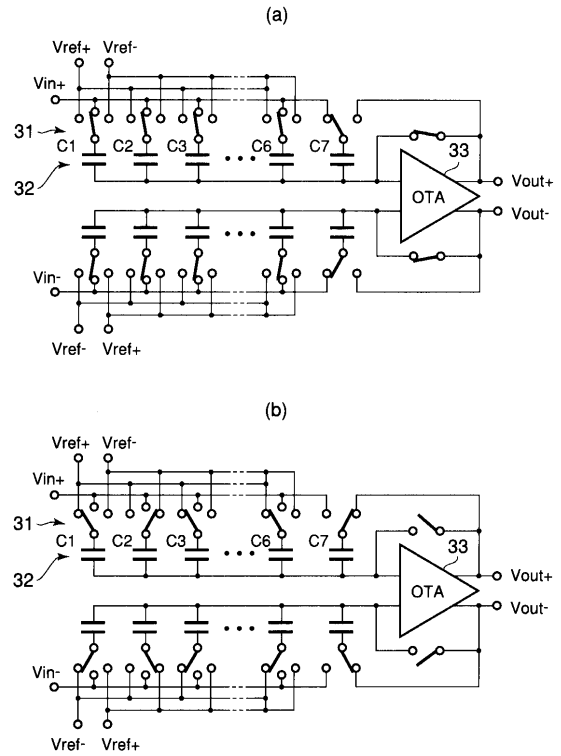
【 図 4 】



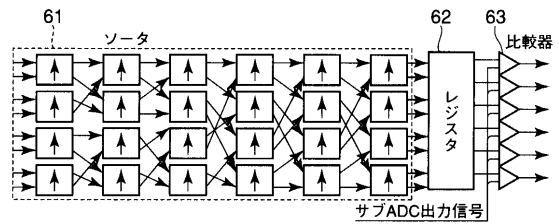
【 図 5 】



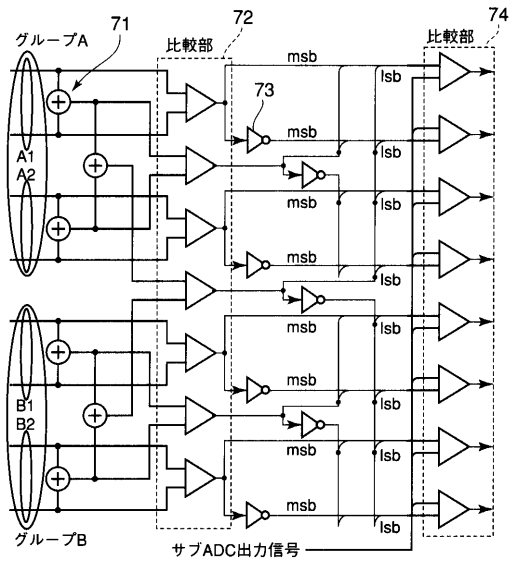
【 図 3 】



【 図 6 】



【 図 7 】



フロントページの続き

(72)発明者 山路 隆文

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 上野 武司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

Fターム(参考) 5J022 AA05 AB07 BA01 BA06 CA07 CA10 CB04 CB06 CF02