



(12)发明专利

(10)授权公告号 CN 102810552 B

(45)授权公告日 2016.12.07

(21)申请号 201210177917.X

(22)申请日 2012.05.31

(65)同一申请的已公布的文献号

申请公布号 CN 102810552 A

(43)申请公布日 2012.12.05

(30)优先权数据

13/118,928 2011.05.31 US

(73)专利权人 英飞凌科技奥地利有限公司

地址 奥地利菲拉赫

(72)发明人 弗朗茨·赫尔莱尔

阿明·维尔梅罗特 汉斯·韦伯

迈克尔·特雷乌

(74)专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 吴孟秋

(51)Int.Cl.

H01L 29/06(2006.01)

H01L 29/78(2006.01)

H01L 27/06(2006.01)

(56)对比文件

US 2003173619 A1,2003.09.18,

US 2005082591 A1,2005.04.21,

US 2008265315 A1,2008.10.30,

CN 102034820 A,2011.04.27,

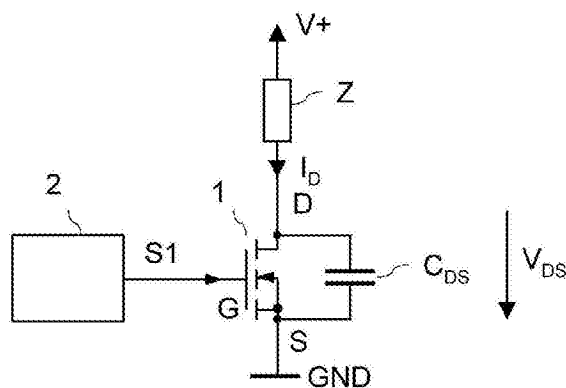
审查员 陈龙

(54)发明名称

具有可控补偿区的晶体管

(57)摘要

本发明提供了一种具有可控补偿区的晶体管,其包括至少一个晶体管单元,该晶体管单元包括:半导体本体中的源区、漏区、本体区以及漂移区,其中,本体区被配置在源区和漏区之间,并且漂移区被配置在本体区和漏区之间。该晶体管单元还包括:补偿区,被配置在漂移区中;源电极,与源区和本体区电接触;栅电极,被配置为邻近本体区,并且通过栅电介质与本体区介电绝缘;耦合配置,包括控制端子,并且被构造为根据在控制端子处接收到的控制信号将补偿区电耦合至本体区、源区、源电极和栅电极中的至少一个。



1. 一种MOSFET,包括至少一个晶体管单元,所述至少一个晶体管单元包括:

源区、漏区、本体区以及漂移区,其中,所述本体区被配置在所述源区和所述漏区之间,并且所述漂移区被配置在所述本体区和所述漏区之间;

补偿区,被配置在所述漂移区中并且与所述本体区具有距离;

源电极,与所述源区和所述本体区电接触;

栅电极,被配置为邻近所述本体区,并且通过栅电介质与所述本体区介电绝缘;

可变电阻器或电子开关,其中,所述电子开关包括控制端子,并且所述电子开关被构造为根据在所述控制端子处接收到的控制信号将所述补偿区电耦合至所述本体区、所述源区和所述源电极中的至少一个。

2. 根据权利要求1所述的MOSFET,其中,所述电子开关被构造为调节或控制所述本体区、所述源区和所述源电极中的至少一个与所述补偿区之间的电流。

3. 根据权利要求1所述的MOSFET,其中,所述电子开关被构造为基于所述控制信号限制所述本体区、所述源区和所述源电极中的至少一个与所述补偿区之间的电流。

4. 根据权利要求1所述的MOSFET,还包括:

多个晶体管单元,所述多个晶体管单元具有公共漂移区、公共漏区,和连接至公共栅端子的栅电极。

5. 根据权利要求4所述的MOSFET,其中,所述多个晶体管单元的电子开关将它们的控制端子连接至公共控制端子。

6. 根据权利要求4所述的MOSFET,其中,所述多个晶体管单元被细分为p组晶体管单元, $p \geq 2$,每组晶体管单元具有组控制端子,并且每组中的晶体管单元将它们的控制端子连接至相应的组控制端子。

具有可控补偿区的晶体管

技术领域

[0001] 本发明的实施方式涉及晶体管,尤其涉及一种具有补偿区的MOS晶体管。

背景技术

[0002] MOSFET(金属氧化物半导体场效应晶体管),尤其是功率MOSFET,被广泛地用作用于切换电力负载的电子开关或在各种切换转换器中用作电子开关。功率MOSFET包括均具有第一导电类型的漏区、邻接漏区的漂移区、源区,以及第二导电类型的配置在漂移区和源区之间的本体区。栅电极用于控制位于源区和漂移区之间的本体区中的导电沟道。源电极电连接至也与该本体区相连的源电极,漏区电连接至漏电极。可通过向栅端子施加适当的驱动电势而导通或截止MOSFET。

[0003] 在一种特定类型的MOSFET(其也被称作补偿型或超结型MOSFET),补偿区配置在漂移区中。该补偿区具有与本体区相同的掺杂类型,并且电连接至本体区。补偿区包括掺杂电荷(doping charges),该掺杂电荷是对漂移区的掺杂电荷的补充,并且当MOSFET处于截止状态时该掺杂电荷“补偿”漂移区中的掺杂电荷。得益于补偿区,漂移区能够比常规的MOSFET更高地掺杂,这使得在给定的电压阻断能力(blocking capability)下,导通电阻降低。

[0004] MOSFET包括依赖于电压的输出电容(通常称作 C_{oss}),其通常包括位于其漏端子和源端子之间的漏源电容 C_{ds} ,以及位于其栅端子和漏端子之间的栅漏电容 C_{gd} 。当MOSFET从导通状态转换到截止状态时,输出电容被充电,即,能量被存储在输出电容中;当MOSFET从截止状态转换到导通状态时,输出电容被放电。输出能量 E_{oss} (其为存储在输出电容中的能量)主要取决于MOSFET处于其截止状态时的漏源路径上的电压以及取决于输出电容的电容值。补偿型MOSFET,由于连接至本体区和源电极的补偿区,具有高漏源电容,因此,具有高输出电容。

[0005] 当MOSFET运转时损耗出现。这些损耗主要包括(a)电容损耗和(b)欧姆损耗。

[0006] (a)电容损耗是由存储在MOSFET的输出电容中的能量定义的,其中,这些损耗随着输出电容的增加而增加。在许多应用中,在通常的负载条件下,电容损耗主导着切换损耗。

[0007] (b)当MOSFET处于其导通状态时,欧姆损耗出现。欧姆损耗是由于MOSFET的导通电阻。此外,当MOSFET从导通状态切换到截止状态时,切换损耗出现,反之亦然。这些切换损耗由以下事实所引起:MOSFET不会突然地导通或截止,而是逐渐地在导通状态(该状态下MOSFET的欧姆电阻呈最小值)和截止状态(该状态下MOSFET阻断并防止电流)之间变化。欧姆电阻的最小值是导通电阻。

[0008] 欧姆损耗与负载电流的平方成正比,而电容损耗具有较小的负载电流相关性。因此,取决于具体的负载条件,欧姆损耗或电容损耗可能占优。例如,当连接至MOSFET的负载吸取低负载电流,使得低电流流过导通状态的MOSFET时,电容损耗可主要地决定总损耗。然而,当负载吸取高负载电流时,在转换阶段期间的欧姆损耗和切换损耗可主要地决定总损耗。在转换阶段期间的切换损耗以及电容损耗直接与器件的切换频率成正比。

[0009] 此外,输出电荷 Q_{oss} ,其为存储在输出电容中的电荷,对于一些应用是重要的。举例来说,MOSFET在低负载电流下的截止延迟时间由输出电荷所支配。这是在晶体管完全截止之前不得不存储在输出电容中的电荷。该输出电荷由负载电流所提供。因此,截止延迟时间与降低的负载电流成反比地增加。

[0010] 因此,需要提供一种具有补偿区的MOSFET,其中,依赖于负载条件,损耗和截止延迟时间能够被最小化。

发明内容

[0011] 第一方面涉及一种包括至少一个晶体管单元的半导体器件,具体地,MOSFET。该晶体管单元包括:半导体本体中的源区、漏区、本体区以及漂移区,其中,所述本体区被配置在所述源区和所述漏区之间,并且所述漂移区被配置在所述本体区和所述漏区之间。该晶体管单元还包括:补偿区,被配置在所述漂移区中;源电极,与所述源区和所述本体区电接触;栅电极,被配置为邻近所述本体区,并且通过栅电介质与所述本体区介电绝缘;耦合配置,包括控制端子,并且被构造为根据在所述控制端子处接收到的控制信号将所述补偿区电耦合至所述本体区、所述源区、所述源电极和所述栅电极中的至少一个。

[0012] 第二方面涉及包括至少一个第一类型的晶体管单元和至少一个第二类型的晶体管单元的半导体器件,具体地,MOSFET。

[0013] 所述至少一个第一类型的晶体管单元包括:第一源区、第一漏区、第一本体区和第一漂移区,其中,所述第一本体区被配置在所述第一源区和所述第一漂移区之间,并且所述第一漂移区被配置在所述第一本体区和所述第一漏区之间。所述至少一个第一类型的晶体管单元还包括:第一栅电极,被配置为邻近所述第一本体区,并且通过第一栅电介质与所述第一本体区介电绝缘;第一源电极,电接触所述第一源区和所述第一本体区;第一补偿区,被配置在所述第一漂移区中,并且电连接至所述第一本体区、所述第一源区和所述第一栅电极中的至少一个。

[0014] 所述至少一个第二类型的晶体管单元包括:第二漏区、第二本体区和第二漂移区,其中,所述第二漂移区被配置在所述第二本体区和所述第二漏区之间;第二补偿区,被配置在所述第二漂移区中,并且与所述第二本体区具有距离,第二源电极,电接触所述第二本体区。所述至少一个第二类型的晶体管单元还包括:耦合配置,包括控制端子,并且被构造为根据在所述控制端子处接收到的控制信号将所述第二补偿区电耦合至所述第二本体区和所述第二源电极中的至少一个。

[0015] 第三方面涉及一种半导体器件,其包括栅端子,至少一个控制端子以及第一和第二负载端子,并且包括至少一个器件单元。所述至少一个器件单元包括:MOSFET器件,具有负载路径和控制端子,该控制端子耦合至所述栅端子;JFET器件,具有负载路径和控制端子,该负载路径与所述MOSFET器件的负载路径串联连接在所述负载端子之间;第一耦合晶体管,具有负载路径和控制端子,该负载路径耦合在所述源端子和所述栅端子中的一个与所述JFET器件的控制端子之间,并且该控制端子耦合至所述晶体管器件的所述至少一个控制端子。

附图说明

[0016] 将参照附图来说明实施例。附图用于示出基本原理,所以仅示出了对于理解基本原理所必需的方面。附图未按比例示出。在附图中,相同的参考标号表示相似的特征。

[0017] 图1示意性地示出了MOSFET用作用于切换负载的电子开关;

[0018] 图2示意性地示出了MOSFET的输出电容的电压相关性;

[0019] 图3示意性地示出了包括耦合在补偿区和源电极之间的耦合配置的MOSFET的垂直截面视图;

[0020] 图4示意性地示出了包括多个晶体管单元的MOSFET的垂直截面视图;

[0021] 图5示意性地示出了用细长的晶体管单元实施的MOSFET的水平截面视图;

[0022] 图6示意性地示出了用矩形晶体管单元实施的MOSFET的水平截面视图;

[0023] 图7示意性地示出了用六边形或多边形晶体管单元实施的MOSFET的水平截面视图;

[0024] 图8示意性地示出了包括具有控制电极的耦合配置的MOSFET的垂直截面视图;

[0025] 图9示出了当利用细长的晶体管单元实施时根据图8的MOSFET的水平截面视图;

[0026] 图10示出了当利用矩形晶体管单元实施时根据图8的MOSFET的水平截面视图;

[0027] 图11示出了当利用六边形晶体管单元实施时根据图8的MOSFET的水平截面视图;

[0028] 图12示出了当利用矩形晶体管单元和条形控制电极实施时根据图8的MOSFET的水平截面视图;

[0029] 图13示出了当利用细长的晶体管单元和矩形控制电极实施时根据图8的MOSFET的水平截面视图;

[0030] 图14示意性地示出了包括具有控制电极、连接电极和接触电极的耦合配置的MOSFET的晶体管单元的透视截面图;

[0031] 图15示意性地示出了图14的截面C-C的晶体管单元的垂直截面视图;

[0032] 图16示意性地示出了根据另一实施方式的MOSFET的晶体管单元的透视截面图;

[0033] 图17示意性地示出了常规的晶体管单元的透视截面图;

[0034] 图18示意性地示出了在半导体本体(body)中配置具有耦合配置的晶体管单元和常规晶体管单元的第一实施例;

[0035] 图19示意性地示出了在半导体本体中配置具有耦合配置的晶体管单元和常规的晶体管单元的第二实施例;

[0036] 图20示意性地示出了包括补偿区和耦合配置并且不包括沟道区的晶体管单元的垂直截面视图;

[0037] 图21示出了根据第一实施方式的包括具有耦合配置的晶体管单元和常规的晶体管单元的MOSFET的电路图;

[0038] 图22示出了根据第二实施方式的包括具有耦合配置的晶体管单元和常规的晶体管单元的MOSFET的电路图;

[0039] 图23示意性地示出了包括根据另一实施例的连接在补偿区和源电极之间的耦合配置的MOSFET的垂直截面视图;

[0040] 图24示出了根据第一实施方式的包括具有位于补偿区和源电极之间的JFET的耦合配置的MOSFET的垂直截面视图;

[0041] 图25示出了图24的MOSFET的等效电路图;

- [0042] 图26示出了根据第一实施方式的图24的MOSFET的水平截面视图；
- [0043] 图27示出了根据第二实施方式的图24的水平截面视图；
- [0044] 图28示出了图24的MOSFET的变形；
- [0045] 图29示出了根据第二实施方式的包括具有位于补偿区和源电极之间的JFET的耦合配置的MOSFET的垂直截面视图；
- [0046] 图30示出了根据第三实施方式的包括具有位于补偿区和源电极之间的JFET的耦合配置的MOSFET的垂直截面视图；
- [0047] 图31示出了根据第四实施方式的包括具有位于补偿区和源电极之间的JFET的耦合配置的MOSFET的垂直截面视图；
- [0048] 图32示出了根据第一实施方式的包括具有位于补偿区和源电极之间的两个串联的JFET的耦合配置的MOSFET的垂直截面视图；
- [0049] 图33示出了图32的MOSFET的等效电路图；
- [0050] 图34示出了图24的MOSFET的变形；
- [0051] 图35示出了根据第二实施方式的包括具有位于补偿区和源电极之间的两个串联的JFET的耦合配置的MOSFET的垂直截面视图；
- [0052] 图36示出了图35的MOSFET的等效电路图；
- [0053] 图37示出了根据第一实施方式的包括具有位于补偿区和源电极之间的两个JFET的耦合配置的MOSFET的垂直截面视图；
- [0054] 图38示出了根据第二实施方式的包括具有位于补偿区和源电极之间的两个JFET的耦合配置的MOSFET的垂直截面视图。

具体实施方式

[0055] 为了易于更好地理解将在下文中进一步解释的本发明的实施方式,将参考图1解释晶体管部件作为电子开关的使用。图1示出了用作用于切换通过负载Z的电流的电子开关的晶体管部件1的电路图。在图1的实例中被实施为MOSFET的晶体管部件1包括被构造为从驱动电路2接收驱动信号S1的栅端子G以及负载路径。该负载路径(还可被称作内部负载路径)在晶体管1内的漏极D和源极S之间延伸。负载路径D-S与负载Z串联连接,同时晶体管1和负载Z的串联电路连接在第一供给电位V+和第二供给电位GND之间。负载Z可以为诸如灯泡的电阻负载、诸如线圈、变换器或感应电动机的感应负载,或电容负载。

[0056] 晶体管1可以通过在晶体管1的栅端子G处生成合适驱动信号S1的驱动电路2来导通和截止。驱动信号例如为脉宽调制(PWM)信号。这是公知的,所以在此点上不需要进一步的解释。

[0057] 当MOSFET被导通时,即,当MOSFET处于导通状态时,负载电流 I_D 流过负载Z和晶体管1的负载路径,其中,负载电流 I_D 的幅度主要由在第一供给电位V+和第二供给电位GND之间存在的供给电压和负载Z的特性限定。当晶体管1处于导通状态时,在晶体管中发生欧姆损耗。这些损耗源自晶体管1的导通电阻和流过晶体管1的负载电流 I_D 。当MOSFET将其工作状态从导通状态变为截止状态时,即,当MOSFET被截止时,或将其工作状态从截止状态变为导通状态时,损耗在短时间段内增加。这为在导通状态和截止状态之间的过渡阶段中同时存在于晶体管的负载端子D、S之间的高电流和高电压。

[0058] 晶体管部件(特别是MOSFET)包括在漏端子与源端子之间以及在漏端子与栅端子之间作用的输出电容,并且通常包括在漏端子D和源端子S之间的漏源电容 C_{DS} 以及在栅端子和漏端子之间的栅漏电容 C_{GD} 。在图1中,示意性地示出了漏源电容 C_{DS} 。应当注意,在该点上,漏源电容和漏栅电容可以被认为以小信号等效电路图并联连接,其中,该并联电路形成MOSFET的输出电容。输出电容的电容值 C_{OSS} 取决于晶体管的漏端子D和源端子S之间的电压。在图2中示意性地示出了该电容至 C_{OSS} 与漏端子D和源端子S之间的电压的相关性。

[0059] 当晶体管1被截止并且晶体管1的负载路径上的电压 V_{DS} 增大时,输出电容被充电,即,能量被存储在输出电容中。等效地,当MOSFET被导通时,输出电容放电。当MOSFET被截止时对输出电容的充电以及当MOSFET被导通时输出电容的放电引起损耗,这在下文中将被称作电容损耗。

[0060] 当晶体管部件1在截止模式操作时(即,晶体管部件1周期性地被导通和截止)产生的损耗包括欧姆损耗、过渡阶段的切换损耗以及电容损耗。这些损耗中的哪一个占主导地位取决于晶体管部件1的负载条件。晶体管部件1的负载条件主要由流过处于导通状态中的晶体管1的负载电流 I_D 限定,但还由晶体管导通和截止时的切换频率限定。

[0061] 电容损耗依赖于当晶体管1被截止时存储在输出电容中的能量。该能量取决于晶体管处于截止状态时晶体管1的负载路径间的最大电压以及输出电容的电容值 C_{OSS} 。

[0062] 存在输出电容的电容值 C_{OSS} 取决于晶体管的负载路径上的电压的晶体管部件。图2示意性地示出了输出电容与跨晶体管的电压的这种电压相关性。在图2中, C_{OSS} 表示输出电容值,并且 V_{DS} 表示晶体管的漏端子D和源端子S之间的电压。如从图2可以看出的,存在输出电容值 C_{OSS} 在电压 V_{DS} 增大时明显减小的电压 V_{DS0} 。

[0063] 在图2中,除了输出电容值 C_{OSS} 在 V_{DS0} 迅速减小的曲线,还示出了电容值在高于 V_{DS0} 的电压处迅速减小以及在低于 V_{DS0} 的电压处迅速减小的另外两条曲线。 V_{DS0} 电压可以取决于最大电容值,最大电容值出现在低漏源电压 V_{DS} 处。根据实施方式, V_{DS0} 电压随着最大电容值 C_{OSS} 的减小而减小。

[0064] 存储在输出电容中的能量 E_{OSS} 由以下公式给出:

$$[0065] \quad E_{OSS} = \int_{V_{DSon}}^{V_{DSoff}} C_{OSS}(V_{DS}) V_{DS} dV_{DS} \quad (1a)$$

[0066] 其中, V_{DSon} 为当晶体管1处于导通状态时的跨负载路径的电压, V_{DSoff} 为当晶体管处于截止状态时的跨负载路径的电压。 $C_{OSS}(V_{DS})$ 为取决于电压 V_{DS} 的输出电容值。由于处于导通状态中的晶体管间的电压 V_{DSon} 通常非常低并且明显低于处于截止状态时的电压 V_{DSoff} ,所以等式(1a)可以被简化为:

$$[0067] \quad E_{OSS} = \int_0^{V_{DSoff}} C_{OSS}(V_{DS}) V_{DS} dV_{DS} \quad (1b)$$

[0068] 可以从图2以及分别从等式(1a)或(1b)中看出,存储在输出电容中的能量 E_{OSS} 、并且由此电容损耗可以通过减小输出电容 C_{OSS} 以及通过降低处于低 V_{DS} 的平稳值(即,最大电容值)来降低。

[0069] 现在,将参考图3解释具有电压相关输出电容并且其中可以调节输出电容的电压相关性的晶体管部件10。

[0070] 图3中所示的晶体管部件10被实施为MOSFET,具体地,被实施为补偿型或超结型MOSFET。图2(其中,存在输出电容 C_{oss} 与漏源电压 V_{ds} 的强相关性)中所示的输出电容 C_{oss} 的特性曲线通常用于超结型MOSFET。参考图3,MOSFET包括连接至形成源端子S的源电极51的源区12和连接至漏端子D的漏区14。漏端子D可以由配置在漏区14上的漏电极形成。MOSFET还包括漂移区11和本体区13,其中,本体区13被配置在源区12和漂移区11之间,并且漂移区11被配置在本体区13和漏区14之间。源区12、本体区13、漂移区11和漏区14一体地形成在半导体本体100中。根据图3的MOSFET被实施为垂直MOSFET,其为源区12和漏区14在半导体本体100的垂直方向上具有距离的MOSFET;在该情况下,当MOSFET处于导通状态时,电流实质上在垂直方向上流过半导体本体100。然而,将MOSFET实施为垂直MOSFET仅为示例。下文中将解释的基本原理还适用于源区和漏区在半导体本体的横向方向上具有距离的横向MOSFET。该基本原理还适用漏区被实施为埋层的MOSFET(未示出),其中,该埋层被配置为在半导体垂直方向上与源区具有距离。埋层可以连接至漏端子,该漏端子被配置在半导体本体的与源端子相同的表面上或上方。

[0071] 源区12和本体区13均连接至形成源端子S的源电极51。这为MOSFET中的通用实践。

[0072] MOSFET还包括连接至栅端子G或形成栅端子G的栅电极21。栅电极21与本体区13相邻地配置,其中,栅电介质22被配置在栅电极21和本体区13之间。以公知的方式,栅电极21用于控制源区12和漂移区11之间的本体区13中的第一导电沟道。在图3中所示的实施方式中,栅电极21为平面电极,即,栅电极21被配置在半导体本体100的表面之一上方。然而,这仅为实例,栅电极21还可以在半导体沟槽中实施为沟槽电极(未示出)。

[0073] 当施加至栅端子G的电势适于产生在本体区13中沿着栅电介质22的第一导电沟道时,MOSFET处于导电状态,并且当栅端子G处不存在产生本体区13中的导电沟道的合适驱动电位时,MOSFET处于截止状态。

[0074] MOSFET可以被实施为增强型MOSFET。在该情况下,与源区12互补地掺杂本体区13,使得在本体区13中产生的并由栅电极15控制的第一导电沟道为反型沟道。然而,MOSFET还可以实施为耗尽型MOSFET。在n型MOSFET中,源区12和漏区14为n掺杂型,而在p型MOSFET中,源区12和漏区14为p掺杂型。

[0075] 图3的MOSFET被实施为补偿型或超结型MOSFET,并且包括漂移区11中的补偿区31。补偿区31具有与漂移区的掺杂类型互补的掺杂类型,使得在补偿区31和漂移区11之间形成pn结。

[0076] MOSFET还包括被构造为根据在控制端子G2接收到的控制信号将补偿区31电耦合至本体区13、源区12和源电极51中的至少一个的耦合配置40。耦合配置仅被示意性地示出为开关。该开关可以被实施为电子开关,诸如晶体管,连接在补偿区31和源电极51之间。补偿区31可以包括接触电极(未示出),开关在该接触电极处连接至补偿区。在图3中所示的实施方式中,补偿区31被实施为埋区,该埋区在本体区13下方并且在垂直方向上与半导体的表面具有距离。然而,补偿区可以包括延伸至表面(在不同于图3中所示的平面的垂直平面中)的部分,在该表面处可以接触补偿区。下文将解释用于实现耦合配置的其他实施方式。

[0077] 根据另一实施方式(未示出),耦合配置可被连接在补偿区31与栅电极21之间,而不是与本体区13、源区12或源电极51之间。

[0078] 在图3所示的实施方式中,补偿区31(其掺杂类型与本体区3相同)与本体区12分

离。具体地,该补偿区设置在本体区13的下方并且在半导体本体100的垂直方向上与本体区13具有距离,使得漂移区11的部分11'设置在本体区13和补偿区31之间。这允许补偿区31所呈现的电势不同于本体区13的电势。耦合配置40被配置为将补偿区31电耦合至本体区13,或将补偿区31与本体区13电隔离。

[0079] 该耦合配置40可以呈现两种不同的工作状态,在第一工作状态中,耦合配置40将补偿区31耦合至本体区13、源区12以及源电极51中的至少一个;以及,在第二工作状态中,耦合配置40将补偿区31和本体区13/源电极51去耦合(分离),使得补偿区31浮置。耦合配置40包括控制端子G2,通过该端子可以控制耦合配置40的工作状态。耦合配置40的工作状态取决于MOSFET是处于其导通状态还是处于截止状态。因此,MOSFET可以包括两个不同切换状态,即,导通状态和截止状态,以及两个不同的工作状态,即,当耦合配置处于第一工作状态时的第一工作状态,以及当耦合装置处于第二工作状态时的第二工作状态。

[0080] 现在将根据图3来说明MOSFET的工作原理。出于说明的目的,假设MOSFET是n型增强型MOSFET。然而,本文在下面所提供的说明同样适用于p型MOSFET以及耗尽型MOSFET。

[0081] 类似于常规MOSFET,通过在栅端子G施加适当的驱动电势可以将该MOSFET切换为导通和截止。当MOSFET切换至导通(处于导通状态)时,沿着栅电介质在源区12和漂移区11之间的本体区13中存在导电沟道。当MOSFET被截止时,沿着栅电介质22的导电沟道中断。当MOSFET处于截止状态并且在漏端子D和源端子S之间施加电压(在n型MOSFET情况下是正电压,在p型MOSFET的情况下是负电压)时,耗尽区在漂移区11中扩展。该耗尽区,或与该耗尽区相关的电场,也导致补偿区31的载流子损耗。因此,由补偿区31中的补偿掺杂物来“补偿”漂移区11中的掺杂物(掺杂电荷)。该机制的发生与耦合配置40是处于第一还是处于第二工作模式无关,即,与补偿区31是否相应地耦合至本体区13或源电极51无关。

[0082] 以上解释的补偿效果可以在漂移区11中提供更高的掺杂浓度,在没有降低电压阻断能力的情况下,产生了比常规(非超结)部件更低的导通电阻。超结器件的基本工作原理是公知的,因此在这点上不需要进一步的解释。

[0083] 当MOSFET处于截止状态时,补偿区31和漂移区包括电荷。这些电荷在n掺杂漂移区中是正电荷(正充电施主中心的形式)并且在p掺杂补偿区中是负电荷(负充电受主中心的形式),并且使得耗尽区在漂移区11和补偿区31中扩展。当MOSFET被驱动为从截止状态切换至导通状态时,取决于耦合配置是处于第一工作模式还是处于第二工作模式而可能发生两种不同的情况。

[0084] (a)当耦合配置40处于第一工作模式时,使得补偿区31电耦合至源电极51,漂移区11和补偿区31“放电”,从而补偿区31和漂移区11之间的耗尽区被移除。这相当于常规超结器件的操作。

[0085] (b)当耦合配置40处于第二工作模式时,使得补偿区31未电耦合至源电极51(浮置),补偿区31未能彻底放电,从而补偿区31和漂移区11之间的耗尽区不能被完全移除。这可导致漏区14和“沟道区”之间的漂移区11中的导电沟道被部分地或彻底地掐断,即使MOSFET处于导通状态。该沟道区是本体区13的以下区:在该区中可以控制沿着栅电介质22的导电沟道。

[0086] 根据图3的MOSFET具有输出电容,其具有根据图2的特征的输出电容值 C_{oss} ,并且该电容值在电压达到阈值 V_{DS0} 时显著下降。在图2示出的特征中,输出电容值 C_{oss} 对于低于阈值

V_{DS0} 的电压具有较高值,对于高于阈值 V_{DS0} 的电压具有较低值,这等价于以下事实:电压低于阈值电压 V_{DS0} 时,需要将比高电压(即,高于阈值电压 V_{DS0} 的电压)时更高的电荷提供至晶体管的负载通路,从而针对给定电压值 ΔV_{DS} 增加跨负载路径的电压。低电压时的电容值可能高达高电压时的电容值的10倍至100倍。因此,在低电压时,用于针对 ΔV_{DS} 增加电压的电荷高于高电压时所需电荷的10倍至100倍。图3中所示类型的MOSFET可以被设计为具有50V至2000V(2kV)之间的击穿电压。输出电容减小时的电压 V_{DS0} 例如在5V至80V之间,更具体地,对于这种MOSFET,在10V至80V之间。

[0087] 现在将针对(a)耦合配置40处于第一工作状态的情况来说明导致根据图3的MOSFET中的、上述解释的输出电容值的电压相关性的机制。当MOSFET处于截止状态时,载流子聚集在漂移区11和补偿区31。在导通状态下,在补偿区31和漂移区11之间存在具有巨大电容的结电容。该电容器显著地促成漏源电容 C_{DS} ,因此,显著地促成MOSFET的输出电容 C_{OSS} 。当MOSFET被关断时,即,当沿着栅电介质16的沟道中断时,在电压跨漂移区11之前,这些结电容必须被充电(这等价于将掺杂电荷从补偿区31和漂移区11移除),因此,漏端子D和源端子S之间的电压显著增加。当补偿区31和漂移区11已被充电,耗尽区在漂移区11和补偿区中扩展。此时,当补偿区31已被完全充电时,结电容“消失”导致输出电容 C_{OSS} 的迅速下降。输出电容 C_{OSS} 的下降的斜度是陡的并且在图2所示的电压 V_{DS0} 处发生,该电压取决于补偿区31的几何形状及其掺杂浓度,例如在5V至80V之间。 V_{DS0} 代表漏源电压 V_{DS} 的特定值,在该值处漂移区11被在垂直于MOSFET的电流方向的方向上扩展的空间电荷区完全消耗。

[0088] 漂移区11的掺杂浓度例如在 $10^{14}(1E14)cm^{-3}$ 至 $10^{16}(1E16)cm^{-3}$ 的范围内。补偿区31的掺杂浓度可以在相同范围内。

[0089] 与常规MOSFET相比,具有如情况(a)的、在MOSFET切断时被充电而在MOSFET导通时放电的补偿区31的超结器件具有较高的输出电容 C_{OSS} 但具有较低的导通电阻。当补偿区31如情况(b)那样,未电耦合至源电极51,即,当补偿区31浮置时,输出电容 C_{OSS} 降低。然而,在该情况下具有增加的导通电阻。因此,通过可控的耦合配置40,MOSFET的输出电容和导通电阻可以改变。这存在着以下权衡:输出电容的降低(其导致电容损耗降低)关联于导通电阻的增加(其导致较高的欧姆损耗)。导通电阻的降低(其导致降低的欧姆损耗)关联于输出电容的增加(其导致较高的电容损耗)。

[0090] 上述针对n型MOSFET所说明的操作原理同样适用于p型MOSFET,其中,p型MOSFET中,单独的半导体区具有互补掺杂类型,并且电压极性反转。

[0091] 补偿区31和漂移区11形成本体区13和漏区14之间的JFET(结FET)。在图3中示出了该FET的电路符号。当MOSFET处于截止状态时,存在两个在漂移区中扩展的耗尽区,第一耗尽区从本体区13和漂移区11之间的pn结扩展,第二耗尽区从补偿区31和漂移区11之间的pn结扩展。

[0092] 可以利用多个相同的结构(其是公知的晶体管单元)来实现根据图3的MOSFET。图3中仅示出了一个晶体管单元。图4示出了具有多个晶体管单元的MOSFET的示意性截面图。这些晶体管单元通过将各单元的源区12连接至公共源电极51、通过将各单元的栅电极21连接至公共栅端子G、以及通过将各单元的漏区14和漂移区11连接至公共漏端子D,而并行连接。漂移区11和漏区14对于各晶体管单元是公共的。

[0093] 耦合配置40被配置为根据在控制端子处接收的控制信号将各单元的补偿区31耦

合至本体区13、源区12以及源电极51中的至少一个。对于此,耦合配置包括多个耦合单元,其中,各耦合单元用于将至少一个晶体管单元的补偿区31耦合至晶体管单元的本体区13、源区12以及源电极51。图4中,示出了两个耦合单元40₁、40_n,其中,各耦合单元用于将一个补偿区31耦合至一个本体区13、源区12以及源电极51。在图4所示的示例中,一个补偿区31和一个本体区13对于两个晶体管单元是公共的。然而,这仅是示例。还有可能将晶体管单元实施为仅一个补偿区31、仅一个本体区13以及仅一个耦合单元分配给一个晶体管单元。

[0094] 该耦合配置可以被实施为使得所有耦合单元都以相同工作状态(其是第一工作状态或第二工作状态)进行操作。然而,也可能将耦合配置40实施为各耦合单元可以独立地以第一或第二工作状态进行操作,使得一些晶体管单元可以进行操作而具有浮置的补偿区31,而其他晶体管单元可以进行操作而具有连接至源电极51的补偿区31。

[0095] 可以利用常规的晶体管单元集合形状来实现各晶体管单元。图5示出了具有细长或条形单元的MOSFET的示意性水平截面图。在这种情况下,各单元中的源区12和本体区13具有条形的几何形状。

[0096] 参照图6和图7,还可以将晶体管单元实施为矩形或正方形几何形状(参见图6)或以六边形(参见图7)或任何其他多边形几何形状。在该情况下,本体区13具有矩形或正方形、六边形或多边形几何形状。

[0097] 图5至图7示出了图4所示的截面A-A中MOSFET的水平截面视图。在这些图5至图7中没有示出补偿区31。水平面内补偿区的几何形状可以对应于本体区13的几何形状。因而,在具有条形单元的MOSFET中,补偿区31可以具有条形几何形状,在具有矩形或正方形几何形状的MOSFET中,补偿区31可具有矩形或正方形几何形状,以及在具有六边形或多边形单元的MOSFET中,补偿区31可具有六边形或多边形几何形状。在这些情况中的每一个中,补偿区31可在半导体本体100的垂直方向上配置在本体区13的下方,如图4中所示。

[0098] 然而,还可以将补偿区31的几何形状实施为不同于本体区13的几何形状。例如,可以将补偿区31实施为条形几何形状,而晶体管单元具有矩形、正方形、六边形或多边形几何形状。此外,可以将补偿区31布置为不与本体区13对准,即,补偿区31不是必须地配置在本体区13的下方。

[0099] 图8示出了说明实现耦合配置40的一个示例的MOSFET的示意性垂直截面图。在该示例中,补偿区31配置在本体区13的下方并且在半导体本体100的垂直方向上与本体区13具有距离。耦合配置40(图8中示出从其仅一个耦合单元)包括控制电极41,该控制电极通过控制电极电介质42与半导体本体100电绝缘。控制电极41从本体区13延伸或延伸入补偿区31。控制电极41延伸穿过将本体区13与补偿区31分离的漂移区22的部分11'。在漂移区22的该部分11'中,在本体区13与补偿区31之间沿着控制电极电介质42形成耦合配置的沟道区43。

[0100] 控制电极41以图8中未详细示出的方式电连接至控制电极G2。控制电极41能够以常规电极材料(诸如金属)或高掺杂多晶硅半导体材料(诸如多晶硅)来实现。控制电极电介质42能够以常规电介质材料来实现,诸如氧化物、氮化物或高k电介质。

[0101] 控制电极41用于控制补偿区31与本体区13之间的沟道区43中的反型沟道。该沟道在补偿区31和本体区13为p型掺杂时是用于p型载流子的沟道,而在补偿区31和本体区13是n型掺杂时是用于n型载流子的导电沟道。当通过向控制端子G2施加合适的驱动电位来驱动

控制电极41以在沟道区43中产生反型沟道时,耦合配置40处于第一工作状态。在其中源区13是n型掺杂并且本体区13是p型掺杂的n型MOSFET中,当分别向控制端子G2、源区12以及源极电极51施加比作为本体区13的电位的源电位低的电位时,在本体区13与补偿区31之间的沟道区43中产生反型沟道。根据一个实施方式,为了产生导电沟道而将在控制端子G2与源极电极51或源端子S之间施加的电压在-0.1V与-15V之间的范围内。在其中源区12是p型掺杂并且本体区13是n型掺杂的p型MOSFET中,为了在沟道区13中产生导电沟道而将施加至控制端子G2的电位相对于源极电位为正电位。将施加于控制端子G2与源端子S之间的电压例如在0.1V与15V之间的范围内。

[0102] 当将控制电极41驱动为在本体区13与补偿区31之间沿着控制电极电介质42不存在导电沟道时,耦合配置40处于第二工作状态。在该情况下,补偿区31是浮置的。当在控制端子G2与源端子S之间施加的电压的绝对值低于阈值时,耦合配置40处于第二工作状态。该阈值例如在0.5V与2V之间。

[0103] 根据图3至图8的MOSFET可像常规MOSFET一样用作用于切换电子负载的电子开关,如参照图1已经说明的。然而,根据图3至图8的MOSFET除了具有栅端子G之外还具有至少一个控制端子,通过该控制端子可以改变工作状态,从而分离地调节输出电容和导通电阻。当耦合配置40处于第一工作状态时,该MOSFET像常规超结MOSFET那样工作。在该情况下,补偿区31通过沟道区13中沿着控制电极电介质42的导电沟道而电耦合至本体区13。此外,当耦合配置40工作在第二工作状态下而使得本体区13与补偿区31之间的导电沟道被夹断并且补偿区31处于浮置状态时,该MOSFET能够以减小的输出电容而增大的导通电阻工作。在该第二工作状态下,该MOSFET仍能够像常规超结器件工作,但是是具有另一组电气数据的器件,具体地为具有另一输出电容和另一导通电阻。

[0104] 控制电极41和控制电极电介质42在水平面内的几何形状可以对应于晶体管单元几何形状。这将参照图9至图11进行解释说明,其中图9和图11示出了在对应于图8所示的水平截面B-B的水平截面中具有不同单元几何形状的MOSFET的示意性水平截面图。

[0105] 图9示出了具有条形单元几何形状的MOSFET的水平截面视图,从而本体区13具有条形几何形状。截面B-B所进行的切分并不穿过本体区13。然而,为了更好地进行理解,在图9至图11中还以虚线示出了本体区13的位置和几何形状。

[0106] 参照图9,补偿区31、控制电极41以及控制电极电介质42也具有条形几何形状。在图9所示的实施方式中,补偿区31的宽度小于本体区13的宽度。该连接的“宽度”指的是在与补偿区31和本体区13的轴向方向垂直的方向上补偿区31和本体区13的几何尺寸。然而,补偿区31的宽度小于本体区的宽度仅仅是示例。还可以将补偿区31和本体区13实施为具有相同的宽度,或将补偿区31的宽度实施为大于本体区13的宽度。这还可以应用于以下将参照图10和图11说明的其他示例中。

[0107] 图10示出了具有矩形(特别是正方形)单元几何形状的MOSFET的水平截面视图。在该示例中,本体区13具有矩形,具体是正方形几何形状。补偿区31也具有矩形,具体是正方形几何形状。控制电极41也具有矩形,具体是正方形几何形状。

[0108] 图11示出了其中晶体管单元具有六边形几何形状,补偿区31具有六边形几何形状以及控制电极41具有六边形几何形状的示例。在该连接中,应当注意,除了六边形几何形状之外,还可以使用任何其他多边形几何形状。

[0109] 将本体区13、补偿区31以及控制电极41实施为相同的几何形状并不是强制性的。补偿区31的几何形状也可以不同于本体区13的几何形状,控制电极41的几何形状也可以不同于补偿区31的几何形状。例如,可以为本体区13、补偿区31以及控制电极41分别独立地使用以下各个几何形状:矩形、正方形、六边形、多边形以及圆形。

[0110] 图12示出了其中各个晶体管单元具有矩形几何形状(即,本体区13具有矩形几何形状,其中补偿区31也具有矩形几何形状)的MOSFET的水平截面视图。控制电极41具有条形几何形状,使得一个控制电极41为几个晶体管单元共用。将补偿区31实施为与本体区13具有相同的几何形状仅仅是示例。还可以将本体区13和补偿区31实施为具有不同的几何形状。

[0111] 图13示出了其中补偿区31具有条形几何形状以及其中均具有矩形几何形状的若干个控制电极41耦合至一个补偿区31的实施方式。代替矩形几何形状,还可以为控制电极41使用圆形、六边形或任何其他多边形几何形状。

[0112] 图8中仅仅是示意性地示出了控制电极41至控制端子G2的连接。控制端子G2可被实施为配置在半导体本体100的上方并且在图8所示的垂直截面视图中未示出的位置控制电极41连接至其的电极。

[0113] 图14示意性地示出了具有条形晶体管单元的MOSFET的透视截面视图,以示出接触(埋入的)控制电极41的一种可行方式。在图14中,仅仅示出了MOSFET的一个晶体管单元。该晶体管单元具有条形几何形状,并且补偿区31和控制电极41也具有条形几何形状。控制电极41在补偿区31与本体区13之间实质上平行于补偿区31和本体区13延伸。在该示例中,控制电极41包括在半导体本体的垂直方向上延伸穿过本体区13以及源区12至接触电极45的连接电极44,其中接触电极45连接至控制端子G2或形成控制端子G2。

[0114] 图15示出了穿过其中布置有连接电极44和接触电极45的MOSFET的区域切割出的截面C-C中MOSFET的示意性垂直截面视图。从图14中可以看出,控制电极41和连接电极44通过控制电极电介质42与本体区13以及源区12介电绝缘。接触电极45配置在半导体本体100的上方并且与栅电极21电绝缘。接触电极45与栅电极21之间的电绝缘可以由同一绝缘层或配置在栅电极21与源极电极51之间的电介质层23提供。可选地,控制电极电介质42还可以配置在接触电极45与栅电极21之间。

[0115] 源电极51被配置为在横向方向上与接触电极45具有距离,并且通过绝缘层与源电极51电绝缘。参考图15,源区12和栅电极21也可以配置为低于接触电极。但是,在低于接触电极处提供源区12和栅电极21是可选的。根据另一示例,源区12和栅电极21没有扩展到低于接触电极45处。控制电极41、连接电极44和接触电极45可以由诸如金属或高掺杂多晶半导体材料的相同半导体材料形成。但是,也可以以不同的电极材料形成电极41、44和45。在一未详细说明的方式中,接触电极45可以通过连接电极44连接至多个晶体管单元的控制电极41。

[0116] 在图14中示出的示例中,控制电极41具有细长的(条形)几何形状并且沿着补偿区31和本体区延伸,从而补偿区31能够沿其完全纵向长度与本体区13电连接。但是,这仅仅是一个可能的示例。参考图16,可以只在一个位置设置控制电极41,或者沿着补偿区31在不同位置设置多个控制电极41。图16示出了控制电极41没有沿着补偿区31完全扩展而仅仅配置于低于连接电极44处的MOSFET的示意的透视部分视图。

[0117] 根据一个示例,MOSFET包括通过耦合配置40分别耦合至本体区13和源电极51的晶体管单元以及常规晶体管单元。所谓“常规晶体管”是使其补偿区永久地连接到本体区的晶体管单元。仅为了说明的目的,在图17中示出了具有条形几何形状的常规晶体管单元的示意的透视部分示图。当然,也可以采用任何其他几何形状。在图18的晶体管单元中,补偿区31邻接本体区13并且因此与源电极51电连接。在图17的常规单元中,相似的参考符号表示参考图3到图16所说明的晶体管单元的相似的区。

[0118] 以下,常规晶体管电源被表示为第一类型的晶体管单元,而具有耦合配置的晶体管单元将被表示为第二类型的晶体管单元。单个的晶体管单元可以被实施为包括一个公共漂移区和一个公共漏区。

[0119] 第一类型的晶体管单元和第二类型的晶体管单元可以以许多不同的方式配置在半导体本体100中。根据图19示出的第一实施方式,交替地配置第一类型的晶体管单元和第二类型的晶体管单元。图18示出了和图8中的截面B-B相对应的截面中的、并且穿过补偿区31和31'的水平截面图。在图19的实施方式中,晶体管单元和补偿区31和31'具有条形几何图形。但是,也可以使用其他任何单元几何图形和补偿区几何图形。

[0120] 根据图19示出的另一实施方式,其也示出了半导体本体的水平截面图,一组几个第二类型的单元(具有补偿区31)被配置为临近一组几个第一类型的单元(具有补偿区31')。

[0121] 根据一个实施方式,在包括第一类型的晶体管单元的MOSFET中,第二类型的晶体管单元被实施为没有沟道区,这意味着没有源区12和/或没有栅电极21。在图21中示出了不包括源区的第二类型的晶体管单元的垂直截面图。在本情况中,栅电极21(以短线示出)是可选的。在具有第一和第二类型的晶体管单元的MOSFET中,第二类型的晶体管单元(其是通过耦合配置使其补偿区耦合至源区或本体区的单元)在其被实现为没有沟道区时仅用于调节输出电容和导通电阻。在MOSFET处于其导通状态时,仅通过第一类型的晶体管单元的沟道区来提供流经漂移区11的电流。常规单元的“沟道区”是本体区12中沿着常规单元的栅电介质22从源到漂移区11的区域(参加图17)。

[0122] 现在将参考图21说明具有第一和第二类型的晶体管单元的MOSFET的操作原理。图21示出了表示MOSFET 10的电路图。该电路图包括: n 个第一晶体管 $1_{11}, \dots, 1_{1n}$,每个对应于第一类型的晶体管单元或者一组第一类型的晶体管单元;和 m 个第二晶体管 $1_{21}, \dots, 1_{2m}$,每个对应于第二类型的晶体管单元或者一组第二类型的晶体管单元。单个单元可以实施为前面说明的方式的其中一个。

[0123] 单个的晶体管单元并联连接。其在图21中表示,其中,晶体管 $1_{11}, \dots, 1_{1n}, 1_{21}, \dots, 1_{2m}$ 的漏源路径是并联的,并且晶体管使其栅端子耦合到一起以形成栅端子G。表示第二类型的晶体管单元的晶体管除了栅端子还具有用于调节输出电容和导通电阻的控制端子。在图21中示出的实施方式中,第二类型的单元使其控制端子耦合到一起以形成MOSFET的控制端子G2。

[0124] 当操作第二类型的单元使得耦合配置处于第一工作状态时,MOSFET可以以第一导通电阻和第一输出电容工作,从而第二类型的单元的补偿区与一个本体区、源区和源电极是电连接的。当操作第二类型的单元使得耦合配置处于第二工作状态时,MOSFET可以以高于第一导通电阻的第二导通电阻和低于第一导通电容的第二导通电容工作,从而第二类型

的单元的补偿区浮置。第一导通电阻和第二导通电阻之间的比率以及第一导通电容和第二导通电容之间的比率取决于第一类型的晶体管单元的有效(active)面积的整体尺寸与第二类型的晶体管单元的有效面积的整体尺寸的比率。例如,假设单个单元具有同一尺寸。在这种情况下,第一类型的单元的有效面积的整体尺寸和第二类型的单元的有效面积的整体尺寸分别和第一类型的单元和第二类型的单元的数量成正比。根据一个实施方式,第一类型的晶体管单元的有效面积的整体尺寸与第二类型的晶体管单元的有效面积的整体尺寸之间的 A_{con}/A_{ca} 尺寸比在10:1和1:10之间,特别是2:1和1:2之间,或者甚至1.5:1和1:1.5之间。

[0125] 参考图22示出的另一示例,MOSFET包括 p ($p \geq 2$)个控制端子 $G2_1$ 和 $G2_p$ 。每个控制端子 $G2_1$ 和 $G2_p$ 用于控制一组第二类型的单元的耦合配置的工作状态,其中,每个组包括至少一个第二类型的单元。在图22示出的MOSFET中,通过调节在第一工作状态和第二工作状态操作的第二类型的单元的数量,导通电阻和导通电容可以分别调节为 $p+1$ 个不同的值。

[0126] 在前面说明的实施方式中,耦合配置40的作用类似开关,其根据施加到控制端子的驱动信号将补偿区31电连接至本体区13、源区12和源电极51中的一个或者使补偿区浮置。

[0127] 根据图23示出的另一实施方式,耦合配置40还控制可在补偿区31和本体区13、源区12和源电极51中的一个之间流动的电流。因此,耦合配置40也可被实施为具有受控于施加到控制端子 $G2$ 的控制信号的电阻的可变电阻器。当可变电阻器的电阻被控制为很高,补偿区31在MOSFET导通时不放电或者非常慢地放电,而在电阻为低时补偿区31快速放电。该可变电阻器可被实施为具有图8中示出的控制电极41和电介质,其中,可以通过适当地选择施加到控制电极41的驱动电位来调节补偿区31与本体区13或源电极之间的电阻。

[0128] MOSFET的输出电容 C_{oss} 不仅影响MOSFET的开关损耗,而且还影响MOSFET的动态行为,诸如,在MOSFET导通和截止时,通过MOSFET的负载电流和漏源电压的上升和下降沿的坡度,其中,低输出电容 C_{oss} 可以产生陡峭的坡度。将可以从补偿区31流出的放电电流的最大值调节到一个低值,可以产生在开关时的低的输出电容,并且因此可以产生陡峭的开关坡度。然而补偿区31过一会放电,使得在开关后一个延迟时间之后的低导通电阻。

[0129] 耦合配置还可以实施为具有能够根据施加到控制端子 $G2$ 的控制信号而控制和限制补偿区31与源电极51、本体区13、源区12和栅电极21中的一个之间的电流的电路元件。具体地,耦合配置可被构造为将流到或流自补偿区的电流限制到取决于控制端子上的控制信号的最大值。常规的可控限流器可以在该连接中使用。

[0130] 参考前面所说明的,在电阻损失和电容损失之间存在折衷,其中,折衷取决于晶体管的负载情况。例如,负载情况是由流经处于其导通状态的晶体管的电流所限定的,和/或是由晶体管操作的开关频率所限定的。例如,在负载电流较高时,需要降低导通电阻以降低电阻损耗,即使这使得总开关损耗小幅增加。虽然电容损耗和电流无关,但过渡阶段中的开关损耗在导通期间或者在截止期间在高负载电流时会增加。欧姆损耗主占高负载电流时的总损耗,因为他们以负载电流的平方增大。因此,根据一个实施方式,MOSFET被操作为随着负载电流增加,导通电阻降低,而随着开关频率增加,输出电容降低。

[0131] 导通电阻能够通过驱动第二类型的晶体管单元而降低,从而以第一工作状态工作的单元的数量增加。输出电容能够通过驱动第二类型的晶体管单元而降低,从而以第二工

作状态工作的单元的数量增加。

[0132] 图24示出了包括多个器件单元(晶体管单元)的晶体管器件(具体是垂直MOSFET)的一部分的垂直截面图。在本实施方式中,每个晶体管单元包括漏区14、漂移区11、源区12、以及邻接源区12并将源区12与漂移区11分隔的本体区13。在图24中以点划线表示一个晶体管单元(根据图24点划线中的结构也可以表示一个“半单元”)。单个的晶体管单元共享漂移区11和漏区14。漏区14可以邻接漂移区11(如图所示)。根据另一实施方式(未示出),与漂移区11掺杂类型相同但是掺杂程度更高的场停止(field-stop)区可被配置在漂移区11和漏区14之间。每个晶体管单元还包括临近本体区13并且通过栅电介质22与本体区13绝缘的栅电极21。栅电极21在图24的实施方式中是沟槽电极,它是配置在半导体本体100的沟槽中,并且在半导体本体100的垂直方向上沿着本体区13从源区12扩展进漂移区11的栅电极21。各晶体管单元的栅电极21电连接至栅端子G(只在图24中示意性地示出)。

[0133] 在图24的半导体器件中,如同前面解释的和后面解释的每一个半导体器件,漂移区11,可以在漏区14和补偿区31之间具有与在两个相邻补偿区31之间的漂移区11的掺杂浓度不同的掺杂浓度的漂移区部分11'。根据一个实施方式,漂移区部分11'中的掺杂浓度低于两个相邻补偿区31之间的漂移区11的掺杂浓度。

[0134] 参考图24,每个晶体管单元还包括补偿区31。补偿区31具有与漂移区11的掺杂类型互补的掺杂类型,并且与漂移区11形成p-n结。两个(或更多)晶体管单元可以共享一个补偿区31。这在图24中示出,其中,两个相邻晶体管单元共享一个补偿区31。另外,两个以上晶体管单元可以共享一个栅电极21。在图24的实施方式中,两个晶体管单元共享一个栅电极21。

[0135] 每个晶体管单元的源区12和本体区13连接至源端子S。在图24中,示意性地示出了电连接到一个晶体管单元的源区12和本体区13的源电极51。可选地,与本体区13掺杂类型相同但是掺杂程度更高的接触区15配置在本体区13和源电极51之间。

[0136] 参考图24,耦合配置40连接在补偿区31和源端子S之间。每个耦合配置40包括与补偿区31相同掺杂类型并且连接在补偿区31和源端子S之间的沟道区43。可选地,与沟道区43相同掺杂类型但是比沟道区43更高地掺杂的接触区46被用于连接沟道区43至源端子S。沟道区43的掺杂浓度例如介于 $1\text{E}14\text{cm}^{-3}$ 和 $1\text{E}17\text{cm}^{-3}$ 之间,而接触区46的掺杂浓度例如介于 $1\text{E}18\text{cm}^{-3}$ 和 $1\text{E}21\text{cm}^{-3}$ 之间。控制端子41临近沟道区43并且通过电极电介质42与沟道区43绝缘。在本实施方式中,控制电极41包括在半导体本体100的水平方向上具有距离的至少两个控制电极部分,并且沟道区41位于两者之间。耦合配置被配置在半导体本体100的表面的区域中,其中,沟道区43在该表面上与源端子S电连接。从该表面上看去,补偿区31位于低于沟道区43处。此外,在图24的实施方式中,本体区13通过控制电极41和控制电极电介质42与沟道区43分离,并且补偿区31与本体区13具有距离。

[0137] 控制电极41、控制电极电介质42和沟道区43形成晶体管,具体地说,耗尽晶体管,其连接在补偿区31与控制端子G2之间。该晶体管通过连接至控制电极41的控制端子G2来控制。尽管耦合区的晶体管实施为图24的实施方式中以及以下说明的其他实施方式中的耗尽晶体管,但是该晶体管不限于实施为耗尽晶体管,而是也可以实施为任何其他类型的晶体管,诸如增强晶体管或JFET(结型FET)。

[0138] 该晶体管在下文中将被称作耦合晶体管,其可以操作为当沟道区43被耗尽(夹断)

时将补偿区31与源端子S隔离、或当沟道区43未被耗尽(未夹断)时将补偿区31与源端子S耦合的开关。在n型MOSFET中,耦合配置40的耦合晶体管是p型晶体管。该耦合晶体管可以通过将以源端子S为基准的控制电压施加至控制端子G2来控制。

[0139] 以下说明了耦合晶体管的操作原理。仅仅是为了说明的目的,假设该晶体管是p型耗尽晶体管。耦合晶体管具有阈值电压,该阈值电压是当施加在控制端子G2与源端子S之间时使耦合晶体管开始导通的电压。p型耗尽晶体管的阈值电压是当控制电压低于阈值电压时使晶体管导通的正电压。

[0140] 耦合晶体管可以操作为开关,其或者截止,或者利用低导通电阻导通。当耦合晶体管截止时,补偿区31浮置,而当耦合晶体管导通时,补偿区连接至源端子。p型耗尽型晶体管可以通过施加比阈值电压高的控制电压(截止电压)而截止,并且可以通过施加明显低于阈值电压并且在饱和区操作晶体管的控制电压(导通电压)、以低导通电阻而导通。根据一个实施方式,截止电压是0。耦合晶体管的阈值电压可以通过沟道区43的掺杂浓度、沟道区43的宽度和控制电极电介质42的厚度来调节。沟道区43的宽度对应于控制电极41的相对部分之间的距离。当掺杂浓度增加时,阈值电压增大,并且当沟道区43的宽度增加时,阈值电压增大。阈值电压例如是5V与15V之间的电压。

[0141] 根据另一实施方式,耦合配置的晶体管不操作为开关,而是操作为参考图23所述的方式的可变电阻器。耦合晶体管可以通过施加在导通电压与截止电压之间的控制电压而操作为可变电阻器,其中电阻随着控制电压接近阈值电压而增大。

[0142] 图25示出了图24的晶体管器件的一个晶体管单元的等效电路图。该等效电路图包括增强型MOSFET 2。参考图24,该增强型MOSFET由栅电极21、栅电介质22、源区12、本体区13和漂移区11中邻接本体区13的部分形成。JFET 3与增强型MOSFET 2的漏源路径串联连接。JFET 3由漂移区11、补偿区31和漏区14形成,其中补偿区31形成JFET 3的栅区。增强型MOSFET 2和第一JFET 3串联连接在晶体管器件的负载端子(在图24的实施方式中为源和漏端子S、D)之间。参考图25,耗尽型晶体管,具体地说,耗尽型MOSFET,连接在源端子S与JFET 3的栅极之间。该耗尽型晶体管是耦合配置的耦合晶体管,并且由控制电极41、控制电极电介质42和沟道区43构成。该耗尽型晶体管4的栅连接至控制端子G2。该耗尽型晶体管是图25的实施方式中的p型耗尽型晶体管。

[0143] 参考图24,可以在晶体管器件中实现多个晶体管单元(其中各个晶体管单元均具有根据图25的等效电路图)。根据一个实施方式,连接在补偿区31与源端子S之间的耦合晶体管具有相同的阈值电压。根据另一实施方式,具有至少两组不同的补偿区31,其中将一组的补偿区耦合至源端子S的耦合晶体管具有与将另一组的补偿区31耦合至源端子S的耗尽型晶体管的阈值电压不同的阈值电压。由此实现的晶体管器件的操作原理与图22的晶体管器件的操作原理类似,不同之处在于根据图24的晶体管器件仅需要一个控制电压,其中各个耦合晶体管根据控制电压是低于还是高于各个耦合晶体管的阈值电压而被导通或截止。如同图22的晶体管器件中,图24的晶体管器件可以选择性地包括将它们的补偿区永久耦合至源和栅端子之一的常规晶体管单元。

[0144] 根据又一实施方式,各个晶体管单元的耦合晶体管均具有相同的阈值电压,并且设置了至少两个用于施加不同的控制电压的控制端子。以此实现的晶体管器件的操作原理对应于图21的晶体管器件的操作原理。

[0145] 图26和图27示出了图24的晶体管器件的两个不同的实施方式的横截面图。在各个实施方式中,晶体管单元是具有细长的源区12并且具有细长的栅电极21的细长的晶体管器件。在图26所示的实施方式中,各个耦合晶体管的控制电极部41是细长的电极。因此,沟道区46也是细长的半导体区,其基本上与源区12平行。在该实施方式中,补偿区31(图26中看不见)也是细长的半导体区。

[0146] 在图27的实施方式中,补偿区31(图27中的虚线所示)是细长的半导体区。然而,一个补偿区31通过几个耦合晶体管耦合至源端子S,其中各个耦合晶体管具有环形的控制电极41,各个控制电极41围绕一个沟道区46。控制电极的环的具体形式是任意的。

[0147] 图28示出了图24的晶体管器件的变形。在图28的实施方式中,沟道区43通过具有与沟道区43和补偿区31相同的掺杂类型、但是掺杂浓度更高的连接区47电连接至补偿区31。连接区47的掺杂浓度例如是约 $1\text{E}17\text{cm}^{-3}$ 。在图28中,以及在以下说明的其他截面图中,晶体管器件的漏区未示出。

[0148] 图29示出了包括带有耦合晶体管的耦合配置的晶体管器件的又一实施方式。在该实施方式中,耦合配置40连接在本体区13与补偿区31之间,其中,在半导体本体的垂直方向上将补偿区31配置在本体区13以下。沟道区43的一端邻接本体区13,而沟道区43的另一端邻接补偿区31或可选择的连接区47。可选择的连接区47具有与补偿区31和沟道区43相同的掺杂类型,但其具有更高掺杂浓度。

[0149] 参照图29,将耦合晶体管的控制电极41实施为一沟槽电极,该沟槽电极从半导体本体100分别贯穿本体区13和沟道区43,一直延伸至或延伸进补偿区31或可选择的连接区47。控制电极41通过控制电极电介质42与这些半导体区介电绝缘。

[0150] 在图29的实施方式中,将(增强型MOSFET的)栅电极21实施为一平面电极,该平面电极位于半导体本体100的表面上,并在半导体本体100的横向上从源区12沿着本体区13延伸至漏区11,而且通过栅电介质22与这些半导体区介电绝缘。在该实施方式中,漏区11的一部分延伸至半导体本体100的表面。

[0151] 图29的晶体管器件的工作原理相当于图24和图28的晶体管器件的工作原理。即,带有耦合晶体管的耦合配置40提供开关或者提供源端子S与补偿区31之间的可变电阻器,而源端子S通过接触区15电连接至本体区13,其中,该可变电阻器的电阻可通过施加在控制端子G2与源端子S之间的控制电压来调节。当该控制电压的大小高于耗尽型晶体管的阈值电压时,补偿区31浮置(与本体区13电隔离)。当控制电压低于阈值电压时,耗尽型晶体管充当如参照图23和图24所阐述的电阻器。

[0152] 图30示出了带有包括耦合晶体管的耦合配置40的晶体管器件的又一实施方式。在该实施方式中,将栅电极21实施为一沟槽电极,该沟槽电极从半导体本体100的表面贯穿源区12和本体区13,一直延伸至或延伸进漏区11。补偿区31在半导体本体100的横向上与栅电极21具有距离。将耦合配置40的控制电极41实施为一平面电极,该平面电极位于半导体本体100的表面上,并在半导体本体100的横向上从接触区15沿着沟道区43延伸至补偿区31。可选择地,在半导体本体100的表面区域中,与沟道区43相同掺杂类型的但掺杂浓度更高的连接区47邻接沟道区43。与之前所阐述的实施方式类似,本体区13与补偿区31具有距离。

[0153] 图31示出了晶体管器件的又一实施方式。图31的晶体管器件基于图24的晶体管器件,并且与图24的晶体管器件的不同之处在于:电连接至源端子S的场电极25和48分别位于

栅电极21和控制电极41以下。场电极25和48通过场电极电介质26和49与周围的半导体区介电绝缘。在栅电极21以下的场电极26与漏区11邻近,而在控制电极41以下的场电极48在一侧上与补偿区31邻近,并在另一侧上与漏区11邻近。场电极25和48具有屏蔽功能,且在晶体管器件处于截止状态时保护栅电介质22和控制电极电介质42不受介电场作用。场电极25和48与源端子S之间的连接仅在图31中示意性示出。

[0154] 援引参照图24提供的说明,耦合配置40的耦合晶体管可作为可变电阻器来工作,该可变电阻器不完全夹断补偿区31与源端子S之间的电连接。在补偿区31与源端子S之间提供可变电阻器的效果已参照图23进行了说明。援引该描述,当晶体管器件从截止状态切换至导通状态时,补偿区31放电的速率可通过施加至控制端子G2的控制电压来调节。当可变电阻器被调节为具有很高电阻值时,诸如当耦合晶体管将沟道区43完全夹断时,补偿区31在晶体管器件开启时无法放电。然而,当补偿区31与源端子S之间的沟道区未被完全夹断时(即当控制电压低于耦合晶体管的阈值电压时),补偿区31在MOSFET开启时放电,其中,该动态放电过程由(可实施为耗尽型晶体管的)可变电阻器的电阻值来限定。在该情况下,可变电阻器决定了在预定时段内可从补偿区向源端子流动的电荷量,其中,电荷流向补偿区31,直到补偿区31被完全放电。

[0155] 图32示出了晶体管器件的又一实施方式。在该晶体管器件中,在已开启晶体管器件之后的预定时段内,不仅能控制可流向补偿区31的电荷量,而且从补偿区31流出的电荷总量也能受控制。在已开启晶体管器件之后,控制从补偿区31流出的电荷可以调节输出电容,并因此调节晶体管器件的导通电阻。尽管在之前所阐述的实施方式中,补偿区31或者被留作浮置(导致低输出电容但高导通电阻)或者放电(其中,补偿区31放电的速率可以改变),但图32的晶体管器件的补偿区31可部分放电。因此,可以连续改变晶体管器件的输出电容和导通电阻。在已开启晶体管器件之后,从补偿区31流出的电荷量通过耦合配置中的两个耦合晶体管,即之前所阐述的耦合晶体管(以下将称其为第一耦合晶体管)和第二耦合晶体管来控制。

[0156] 在图32的实施方式中,将第一耦合晶体管实施为耗尽型晶体管。图32的实施方式基于图24的实施方式,从而已阐述的关于图24的晶体管器件的单个特征的一切均因此而适用于图32的晶体管器件。与图24的晶体管器件类似,可采用具有同等阈值电压的第一耦合晶体管、采用具有不同阈值电压的第一耦合晶体管、以及采用一个或多个控制端子G2来实现图32的晶体管器件。

[0157] 在图32的实施方式中,第二耦合晶体管也被实施为耗尽型晶体管,且其包括邻近第二沟道区63并通过第二控制电极电介质62与第二沟道区63介电绝缘的第二控制电极61。第二沟道区63邻接沟道区43(以下将称其为第一沟道区)。在图32的实施方式中,第二控制电极61在半导体本体100的垂直方向上位于第一控制电极41以下,并通过电介质层与第一控制电极41介电绝缘。第一沟道区43直接或通过可选择的接触区46连接至源端子S,以及第二沟道区63连接在第一沟道区43与补偿区31之间。然而,可将具有连接在源端子S与补偿区31之间的第一和第二沟道区43和63的顺序变为本文下面还将阐述的那样。第一和第二耦合晶体管可以是相同类型的晶体管。然而,也可将这些耦合晶体管实施为不同类型的晶体管。

[0158] 在图32的实施方式中,晶体管器件还包括连接至源端子S且位于栅电极21以下的场电极25。然而,该场电极25是可选的。

[0159] 图33示出了图32的晶体管器件的一个晶体管单元的等效电路图。图33的等效电路图基于图25的等效电路图,且另外还包括在JFET 3的栅区与源端子S之间与第一耦合晶体管4串联的第二耦合晶体管6。也将第二耦合晶体管6实施为耗尽型晶体管,具体地,实施为p型耗尽型晶体管。参照图32,该第二耦合晶体管6由第二控制电极61、第二控制电极电介质62和第二沟道区63来形成。

[0160] 第二沟道区63的掺杂浓度可相当于第一沟道区43的掺杂浓度,或者可与第一沟道区43的掺杂浓度不同。第二耦合晶体管的阈值电压可通过第二沟道区63和/或第二控制电极61的至少两个相对部分之间的距离和/或电介质层62的厚度来调节,而第二控制电极63配置在这两个相对部分之间。

[0161] 以下将阐述图32和图33的晶体管器件的工作原理。出于阐述的目的,假设晶体管器件处于截止状态,从而已给补偿区31充电。当通过在栅端子G与源端子S之间施加合适的驱动电压来开启晶体管器件时,控制端子G2与源端子S之间的控制电压决定了第一耦合晶体管的电阻,并因此限定了在预定时段内可在补偿区31与源端子S之间流动的电荷量。第二耦合晶体管6限定了可在补偿区31与源端子S之间转移电荷的时段的持续时间。该第二耦合晶体管6通过栅端子G来控制,并在栅端子G与源端子S之间的电压达到第四晶体管6的阈值电压时关闭。当晶体管器件处于导通状态时,调节第四晶体管6的阈值电压,使得其低于最终施加在栅端子G与源端子S之间的电压。例如,在晶体管器件的导通状态下,施加在栅端子G与源端子S之间的电压(栅源电压)在5V与20V之间,特别地,在10V与15V之间。耦合配置40的第二耦合晶体管的阈值电压低于该电压。当要开启该晶体管器件时,将栅源电压从截止值增大到导通值。该截止值例如在n型晶体管器件中为0V,以及该导通值相当于之前所阐述的最终值。当栅源电压增加时,耦合配置的第二晶体管开启,直到栅源电压达到该第二耦合晶体管的阈值。在第二耦合晶体管夹断之前的时段内,补偿区31可放电,其中,在预定时段内从补偿区31流向源端子S的电荷量由耦合配置40的第一耦合晶体管限定。在第二晶体管已夹断之后,补偿区31独立于施加在控制端子G2与源端子S之间的控制电压而不再放电。这样,在该实施方式中,当已开启晶体管器件之后,保持在补偿区中的电荷量可通过第一和第二耦合晶体管来控制。

[0162] 图34示出了根据另一实施方式的晶体管器件的垂直截面视图。图34的晶体管器件以图32的晶体管器件为基础,另外包括处于第二沟道区63和补偿区31之间的连接区47。该连接区47与补偿区31以及第一沟道区43和第二沟道区63的掺杂类型相同,不过掺杂程度更高。

[0163] 图35示出了根据另一实施方式的晶体管器件的垂直截面视图。在该实施方式中,第一沟道区43被配置在第二沟道区63和补偿区31之间。沟道区63或直接或经由可选的接触区65而连接至源极端子S,其中该可选的接触区65与第二沟道区63的掺杂类型相同,但程度更高。第一沟道区43和补偿区31之间的连接区47是可选的。

[0164] 图36中示出了图35的晶体管器件的一个晶体管单元的等效电路图。该等效电路图对应于图33的等效电路图,区别在于,在源极端子S与JFET3的栅区(补偿区31)之间具有两个耦合晶体管的串联电路中,第一和第二耦合晶体管4、6的顺序互换。

[0165] 图37示出了晶体管器件的另一实施方式。在该实施方式中,栅电极21被实施为沟槽电极,并在该沟槽的一侧邻近体区13,在沟槽的另一侧邻近第二沟道区63。因此,栅电极

21同时用作MOSFET的栅电极和该耦合配置(coupling arrangement)40的第二耦合晶体管的第二控制电极。第一控制电极41定位于栅电极21以下,并邻接第一沟道区43。第一沟道区43邻接第二沟道区63,并且或直接或经由可选的连接区47而连接至补偿区31。与参照图32、34和35说明的实施方式一样,补偿区31与半导体本体100的表面具有距离。

[0166] 图38示出了具有包含两个晶体管的耦合配置40的晶体管器件的另一实施方式。在该实施方式中,与图37的实施方式一样,栅电极21形成MOSFET的栅电极和该耦合配置的第二晶体管的第二控制电极。栅电极21和耦合配置40的第一晶体管的控制电极41在半导体本体100的横向方向上隔开,均被实施为沟槽电极。栅电极21在沟槽的一侧上邻近体区13,并在沟槽的另一侧上邻近第二沟道区63。第二沟道区63在半导体本体100的横向方向上邻接第一沟道区43。第一和第二沟道区43、63都在源极端子S和补偿区31之间连接,其中,沟道区43、63与源极端子之间以及沟道区43、63与补偿区31之间的连接区46和47分别是可选的。在该半导体器件中,控制电极41控制在该半导体器件处于截止状态时的第一沟道区43中的沟道,具体来说,控制该沟道的电阻(阻抗)。控制电极41和栅电极21之间的距离、第一和第二沟道区43、63的掺杂浓度以及介电层42的厚度可进行选择,以使在半导体器件处于导通状态时,栅电极21夹断第一沟道区43和第二沟道区63。

[0167] 虽然上文已经披露了本发明的各种示例性实施方式,但对于本领域技术人员来说容易明白,在不脱离本发明的精神和范围的情况下,可做出各种改变和变更来实现本发明的某些优势。对于本领域技术人员来说显而易见的是,实现相同功能的其他部件是可以适当地替换的。应该指出,即便没有明确提及,参照特定附图说明的特征也可与其他附图中的特征相结合。此外,本发明的方法既可以完全通过采用合适的处理器指令的软件实现,也可以通过利用硬件逻辑与软件逻辑结合来达成相同结果从而混合实现。对本发明做出的这些改变都落入本发明权利要求的保护范围以内。

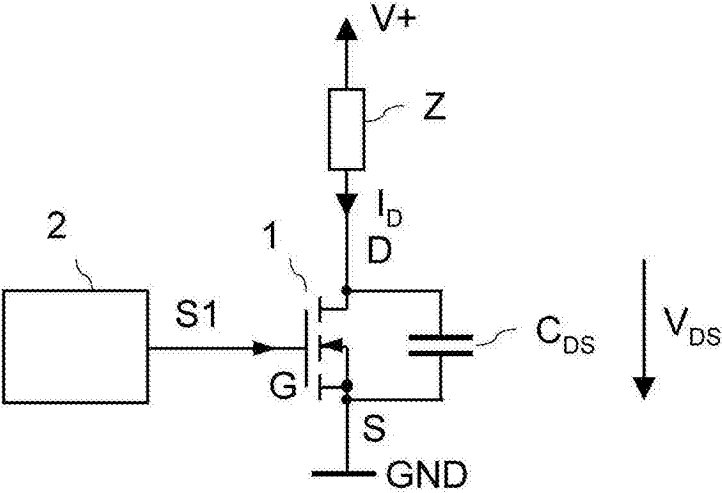


图1

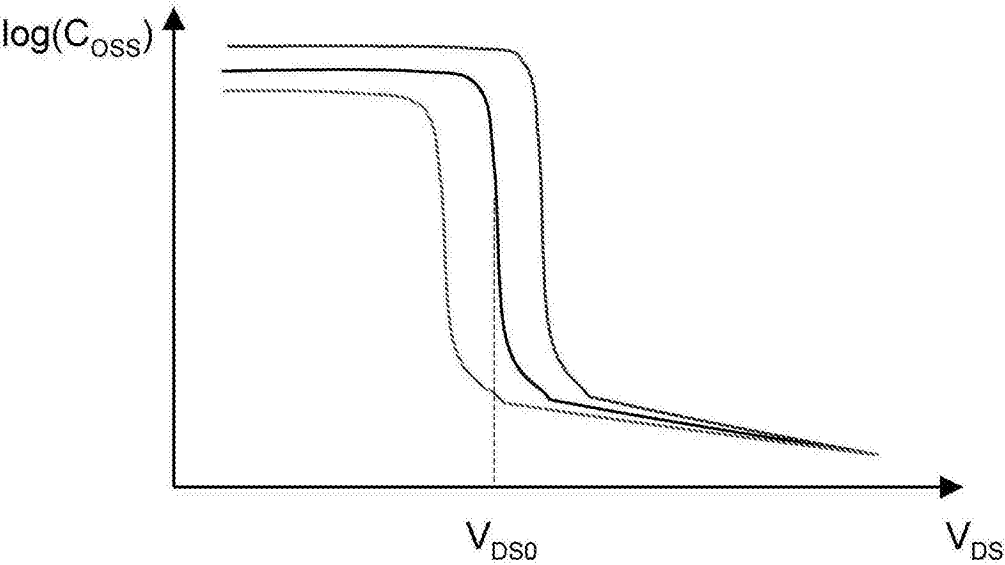


图2

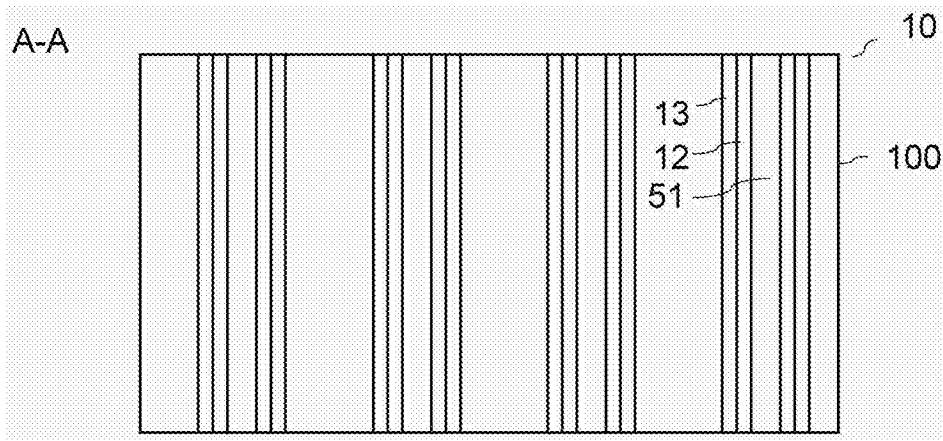


图5

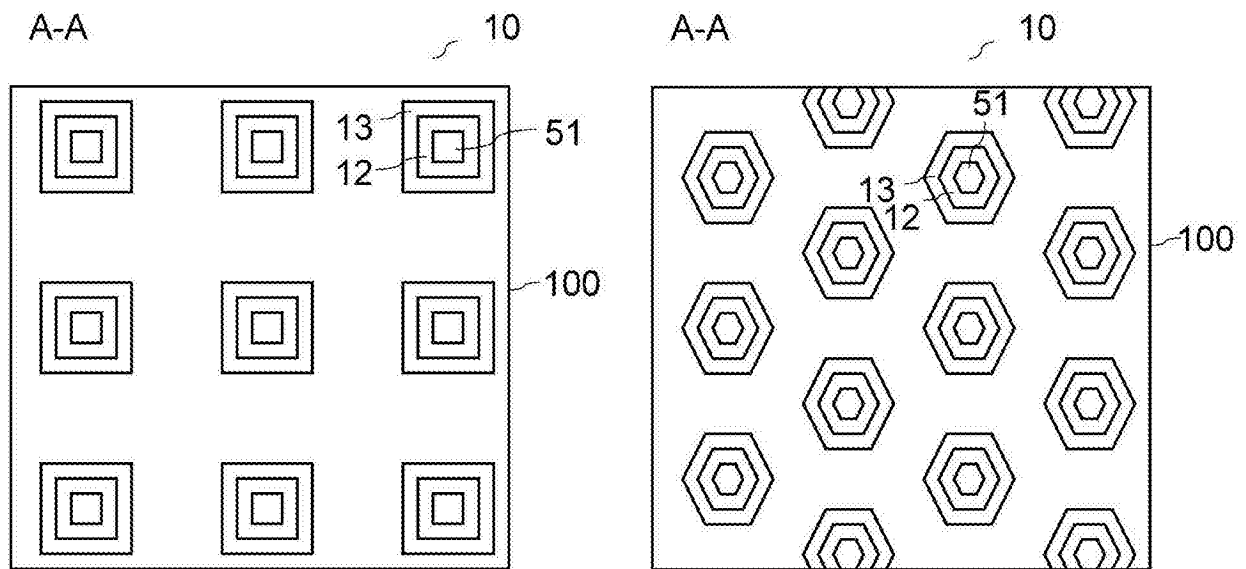


图6

图7

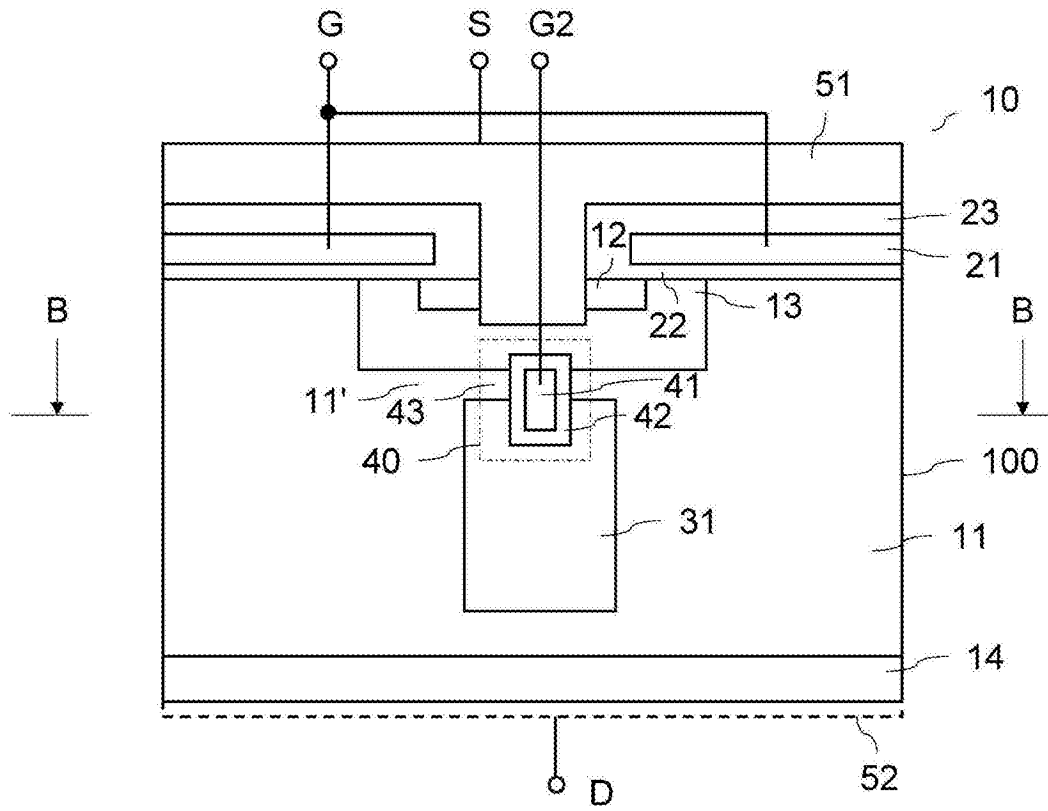


图8

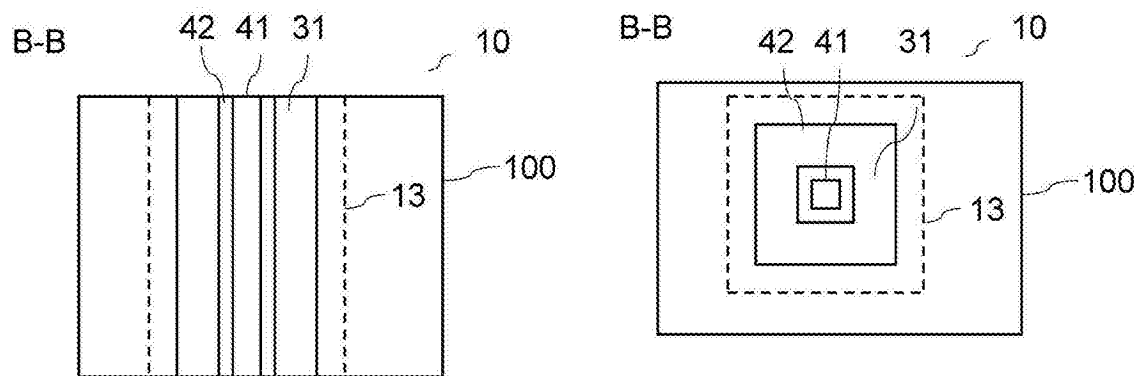


图9

图10

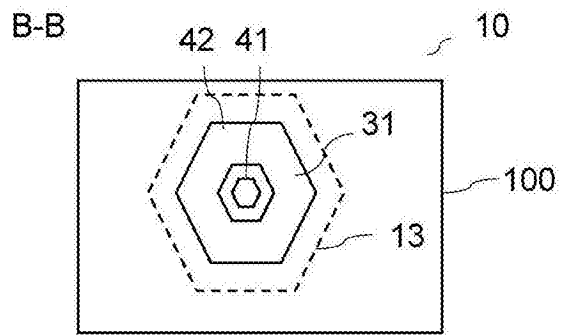


图11

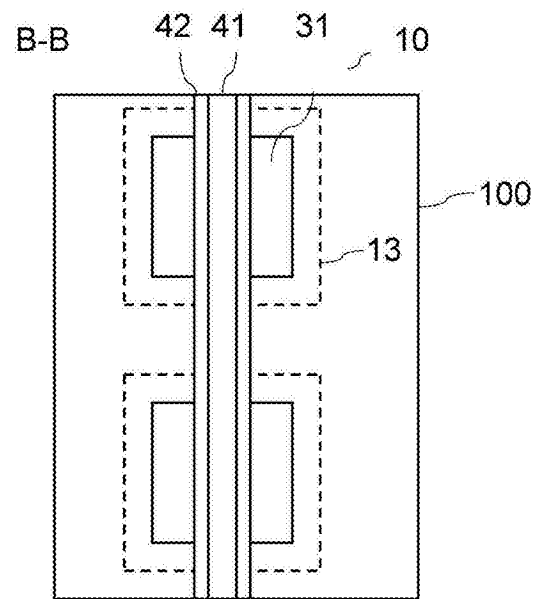


图12

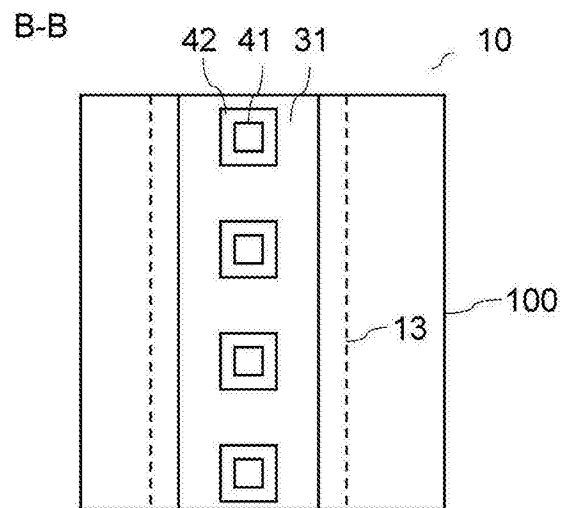


图13

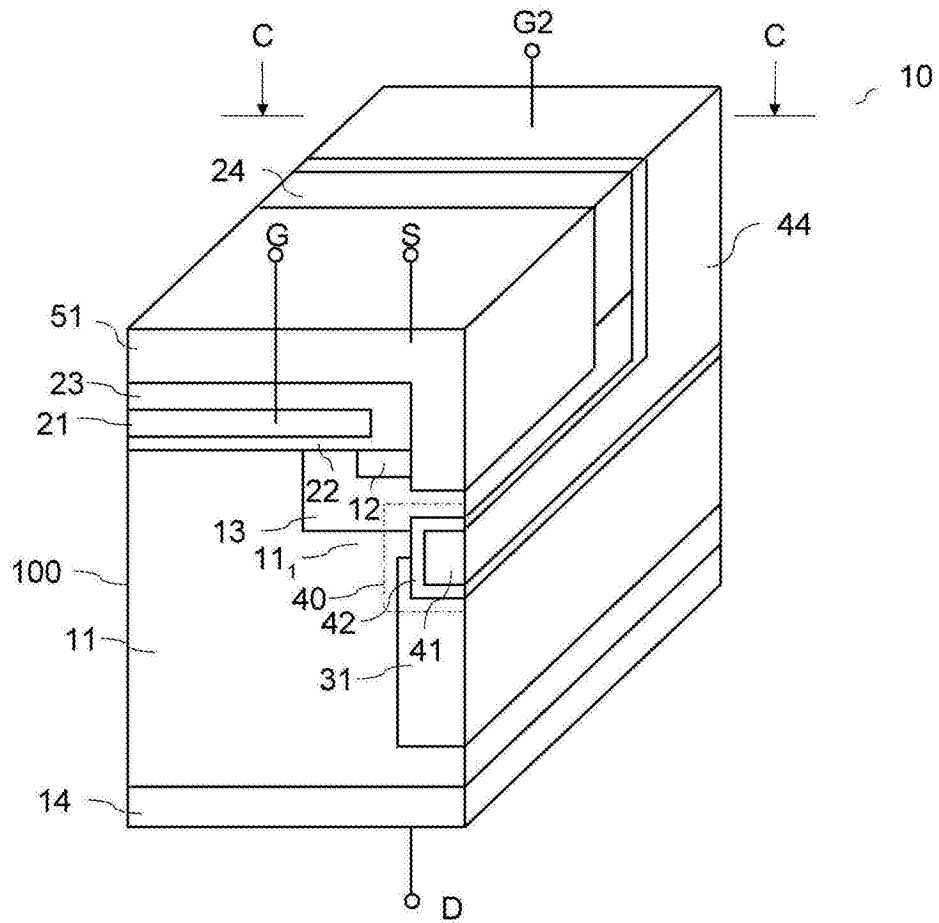


图14

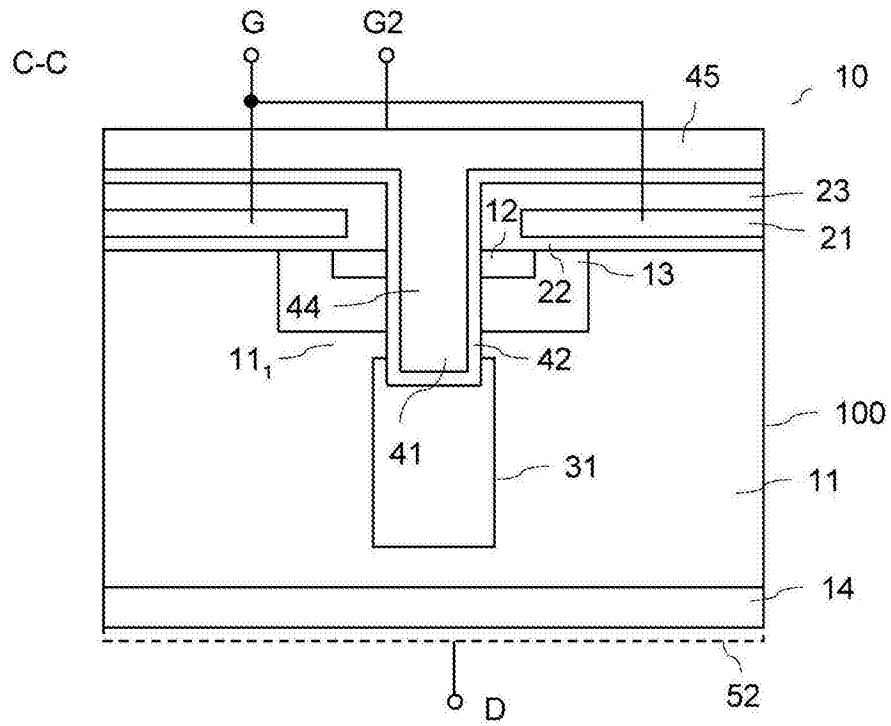


图15

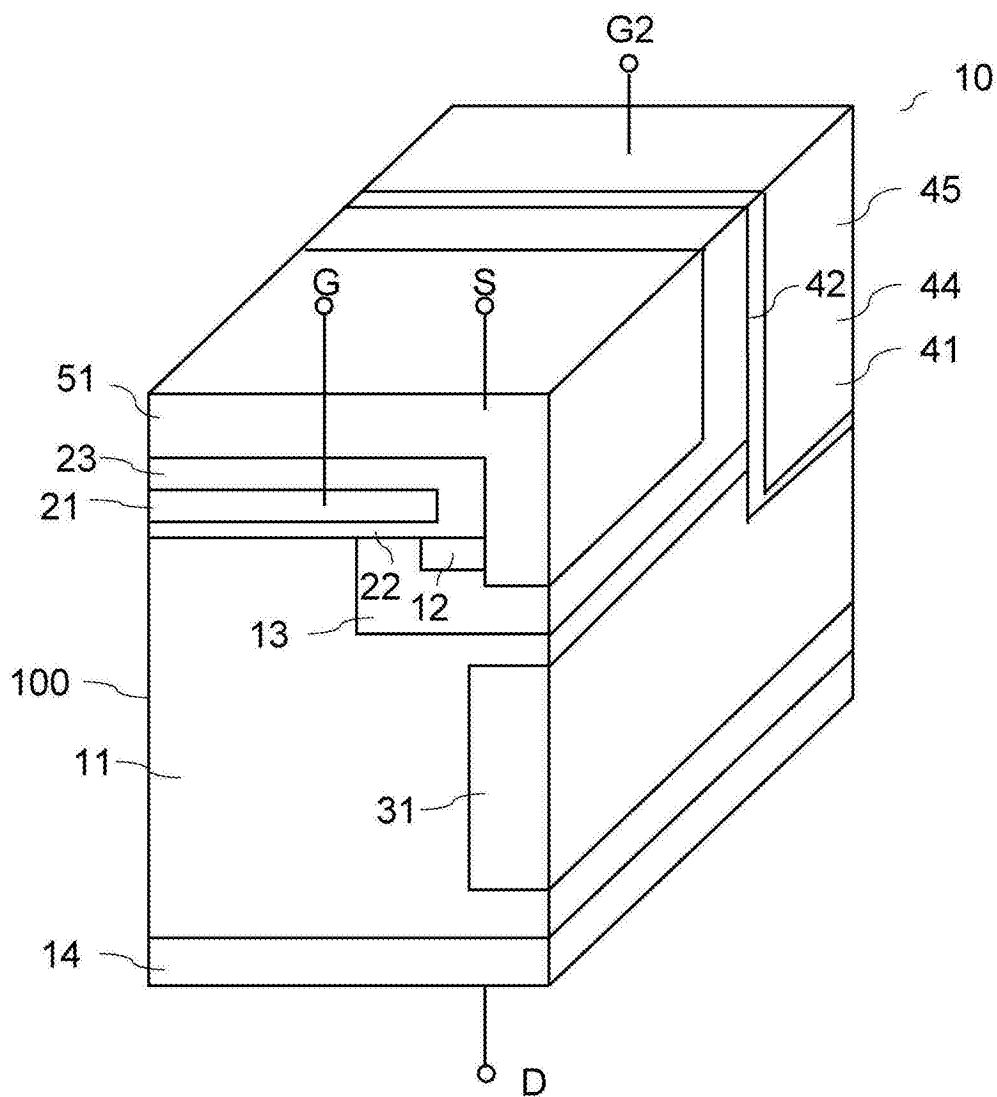


图16

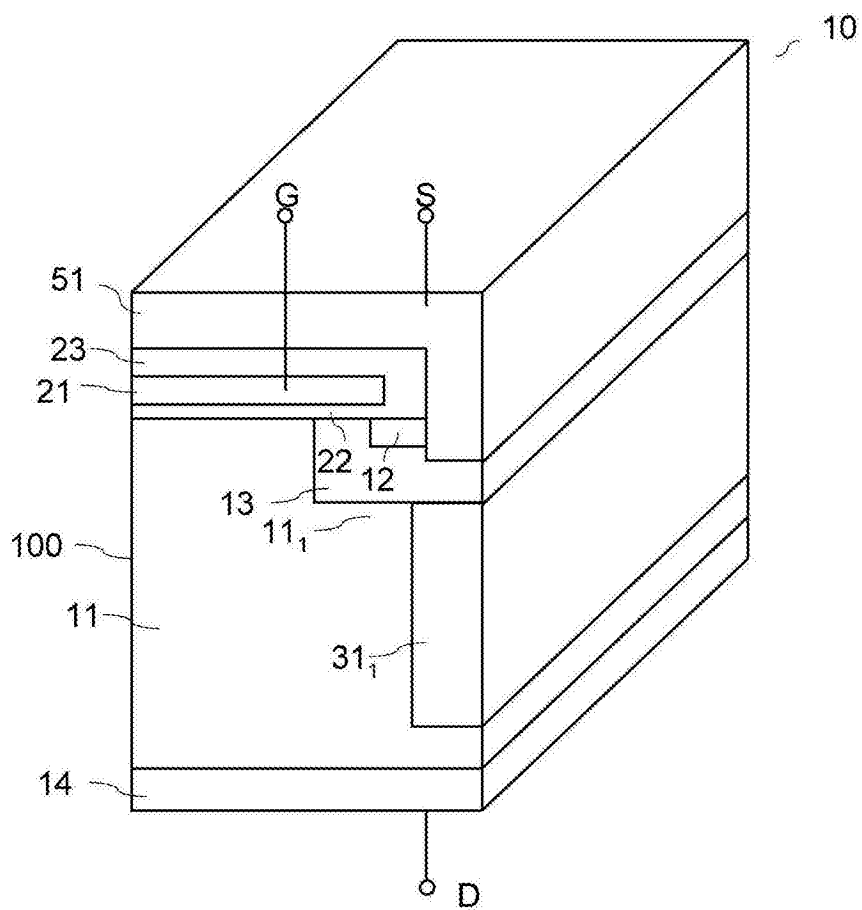


图17

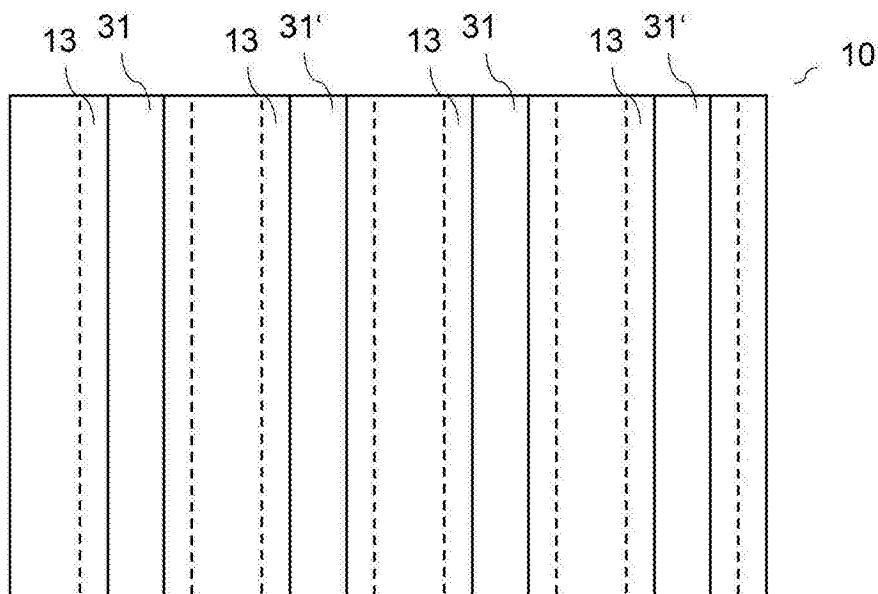


图18

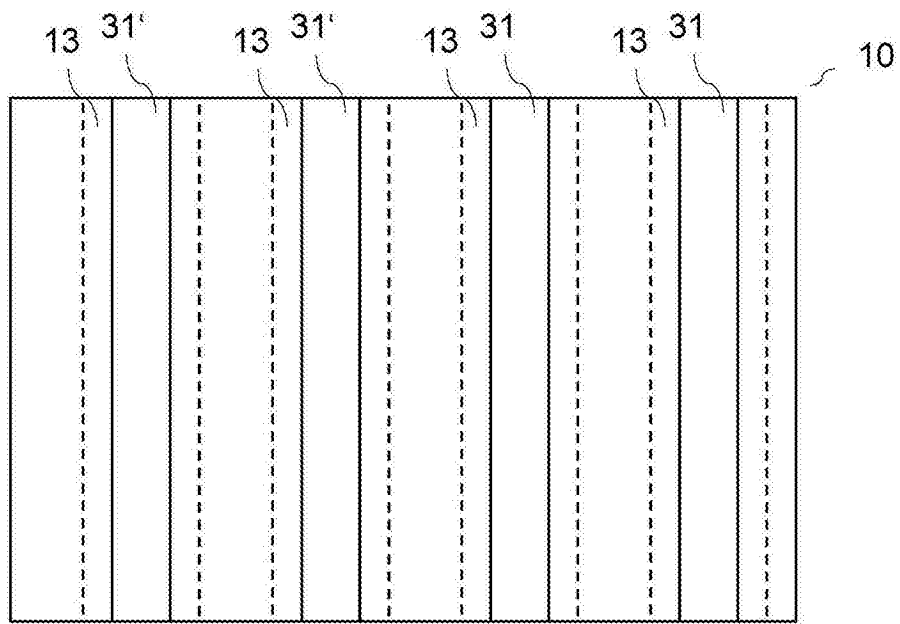


图19

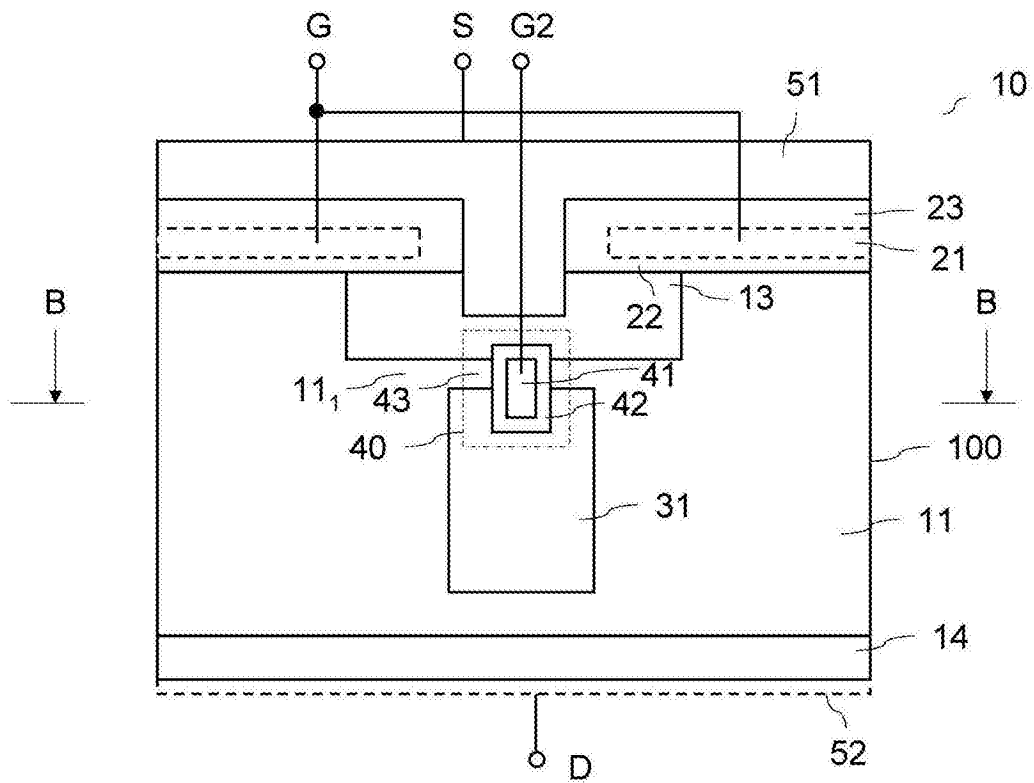


图20

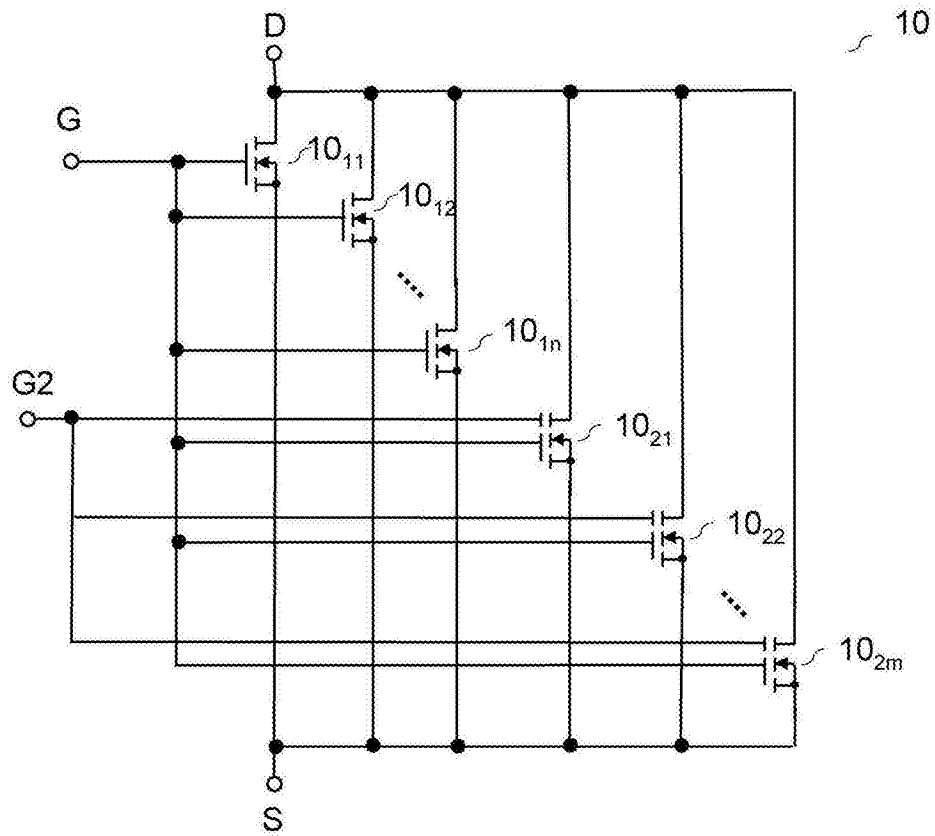


图21

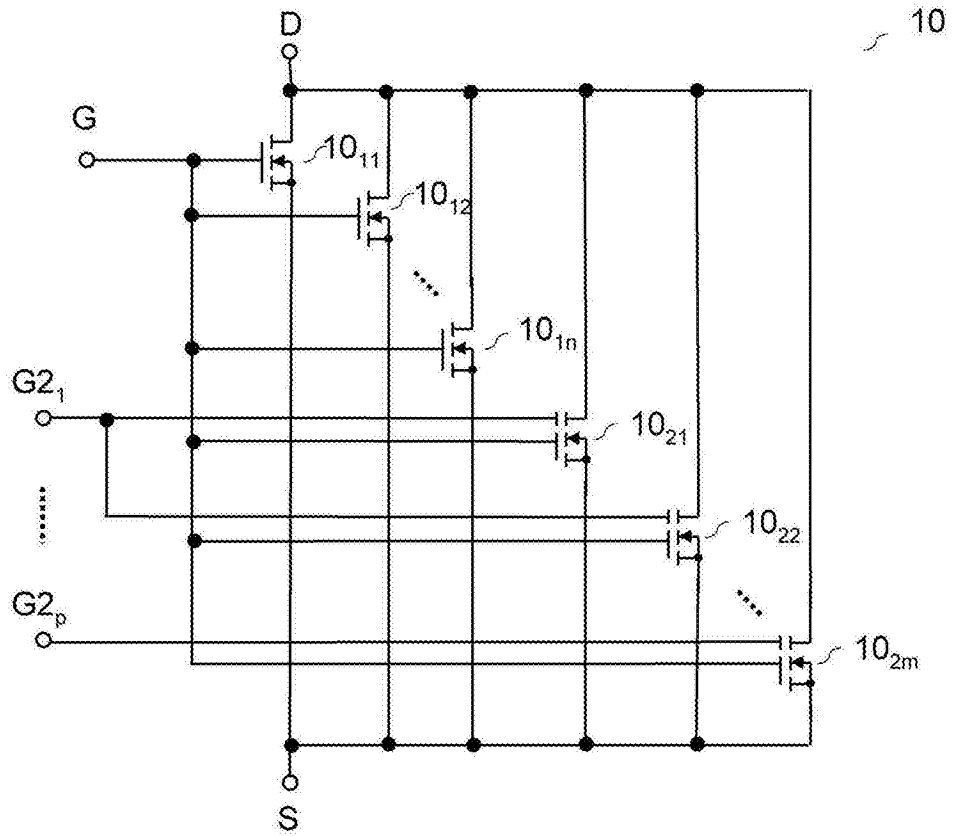


图22

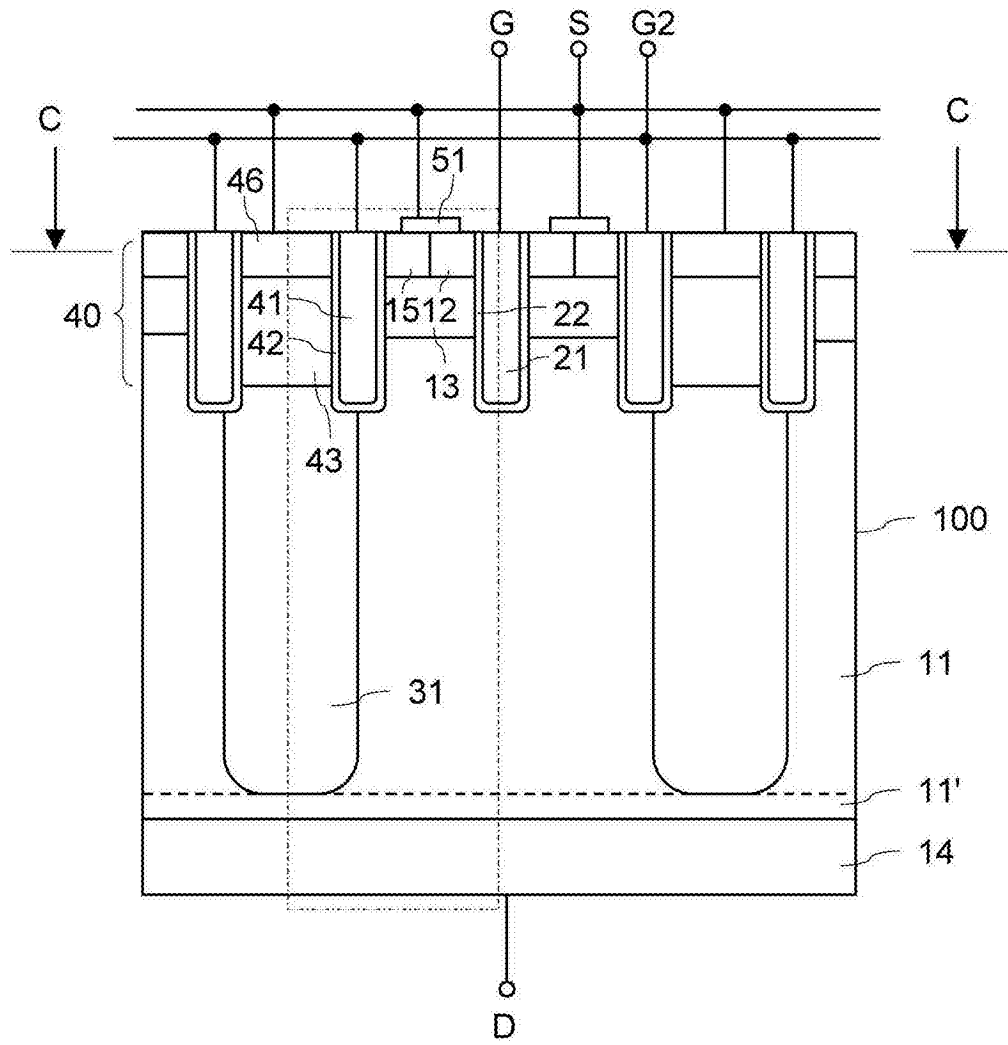


图24

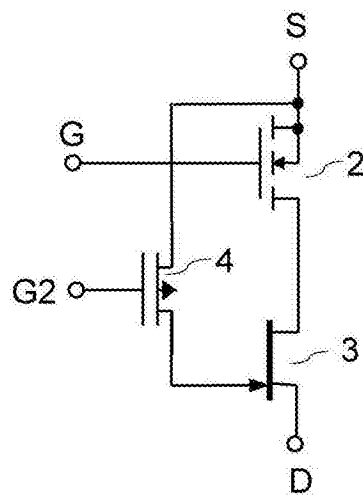


图25

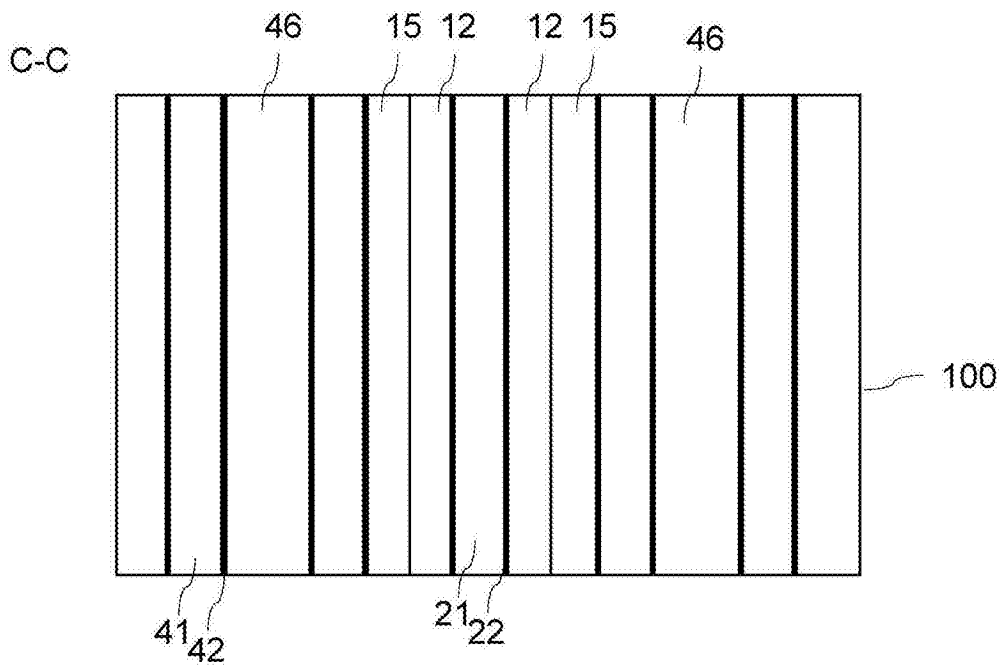


图26

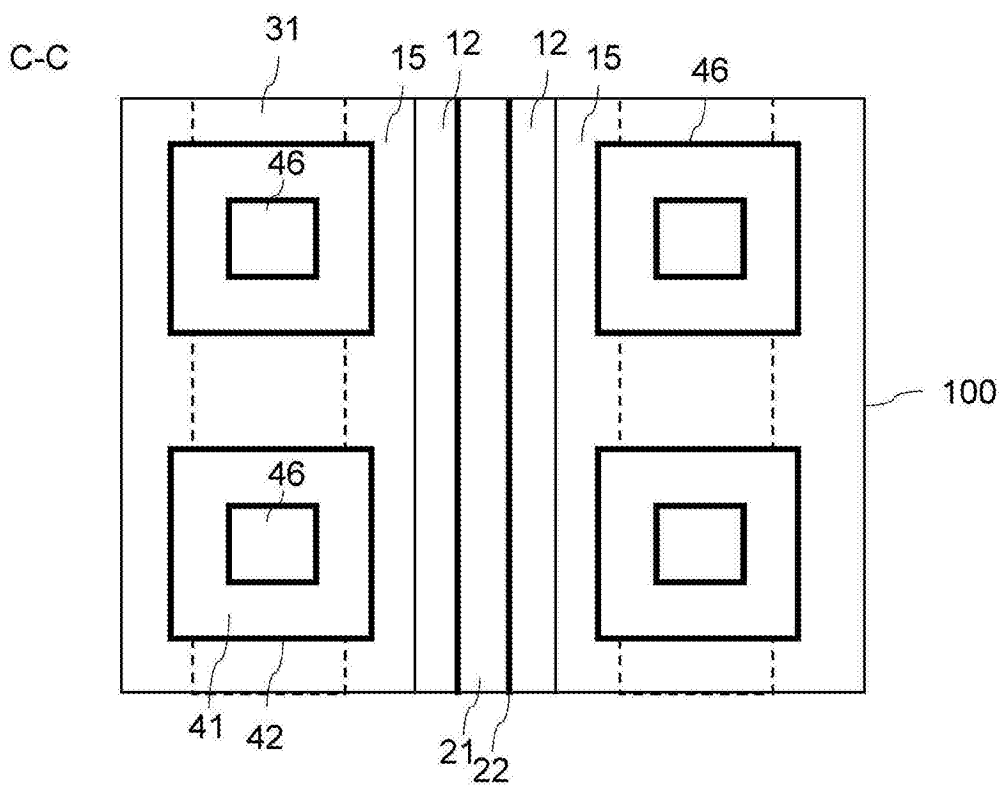


图27

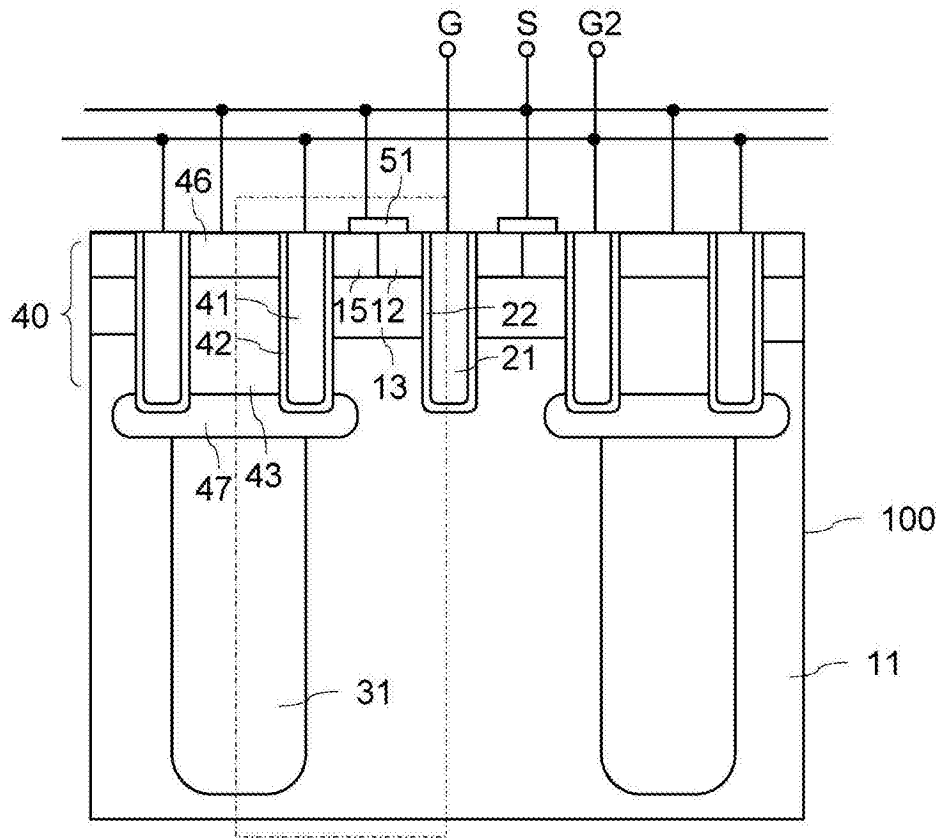


图28

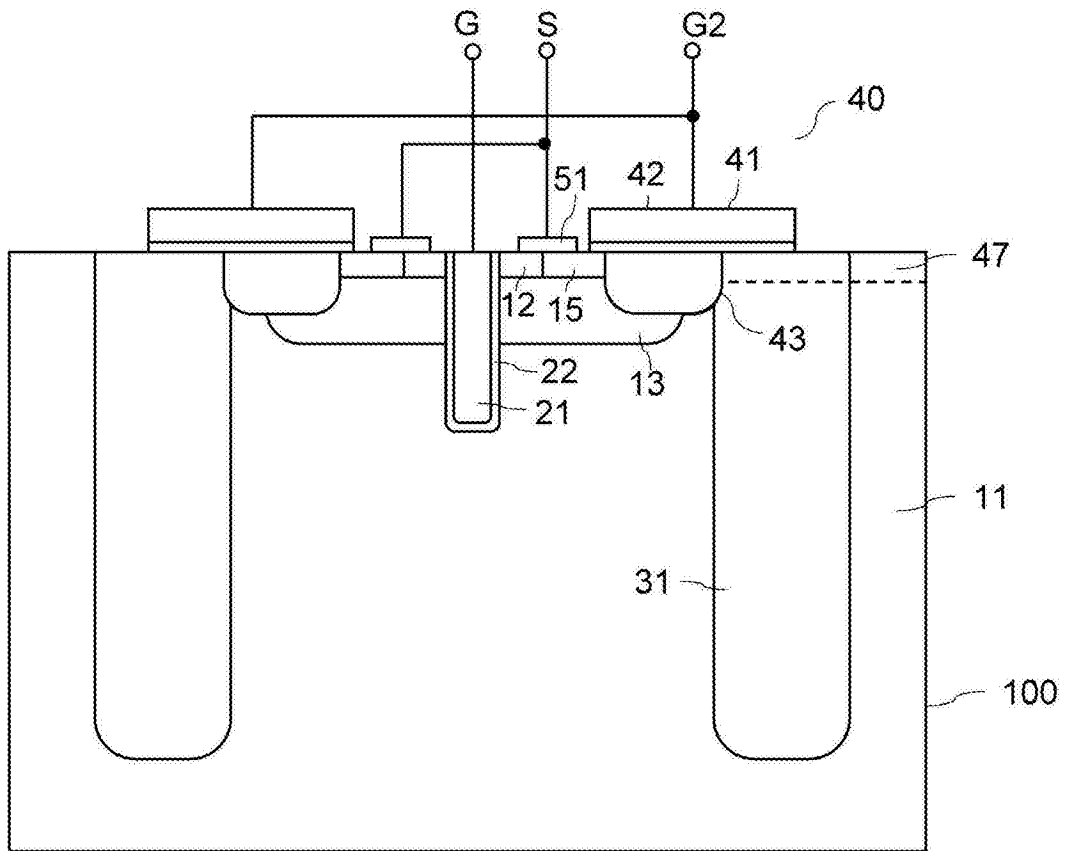


图30

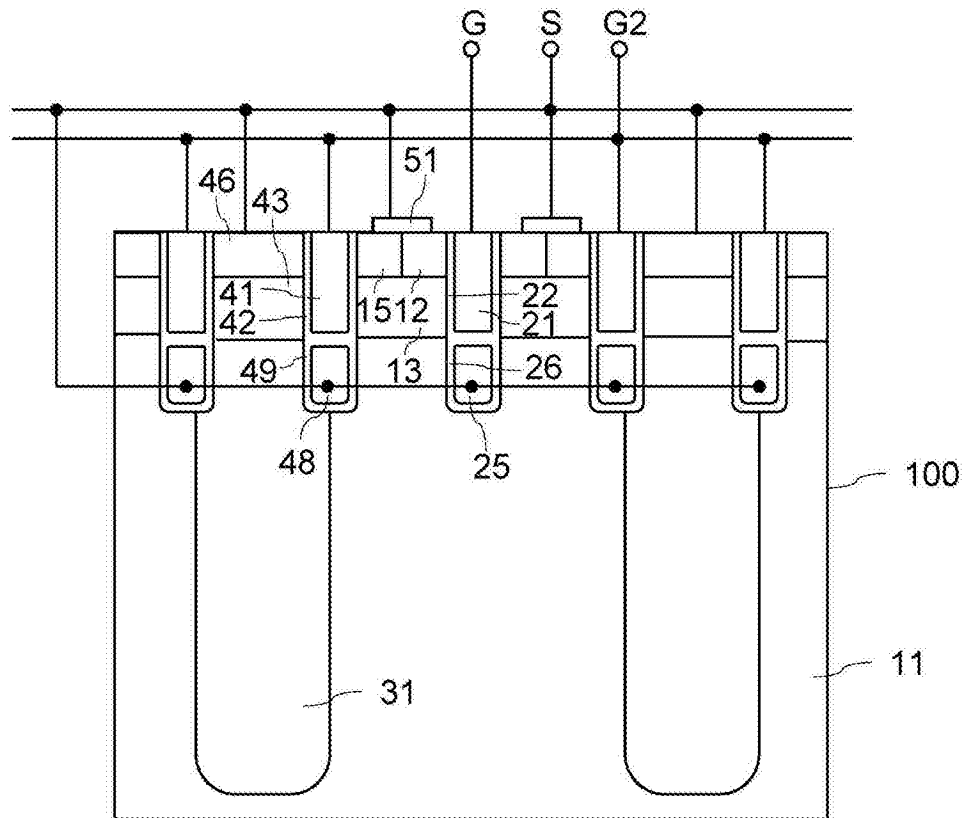


图31

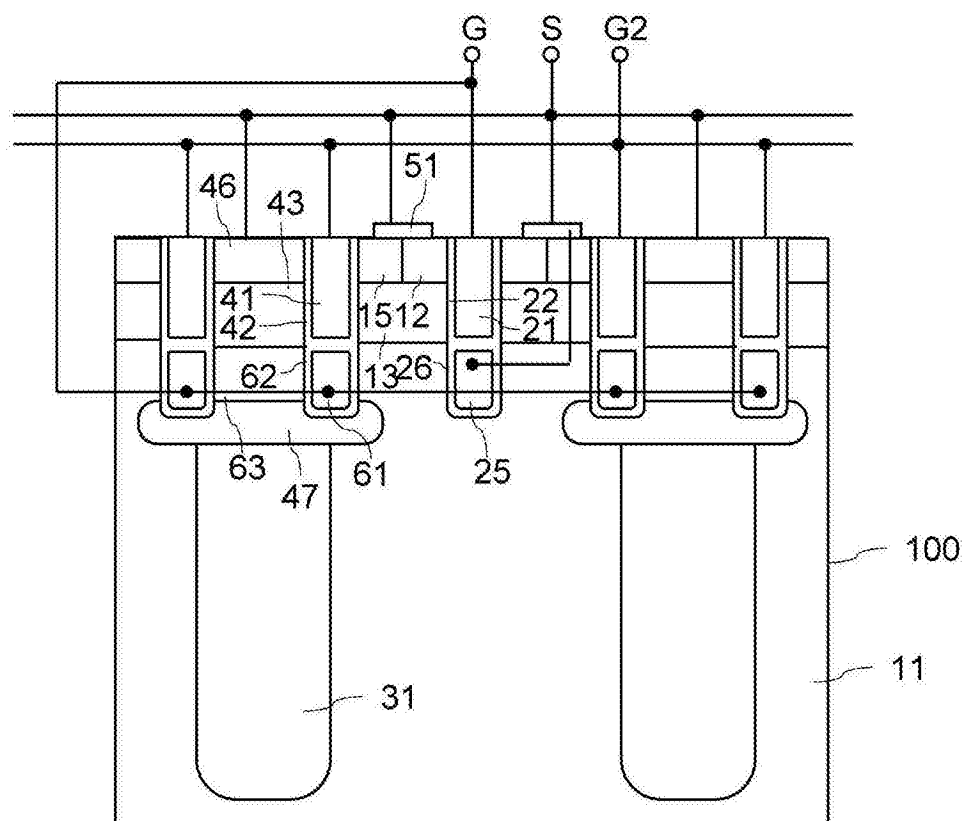


图34

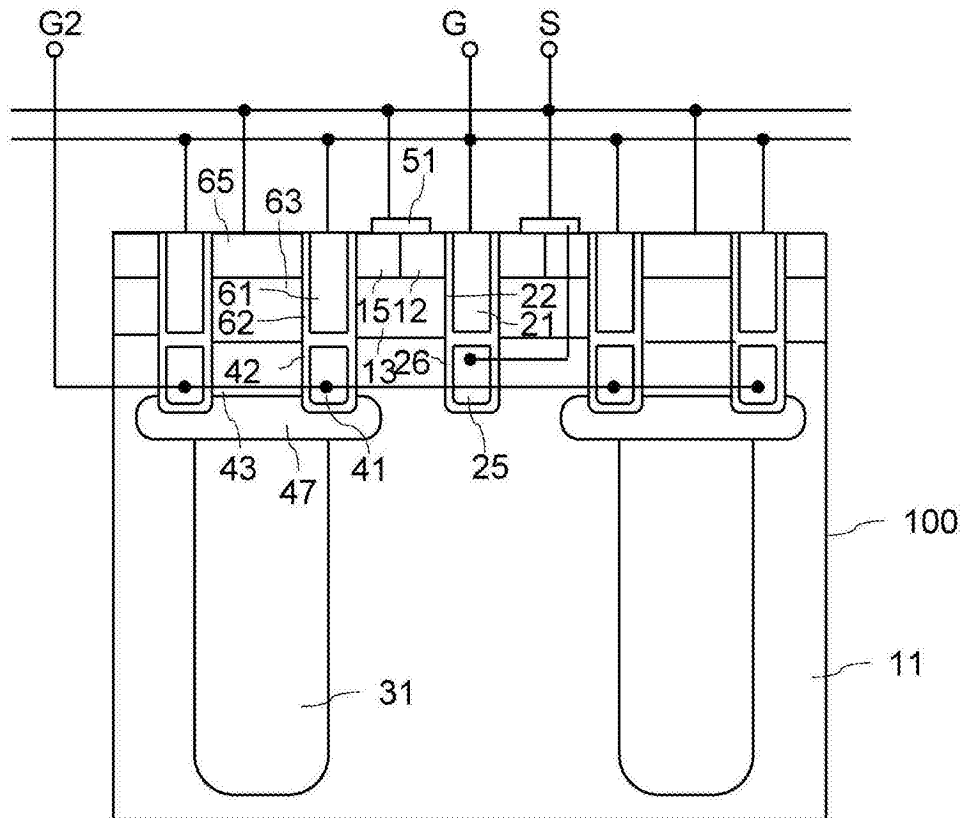


图35

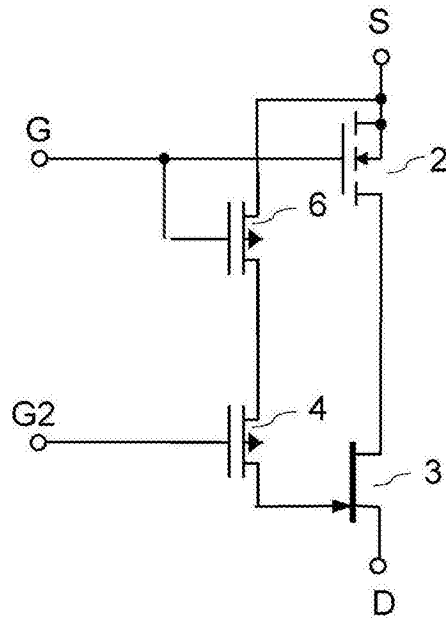


图36

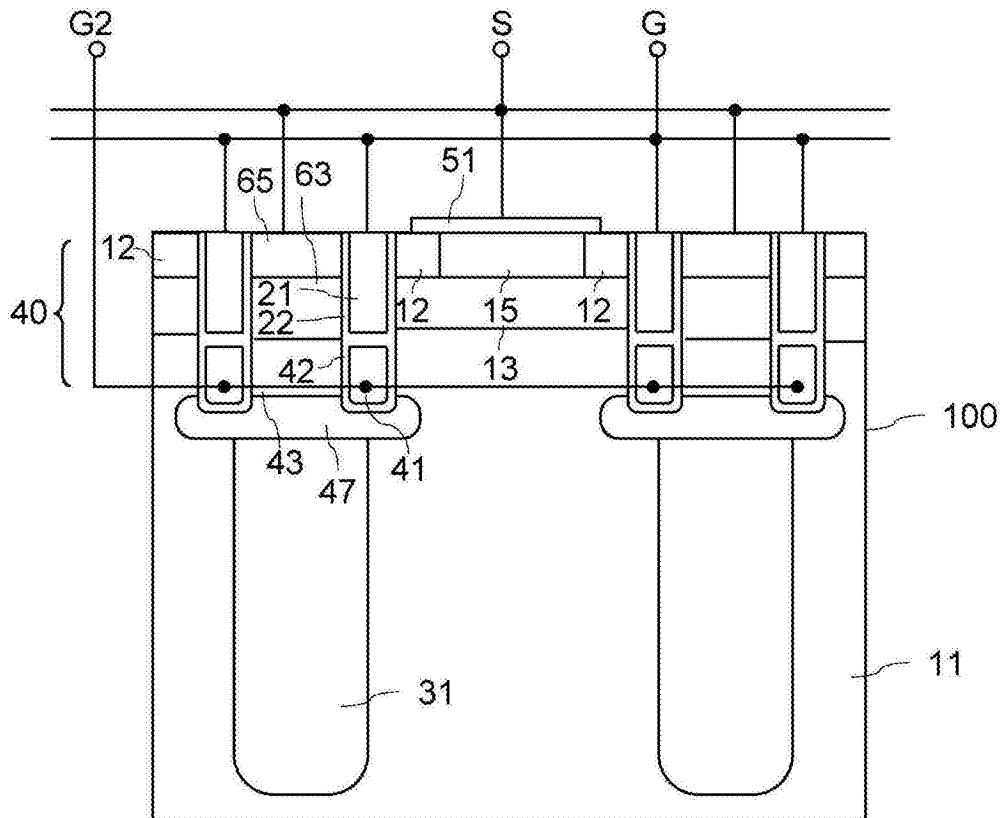


图37

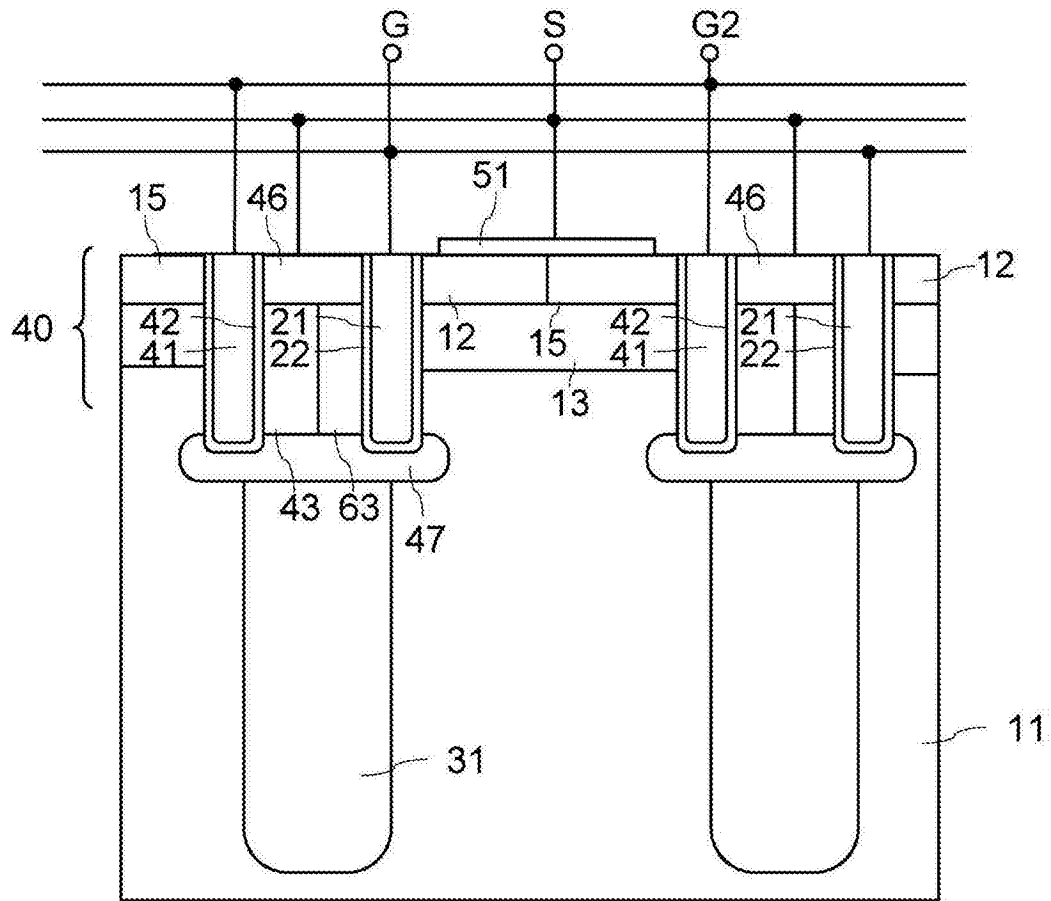


图38