【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】令和4年1月6日(2022.1.6)

【公表番号】特表2021-508414(P2021-508414A)
【公表日】令和3年3月4日(2021.3.4)
【年通号数】公開・登録公報2021-012
【出願番号】特願2020-530562(P2020-530562)
【国際特許分類】
Ｈ０１Ｌ　21/8238　(2006.01)
Ｈ０１Ｌ　27/092　(2006.01)
Ｈ０１Ｌ　29/786　(2006.01)
【ＦＩ】
Ｈ０１Ｌ　27/092　Ｇ
Ｈ０１Ｌ　27/092　Ｆ
Ｈ０１Ｌ　27/092　Ａ
Ｈ０１Ｌ　29/78　６１３Ａ
Ｈ０１Ｌ　29/78　６１７Ｋ
Ｈ０１Ｌ　29/78　６１８Ｂ
Ｈ０１Ｌ　29/78　６１８Ｃ
Ｈ０１Ｌ　27/092　Ｄ
Ｈ０１Ｌ　29/78　６１７Ｍ

【手続補正書】
【提出日】令和3年11月25日(2021.11.25)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
基板上に形成された、第１のゲート及び第１のチャネルを有する第１の電界効果トランジスタ（ＦＥＴ）と、
前記基板に対して実質的に垂直な方向に沿って前記第１のＦＥＴ上に積層された、第２のゲート及び第２のチャネルを有する第２のＦＥＴであり、前記第１のチャネルと前記第２のチャネルとが誘電体層によって分離され且つ電気的に絶縁されている、第２のＦＥＴと、
第１のルーティングトラック及び該第１のルーティングトラックから電気的に絶縁された第２のルーティングトラックであり、当該第１及び第２のルーティングトラックの各々が、前記方向に沿って前記第２のＦＥＴ上に積層されたルーティングプレーン上に設けられている、第１のルーティングトラック及び第２のルーティングトラックと、
前記第１のＦＥＴの前記第１のゲートを前記第１のルーティングトラックに導電的に結合するように構成された第１の導電トレースと、
前記第２のＦＥＴの前記第２のゲートを前記第２のルーティングトラックに導電的に結合するように構成された第２の導電トレースと、
を有する半導体装置。
【請求項２】
前記第２のゲートは、前記基板に対して実質的に垂直な前記方向に沿って前記第１のゲートの真上に積層されている、請求項１に記載の半導体装置。

【請求項３】
前記第１及び第２のルーティングトラックは、前記基板に対して実質的に垂直な前記方向に沿って前記第２のゲートより上に設けられている、請求項２に記載の半導体装置。
【請求項４】
前記第１の導電トレースは、前記第２のゲート及び前記第２のＦＥＴをバイパスしている、請求項１に記載の半導体装置。
【請求項５】
前記基板上に形成された、第３のゲートを有する第３のＦＥＴと、
前記基板に対して実質的に垂直な前記方向に沿って前記第３のＦＥＴ上に積層された、第４のゲートを有する第４のＦＥＴと、
前記第３のＦＥＴの前記第３のゲートを前記第２のルーティングトラックに導電的に結合するように構成された第３の導電トレースと、
前記第４のＦＥＴの前記第４のゲートを前記第１のルーティングトラックに導電的に結合するように構成された第４の導電トレースと、
を更に有する請求項１に記載の半導体装置。
【請求項６】
前記第４のゲートは、前記方向に沿って前記第３のゲート上に積層されている、請求項５に記載の半導体装置。
【請求項７】
前記第３の導電トレースは、前記第４のゲート及び前記第４のＦＥＴをバイパスしている、請求項５に記載の半導体装置。
【請求項８】
前記第１及び第２のゲートのうちの少なくとも一方は、異方性エッチング特性を持つ導電材料を含む、請求項１に記載の半導体装置。
【請求項９】
前記第１及び第２のＦＥＴは、ｎ型ＦＥＴ及びｐ型ＦＥＴを含む相補型ＦＥＴである、請求項１に記載の半導体装置。
【請求項１０】
前記第２のゲートは前記第１のゲート上に積層され、前記第４のゲートは前記第３のゲート上に積層され、前記第１及び前記第２のルーティングトラックは、前記方向に沿って前記第１、第２、第３、及び第４のゲートの上の１つ以上のルーティングプレーンに設けられ、前記第１の導電トレースと前記第２の導電トレースとが空間的に分離され、前記第１の導電トレースは、前記第２のゲート及び前記第２のＦＥＴをバイパスし、前記第２の導電トレースは、前記第１のゲート及び前記第１のＦＥＴをバイパスし、前記第３の導電トレースと前記第４の導電トレースとが空間的に分離され、前記第３の導電トレースは、前記第４のゲート及び前記第４のＦＥＴをバイパスし、前記第４の導電トレースは、前記第３のゲート及び前記第３のＦＥＴをバイパスし、前記第１及び第４のゲートは、それぞれ、前記第１及び第４の導電トレースを介して前記第１のルーティングトラックに導電的に結合され、前記第２及び第３のゲートは、それぞれ、前記第２及び第３の導電トレースを介して前記第２のルーティングトラックに導電的に結合されている、請求項５に記載の半導体装置。
【請求項１１】
前記基板に対して実質的に垂直な前記方向に対して実質的に垂直な平面とゲートが交わる最大断面積であるゲート面積について、前記第２のゲートの面積が、前記第１のゲートの面積以上であり、前記第４のゲートの面積が、前記第３のゲートの面積以上であり、前記第２のゲートは、前記第１のゲートの上でずらして配置され、前記第４のゲートは、第３のゲートの上でずらして配置されている、請求項１０に記載の半導体装置。
【請求項１２】
前記第２のゲートの面積は、前記第１のゲートの面積よりも小さく、前記第４のゲートの面積は、前記第３のゲートの面積よりも小さく、前記第２のゲートは、前記第１のゲー

トの上でずらして配置され、前記第４のゲートは、第３のゲートの上でずらして配置されている、請求項１０に記載の半導体装置。
【請求項１３】
前記第１のＦＥＴは更に、前記方向に沿って積層された第１組の半導体バーを有し、前記第１のゲートが前記第１組の半導体バーを取り囲むとともに前記第１組の半導体バーに添えられ、前記第２のＦＥＴは更に、前記方向に沿って積層された第２組の半導体バーを有し、前記第２のゲートが前記第２組の半導体バーを取り囲むとともに前記第２組の半導体バーに添えられている、請求項１に記載の半導体装置。
【請求項１４】
前記第２組の半導体バーは、前記方向に沿って前記第１組の半導体バー上に積層されている、請求項１３に記載の半導体装置。
【請求項１５】
前記第１のゲート及び前記第２のゲートのうちの少なくとも一方は遷移金属を含んでいる、請求項１に記載の半導体装置。
【請求項１６】
前記遷移金属はルテニウムである、請求項１５に記載の半導体装置。
【請求項１７】
前記第１のゲート及び前記第２のゲートは、１つ以上の誘電体材料を含む前記誘電体層によって分離され且つ電気的に絶縁される、請求項１に記載の半導体装置。
【請求項１８】
前記第１のゲート及び前記第２のゲートのうちの少なくとも一方は、前記第１組及び第２組の半導体バーのうちの少なくとも一方を覆う第１の構造と、該第１の構造を覆う第２の構造と、該第２の構造を覆う第３の構造とを含む、請求項１３に記載の半導体装置。
【請求項１９】
前記第１の構造は、高誘電率を持つ層（ｈｉｇｈ－ｋ層）と、該ｈｉｇｈ－ｋ層と前記第２の構造との間での拡散を防止するバリア層とを含み、前記第２の構造は、それぞれのゲートの仕事関数を調節する仕事関数層と、該仕事関数層と前記第３の構造との間での拡散を防止するブロッキング層とを含み、前記第３の構造は、１つ以上の導電材料を含む、請求項１８に記載の半導体装置。