

(11) 特許出願公開番号

特開2010-118580

(P2010-118580A)

(43) 公開日 平成22年5月27日(2010.5.27)

(51) Int.Cl.

F 1

テーマコード (参考)

H O 1 L 21/8247 (2006.01)

HO 1 L 27/10

434

5 B 1 2 5

HO 1 L 27/115 (2006.01)

HO 1 L 29/78

371

5 F 0 8 3

H O 1 L 29/788 (2006.01)

G 1 1 C 17/00

634A

5 F 101

H O 1 L 29/792 (2006.01)

G 1 1 C 17/00

6 1 1 F

G 1 1 C 16/06 (2006.01)

G 1 1 C 17/00

6 2 2 E

審査請求 未請求 請求項の数 5 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2008-291779 (P2008-291779)

(22) 出願日 平成20年11月14日 (2008.11.14)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100092820

弁理士 伊丹 勝

(74) 代理人 100106389

弁理士 田村 和彦

(72) 発明者 前田 高志

東京都港区芝浦一丁目1番1号 株式会社
東芝内

(72) 発明者 岩田 佳久

東京都港区芝浦一丁目1番1号 株式会社
東芝内

[最終頁に続く](#)

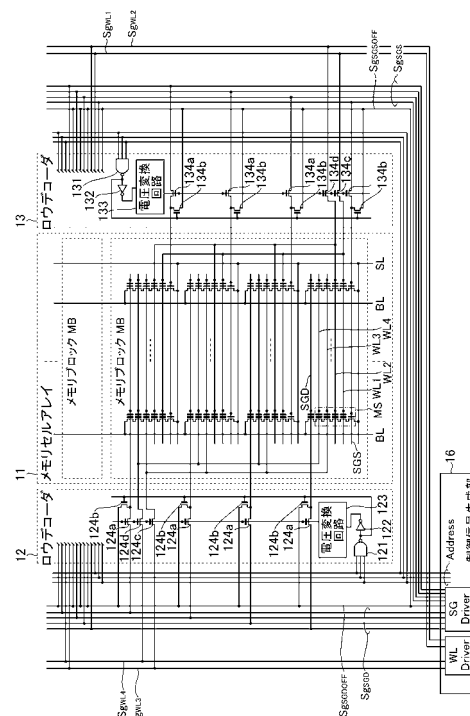
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】読み出し精度を向上させた不揮発性半導体記憶装置を提供する。

【解決手段】不揮発性半導体記憶装置100は、複数のメモリストリングMS、及びメモリストリングMSの一端に接続された複数のドレイン側選択トランジスタSDTrを有する。ドレイン側選択トランジスタSDTrは、上方に延びるドレイン側柱状半導体層47と、ドレイン側柱状半導体層47の側面を取り囲むように形成された電荷蓄積層46bと、電荷蓄積層46bを取り囲むように形成されたドレイン側導電層42とを備える。不揮発性半導体記憶装置100は、選択されたメモリストリングMSからデータを読み出す前に、非選択メモリストリングMS(n-sel)に接続された非選択ドレイン側選択トランジスタSDTr(n-sel)の電荷蓄積層46bに電荷を蓄積させる制御信号生成部16を備える。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

電氣的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリング、及び前記メモリストリングの一端に接続された複数の第 1 選択トランジスタを有し、前記メモリストリングは、
基板に対して垂直方向に延びる柱状部を含む第 1 半導体層と、
前記柱状部の側面を取り囲むように形成された第 1 電荷蓄積層と、
前記柱状部の側面及び前記第 1 電荷蓄積層を取り囲むように形成され、前記メモリセルの制御電極として機能する第 1 導電層とを備え、

前記第 1 選択トランジスタは、
前記柱状部の上面から上方に延びる第 2 半導体層と、
前記第 2 半導体層の側面を取り囲むように形成された第 2 電荷蓄積層と、
前記第 2 半導体層の側面及び前記第 2 電荷蓄積層を取り囲むように形成され、前記第 1 選択トランジスタの制御電極として機能する第 2 導電層とを備え、

選択された前記メモリストリングからデータを読み出す前に、非選択の前記メモリストリングに接続された前記第 1 選択トランジスタの前記第 2 電荷蓄積層に電荷を蓄積させる制御回路を備える

ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

マトリクス状に並ぶ複数の前記メモリストリング毎にメモリブロックを構成し、
前記制御回路は、選択された前記メモリブロック内の選択された前記メモリストリングからデータを読み出す前に、選択された前記メモリブロック内の非選択の前記メモリストリングに接続された前記第 1 選択トランジスタの前記第 2 電荷蓄積層に電荷を蓄積させることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記メモリストリングの他端に接続された複数の第 2 選択トランジスタを有し、
前記第 2 選択トランジスタは、
前記第 1 半導体層の下面から下方に延びる第 3 半導体層と、
前記第 3 半導体層の側面を取り囲むように形成された第 3 電荷蓄積層と、
前記第 3 半導体層の側面及び前記第 3 電荷蓄積層を取り囲むように形成され、前記第 2 選択トランジスタの制御電極として機能する第 3 導電層とを備え、

前記制御回路は、選択された前記メモリストリングからデータを読み出す前に、非選択の前記メモリストリングに接続された前記第 2 選択トランジスタの前記第 3 電荷蓄積層に電荷を蓄積させる

ことを特徴とする請求項 1 又は請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

マトリクス状に並ぶ複数の前記メモリストリング毎にメモリブロックを構成し、
前記制御回路は、選択された前記メモリブロック内の選択された前記メモリストリングからデータを読み出す前に、選択された前記メモリブロック内の非選択の前記メモリストリングに接続された前記第 2 選択トランジスタの前記第 3 電荷蓄積層に電荷を蓄積させることを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】

前記第 1 半導体層は、
一対の前記柱状部の下端を連結させるように形成された連結部を備えることを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的にデータの書き換えが可能な不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

従来、シリコン基板上の2次元平面内に素子を集積して、LSIが形成されてきた。メモリの記憶容量を増加させるには、一素子の寸法を小さくする（微細化する）しかないが、近年その微細化もコスト的、技術的に困難なものになってきた。微細化のためにはフォトリソグラフィの技術向上が必要であるが、例えば、現在のArF液浸露光技術では40nm付近のルールが解像限界となっており、更なる微細化のためにはEUV露光機の導入が必要である。しかし、EUV露光機はコスト高であり、コストを考えた場合には現実的ではない。また、仮に微細化が達成されたとしても、駆動電圧などがスケールアップされない限り、素子間の耐圧など物理的な限界点を迎える事が予想される。つまり、デバイスとしての動作が困難になる可能性が高い。

10

【0003】

そこで、近年、メモリの集積度を高めるために、メモリセルを3次元的に配置した半導体記憶装置が多数提案されている（特許文献1乃至3参照）。

【0004】

メモリセルを3次元的に配置した従来の半導体記憶装置の一つに、円柱型構造のトランジスタを用いた半導体記憶装置がある（特許文献1乃至3）。円柱型構造のトランジスタを用いた半導体記憶装置においては、ゲート電極となる多層に積層された積層導電層、及びピラー状の柱状半導体が設けられる。柱状半導体は、トランジスタのチャネル（ボディ）部として機能する。柱状半導体の周りには、電荷を蓄積可能なメモリゲート絶縁層が設けられる。これら積層導電層、柱状半導体、メモリゲート絶縁層を含む構成は、メモリス

20

【0005】

上記メモリストリングを有する半導体記憶装置においては、選択したメモリストリングから、より正確にデータを読み出すことが要求される。

【特許文献1】特開2007-266143号

【特許文献2】米国特許第5599724号

【特許文献3】米国特許第5707885号

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、読み出し時に、非選択メモリストリングからのリーク電流を低減させ、読み出し精度を向上させた不揮発性半導体記憶装置を提供する。

30

【課題を解決するための手段】

【0007】

本発明の一態様に係る不揮発性半導体記憶装置は、電氣的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリング、及び前記メモリストリングの一端に接続された複数の第1選択トランジスタを有し、前記メモリストリングは、基板に対して垂直方向に延びる柱状部を含む第1半導体層と、前記柱状部の側面を取り囲むように形成された第1電荷蓄積層と、前記柱状部の側面及び前記第1電荷蓄積層を取り囲むように形成され、前記メモリセルの制御電極として機能する第1導電層とを備え、前記第1選択トランジスタは、前記柱状部の上面から上方に延びる第2半導体層と、前記第2半導体層の側面を取り囲むように形成された第2電荷蓄積層と、前記第2半導体層の側面及び前記第2電荷蓄積層を取り囲むように形成され、前記第1選択トランジスタの制御電極として機能する第2導電層とを備え、選択された前記メモリストリングからデータを読み出す前に、非選択の前記メモリストリングに接続された前記第1選択トランジスタの前記第2電荷蓄積層に電荷を蓄積させる制御回路を備えることを特徴とする。

40

【発明の効果】

【0008】

本発明は、読み出し時に、非選択メモリストリングからのリーク電流を低減させ、読み出し精度を向上させた不揮発性半導体記憶装置を提供することが可能となる。

50

【発明を実施するための最良の形態】

【0009】

以下、図面を参照して、本発明に係る不揮発性半導体記憶装置の一実施形態について説明する。

【0010】

〔第1実施形態〕

（第1実施形態に係る不揮発性半導体記憶装置100の構成）

先ず、図1を参照して、第1実施形態に係る不揮発性半導体記憶装置100の構成について説明する。図1、本発明の第1実施形態に係る不揮発性半導体記憶装置100のブロック図である。

10

【0011】

第1実施形態に係る不揮発性半導体記憶装置100は、図1に示すように、メモリセルアレイ11、ロウデコーダ12、13、センスアンプ14、カラムデコーダ15、制御信号生成部（高電圧生成部）16を備える。

【0012】

メモリセルアレイ11は、データを電氣的に記憶するメモリトランジスタMT_rを有する。ロウデコーダ12、13は、取り込まれたブロックアドレス信号及びゲートアドレス信号をデコードし、メモリセルアレイ11を制御する。センスアンプ14は、メモリセルアレイ11からデータを読み出す。カラムデコーダ15は、カラムアドレス信号をデコードし、センスアンプ14を制御する。制御信号生成部16は、基準電圧を昇圧させて、書き込みや消去時に必要となる高電圧を生成し、さらに、制御信号を生成し、ロウデコーダ12、13、センスアンプ14、及びカラムデコーダ15を制御する。

20

【0013】

次に、図2～図4を参照し、メモリセルアレイ11の積層構造及び回路構成について説明する。図2は、メモリセルアレイ11の概略斜視図である。図3は、図2の拡大図である。図4は、図3の断面図である。以下、積層方向に直交する方向をロウ方向とし、積層方向及びロウ方向に直交する方向をカラム方向とする。なお、図3は、配線間に設けられた層間絶縁層を省略して記載している。

【0014】

メモリセルアレイ11は、図2に示すように、複数のメモリブロックMBを有する。メモリブロックMBは、半導体基板Ba（図示略）上に、カラム方向に配列されている。換言すると、メモリブロックMBは、半導体基板Ba上に所定領域毎に形成されている。

30

【0015】

メモリブロックMBは、図2に示すように、複数のメモリストリングMS、ソース側選択トランジスタSST_r、及びドレイン側選択トランジスタSDT_rを備える。メモリストリングMSは、直列接続されたメモリトランジスタMT_r1～MT_r4にて構成されている。ドレイン側選択トランジスタSDT_rは、メモリストリングMSの一端（メモリトランジスタMT_r4）に接続されている。ソース側選択トランジスタSST_rは、メモリストリングMSの他端（メモリトランジスタMT_r1）に接続されている。例えば、メモリストリングMSは、1つのメモリブロックMB毎に、複数行、4列設けられている。なお、メモリストリングMSは、4つ以上のメモリトランジスタにて構成してもよい。また、メモリストリングMSは、1つのメモリブロックMB毎に、4列以上設けられていてもよい。

40

【0016】

図2に示すように、メモリブロックMBにおいて、マトリクス状に配列されたメモリトランジスタMT_r1の制御ゲートは、ワード線WL1に共通接続されている。同様に、メモリトランジスタMT_r2の制御ゲートは、ワード線WL2に共通接続されている。メモリトランジスタMT_r3の制御ゲートは、ワード線WL3に共通接続されている。メモリトランジスタMT_r4の制御ゲートは、ワード線WL4に共通接続されている。ワード線WL1～WL4は、各々独立の信号で制御されている。

50

【0017】

図2に示すように、メモリブロックMBにおいて、ロウ方向に配列された各ドレイン側選択トランジスタSDTrの制御ゲートは、ドレイン側選択ゲート線SGDに共通接続されている。ドレイン側選択ゲート線SGDは、複数のメモリブロックMBを跨いでロウ方向に延びるように形成されている。ドレイン側選択ゲート線SGDは、カラム方向に複数本設けられ、各々独立の信号で制御される。また、カラム方向に配列されたドレイン側選択トランジスタSDTrの他端は、ビット線BLに共通に接続されている。ビット線BLは、メモリブロックMBを跨いでカラム方向に延びるように形成されている。ビット線BLは、ロウ方向に複数本設けられ、各々独立の信号で制御されている。

【0018】

図2に示すように、メモリブロックMBにおいて、ロウ方向に配列された各ソース側選択トランジスタSSTrの制御ゲートは、ソース側選択ゲート線SGSに共通接続されている。ソース側選択ゲート線SGSは、複数のメモリブロックMBを跨いでロウ方向に延びるように形成されている。ソース側選択ゲート線SGSは、カラム方向に複数本設けられ、各々独立の信号で制御されている。また、カラム方向に配列されたソース側選択トランジスタSDTrの他端は、ソースSLに共通に接続されている。

【0019】

上記のようなメモリブロックMBの回路構成は、図3及び図4に示す積層構造により実現されている。各メモリブロックMBは、半導体基板Ba上に順次積層されたソース側選択トランジスタ層20、メモリトランジスタ層30、及びドレイン側選択トランジスタ層40を有する。

【0020】

ソース側選択トランジスタ層20は、ソース側選択トランジスタSSTrとして機能する層である。メモリトランジスタ層30は、メモリストリングMS（メモリトランジスタMTr1～MTr4）として機能する層である。ドレイン側選択トランジスタ層40は、ドレイン側選択トランジスタSDTrとして機能する層である。

【0021】

ソース側選択トランジスタ層20は、図3及び図4に示すように、半導体基板Ba上に順次形成されたソース側第1絶縁層21、ソース側導電層22、及びソース側第2絶縁層23を有する。ソース側導電層22は、ロウ方向に延びるように形成されている。なお、ソース側導電層22の側壁には、層間絶縁層24が形成されている。

【0022】

ソース側第1絶縁層21、及びソース側第2絶縁層23は、例えば、酸化シリコン（SiO₂）や窒化シリコン（SiN）にて構成されている。ソース側導電層22は、例えば、ポリシリコン（p-Si）にて構成されている。

【0023】

また、ソース側選択トランジスタ層20は、図4に示すように、ソース側第1絶縁層21、ソース側導電層22、及びソース側第2絶縁層23を貫通するように形成されたソース側ホール25を有する。ソース側ホール25は、ロウ方向及びカラム方向にマトリクス状に形成されている。

【0024】

さらに、ソース側選択トランジスタ層20は、図4に示すように、ソース側ホール25に面する側壁に順次形成されたソース側ゲート絶縁層26、及びソース側柱状半導体層27を有する。ソース側ゲート絶縁層26は、ソース側ホール25に面する側壁に所定の厚みをもって形成されている。ソース側柱状半導体層27は、ソース側ホール25を埋めるように形成されている。ソース側柱状半導体層27は、積層方向に延びる柱状に形成されている。ソース側柱状半導体層27の上面は、後述するメモリ柱状半導体層35の下面に接するように形成されている。ソース側柱状半導体層27は、半導体基板Ba上の拡散層Ba1上に形成されている。拡散層Ba1は、ソース線SLとして機能する。

【0025】

ソース側ゲート絶縁層 25 は、例えば、酸化シリコン (SiO_2) にて構成されている。ソース側柱状半導体層 27 は、例えば、ポリシリコン (p-Si) にて構成されている。

【0026】

上記ソース側選択トランジスタ層 20 の構成において、ソース側導電層 22 は、ソース側選択トランジスタ SSTr の制御ゲートとして機能する。また、ソース側導電層 22 は、ソース側選択ゲート線 SGS として機能する。

【0027】

メモリトランジスタ層 30 は、図 3 及び図 4 に示すように、ソース側選択トランジスタ層 20 上に順次積層された第 1～第 5 ワード線間絶縁層 31a～31e、及び第 1～第 4 ワード線導電層 32a～32d を有する。第 1～第 4 ワード線導電層 32a～32d は、ロウ方向及びカラム方向に 2 次的に (板状に) 広がるように形成されている。第 1～第 4 ワード線導電層 32a～32d は、メモリブロック MB 毎に分断されている。

【0028】

第 1～第 5 ワード線間絶縁層 31a～31e は、例えば、酸化シリコン (SiO_2) にて構成されている。第 1～第 4 ワード線導電層 32a～32d は、例えば、ポリシリコン (p-Si) にて構成されている。

【0029】

また、メモリトランジスタ層 30 は、図 4 に示すように、第 1～第 5 ワード線間絶縁層 31a～31e、及び第 1～第 4 ワード線導電層 32a～32d を貫通するように形成されたメモリホール 33 を有する。メモリホール 33 は、ロウ方向及びカラム方向にマトリクス状に形成されている。メモリホール 33 は、ソース側ホール 25 と整合する位置に形成されている。

【0030】

さらに、メモリトランジスタ層 30 は、図 4 に示すように、メモリホール 33 に面する側壁に順次形成されたブロック絶縁層 34a、電荷蓄積層 34b、トンネル絶縁層 34c、及びメモリ柱状半導体層 35 を有する。ブロック絶縁層 34a は、メモリホール 33 に面する側壁に所定の厚みをもって形成されている。電荷蓄積層 34b は、ブロック絶縁層 34a の側壁に所定の厚みをもって形成されている。トンネル絶縁層 34c は、電荷蓄積層 34b の側壁に所定の厚みをもって形成されている。メモリ柱状半導体層 35 は、メモリホール 33 を埋めるように形成されている。メモリ柱状半導体層 35 は、積層方向に延びるように柱状に形成されている。メモリ柱状半導体層 35 の下面は、ソース側柱状半導体層 27 の上面に接するように形成されている。また、メモリ柱状半導体層 35 の上面は、後述するドレイン側柱状半導体層 47 の下面に接するように形成されている。

【0031】

ブロック絶縁層 34a、及びトンネル絶縁層 34c は、例えば、酸化シリコン (SiO_2) にて構成されている。電荷蓄積層 34b は、例えば、窒化シリコン (SiN) にて構成されている。メモリ柱状半導体層 35 は、例えば、ポリシリコン (p-Si) にて構成されている。

【0032】

上記メモリトランジスタ層 30 の構成において、第 1～第 4 ワード線導電層 32a～32d は、メモリトランジスタ $\text{MTTr1} \sim \text{MTTr4}$ の制御ゲートとして機能する。また、第 1～第 4 ワード線導電層 32a～32d は、ワード線 $\text{WL1} \sim \text{WL4}$ の一部として機能する。

【0033】

ドレイン側選択トランジスタ層 40 は、図 3 及び図 4 に示すように、メモリトランジスタ層 30 の上に順次積層されたドレイン側第 1 絶縁層 41、ドレイン側導電層 42、及びドレイン側第 2 絶縁層 43 を有する。ドレイン側導電層 42 は、メモリ柱状半導体層 35 が形成された直上に形成されている。ドレイン側導電層 42 は、ロウ方向に延びるように形成されている。なお、ドレイン側導電層 42 の側壁には、層間絶縁層 44 が形成されて

いる。

【0034】

ドレイン側第1絶縁層41、及びドレイン側第2絶縁層43は、例えば、酸化シリコン(SiO_2)や窒化シリコン(SiN)にて構成されている。ドレイン側導電層42は、例えば、ポリシリコン(p-Si)にて構成されている。

【0035】

また、ドレイン側選択トランジスタ層40は、図4に示すように、ドレイン側第1絶縁層41、ドレイン側導電層42、及びドレイン側第2絶縁層43を貫通するように形成されたドレイン側ホール45を有する。ドレイン側ホール45は、ロウ方向及びカラム方向にマトリクス状に形成されている。ドレイン側ホール45は、メモリホール33に整合する位置に形成されている。

10

【0036】

さらに、ドレイン側選択トランジスタ層40は、図4に示すように、ドレイン側ホール45に面する側壁に順次形成されたブロック絶縁層46a、電荷蓄積層46b、トンネル絶縁層46c、及びドレイン側柱状半導体層47を有する。ブロック絶縁層46aは、ドレイン側ホール45に面する側壁に所定の厚みをもって形成されている。電荷蓄積層46bは、ブロック絶縁層46aの側壁に所定の厚みをもって形成されている。トンネル絶縁層46cは、電荷蓄積層46bの側壁に所定の厚みをもって形成されている。ドレイン側柱状半導体層47は、ドレイン側ホール45を埋めるように形成されている。ドレイン側柱状半導体層47は、積層方向に延びるように柱状に形成されている。ドレイン側柱状半導体層47の下面は、メモリ柱状半導体層35の上面に接するように形成されている。ドレイン側柱状半導体層47の上面には、ビット線層51が形成されている。ビット線層51は、カラム方向に延びるようにロウ方向に所定ピッチをもって形成されている。ビット線層51は、ビット線BLとして機能する。

20

【0037】

ブロック絶縁層46a、及びトンネル絶縁層46cは、例えば、酸化シリコン(SiO_2)にて構成されている。電荷蓄積層46bは、例えば、窒化シリコン(SiN)にて構成されている。ドレイン側柱状半導体層47は、例えば、ポリシリコン(p-Si)にて構成されている。

【0038】

上記ドレイン側選択トランジスタ層40の構成において、ドレイン側導電層42は、ドレイン側選択トランジスタSDTrの制御ゲートとして機能する。また、ドレイン側導電層42は、ドレイン側選択ゲート線SGDの一部として機能する。

30

【0039】

次に、図5を参照して、ロウデコーダ12、13の回路構成について説明する。図5は、不揮発性半導体記憶装置100の回路図である。

【0040】

ロウデコーダ12は、図5に示すように、メモリブロックMB毎に、NAND回路121、NOT回路122、及び電圧変換回路123を有する。

【0041】

NAND回路121は、制御信号生成部16からアドレス信号Addressを受け付け、NOT回路122に出力する。NOT回路122は、NAND回路121から信号を受け付け、電圧変換回路123に出力する。電圧変換回路123は、NOT回路122から受け付けた信号の電圧を変換し、出力する。

40

【0042】

また、ロウデコーダ12は、図5に示すように、同一のドレイン側選択ゲート線SGDに接続されたメモリストリングMS毎に、第1、第2転送トランジスタ124a、124bを有する。

【0043】

第1転送トランジスタ124aの一端は、制御信号生成部16から信号 S_{gsgd} を受

50

け付ける。信号 $S_{g_{SGD}}$ は、特定のドレイン側選択ゲート線 SGD を駆動させるための信号である。第1転送トランジスタ124aの他端は、ドレイン側選択ゲート線 SGD に接続されている。第1転送トランジスタ124aの制御ゲートは、電圧変換回路123のからの信号を受け付ける。

【0044】

第2転送トランジスタ124bの一端は、制御信号生成部16から信号 $S_{g_{SGDOFF}}$ を受け付ける。信号 $S_{g_{SGDOFF}}$ は、ドレイン側選択ゲート線 SGD を非駆動とするための信号である。第2転送トランジスタ124bの他端は、ドレイン側選択ゲート線 SGD に接続されている。第2転送トランジスタ124bの制御ゲートは、 $NAND$ 回路121からの信号を受け付ける。

10

【0045】

また、ロウデコーダ12は、図5に示すように、メモリブロック MB 毎に、第3、第4転送トランジスタ124c、124dを有する。

【0046】

第3、第4転送トランジスタ124c、124dの一端は、制御信号生成部16から信号 $S_{g_{WL3}}$ 、信号 $S_{g_{WL4}}$ を受け付ける。信号 $S_{g_{WL3}}$ 、信号 $S_{g_{WL4}}$ は、ワード線 $WL3$ 、 $WL4$ を駆動させるための信号である。第3、第4転送トランジスタ124c、124dの他端は、ワード線 $WL3$ 、 $WL4$ に接続されている。第3、第4転送トランジスタ124c、124dの制御ゲートは、電圧変換回路123からの信号を受け付ける。

20

【0047】

ロウデコーダ13は、図5に示すように、メモリブロック MB 毎に、 $NAND$ 回路131、 NOT 回路132、及び電圧変換回路133を有する。

【0048】

$NAND$ 回路131は、制御信号生成部16からアドレス信号 $Address$ を受け付け、 NOT 回路132に出力する。 NOT 回路132は、 $NAND$ 回路131から信号を受け付け、電圧変換回路133に出力する。電圧変換回路133は、 NOT 回路132から受け付けた信号の電圧を変換し、出力する。

【0049】

また、ロウデコーダ13は、図5に示すように、同一のソース側選択ゲート線 SGS に接続されたメモリストリング MS 毎に、第1、第2転送トランジスタ134a、134bを有する。

30

【0050】

第1転送トランジスタ134aの一端は、制御信号生成部16から信号 $S_{g_{SGS}}$ を受け付ける。信号 $S_{g_{SGS}}$ は、特定のソース側選択ゲート線 SGS を駆動させるための信号である。第1転送トランジスタ134aの他端は、ソース側選択ゲート線 SGS に接続されている。第1転送トランジスタ134aの制御ゲートは、電圧変換回路133のからの信号を受け付ける。

【0051】

第2転送トランジスタ134bの一端は、制御信号生成部16から信号 $S_{g_{SGSOFF}}$ を受け付ける。信号 $S_{g_{SGSOFF}}$ は、ソース側選択ゲート線 SGS を非駆動とするための信号である。第2転送トランジスタ134bの他端は、ソース側選択ゲート線 SGS に接続されている。第2転送トランジスタ134bの制御ゲートは、 $NAND$ 回路131からの信号を受け付ける。

40

【0052】

また、ロウデコーダ13は、図5に示すように、メモリブロック MB 毎に、第3、第4転送トランジスタ134c、134dを有する。

【0053】

第3、第4転送トランジスタ134c、134dの一端は、制御信号生成部16から信号 $S_{g_{WL1}}$ 、信号 $S_{g_{WL2}}$ を受け付ける。信号 $S_{g_{WL1}}$ 、信号 $S_{g_{WL2}}$ は、ワー

50

ド線WL1、WL2を駆動させるための信号である。第3、第4転送トランジスタ134c、134dの他端は、ワード線WL1、WL2に接続されている。第3、第4転送トランジスタ134c、134dの制御ゲートは、電圧変換回路133からの信号を受け付ける。

【0054】

(第1実施形態に係る不揮発性半導体記憶装置100の動作)

次に、第1実施形態に係る不揮発性半導体記憶装置100の動作について説明する。先ず、図6～図8を参照して、第1実施形態に係る不揮発性半導体記憶装置100の書き込み動作、読み出し動作、及び消去動作について説明する。図6～図8に示す動作は、制御信号生成部16によって行われる。図6は、第1実施形態に係る不揮発性半導体記憶装置100の書き込み動作を示すタイミングチャートであり、図7は、その読み出し動作を示すタイミングチャートであり、図8は、その消去動作を示すタイミングチャートである。

【0055】

ここで、以下、書き込み動作、読み出し動作、及び消去動作は、特定の1つのメモリブロックMBを対象とする。ワード線WL1～WL4を「ワード線WL」と表記する。書き込み動作、読み出し動作、及び消去動作のために選択されたワード線WL1～WL4を「選択ワード線WL(sel)」と表記する。一方、非選択のワード線WL1～WL4を「非選択ワード線WL(nsel)」と表記する。書き込み動作、読み出し動作、及び消去動作のために選択されたドレイン側選択ゲート線SGDを、「選択ドレイン側選択ゲート線SGD(sel)」と表記する。一方、非選択のドレイン側選択ゲート線SGDを、「非選択ドレイン側選択ゲート線SGD(nsel)」と表記する。書き込み動作、読み出し動作、及び消去動作のために選択されたソース側選択ゲート線SGSを「選択ソース側選択ゲート線SGS(sel)」と表記する。一方、非選択のソース側選択ゲート線SGSを「非選択ソース側選択ゲート線SGS(nsel)」と表記する。

【0056】

さらに、書き込み動作、読み出し動作、及び消去動作のために選択されたメモリブロックMBを「選択メモリブロックMB(sel)」と表記する。一方、非選択のメモリブロックMBを「非選択メモリブロックMB(nsel)」と表記する。書き込み動作、読み出し動作、及び消去動作のために選択されたメモリストリングMSを「選択メモリストリングMS(sel)」と表記する。一方、非選択のメモリストリングMSを「非選択メモリストリングMS(nsel)」と表記する。書き込み動作、読み出し動作、及び消去動作のために選択されたドレイン側選択トランジスタSDTrを「選択ドレイン側選択トランジスタSDTr(sel)」と表記する。一方、非選択のドレイン側選択トランジスタSDTrを「非選択ドレイン側選択トランジスタSDTr(nsel)」と表記する。書き込み動作、読み出し動作、及び消去動作のために選択されたソース側選択トランジスタSSTrを「選択ソース側選択トランジスタSSTr(sel)」と表記する。一方、非選択のソース側選択トランジスタSDTrを「非選択ソース側選択トランジスタSSTr(nsel)」と表記する。

【0057】

書き込み動作において、はじめに、図6に示すように、ソース線SLは電圧Vddとされ、その他は接地電圧Vssとされている。次に、時刻t11において、“1”書き込みを行う場合、ビット線BLが、電圧Vddに上げられる。或いは、時刻t11において、“0”書き込みを行う場合、ビット線BLは、接地電圧Vssに維持される。また、時刻t11において、選択ワード線WL(sel)、及び非選択ワード線WL(nsel)が、電圧Vddまで上げられる。また、時刻t11において、選択ドレイン側選択ゲート線SGD(sel)が、電圧Vsgまで上げられる。例えば、電圧Vddは、3V～4V程度である。例えば、電圧Vsgは、4V程度である。なお、非選択ドレイン側選択ゲート線SGD(nsel)及び非選択ソース側選択ゲート線SGS(nsel)は、接地電圧Vssとされている。また、非選択ブロックMB(nsel)のワード線WLは、フローティング状態とされている。

【0058】

続いて、時刻 t_{12} において、選択ドレイン側選択ゲート線 $SGD(se1)$ が、電圧 V_{dd} まで下げられる。次に、時刻 t_{13} において、選択ワード線 $WL(se1)$ 、及び非選択ワード線 $WL(n-se1)$ が、電圧 V_{pass} まで上げられる。続いて、時刻 t_{14} において、選択ワード線 $WL(se1)$ が、電圧 V_{pgm} まで上げられる。例えば、電圧 V_{pass} は、10V である。例えば、電圧 V_{pgm} は、18V である。

【0059】

次に、時刻 t_{15} において、選択ワード線 $WL(se1)$ 、非選択ワード線 $WL(n-se1)$ 、及び選択ドレイン側選択ゲート線 $SGD(se1)$ が、接地電圧 V_{ss} まで下げられる。

10

【0060】

上記動作により、選択メモリストリング $MS(se1)$ における選択ワード線 $WL(se1)$ に接続されたメモリトランジスタ MTr の制御ゲートに電荷が蓄積され、データが書き込まれる。

【0061】

読み出し動作において、はじめに、図7に示すように、ビット線 BL 、ソース線 SL 、選択ワード線 $WL(se1)$ 、非選択ワード線 $WL(n-se1)$ 、選択ドレイン側選択ゲート線 $SGD(se1)$ 、及び選択ソース側選択ゲート線 $SGS(se1)$ は、接地電圧 V_{ss} とされている。なお、非選択ドレイン側選択ゲート線 $SGD(n-se1)$ 及び非選択ソース側選択ゲート線 $SGS(n-se1)$ は、接地電圧 V_{ss} とされている。非選択メモリブロック $MB(n-se1)$ のワード線 WL は、フローティング状態とされている。

20

【0062】

次に、時刻 t_{21} において、ビット線 BL が、電圧 V_{pre} まで上げられる。例えば、電圧 V_{pre} は、1V 程度である。また、時刻 t_{21} において、非選択ワード線 $WL(n-se1)$ が、電圧 V_{read} まで上げられる。例えば、電圧 V_{read} は、4V 程度である。また、時刻 t_{21} において、選択ドレイン側選択ゲート線 $SGD(se1)$ が、電圧 V_{sg} まで上げられる。続いて、時刻 t_{22} において、選択ソース側選択ゲート線 $SGS(se1)$ が、電圧 V_{sg} まで上げられる。

【0063】

次に、時刻 t_{23} において、非選択ワード線 $WL(n-se1)$ 、選択ドレイン側選択ゲート線 $SGD(se1)$ 、及び選択ソース側選択ゲート線 $SGS(se1)$ が、接地電圧 V_{ss} まで下げられる。

30

【0064】

上記動作により、ビット線 BL から選択メモリストリング $MS(se1)$ を介してソース線 SL (メモリストリング MS の一方から他方) へと流れる電流を検知し、その大小を比較することで、データが読み出される。

【0065】

消去動作において、はじめに、図8に示すように、ソース線 SL 、ワード線 WL 、選択ドレイン側選択ゲート線 $SGD(se1)$ 、及び選択ソース側選択ゲート線 $SGS(se1)$ は、接地電圧 V_{ss} とされている。なお、ビット線 BL は、フローティング状態とされている。また、非選択ドレイン側選択ゲート線 $SGD(n-se1)$ 及び非選択ソース側選択ゲート線 $SGS(n-se1)$ は、フローティング状態とされている。また、非選択ブロック $MB(n-se1)$ のワード線 WL は、フローティング状態とされている。

40

【0066】

次に、時刻 t_{31} において、ソース線 SL が、電圧 V_{era} まで上げられる。続いて、時刻 t_{32} において、選択ドレイン側選択ゲート線 $SGD(se1)$ 、及び選択ソース側選択ゲート線 $SGS(se1)$ は、電圧 V_{erasg} まで上げられる。電圧 V_{era} は、20V 程度である。電圧 V_{erasg} は、15V 程度である。

【0067】

50

次に、時刻 t_{33} において、ソース線 S_L が、接地電圧 V_{ss} まで下げられる。続いて、時刻 t_{34} において、選択ドレイン側選択ゲート線 $SGD (sel)$ 、及び選択ソース側選択ゲート線 $SGS (sel)$ は、接地電圧 V_{ss} まで下げられる。

【0068】

上記動作により、ソース側選択トランジスタ $SSTr$ のゲート付近にて、 $GIDL$ (Gate Induced Drain Leak) 電流が発生し、生成したホールがメモリ柱状半導体層 35 へと流れる。その結果、メモリ柱状半導体層 35 にソース線 S_L の電位が転送される。一方、電子が、半導体基板 B_a 方向に流れる。これにより、メモリ柱状半導体層 35 と第 1 ～ 第 4 ワード線導電層 32a ～ 32d (例えば、0V に設定) の間の電位差により、メモリトランジスタ $MTr1 \sim MTr4$ を構成する電荷蓄積層 34b から電子が引き抜かれる。すなわち、消去動作がなされる。

10

【0069】

次に、図 9 を参照して、上記読み出し動作の前後に実行される動作について説明する。図 9 に示す動作は、制御信号生成部 16 によって行われる。図 9 は、第 1 実施形態に係る不揮発性半導体記憶装置 100 の読み出し動作の前後に実行する動作を説明するフローチャートである。

【0070】

図 9 に示すように、先ず、非選択メモリストリング $MS (n-sel)$ に接続された非選択ドレイン側選択トランジスタ $SDTr (n-sel)$ に、プレプログラム (事前書き込み) を実行する (ステップ $S101$)。プレプログラムは、ドレイン側選択トランジスタ層 40 の電荷蓄積層 46b に電荷を蓄積させることで実行される。プレプログラムにより、ドレイン側選択トランジスタ $SDTr$ の閾値は、上昇する。

20

【0071】

次に、選択メモリストリング $MS (sel)$ のメモリトランジスタ $MTr1 \sim MTr4$ からデータの読み出しを行なう (ステップ $S102$)。

【0072】

続いて、非選択メモリストリング $MS (n-sel)$ に接続された非選択ドレイン側選択トランジスタ $SDTr (n-sel)$ のプレプログラムを消去する (ステップ $S103$)。プレプログラムの消去は、ドレイン側選択トランジスタ層 40 の電荷蓄積層 46b から電荷を放出させることで実行される。プレプログラムの消去により、ドレイン側選択トランジスタ $SDTr$ の閾値は、低下する。

30

【0073】

上記ステップ $S101$ におけるプレプログラムは、図 10 に示す「例 1」のように、非選択メモリブロック $MB (n-sel)$ における、非選択メモリストリング $MS (n-sel)$ に接続された非選択ドレイン側選択トランジスタ $SDTr (n-sel)$ を対象として実行される。また、プレプログラムは、選択メモリブロック $MB (sel)$ における、非選択メモリストリング $MS (n-sel)$ に接続された非選択ドレイン側選択トランジスタ $SDTr (n-sel)$ を対象として実行される。

【0074】

或いは、上記ステップ $S101$ におけるプレプログラムは、図 11 に示す「例 2」のように、選択メモリブロック $MB (sel)$ における、非選択メモリストリング $MS (n-sel)$ に接続された非選択ドレイン側選択トランジスタ $SDTr (n-sel)$ のみを対象として実行される。

40

【0075】

また、上記ステップ $S101$ におけるプレプログラムは、図 12 に示す「例 3」のように、非選択メモリブロック $MB (n-sel)$ における、非選択ドレイン側選択トランジスタ $SDTr (n-sel)$ のみを対象として実行される。

【0076】

次に、図 13 を参照して、プレプログラム動作 (ステップ $S101$) について説明する。図 13 に示す動作は、制御信号生成部 16 によって行われる。図 13 は、プレプログラ

50

ム動作を示すタイミングチャートである。

【0077】

ここで、以下において、プレプログラム動作の対象とするドレイン側選択ゲート線SGDを、対象ドレイン側選択ゲート線SGD(tar)と表記する。プレプログラム動作の対象としないドレイン側選択ゲート線SGDを、非対象ドレイン側選択ゲート線SGD(n-tar)と表記する。また、プレプログラム動作の対象とするソース側選択ゲート線SGSを、対象ソース側選択ゲート線SGS(tar)と表記する。プレプログラム動作の対象としないソース側選択ゲート線SGSを、非対象ソース側選択ゲート線SGS(n-tar)と表記する。

【0078】

ドレイン側選択トランジスタSDTrの書き込み時、ワード線WL1~WL4と異なり、選択ドレイン側選択ゲート線SGD(sel)に接続される複数のドレイン側選択トランジスタSDTrには、選択的な書き込みが行えず、それら全てに一括で“0”データが書き込まれる。そのため、全てのビット線BLは、接地電圧Vssに設定しておく。

【0079】

図13に示すように、はじめに、ビット線BL、ソース線SL、ワード線WL、対象ドレイン側選択ゲート線SGD(tar)、非対象ドレイン側選択ゲート線SGD(n-tar)、及びソース側選択ゲート線SGSは、接地電圧Vssとされている。次に、時刻t41において、対象ドレイン側選択ゲート線SGD(tar)は、電圧Vddまで上げられる。続いて、時刻t42において、対象ドレイン側選択ゲート線SGD(tar)は、電圧Vpassまで上げられる。次に、時刻t43において、対象ドレイン側選択ゲート線SGD(tar)は、電圧Vpgmまで上げられる。続いて、時刻t44において、対象ドレイン側選択ゲート線SGD(tar)は、接地電圧Vssまで下げられる。

【0080】

上記動作により、ドレイン側柱状半導体層46の電位とドレイン側導電層42との間の電位差で、電荷蓄積層46bに電荷が蓄積される。すなわち、プレプログラムが実行される。

【0081】

次に、図14を参照して、プレプログラム消去動作(ステップS103)について説明する。図14に示す動作は、制御信号生成部16によって行われる。図14は、プレプログラム消去動作を示すタイミングチャートである。

【0082】

図14に示すように、はじめに、ソース線SL、対象ソース側選択ゲート線SGS(tar)、対象ドレイン側選択ゲート線SGD(tar)、及び非対象ドレイン側選択ゲート線SGD(n-tar)は、接地電圧Vssとされている。ワード線WLは、フローティング状態とされている。非選択ブロックMB(n-sel)におけるワード線WL、及び非対象ソース側選択ゲート線SGS(n-tar)は、フローティング状態とされている。

【0083】

まず、時刻t51において、ソース線SLが、電圧Veraまで上げられる。次に、時刻t52において、対象ソース側選択ゲート線SGS(tar)、対象ドレイン側選択ゲート線SGD(tar)、及び非対象ドレイン側選択ゲート線SGD(n-tar)は、電圧Verasgまで上げられる。

【0084】

続いて、時刻t53において、対象ドレイン側選択ゲート線SGD(tar)は、接地電圧Vssまで下げられる。次に、時刻t54において、ソース線SL、対象ソース側選択ゲート線SGS(tar)、及び非対象ドレイン側選択ゲート線SGD(n-tar)は、接地電圧Vssまで下げられる。

【0085】

上記動作により、ソース側選択トランジスタSSTrのゲート付近にて、GIDL(Ga

10

20

30

40

50

te Induced Drain Leak) 電流が発生し、生成したホールがメモリ柱状半導体層 35 を通って、ドレイン側柱状半導体層 47 へと流れる。その結果、ドレイン側柱状半導体層 47 にソース線 S L の電位が転送される。一方、電子が、半導体基板 B a 方向に流れる。これにより、ドレイン側柱状半導体層 47 とドレイン側選択ゲート線 S G D (例えば、0 V に設定) との間の電位差により、ドレイン側選択トランジスタ S D T r を構成する電荷蓄積層 46 b から電子が引き抜かれる。すなわち、プレプログラムの消去動作がなされる。

【0086】

(第1実施形態に係る不揮発性半導体記憶装置 100 の効果)

次に、第1実施形態に係る不揮発性半導体記憶装置 100 の効果について説明する。第1実施形態に係る不揮発性半導体記憶装置 100 は、上記積層構造に示したように高集積

10

【0087】

また、不揮発性半導体記憶装置 100 は、上記製造工程にて説明したように、メモリトランジスタ M T r となる各層、ソース側選択トランジスタ S S T r、及びドレイン側選択トランジスタ層 S D T r となる各層を、積層数に関係なく所定のリソグラフィ工程数で製造することができる。すなわち、安価に不揮発性半導体記憶装置 100 を製造することが可能である。

【0088】

また、不揮発性半導体記憶装置 100 は、ドレイン側選択トランジスタ S D T r の閾値を制御可能に構成されている。したがって、不揮発性半導体記憶装置 100 は、データ読

20

み出し前に、非選択メモリストリング M S (n - s e l) に接続された非選択ドレイン側選択トランジスタ S D T r (n - s e l) の閾値を高く制御することできる。これにより、不揮発性半導体記憶装置 100 は、読み出し時に、ビット線 B L から非選択のメモリストリング M S (n - s e l) を通じてソース線 S L に流れるリーク電流を抑制することできる。すなわち、不揮発性半導体記憶装置 100 は、より正確に読み出し動作を実行することできる。

【0089】

[第2実施形態]

(第2実施形態に係る不揮発性半導体記憶装置の構成)

次に、図 15 を参照して、第2実施形態に係る不揮発性半導体記憶装置の構成について説明する。図 15 は、第2実施形態に係るメモリブロック M B a の断面図である。なお、第2実施形態において、第1実施形態と同様の構成については、同一符号を付し、その説明を省略する。

30

【0090】

第2実施形態に係る不揮発性半導体記憶装置は、第1実施形態と異なるメモリブロック M B a を有する。

【0091】

メモリブロック M B a は、第1実施形態と異なるソース側選択トランジスタ層 20 A、及びドレイン側選択トランジスタ層 40 A を有する。

【0092】

ソース側選択トランジスタ層 20 A は、ソース側ゲート絶縁層 26 の代わりに、ブロック絶縁層 26 a、電荷蓄積層 26 b、及びトンネル絶縁層 26 c を有する。ブロック絶縁層 26 a は、ソース側ホール 25 に面する側壁に、所定の厚みをもって形成されている。電荷蓄積層 26 b は、ブロック絶縁層 26 a の側壁に、所定の厚みをもって形成されている。トンネル絶縁層 26 c は、電荷蓄積層 26 b の側壁に、所定の厚みをもって形成されている。ブロック絶縁層 26 a、及びトンネル絶縁層 26 c は、例えば、酸化シリコン (S i O₂) にて構成されている。電荷蓄積層 26 b は、例えば、窒化シリコン (S i N) にて構成されている。

40

【0093】

ドレイン側選択トランジスタ層 40 A は、ブロック絶縁層 46 a、電荷蓄積層 46 b、

50

及びトンネル絶縁層 46c の代わりに、ドレイン側ゲート絶縁層 46 を有する。ドレイン側ゲート絶縁層 46 は、ドレイン側ホール 45 に面する側壁に所定の厚みをもって形成されている。ドレイン側ゲート絶縁層 46 は、例えば、酸化シリコン (SiO_2) にて構成されている。

【0094】

(第 2 実施形態に係る不揮発性半導体記憶装置の動作)

次に、図 16 を参照して、第 2 実施形態に係る読み出し動作の前後に実行される動作について説明する。図 16 に示す動作は、制御信号生成部 16 によって行われる。図 16 は、第 2 実施形態に係る不揮発性半導体記憶装置における読み出し動作の前後に実行する動作を説明するフローチャートである。

10

【0095】

図 16 に示すように、先ず、非選択メモリストリング $\text{MS}(\text{n-se l})$ に接続された非選択ソース側選択トランジスタ $\text{SSTr}(\text{n-se l})$ に、プレプログラム (事前書き込み) を実行する (ステップ S201)。プレプログラムは、ソース側選択トランジスタ層 20 の電荷蓄積層 25b に電荷を蓄積させることで実行される。プレプログラムにより、非選択ソース側選択トランジスタ $\text{SSTr}(\text{n-se l})$ の閾値は、上昇する。

【0096】

次に、選択メモリストリング (se l) のメモリトランジスタ $\text{MT r 1} \sim \text{MT r 4}$ からデータの読み出しを行なう (ステップ S202)。

【0097】

続いて、非選択メモリストリング (n-se l) に接続された非選択ソース側選択トランジスタ $\text{SSTr}(\text{n-se l})$ のプレプログラムを消去する (ステップ S203)。プレプログラムの消去は、ソース側選択トランジスタ層 20 の電荷蓄積層 25b から電荷を放出させることで実行される。プレプログラムの消去により、非選択ソース側選択トランジスタ $\text{SSTr}(\text{n-se l})$ の閾値は、低下する。

20

【0098】

上記ステップ S201 におけるプレプログラムは、図 17 に示す「例 4」のように、非選択メモリブロック $\text{MB}(\text{n-se l})$ における、非選択メモリストリング $\text{MS}(\text{n-se l})$ に接続された非選択ドレイン側選択トランジスタ $\text{SDTr}(\text{n-se l})$ を対象として実行される。また、プレプログラムは、選択メモリブロック $\text{MB}(\text{se l})$ における、非選択メモリストリング $\text{MS}(\text{n-se l})$ に接続された非選択ドレイン側選択トランジスタ $\text{SDTr}(\text{n-se l})$ を対象として実行される。

30

【0099】

或いは、上記ステップ S201 におけるプレプログラムは、図 18 に示す「例 5」のように、選択メモリブロック $\text{MB}(\text{se l})$ における、非選択メモリストリング $\text{MS}(\text{n-se l})$ に接続された非選択ドレイン側選択トランジスタ $\text{SDTr}(\text{n-se l})$ のみを対象として実行される。

【0100】

また、上記ステップ S201 におけるプレプログラムは、図 19 に示す「例 6」のように、非選択メモリブロック $\text{MB}(\text{n-se l})$ における、非選択ソース側選択トランジスタ $\text{SSTr}(\text{n-se l})$ のみを対象として実行される。

40

【0101】

次に、図 20 を参照して、プレプログラム動作 (ステップ S201) について説明する。図 20 に示す動作は、制御信号生成部 16 によって行われる。図 20 は、プレプログラム動作を示すタイミングチャートである。

【0102】

図 20 に示すように、はじめに、全ての線は、接地電圧 V_{ss} とされている。先ず、時刻 t_{61} において、対象ソース側選択ゲート線 $\text{SGS}(\text{tar})$ は、電圧 V_{dd} まで上げられる。次に、時刻 t_{62} において、対象ソース側選択ゲート線 $\text{SGS}(\text{tar})$ は、電圧 V_{pass} まで上げられる。続いて、時刻 t_{63} において、対象ソース側選択ゲート線

50

SGS (tar) は、電圧 V_{pgm} まで上げられる。次に、時刻 t_{64} において、対象ソース側選択ゲート線 SGS (tar) は、接地電圧 V_{ss} まで下げられる。

【0103】

上記動作により、ソース側柱状半導体層 27 の電位とソース側導電層 22 との間の電位差で、電荷蓄積層 26b に電荷が蓄積される。すなわち、プレプログラムが実行される。

【0104】

次に、図 21 を参照して、プレプログラム消去動作（ステップ S203）について説明する。図 21 に示す動作は、制御信号生成部 16 によって行われる。図 21 は、プレプログラム消去動作を示すタイミングチャートである。

【0105】

図 21 に示すように、はじめに、ソース線 SL、対象ソース側選択ゲート線 SGS (tar)、非対象ソース側選択ゲート線 SGS (ntar)、及び対象ドレイン側選択ゲート線 SGD (tar) は、接地電圧 V_{ss} とされている。ワード線 WL は、フローティング状態とされている。非対象ドレイン側選択ゲート線 SGD (ntar) は、フローティング状態とされている。

【0106】

次に、時刻 t_{71} において、ソース線 SL が、電圧 V_{era} まで上げられる。続いて、時刻 t_{72} において、対象ドレイン側選択ゲート線 SGD (tar)、非対象ソース側選択ゲート線 SGS (ntar)、及び対象ソース側選択ゲート線 SGS (tar) は、電圧 V_{erasg} まで上げられる。

【0107】

次に、時刻 t_{73} において、対象ソース側選択ゲート線 SGS (tar) は、接地電圧 V_{ss} まで下げられる。続いて、時刻 t_{74} において、ソース線 SL、非対象ソース側選択ゲート線 SGS (ntar)、及び対象ドレイン側選択ゲート線 SGD (tar) は、接地電圧 V_{ss} まで下げられる。

【0108】

上記動作により、ソース側選択トランジスタ SSTr のゲート付近にて、GIDL (Gate Induced Drain Leak) 電流が発生し、生成したホールがソース側柱状半導体層 27 へと流れる。その結果、ソース側柱状半導体層 27 にソース線 SL の電位が転送される。一方、電子が、半導体基板 Ba 方向に流れる。これにより、ソース側柱状半導体層 27 とソース側選択ゲート線 SGS (例えば、0V に設定) との間の電位差により、ソース側選択トランジスタ SSTr を構成する電荷蓄積層 26b から電子が引き抜かれる。すなわち、プレプログラムの消去動作がなされる。

【0109】

（第 2 実施形態に係る不揮発性半導体記憶装置の効果）

次に、第 2 実施形態に係る不揮発性半導体記憶装置の効果について説明する。上記のように第 2 実施形態に係る不揮発性半導体記憶装置は、ソース側選択トランジスタ SSTr の閾値を制御可能に構成されている。したがって、不揮発性半導体記憶装置は、データ読み出し前に、非選択メモリストリング MS (nse1) に接続された非選択ソース側選択トランジスタ SSTr (nse1) の閾値を高く制御することができる。これにより、不揮発性半導体記憶装置は、ビット線 BL から非選択のメモリストリング MS (nse1) を通じてソース線 SL に流れるリーク電流を抑制することができる。すなわち、第 2 実施形態に係る不揮発性半導体記憶装置は、第 1 実施形態と同様に、より正確に読み出し動作を実行することができる。

【0110】

〔第 3 実施形態〕

（第 3 実施形態に係る不揮発性半導体記憶装置の構成）

次に、図 22 を参照して、第 3 実施形態に係る不揮発性半導体記憶装置の構成について説明する。図 22 は、第 3 実施形態に係るメモリブロック MBb の断面図である。なお、第 3 実施形態において、第 1 及び第 2 実施形態と同様の構成については、同一符号を付し

10

20

30

40

50

、その説明を省略する。

【0111】

第3実施形態に係る不揮発性半導体記憶装置は、図22に示すように、第1実施形態と異なるメモリブロックMBbを有する。

【0112】

メモリブロックMBbは、第1実施形態及び第2実施形態にて説明したソース側選択トランジスタ層20A、メモリトランジスタ層30、及びドレイン側選択トランジスタ層40を有する。

【0113】

(第3実施形態に係る不揮発性半導体記憶装置の動作)

10

次に、第3実施形態に係る不揮発性半導体記憶装置の動作について説明する。第3実施形態における制御信号生成部16は、第1実施形態の図9に示した動作(ステップS101～S103)、及び第2実施形態の図16に示した動作(ステップS201～S203)を実行する。

【0114】

(第3実施形態に係る不揮発性半導体記憶装置の効果)

次に、第3実施形態に係る不揮発性半導体記憶装置の効果について説明する。第3実施形態に係る不揮発性半導体記憶装置は、第1及び第2実施形態に係る特徴を有する。したがって、第3実施形態に係る不揮発性半導体記憶装置は、第1及び第2実施形態と同様と効果を奏する。

20

【0115】

[第4実施形態]

(第3実施形態に係る不揮発性半導体記憶装置の構成)

次に、図23～図25を参照して、第3実施形態に係る不揮発性半導体記憶装置の構成について説明する。図23は、第4実施形態に係る不揮発性半導体記憶装置のメモリブロックMBcの回路図である。図24は、メモリブロックMBcの概略斜視図である。図25は、図24の一部拡大断面図である。なお、第4実施形態において、第1～第3実施形態と同様の構成については、同一符号を付し、その説明を省略する。

【0116】

メモリブロックMBcは、図23に示すように、複数のメモリストリングMSb、ソース側選択トランジスタSSTrb、及びドレイン側選択トランジスタSDTrbを備える。メモリストリングMSbは、直列接続されたメモリトランジスタMTrb1～MTrb8、及びバックゲートトランジスタBTrにて構成されている。バックゲートトランジスタBTrは、メモリトランジスタMTrb4とメモリトランジスタMTrb5との間に接続されている。ドレイン側選択トランジスタSDTrbは、メモリストリングMSbの一端(メモリトランジスタMTrb8)に接続されている。ソース側選択トランジスタSSTrbは、メモリストリングMSbの他端(メモリトランジスタMTrb1)に接続されている。

30

【0117】

図23に示すように、メモリブロックMBcにおいて、ロウ方向に配列されたメモリトランジスタMTrb1の制御ゲートは、ワード線WLb1に共通接続されている。同様に、ロウ方向に配列されたメモリトランジスタMTrb2～MTrb8の制御ゲートは、ワード線WLb2～WLb8に共通接続されている。また、ロウ方向及びカラム方向にマトリクス状に配列されたバックゲートトランジスタBTrの制御ゲートは、バックゲート線BGに共通接続されている。

40

【0118】

図23に示すように、メモリブロックMBcにおいて、カラム方向に配列された各ドレイン側選択トランジスタSDTrbの制御ゲートは、ドレイン側選択ゲート線SGDbに共通接続されている。ドレイン側選択ゲート線SGDbは、複数のメモリブロックMBbを跨いでロウ方向に延びるように形成されている。また、ロウ方向に配列されたドレイン

50

側選択トランジスタ $S D T r b$ の他端は、ビット線 $B L b$ に共通に接続されている。ビット線 $B L b$ は、複数のメモリブロック $M B b$ を跨いでカラム方向に延びるように形成されている。

【0119】

図23に示すように、メモリブロック $M B c$ において、カラム方向に配列された各ソース側選択トランジスタ $S S T r b$ の制御ゲートは、ソース側選択ゲート線 $S G S b$ に共通接続されている。ソース側選択ゲート線 $S G S b$ は、複数のメモリブロック $M B c$ を跨いでロウ方向に延びるように形成されている。また、ロウ方向に配列されたソース側選択トランジスタ $S S T r b$ の他端は、ソース線 $S L b$ に共通に接続されている。カラム方向に隣接するソース側選択トランジスタ $S S T r b$ は、共通のソース線 $S L b$ に接続されている。ソース線 $S L b$ は、複数のメモリブロック $M B c$ を跨いでロウ方向に延びるように形成されている。

10

【0120】

上記のようなメモリブロック $M B c$ の回路構成は、図24及び図25に示す積層構造により実現されている。各メモリブロック $M B c$ は、半導体基板 $B a a$ 上に順次積層されたバックゲートトランジスタ層20B、メモリトランジスタ層30B、及び選択トランジスタ層40Bを有する。バックゲートトランジスタ層20Bは、バックゲートトランジスタ $B T r$ として機能する。メモリトランジスタ層30Bは、メモリストリング $M S b$ (メモリトランジスタ $M T r b 1 \sim M T r b 8$) として機能する。選択トランジスタ層40Bは、ソース側選択トランジスタ $S S T r b$ 、及びドレイン側選択トランジスタ $S D T r b$ として機能する。

20

【0121】

バックゲートトランジスタ層20Bは、図24及び図25に示すように、バックゲート導電層21Bを有する。バックゲート導電層21Bは、ロウ方向及びカラム方向に広がるように所定領域に亘って形成されている。バックゲート導電層21Bは、メモリブロック $M B c$ 毎に分断されている。

【0122】

バックゲート導電層21Bは、例えば、ポリシリコン ($p-Si$) にて構成されている。

【0123】

また、バックゲートトランジスタ層20Bは、図25に示すように、バックゲート導電層21Bを掘り込むように形成されたバックゲートホール22Bを有する。バックゲートホール22Bは、カラム方向に延びるように形成されている。バックゲートホール22Bは、ロウ方向及びカラム方向にマトリクス状に形成されている。

30

【0124】

さらに、バックゲートトランジスタ層20Bは、図25に示すように、バックゲートホール22B内に、ブロック絶縁層23Ba、電荷蓄積層23Bb、トンネル絶縁層23Bc、及び底部半導体層24Bを有する。ブロック絶縁層23Baは、バックゲートホール22Bに面する側壁に所定の厚みをもって形成されている。電荷蓄積層23Bbは、ブロック絶縁層23Baの側壁に所定の厚みをもって形成されている。トンネル絶縁層23Bcは、電荷蓄積層23Bbの側壁に所定の厚みをもって形成されている。底部半導体層24Bは、バックゲートホール22Bを埋めるように形成されている。底部半導体層24Bは、カラム方向に延びるように形成されている。

40

【0125】

ブロック絶縁層23Ba、及びトンネル絶縁層23Bcは、例えば、酸化シリコン (SiO_2) にて構成されている。電荷蓄積層23Bbは、例えば、窒化シリコン (SiN) にて構成されている。底部半導体層24Bは、例えば、ポリシリコン ($p-Si$) にて構成されている。

【0126】

上記バックゲートトランジスタ層20Bの構成において、バックゲート導電層21Bは

50

、バックゲートトランジスタBTrの制御ゲートとして機能する。また、バックゲート導電層21Bは、バックゲート線BGの一部として機能する。

【0127】

メモリトランジスタ層30Bは、図24及び図25に示すように、ワード線導電層31Ba～31Bhを有する。ワード線導電層31Ba～31Bhは、ロウ方向に延びるように形成されている。各ワード線導電層31Ba～31Bhは、層間絶縁層（図示略）を介して絶縁分離されている。ワード線導電層31Ba～31Bhは、メモリブロックMbc毎に分断されている。ワード線導電層31Baとワード線導電層31Bbは、1層目（最下層）に形成されている。ワード線導電層31Bcとワード線導電層31Bdは、2層目に形成されている。ワード線導電層31Beとワード線導電層31Bfとは、3層目に形成されている。ワード線導電層31Bgとワード線導電層31Bhとは、4層目（最上層）に形成されている。

10

【0128】

ワード線導電層31Ba～31Bhは、例えば、ポリシリコン（p-Si）にて構成されている。

【0129】

また、メモリトランジスタ層30Bは、図25に示すように、ワード線導電層31Ba、31Bc、31Be、31Bgを貫通するように形成されたメモリホール32Ba、ワード線導電層31Bb、31Bd、31Bf、31Bhを貫通するように形成されたメモリホール32Bbを有する。メモリホール32Ba、Bbは、ロウ方向及びカラム方向にマトリクス状に形成されている。メモリホール32Ba、Bbは、バックゲートホール22Bのカラム方向の両端に整合するように形成されている。

20

【0130】

さらに、メモリトランジスタ層30Bは、図25に示すように、メモリホール32Ba、Bb内に、ブロック絶縁層33Ba、電荷蓄積層33Bb、トンネル絶縁層33Bc、及びメモリ柱状半導体層34Ba、34Bbを有する。ブロック絶縁層33Baは、メモリホール32Bに面する側壁に所定の厚みをもって形成されている。電荷蓄積層33Bbは、ブロック絶縁層33Baの側壁に所定の厚みをもって形成されている。トンネル絶縁層33Bcは、電荷蓄積層33Bbの側壁に所定の厚みをもって形成されている。メモリ柱状半導体層34Ba、Bbは、メモリホール32Ba、32Bbを埋めるように形成されている。メモリ柱状半導体層34Ba、34Bbは、積層方向に延びるように柱状に形成されている。メモリ柱状半導体層34Ba、34Bbは、底部半導体層24Bのカラム方向両端上面に接するように形成されている。すなわち、メモリストリングMSbを構成する半導体層は、一对のメモリ柱状半導体層34Ba、34Bb（柱状部）、及びそれらの下端を連結させるように形成された底部半導体層24B（連結部）にて構成されている。メモリストリングMSbを構成する半導体層は、ロウ方向からみてU字状に形成されている。

30

【0131】

ブロック絶縁層33Ba、及びトンネル絶縁層33Bcは、例えば、酸化シリコン（SiO₂）にて構成されている。電荷蓄積層33Bbは、例えば、窒化シリコン（SiN）にて構成されている。メモリ柱状半導体層34Bは、例えば、ポリシリコン（p-Si）にて構成されている。

40

【0132】

上記メモリトランジスタ層30Bの構成において、ワード線導電層31Ba～31Bhは、メモリトランジスタMTrb1～MTrb8の制御ゲートとして機能する。また、ワード線導電層31Ba～31Bhは、ワード線WLb1～WLb8の一部として機能する。

【0133】

選択トランジスタ層40Bは、図24及び図25に示すように、ソース側導電層41B、及びドレイン側導電層42Bを有する。ソース側導電層41B、及びドレイン側導電層

50

4 2 Bは、ロウ方向に延びるように形成されている。ソース側導電層 4 1 Bは、最上層のワード線導電層 3 1 B gの上層に形成されている。ドレイン側導電層 4 2 Bは、最上層のワード線導電層 3 1 B hの上層に形成されている。

【0 1 3 4】

ソース側導電層 4 1 B、及びドレイン側導電層 4 2 Bは、例えば、ポリシリコン（p - S i）にて構成されている。

【0 1 3 5】

また、選択トランジスタ層 4 0 Bは、図 2 5に示すように、ソース側導電層 4 1 Bを貫通するように形成されたソース側ホール 4 3 B、及びドレイン側導電層 4 2 Bを貫通するように形成されたドレイン側ホール 4 4 Bを有する。ソース側ホール 4 3 Bは、メモリホール 3 2 B aと整合する位置に形成されている。ドレイン側ホール 4 4 Bは、メモリホール 3 2 B bと整合する位置に形成されている。

10

【0 1 3 6】

さらに、選択トランジスタ層 4 0 Bは、図 2 5に示すように、ソース側ホール 4 3 B内に、ブロック絶縁層 4 5 B a、電荷蓄積層 4 5 B b、トンネル絶縁層 4 5 B c、及びソース側柱状半導体層 4 6 Bを有する。ブロック絶縁層 4 5 B aは、ソース側ホール 4 3 Bに面する側壁に所定の厚みをもって形成されている。電荷蓄積層 4 5 B bは、ブロック絶縁層 4 5 B aの側壁に所定の厚みをもって形成されている。トンネル絶縁層 4 5 B cは、電荷蓄積層 4 5 B bの側壁に所定の厚みをもって形成されている。ソース側柱状半導体層 4 6 Bは、ソース側ホール 4 3 Bを埋めるように形成されている。ソース側柱状半導体層 4 6 Bは、ロウ方向及びカラム方向にマトリクス状に形成されている。ソース側柱状半導体層 4 6 Bは、積層方向に延びるように柱状に形成されている。ソース側柱状半導体層 4 6 Bは、メモリ柱状半導体層 3 4 B aの上面に接するように形成されている。

20

【0 1 3 7】

ブロック絶縁層 4 5 B a、及びトンネル絶縁層 4 5 B cは、例えば、酸化シリコン（S i O₂）にて構成されている。電荷蓄積層 4 5 B bは、例えば、窒化シリコン（S i N）にて構成されている。ソース側柱状半導体層 4 6 Bは、例えば、ポリシリコン（p - S i）にて構成されている。

【0 1 3 8】

さらに、選択トランジスタ層 4 0 Bは、図 2 5に示すように、ドレイン側ホール 4 4 B内に、ブロック絶縁層 4 7 B a、電荷蓄積層 4 7 B b、トンネル絶縁層 4 7 B c、及びドレイン側柱状半導体層 4 8 Bを有する。ブロック絶縁層 4 7 B aは、ドレイン側ホール 4 4 Bに面する側壁に所定の厚みをもって形成されている。電荷蓄積層 4 7 B bは、ブロック絶縁層 4 7 B aの側壁に所定の厚みをもって形成されている。トンネル絶縁層 4 7 B cは、電荷蓄積層 4 7 B bの側壁に所定の厚みをもって形成されている。ドレイン側柱状半導体層 4 8 Bは、ドレイン側ホール 4 4 Bを埋めるように形成されている。ドレイン側柱状半導体層 4 8 Bは、ロウ方向及びカラム方向にマトリクス状に形成されている。ドレイン側柱状半導体層 4 8 Bは、積層方向に延びるように柱状に形成されている。ドレイン側柱状半導体層 4 8 Bは、メモリ柱状半導体層 3 4 B bの上面に接するように形成されている。

30

40

【0 1 3 9】

ブロック絶縁層 4 7 B a、及びトンネル絶縁層 4 7 B cは、例えば、酸化シリコン（S i O₂）にて構成されている。電荷蓄積層 4 7 B bは、例えば、窒化シリコン（S i N）にて構成されている。ドレイン側柱状半導体層 4 8 Bは、例えば、ポリシリコン（p - S i）にて構成されている。

【0 1 4 0】

上記選択トランジスタ層 4 0 Bの構成において、ソース側導電層 4 1 Bは、ソース側選択トランジスタ S S T r bの制御ゲートとして機能する。また、ソース側導電層 4 1 Bは、ソース側選択ゲート線 S G S bの一部として機能する。ドレイン側導電層 4 2 Bは、ドレイン側選択トランジスタ S D T r bの制御ゲートとして機能する。また、ドレイン側導

50

電層 4 2 B は、ドレイン側選択ゲート線 S G D b の一部として機能する。

【0141】

また、図 2 4 に示すように、ロウ方向に並ぶソース側柱状半導体層 4 6 B の上面には、ソース線導電層 5 1 B が形成されている。ソース線導電層 5 1 B は、ロウ方向に延びるように形成されている。ソース線導電層 5 1 B は、ソース線 S L b として機能する。また、ロウ方向に並ぶドレイン側柱状半導体層 4 8 B の上面には、ビット線導電層 5 2 B が形成されている。ビット線導電層 5 2 B は、カラム方向に延びるように形成されている。ビット線導電層 5 2 B は、ビット線 B L b として機能する。

【0142】

(第 4 実施形態に係る不揮発性半導体装置の動作)

次に、第 4 実施形態に係る不揮発性半導体装置の動作について説明する。第 4 実施形態における制御信号生成部 1 6 は、第 3 実施形態と同様に、読み出し動作の前に、非選択メモリストリング M S b に接続された非選択ドレイン側選択トランジスタ S D T r b (n - s e l)、及び非選択ソース側選択トランジスタ S S T r b (n - s e l) の制御ゲートにプリプログラムを行い、それら制御ゲートの閾値を高くする。

【0143】

また、第 4 実施形態における制御信号生成部 1 6 は、第 3 実施形態と同様に、読み出し動作の後に、非選択ドレイン側選択トランジスタ S D T r b (n - s e l) 及び非選択ソース側選択トランジスタ S S T r b (n - s e l) の制御ゲートのプリプログラムを消去し、それら制御ゲートの閾値を低くする。

【0144】

(第 4 実施形態に係る不揮発性半導体装置の効果)

次に、第 4 実施形態に係る不揮発性半導体装置の効果について説明する。第 4 実施形態に係る不揮発性半導体記憶装置は、第 3 実施形態と同様に動作する。したがって、第 4 実施形態に係る不揮発性半導体記憶装置は、第 3 実施形態と同様の効果を奏する。

【0145】

[その他実施形態]

以上、不揮発性半導体記憶装置の一実施形態を説明してきたが、本発明は、上記実施形態に限定されるものではなく、発明の趣旨を逸脱しない範囲内において種々の変更、追加、置換等が可能である。

【0146】

例えば、第 4 実施形態に係る不揮発性半導体記憶装置は、プリプログラムを選択メモリストリング M S b (s e l) に接続された非選択ドレイン側選択トランジスタ S D T r b (n - s e l) のみに行なう構成であってもよい。また、第 4 実施形態に係る不揮発性半導体記憶装置は、プリプログラムを選択メモリストリング M S (s e l) に接続された非選択ソース側選択トランジスタ S S T r b (n - s e l) のみに行なう構成であってもよい。

【図面の簡単な説明】

【0147】

【図 1】本発明の第 1 実施形態に係る不揮発性半導体記憶装置 1 0 0 のブロック図である。

【図 2】メモリセルアレイ 1 1 の概略斜視図である。

【図 3】図 2 の拡大図である。

【図 4】図 3 の断面図である。

【図 5】不揮発性半導体記憶装置 1 0 0 の回路図である。

【図 6】第 1 実施形態に係る不揮発性半導体記憶装置 1 0 0 の書き込み動作を示すタイミングチャートである。

【図 7】第 1 実施形態に係る不揮発性半導体記憶装置 1 0 0 の読み出し動作を示すタイミングチャートである。

【図 8】第 1 実施形態に係る不揮発性半導体記憶装置 1 0 0 の消去動作を示すタイミング

10

20

30

40

50

チャートである。

【図 9】第 1 実施形態に係る不揮発性半導体記憶装置 100 の読み出し動作の前後に実行する動作を説明するフローチャートである。

【図 10】ステップ S101 におけるプレプログラムの「例 1」を示す図である。

【図 11】ステップ S101 におけるプレプログラムの「例 2」を示す図である。

【図 12】ステップ S101 におけるプレプログラムの「例 3」を示す図である。

【図 13】プレプログラム動作（ステップ S101）を示すタイミングチャートである。

【図 14】プレプログラム消去動作（ステップ S103）を示すタイミングチャートである。

【図 15】第 2 実施形態に係るメモリブロック MBa の断面図である。

10

【図 16】第 2 実施形態に係る不揮発性半導体記憶装置における読み出し動作の前後に実行する動作を説明するフローチャートである。

【図 17】ステップ S201 におけるプレプログラムの「例 4」を示す図である。

【図 18】ステップ S201 におけるプレプログラムの「例 5」を示す図である。

【図 19】ステップ S201 におけるプレプログラムの「例 6」を示す図である。

【図 20】プレプログラム動作（ステップ S201）を示すタイミングチャートである。

【図 21】プレプログラム消去動作（ステップ S203）を示すタイミングチャートである。

【図 22】第 3 実施形態に係るメモリブロック MBb の断面図である。

【図 23】第 4 実施形態に係る不揮発性半導体記憶装置のメモリブロック MBc の回路図である

20

【図 24】第 4 実施形態に係る不揮発性半導体記憶装置のメモリブロック MBc の概略斜視図である。

【図 25】図 24 の一部拡大断面図である。

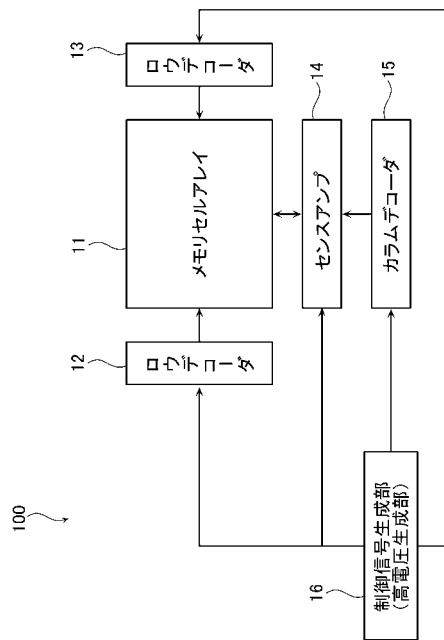
【符号の説明】

【0148】

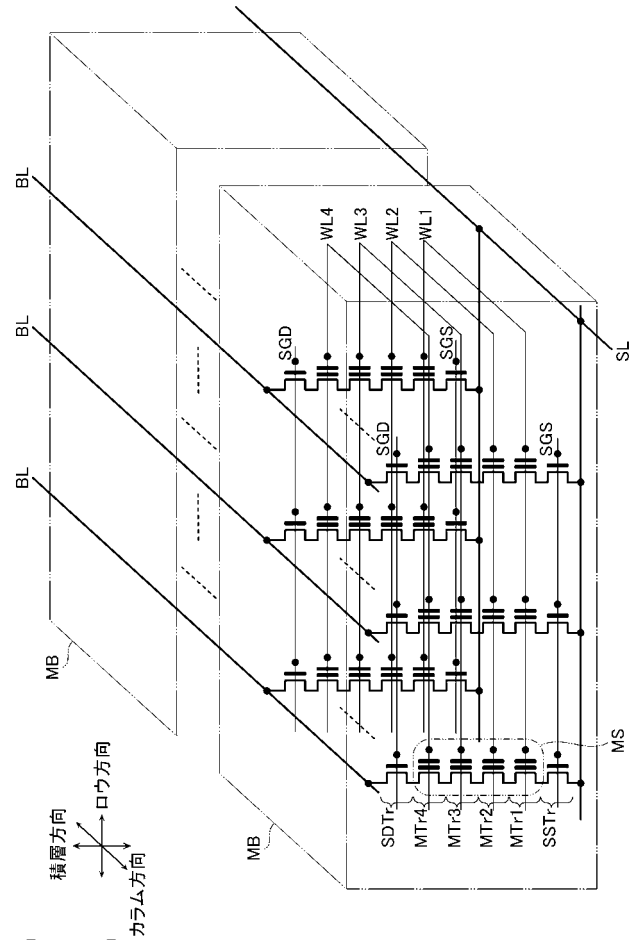
100…不揮発性半導体記憶装置、 20、20A…ソース側選択トランジスタ層、
20B…バックゲートトランジスタ層、 30、30B…メモリトランジスタ層、 40
、40A…ドレイン側選択トランジスタ層、 40B…選択トランジスタ層、 Ba…半
導体基板、 MTr1～MTr4、MTrb1～MTrb8…メモリトランジスタ、 S
STr、SSTrb…ソース側選択トランジスタ、 SDTr、SDTrb…ドレイン側
選択トランジスタ。

30

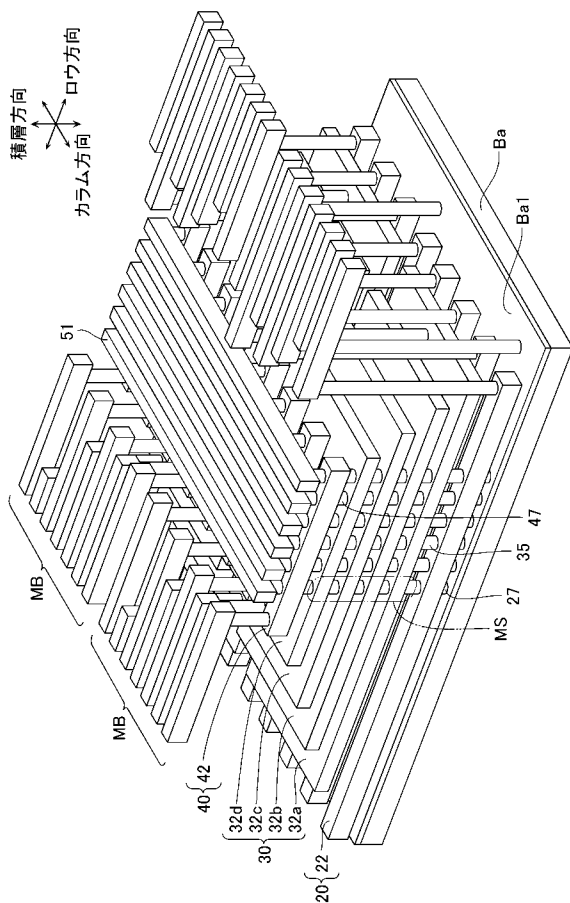
【図 1】



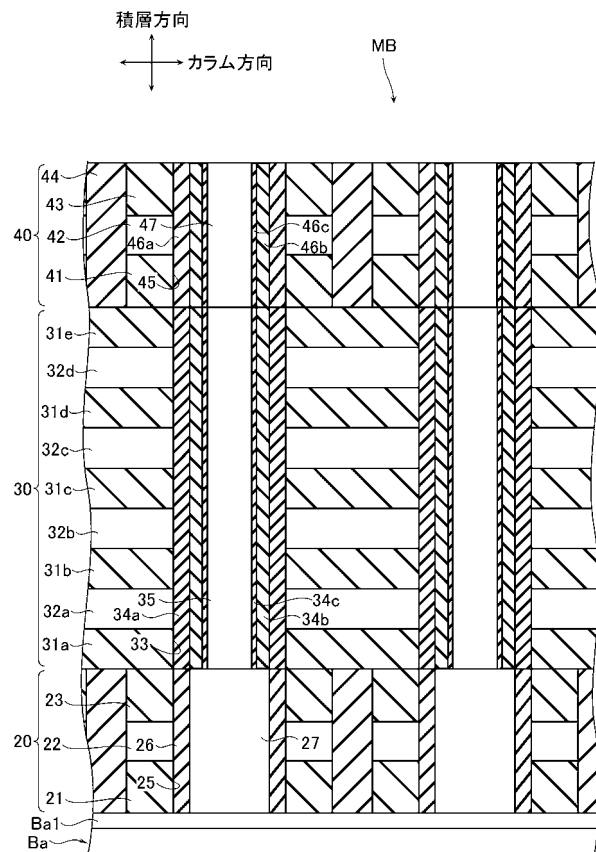
【図 2】



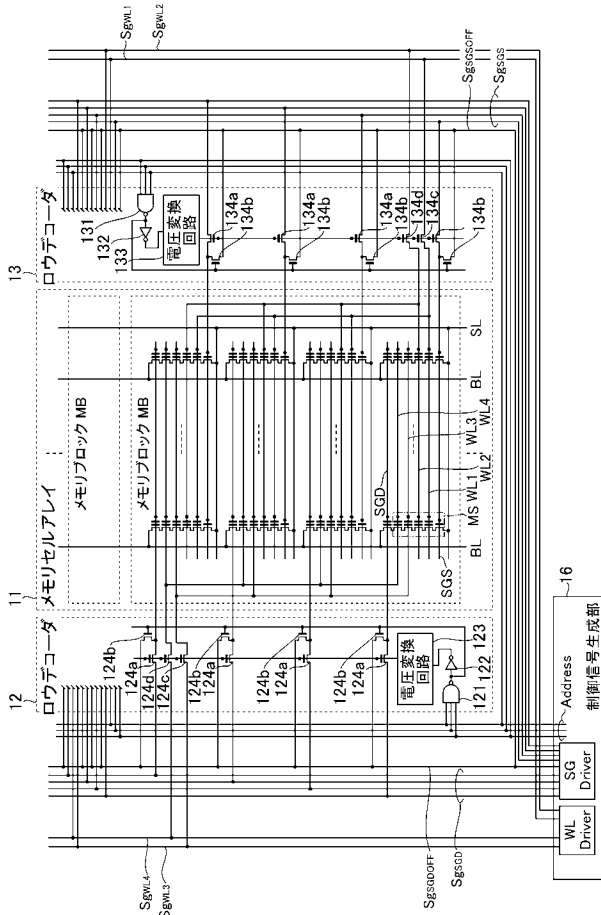
【図 3】



【図 4】

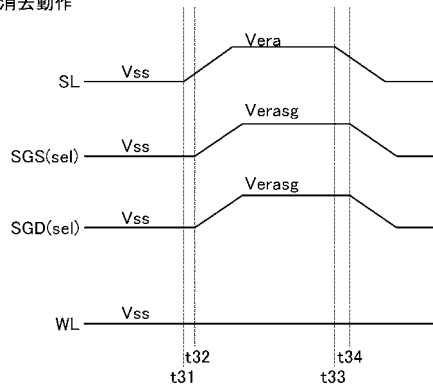


【図 5】

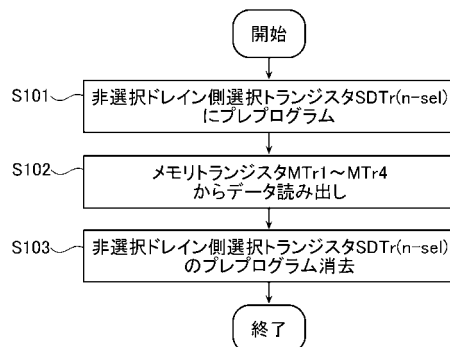


【図 8】

消去動作

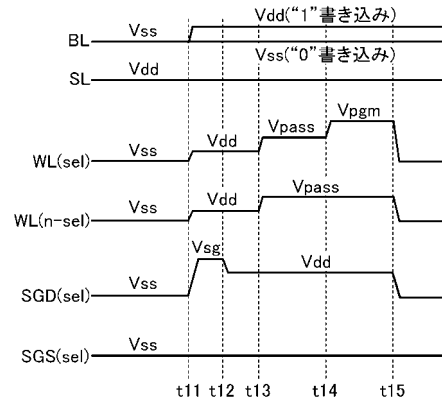


【図 9】



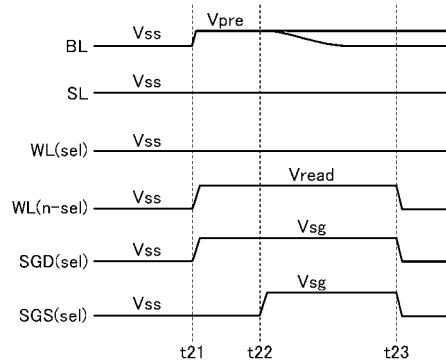
【図 6】

書き込み動作

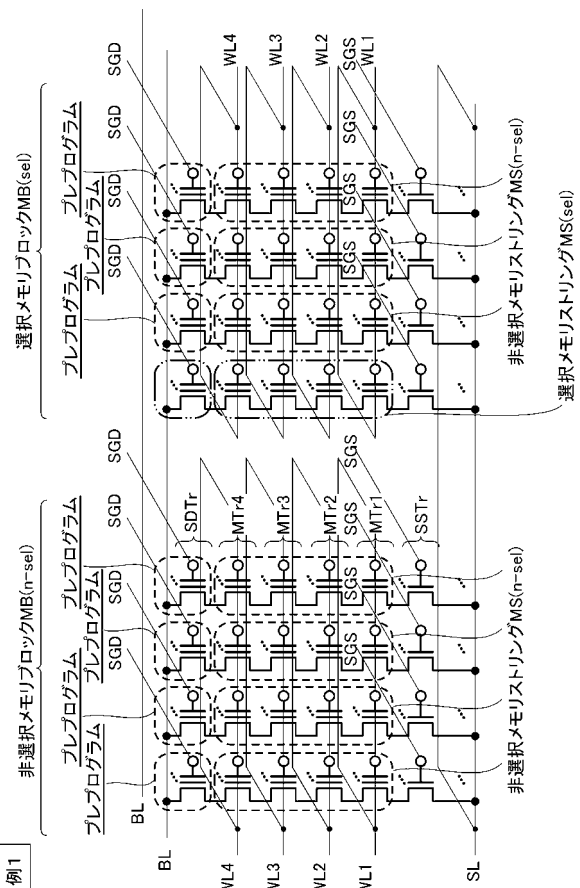


【図 7】

読み出し動作

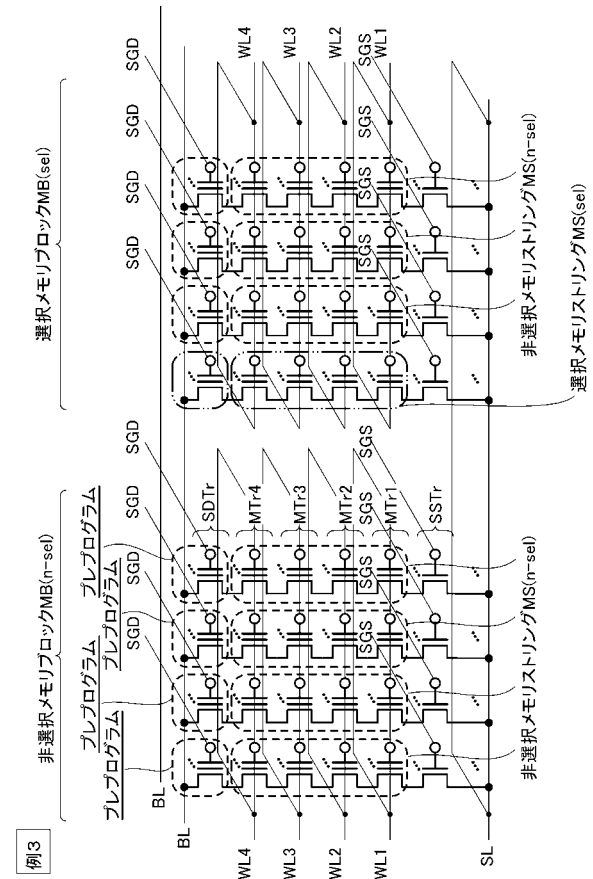


【図 10】

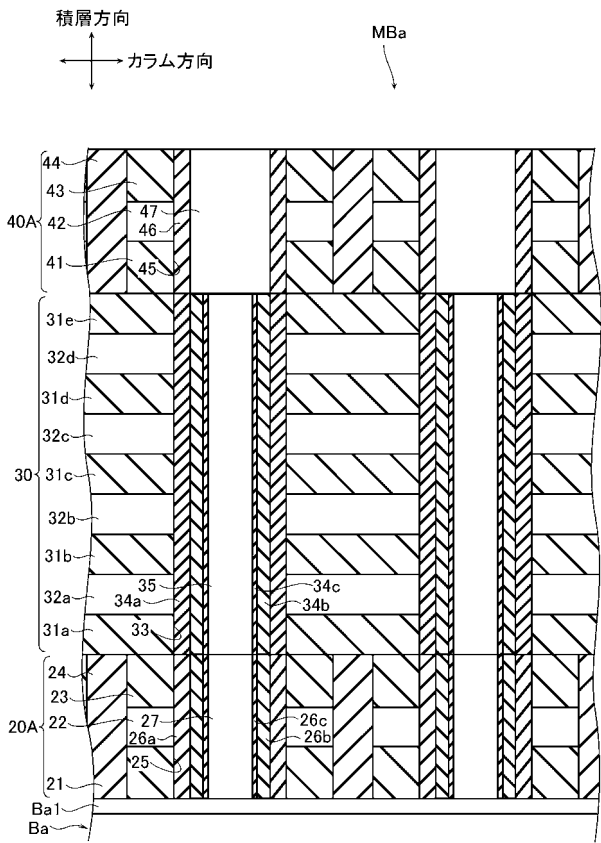


例1

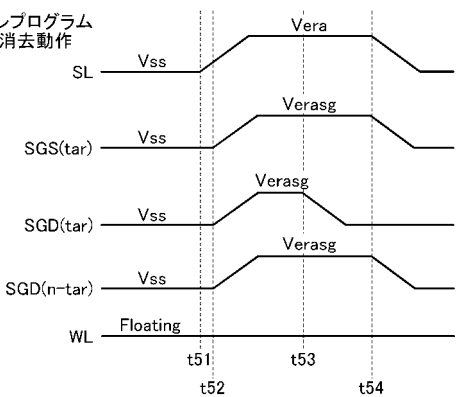
【図 1 2】



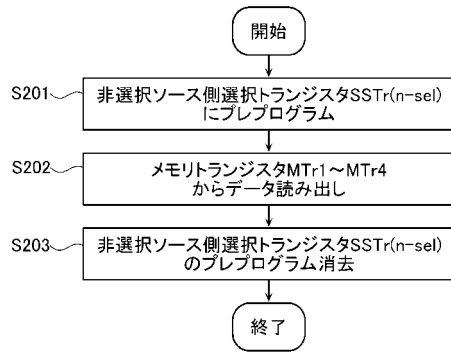
【 図 1 5 】



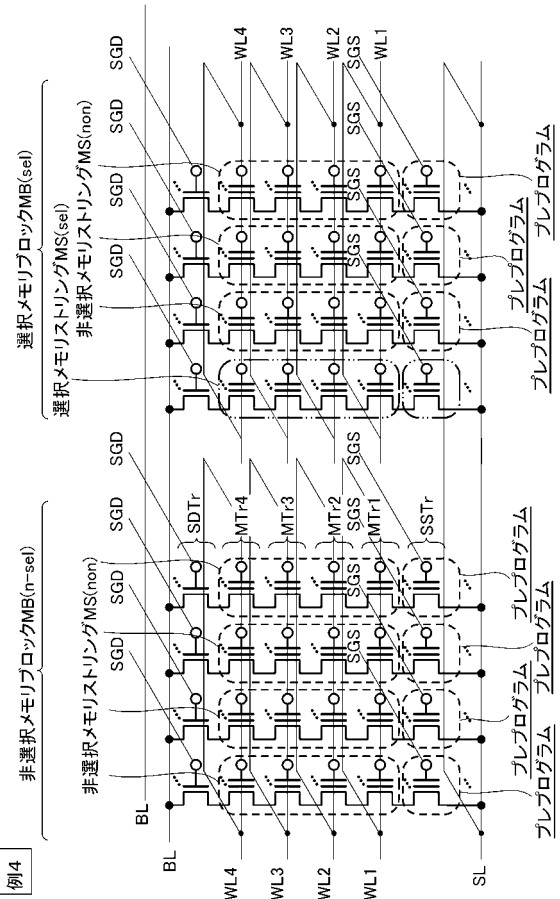
プレプログラム 消去動作



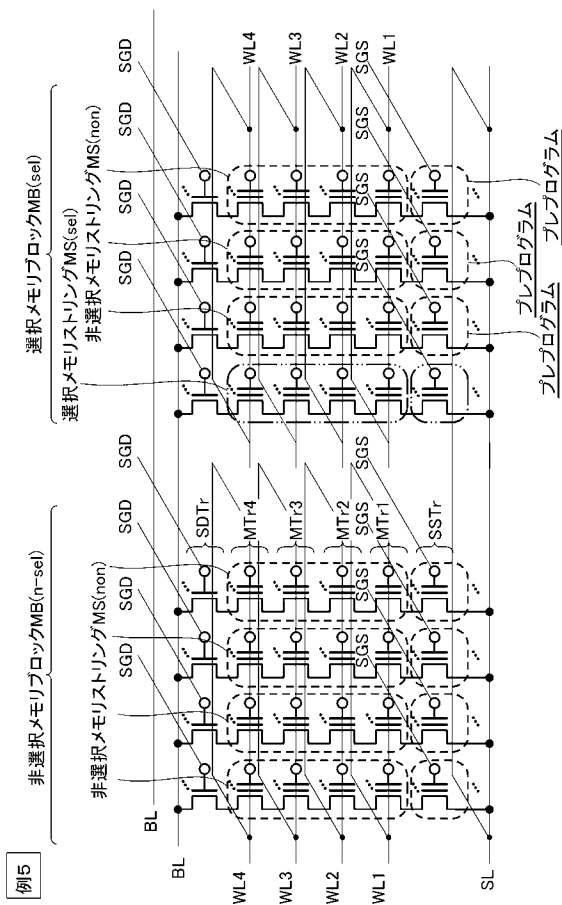
【図 16】



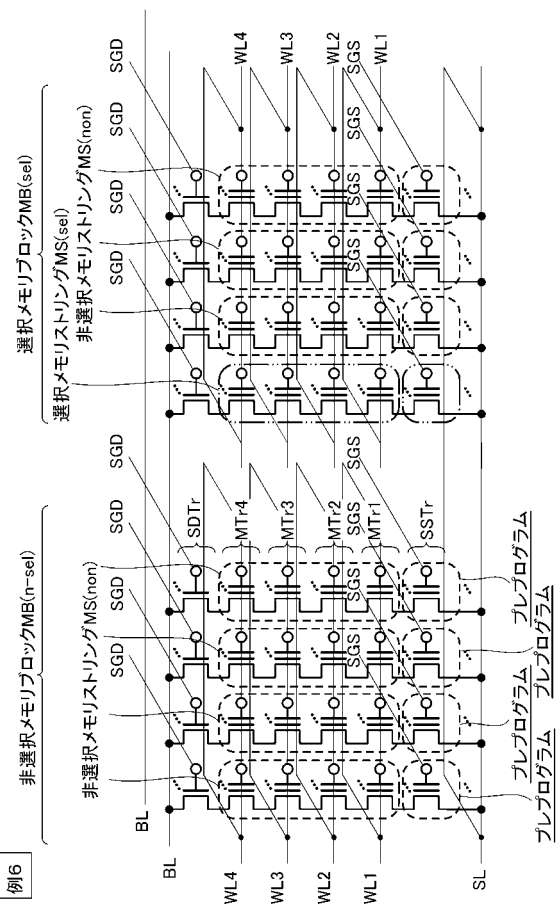
【図 17】



【図 18】

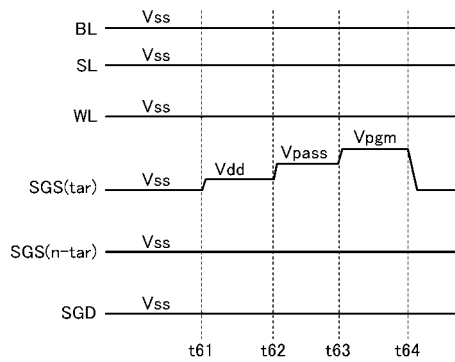


【図 19】

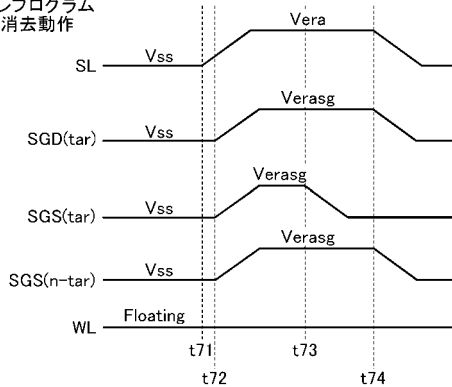


【図 20】

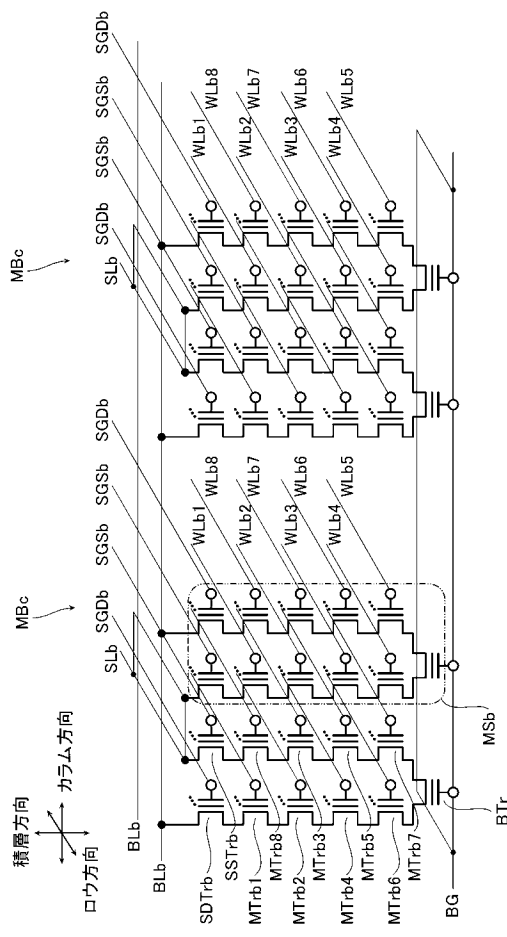
プレプログラム動作



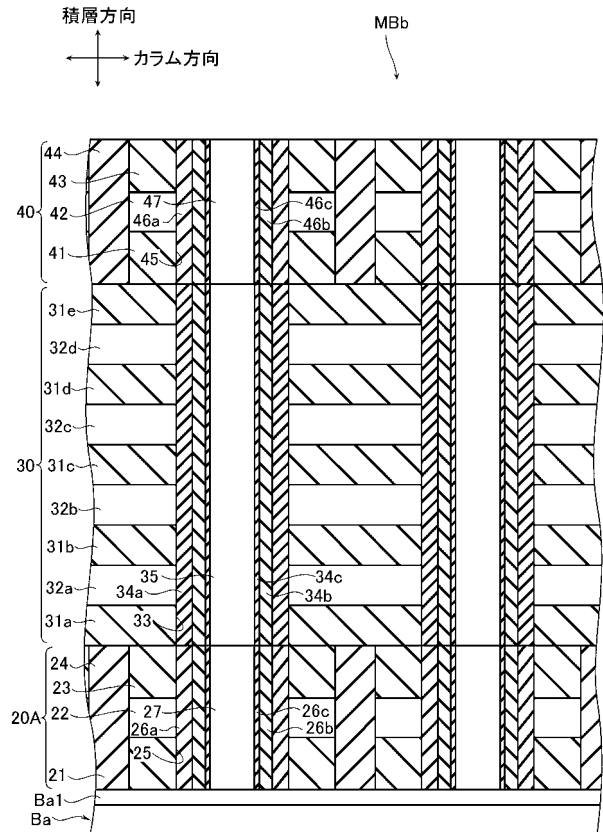
【図 21】

プレプログラム
消去動作

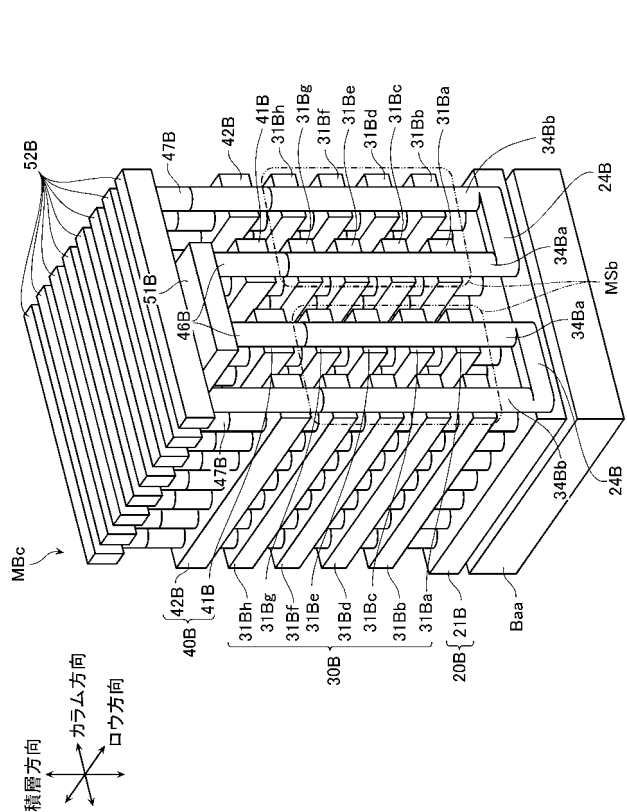
【図 23】



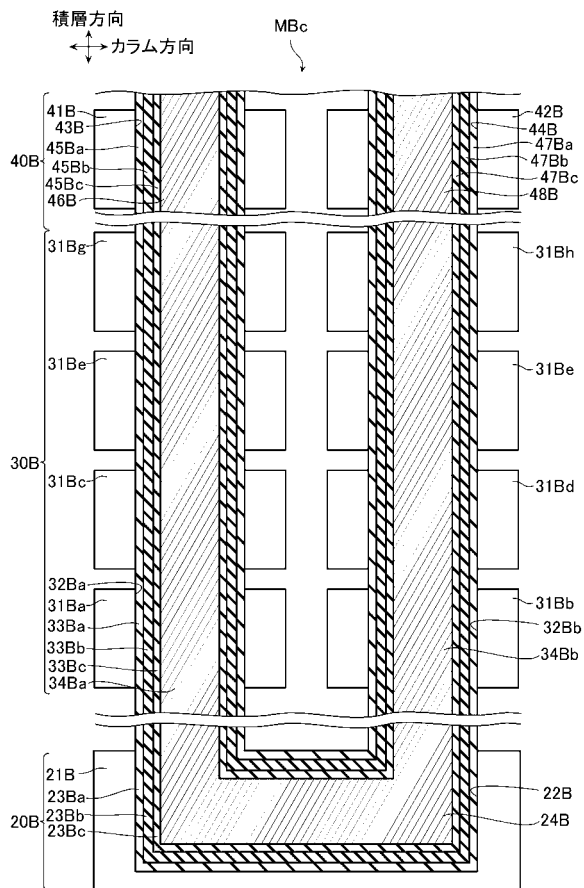
【図 22】



【図 24】



【図 25】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
G 1 1 C 16/02 (2006.01)
G 1 1 C 16/04 (2006.01)

F ターム(参考) 5B125 BA03 CA04 CA19 DA03 DA09 DB12 EA05 EB10 ED04 ED10
FA01 FA02
5F083 EP18 EP22 EP30 EP33 EP34 EP75 EP76 ER06 ER15 ER16
ER23 GA06 GA10 KA01 KA05 KA11 LA05
5F101 BA45 BB02 BD16 BD21 BD22 BD30 BD34 BE02 BE05 BE07