

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-521098

(P2009-521098A)

(43) 公表日 平成21年5月28日(2009.5.28)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/331 (2006.01)	HO 1 L 29/72 H	5 F 0 0 3
HO 1 L 29/737 (2006.01)	HO 1 L 21/20	5 F 1 5 2
HO 1 L 21/20 (2006.01)	HO 1 L 29/86 F	
HO 1 L 29/86 (2006.01)	HO 1 L 29/201	
HO 1 L 29/201 (2006.01)	HO 1 L 29/161	

審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2008-540379 (P2008-540379)
 (86) (22) 出願日 平成18年11月3日 (2006.11.3)
 (85) 翻訳文提出日 平成20年6月25日 (2008.6.25)
 (86) 国際出願番号 PCT/US2006/060555
 (87) 国際公開番号 W02007/056708
 (87) 国際公開日 平成19年5月18日 (2007.5.18)
 (31) 優先権主張番号 11/268, 154
 (32) 優先日 平成17年11月7日 (2005.11.7)
 (33) 優先権主張国 米国 (US)

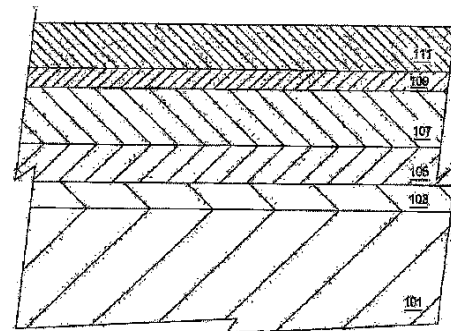
(71) 出願人 591225523
 アトメル・コーポレーション
 ATMEL CORPORATION
 アメリカ合衆国、95131 カリフォル
 ニア州、サン・ノゼ、オーチャード・パー
 クウェイ、2325
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊

最終頁に続く

(54) 【発明の名称】 歪み補償の準安定化合物ベースヘテロ接合バイポーラトランジスタ

(57) 【要約】

歪み補償原子種を置換配列することにより、例えば、SiGe NPN HNTの電子装置(100)へ、その場で添加した歪み補償の準安定化合物基部(107)を電子装置(100)に擬似格子整合を増大し統一するための方法。本発明は歪みSiGe、MOSアプリケーションのSi、垂直薄膜トランジスタ(VTFT)、および様々なその他の電子装置型などの、その他の電子装置の歪み層にも適用する。例えば、GaAs、InP、およびAlGaAsの、SiGe以外の化合物半導体から形成される装置も本願に記載する有益な工程に適している。



【特許請求の範囲】

【請求項 1】

化合物半導体膜を製作するための方法であって、
第一の表面を有する基板を提供するステップと、
化合物半導体が準安定状態となるように、前記化合物半導体の高い濃度の第 1 の半導体材料を有する前記化合物半導体膜を、前記基板の前記第 1 の表面上に形成するステップと、
前記化合物半導体膜に、歪み補償原子種を添加するステップと、
を備える方法。

【請求項 2】

欠陥密度を制御し、バンドギャップまたは格子特性を強化するように、前記歪み補償種の濃度を選択するステップをさらに備える、請求項 1 に記載の方法。

【請求項 3】

前記化合物半導体を実質的にシリコンゲルマニウムから成る、請求項 1 に記載の方法。

【請求項 4】

前記化合物半導体の前記第 1 の半導体材料がゲルマニウムである、請求項 3 に記載の方法。

【請求項 5】

前記化合物半導体を実質的にリン化インジウムガリウムから成る、請求項 1 に記載の方法。

【請求項 6】

前記化合物半導体を実質的に炭化ケイ素から成る、請求項 1 に記載の方法。

【請求項 7】

前記化合物半導体を実質的にヒ化ガリウムから成る、請求項 1 に記載の方法。

【請求項 8】

前記化合物半導体を実質的にリン化インジウムから成る、請求項 1 に記載の方法。

【請求項 9】

前記化合物半導体を実質的にヒ化アルミニウムガリウムから成る、請求項 1 に記載の方法。

【請求項 10】

前記歪み補償種が炭素である、請求項 1 に記載の方法。

【請求項 11】

前記歪み補償種が、前記化合物半導体の格子歪みを減少させるように選択される、請求項 1 の方法。

【請求項 12】

前記歪み補償種が、前記化合物半導体の格子歪みを増加させるように選択される、請求項 1 に記載の方法。

【請求項 13】

前記化合物半導体膜に、前記歪み補償原子種で添加する前記ステップがその場で実行される、前記請求項 1 の方法。

【請求項 14】

前記歪み補償原子種がキャリア再結合を変更するように選択される、請求項 1 に記載の方法。

【請求項 15】

前記歪み補償原子種が伝導帯構造を変更するように選択される、請求項 1 に記載の方法。

【請求項 16】

前記歪み補償原子種が価電子帯構造を変更するように選択される、請求項 1 に記載の方法。

【請求項 17】

10

20

30

40

50

台形形状を有する前記第 1 の半導体材料をプロファイルするステップをさらに備える、請求項 1 に記載の方法。

【請求項 18】

三角形形状を有する前記第 1 の半導体材料をプロファイルするステップをさらに備える、請求項 1 に記載の方法。

【請求項 19】

箱形状を有する前記第 1 の半導体材料をプロファイルするステップをさらに備える、請求項 1 に記載の方法。

【請求項 20】

曲線形状を有する前記第 1 の半導体材料をプロファイルするステップをさらに備える、請求項 1 に記載の方法。 10

【請求項 21】

前記化合物半導体を形成するステップは、500度から900度の範囲の温度で行われる、請求項 1 に記載の方法。

【請求項 22】

前記化合物半導体を形成するステップは、500度から600度未満の範囲の温度で行われる、請求項 1 に記載の方法。

【請求項 23】

臨界厚 h_c を越えるまで前記化合物半導体膜を形成するステップをさらに備える、請求項 1 に記載の方法。 20

【請求項 24】

電子装置であって、
基板と、
前記基板の第 1 の表面上方に配置された化合物半導体膜であって、第 1 の半導体材料が準安定状態となるように、高濃度である前記第 1 の半導体材料を有する化合物半導体の化合物半導体膜と、
前記化合物半導体に置換添加される歪み補償原子種と、
を備える電子装置。

【請求項 25】

前記化合物半導体が実質的にシリコンゲルマニウムから成る、請求項 24 に記載の電子装置。 30

【請求項 26】

前記化合物半導体の前記第 1 の半導体材料がゲルマニウムである、請求項 25 に記載の電子装置。

【請求項 27】

前記歪み補償種が炭素である、請求項 24 に記載の電子装置。

【請求項 28】

ヘテロ接合バイポーラトランジスタを製作するための方法であって、
第 1 の表面を有する基板を提供するためのステップと、
シリコンゲルマニウム膜が準安定状態となるように選択される前記シリコンゲルマニウム膜を前記基板の前記第 1 の表面上方に形成するステップと、
前記化合物半導体膜に炭素を備える歪み補償原子種に添加するステップと、
を備える方法。 40

【請求項 29】

台形の濃度プロファイル形状を有するように、前記第 1 の半導体材料を調節するステップをさらに備える、請求項 28 に記載の方法。

【請求項 30】

三角形の濃度プロファイル形状を有するように、前記第 1 の半導体材料を調節するステップをさらに備える、請求項 28 に記載の方法。

【請求項 31】

箱形の濃度プロファイル形状を有するように、前記第1の半導体材料を調節するステップをさらに備える、請求項28に記載の方法。

【請求項32】

曲線の濃度プロファイル形状を有するように、前記第1の半導体材料を調節するステップをさらに備える、請求項28に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して集積回路（IC）の製作に関連する。さらに具体的には、本発明は準安定シリコンゲルマニウム（SiGe）ベース領域をヘテロ接合バイポーラトランジスタ（HBT）に製作し統一する方法である。

10

【背景技術】

【0002】

SiGe HBTは、利得、周波数応答、および雑音パラメータにおける、シリコン（シリコン）バイポーラ接合トランジスタ（BJT）に関し有意な利点を有し、比較的low価格でCMOS装置を統一する能力を保持する。SiGe HBT装置のカットオフ周波数（ F_t ）は、300GHzを超えると報告されており、これはGaAs装置と比較して有利である。しかしながら、GaAs装置は価格の点で比較的高く、例えば、BiCMOS装置の統一水準に達することはできない。その他の化合物半導体装置に素早く取って代わっている、シリコン互換SiGe KBTにより、low価格、高速、およびlow電力ソリューションを提供する。

20

【0003】

SiGeの利点は、HBTのSi SiGeヘテロ接合のエネルギー帯オフセットを生成するバンドギャップ削減により実現され、それにより、既定のベース エミッタバイアスおよび高利得のために電流密度を増加させる結果となる。また、GeをSi格子に添加することで、より低い抵抗率が可能となる。より高い電流密度およびより低いベース抵抗値によって、同等のシリコンBJTより、単一の利得カットオフ周波数および最大発振周波数を改善することができ、GaAsなどのその他化合物装置に匹敵する。しかしながら、エミッタコレクタ絶縁破壊電圧（特にBVCEO）は、電流利得（ β ）に反比例する。 F_t を強化し、電力を減少させるために必要とされる構造および工程の変化は、さらなる電流利得、その結果さらに低いコレクタ エミッタ絶縁破壊電圧につながる。

30

【0004】

Ge濃度の上昇によって、既定の層厚および添加レベルに対する、ベース再結合電流において増加し、電流利得において減少する結果となる。この効果は、30%のGeを超えて拡大すると実験的に確認されている。高いGe容量を持つ擬似格子整合SiGeにおける欠陥形成に関する参考文献では、効果はGe濃度に対し40%を超えて十分に増加し続けるであろうと示唆している（Kasperら、「Properties of Silicon Germanium and SiGe: Carbon」INSPEC、2000年）。したがって、高速装置において電流利得を減少させるのに十分高くGe濃度を増加させるという妥協により、ベース幅が縮小し続けるにつれ、利得の必然的な増加およびBVCEOの劣化を補正する方法を提供する。

40

【0005】

しかしながら、過剰な歪み緩和および全体の結晶欠陥が行われる前に、どれほど多くのGeをSi格子に添加できるのかには限度がある。基礎を成すシリコンに適合する格子であるSiGe層の臨界厚（ h_c ）は、（1）Ge百分率、（2）SiGe膜厚、（3）キャップ層厚、（4）HBT膜堆積加工温度、および（5）シリコンゲルマニウム蒸着に続く熱アニールの温度作用である。臨界厚 h_c の上には、SiGe膜は、熱エネルギー十分広いアプリケーションで容易に緩和する、準安定および/または不安定領域内にある。したがって、準安定の度合いは、大部分は、Geパーセント、SiGe層厚、キャップ層厚、および熱エネルギーが原因で歪みを誘発する工程の作用である。今までに記載した従

50

来のSiGe HBTのSiGeベース構成は、安定、擬似格子整合、または格子適合層の構成である。同時期の最先端の手順には、ベース領域でホウ素プロファイル蔓延を防止するための、炭素を持つSiGeの安定、歪み、または格子適合合金の増大が含まれる。

【0006】

緩和により格子の不完全性をもたらすことから、準安定膜の増大は、典型的には避けられている。これらの不完全性により、再結合中心という結果となり、少数キャリア寿命(T_b)における減少、およびベース再結合電流(I_{RB})における増加をもたらす。制御されない場合、格子の不完全性によって結果的に結晶が低品質となることで、装置性能を劣化させ、「ブリッジ」欠陥により非常に低い電流利得を伴う過度のリーク電流にもつながる。膜も熱応力を誘発する工程に非常に敏感であるため、製造可能ではなくなる。したがって、この型の劣化を避けるため、今までのHBT設計は膜の増大の安定領域内にあるベース領域を有する装置となっており、その膜は臨界厚 h_c と等しいかそれを下回るSiGe厚と一致する。

10

【0007】

準安定SiGeの性質は、D. C. Houdhnton、「Strain Relaxation Kinetics in $Si_{1-x}Ge_x$ /Si Heterostructures」、Journal of Applied Physics、70巻、PP. 2136~2151(1991年8月15日)、およびG. S. Karら、「Effect of carbon on lattice strain and hole mobility in $Si_{1-x}Ge_x$ alloys」Dept. of Physics and Meteorology、Indian Institute of Technology、Kharagpur 721302、インド、Journal of Materials Science: Materials in Electronics、13巻、pp. 49~55(2002年)など、複数の書類に記載されている。さらにU'Renらの米国特許第6,586,297号(「第297号特許」)および第6,781,214号(「第214号特許」)では、「Metastable Base in a High-Performance HBT」および「Method for Integrating a Metastable Base into a High Performance HBT and Related Structure」にそれぞれ記載されている。

20

30

【0008】

第297号特許では、準安定のエピタキシャルSiGeベース上に据えられる、準安定のエピタキシャルシリコンゲルマニウムベースを含むヘテロ接合バイポーラトランジスタを記載している。

【0009】

準安定のエピタキシャルSiGeベースを、準安定のエピタキシャルSiGeベースが、膜の増大の間その場で組み込まれるドーパントを変更する伝導性を含む歪み結晶構造である、エピタキシャルリアクター内で増大し、ドーパントは特定の伝導性型を確立する目的のみのために添加される。第297号特許には、準安定SiGe膜層の緩和を回避するための、900度から950度の温度での短時間の熱アニールの方法が記載されている。

40

【0010】

第214号特許には、20原子パーセントを超えるゲルマニウムの濃度を持つコレクタ上で、準安定エピタキシャルSiGeベースを形成することにより製作される、ヘテロ接合バイポーラトランジスタが記載されている。それから、準安定エピタキシャルSiGeベースの上でエミッタを製作する。npnまたはpnpのトランジスタ型によって、nまたはp型不純物でエミッタを添加する。それからスパイクアニール工程でHBTを加熱し、準安定エピタキシャルシリコンゲルマニウムベースを歪み結晶構造として維持し、エミッタベース接合を形成するためドーパントを拡散させる。準安定エピタキシャルSiGeベースを、準安定エピタキシャルSiGeベースが、膜増大の間その場で組み込まれるドーパントを含む、歪み結晶構造であるエピタキシャルリアクター内に増大し、ド

50

ーパントは特定の伝導性型を確立する目的のみのために添加される。第214号特許には、準安定SiGe膜層の緩和を避けるための、900度から950度の温度での短時間の熱アニールの方法が記載されている。

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、前述したこれらの参考文献に記載される、準安定SiGe膜を形成するための方法は、スリップ転位および貫通転位など、熱応力の弊害を非常に受けやすく、全ての弊害は膜の緩和に関連する。極めて準安定な膜において、アニール工程の間の極端に短い時間間隔で、短いアニールおよび/またはフラッシュアニール工程間の1秒の第1の濃度などの準安定度によって、緩和を発生させることができる。

10

【0012】

したがって、SiGe HBTに対するアプリケーションのため、歪み補償の準安定SiGe層を増大しおよび統一する方法が必要とされる。かかる方法により、当業者は、例えば、装置最適化のため欠陥密度を制御および利用し、スリップまたは貫通転位の過剰な「ブリッジ」欠陥が起こることなく、極端に高いエネルギー帯オフセットならびに勾配($E_G(0)$ および $E_G(\text{勾配})$)を達成し、ならびに極端に準安定またはさらに不安定な性質のため、通常信頼性が低くおよび/または反復不可能な膜の大量製造を達成する方法を提供することができるはずである。

20

【0013】

これらの改良により、Geの高濃度で提供される利点を実現するため、極めて準安定(またはさらに不安定)であったであろう膜を使用することができる。

【課題を解決するための手段】

【0014】

発明の開示

本発明はその場で電子装置に添加してもよい、歪み補償の準安定および/または不安定化合物ベースを、例えば、SiGe NPN HNTの電子装置に、歪み補償原子種の置換型および/または侵入型配列により、擬似格子整合増大および統一するための方法である。該方法により、欠陥密度を制御し、ひいてはその結果少数キャリア寿命、ベース再結合電流、ベース電流および電流利得、ならびに絶縁破壊を制御することができる。加えて、歪み補償なしで可能である場合より大きなGe濃度を達成し、および歪み格子に適合する膜を維持する能力により、より大きなエネルギー帯オフセットを持つ装置を可能とし、それゆえ電流密度を一層改善し、したがって F_t および P_{max} 数値を著しく改善することが可能となる。

30

【0015】

本発明は、MOSアプリケーション、垂直薄膜トランジスタ(VTFT)、共鳴トンネルダイオード(RTD)、および種々のその他の電子装置型内の、歪みSiGe、歪みGe、および/または歪みSiを含む、種々のその他の電子装置型にある歪み層にも適用する。例えば、GaAs、InP、およびAlGaAsの、SiGe以外の化合物半導体から形成されるヘテロ接合およびヘテロ構造装置も、本願に記載する有益な工程に適しうる。置換および/または侵入的に組み込まれる歪み補償要素のいずれも、本願で提示する方法に修正可能である。

40

【0016】

多くの場合、伝導性に有意には影響を与えない要素が、望ましい。したがって、Si、Ge、および/またはSiGeなどの歪み補償群IV半導体を使用する際、伝導性に影響を与えるのを避けるため、群III/IIIまたは群V/VI要素を避けるのが望ましい場合もある。しかしながら、これにより、歪み補償および伝導性の効果的変更を同時に行う二重目的のための、「伝導性変更」要素の使用が排除されることはない。

【0017】

本願の例示的实施形態に記載の方法により製作される電子装置には、基板の第1の表面

50

上に配置される化合物半導体膜を持つ基板を含む。化合物半導体膜が形成された後、使用されているゲルマニウム濃度および工程で採用される熱サイクルに対する、臨界厚 h_c を超えることにより、化合物半導体膜を準安定状態で蒸着する。置換型歪み補償原子種（例えば、炭素）を膜を増大する間にその場で添加し、残りの加工の間欠陥密度を制御し完全な緩和を避ける。

【発明を実施するための最良の形態】

【0018】

発明の詳細な説明

歪み補償原子種は、添加の際、固有の値から結晶膜の格子パラメータを変更する種である。固有の格子パラメータは、歪み補償種を有しない膜または層の格子パラメータである。SiGeの歪み補償に対し、1つの歪み補償原子種は炭素である。置換型炭素の1つの原子百分率は、Geの8パーセントから10パーセントを補償する。加えて、炭素を、SiGeのおよそ2.5パーセントに置換することができるか、歪みに対し十分な炭素でGeの20から25パーセントを補償することができる。したがって、40パーセントを超えるGe水準を持つ、擬似格子整合の歪み補償の準安定および/または不安定膜が、電子装置の使用に対し可能となる（すなわち、4パーセントから5パーセントの炭素を使用する）。

10

【0019】

例示的な一実施形態により、歪みの減少が提供されるにもかかわらず、SiまたはGeのどちらかより大きな格子定数を持つ歪み補償原子種を、意図的に歪みを増加させるように添加することも可能である。この歪み変形の型は、例えば、バンドギャップおよび/または格子工学のための道具と同様に適するであろう。欠陥工学でも歪み変形を有効に活用することが可能であろう。歪み変形も、「歪み補償膜」および隣接膜層のいずれにおいても、キャリア移動度を強化するのに役立つであろう。

20

【0020】

本願に記載の方法は、準安定および/または不安定ベース層の意図的な増大、ならびに置換型および/または侵入型炭素の計算された組み込みの重要性により、SiGe HBTの形成のための以前の方法とは異なる。置換型および/または侵入型炭素の歪みにより、下流熱アニール工程を統一し、過剰な炭素拡散を防ぎ、歪み状態に膜を維持するとともに、HBTベース領域が歪み緩和を避けるように補正し、ICおよび F_t 強化から電流利得を切り離すことができる。

30

【0021】

図1を参照すると、HBTの歪み補償された準安定層を形成するのに使用される例示的膜スタック100は、基板101、エピタキシャル層103、基本シード層105、歪み補償の準安定SiGeベース領域107、基本キャップ層109、およびポリシリコンエミッタ層111を含む。当業者は、例えば、ポリSiGe、その他の材料をエミッタ層に採用してもよいことを認識するであろう。

【0022】

特定の例示的実施形態では、基板101は、p型、 $20 \text{ cm} < 100 >$ シリコンウェーハである。エピタキシャル層103は、LPCVDにより増大され、技術アプリケーションおよび絶縁破壊電圧およびコレクタ抵抗の要件によって、p型またはn型のいずれかであることができる。ヒ素および/または亜リン酸を、エピタキシャル層103および基板101に添加し、低い抵抗コレクタ領域を提供してもよい。ヒ素および亜リン酸を拡散させるかまたは埋め込んでもよい。埋め込む場合は、当業者は埋め込みのエネルギーおよび用量を、コレクタ抵抗、絶縁破壊電圧などに対する特定の技術要件によって決定しなくてはならないことを認識するであろう。当業者は、拡散またはLPCVD（現場添加）など、この領域への添加に、その他の方法を採用してもよいことも認識するであろう。

40

【0023】

シリコン基板101の場合、増大に先立ち、シリコン増大表面を消毒し（典型的には、

50

フッ化水素酸などの湿式化学による)、自然酸化および表面混入物のいずれをも除去しなければならない。基本シード層105、準安定ベース領域107、および基本キャップ層109は、同じLPCVD工程の間に製作してもよい。典型的には、500度から900度の範囲の温度を、各層のエピタキシャル増大に採用する。シラン(SiH_4)およびゲルマン(GeH_4)が、シリコンおよびSiGe蒸着用の典型的な気体である。ジボラン(B_2H_6)およびアルシン(AsH_3)は、共通のp型およびn型ドーパント源である。水素(H_2)を、キャリア気体として利用してもよいが、ヘリウムなどのその他の気体を使用してもよい。

【0024】

別の特定の例示的实施形態では、基板101は、 $\langle 100 \rangle$ p型シリコンウェーハであり、ホウ素がおよそ 10^{15} 原子/cm³の濃度にまで添加されている。あるいは、基板101は、例えば、n型シリコンウェーハ、またはp型またはn型伝導性のいずれかのシリコンゲルマニウムの化合物半導体材料から成る基板でもありうる。基板101も、シリコンオンインシュレータ(SOI)またはシリコンゲルマニウムオンインシュレータであってもよい。エピタキシャル層103は、基本シード105に続き、0.3 μm から2 μm の間の厚さで配置する。エピ層は、典型的には、低添加領域として添加され、絶縁破壊電圧および/またはコレクタ抵抗を調整する。

【0025】

本実施形態では、基本シード層105はシリコンから成り、エピタキシャルに10nmから100nmまでの範囲の厚さに増大されるが、非常に低いGe容量を持つシリコンゲルマニウムなど、半導体材料を採用してもよい。歪み保障された準安定SiGe層107を、臨界厚 h_c を超える厚さに蒸着し、その後、例えば、シリコンから成る基本キャップ層109が続く。臨界厚 h_c は、準安定領域の上部および下部境界以内のGeの原子百分率に基づき決定される。この臨界厚の決定は、Peopple/BeanおよびMatchew/Blakesleeの歴史的研究に基づいて行われ、当業者には既知である。

【0026】

例として、図2では、20%のGeを持つに対し、準安定領域の底縁によって定義されるようなPeopple/Bean曲線に従い、臨界厚 h_c は、およそ20nmであり、一方28%のGeを持つ膜はわずか9nmの h_c を有することを示す。したがって、20nm厚でもある、28%のGeを持つ完全な「歪み補償」膜を増大するためには、炭素を添加し、Geの格子パラメータおよび歪み補償炭素8%を減少させてもよい。20nmで28%のGe膜であるSiGe格子一面に1%の炭素を添加することで、歪みを20nmで20%のGe膜であるSiGe格子に近似する水準にまで減少する。しかしながら、当業者は、十分な炭素のみを、例えば、欠陥工学の目的のため0.5%の炭素を添加し、部分的に歪みを補償するのに十分な炭素のみを提供するのが、技術的に望ましい場合があることを認識するであろう。あるいは、2%の炭素を、熱加工の頑強性を加える目的のために添加してもよい。

【0027】

加えて、準安定領域にしっかり備わっている膜を増大し、それから欠陥および/または格子工学に対し準安定性の一定の度合いを維持するため、部分的にのみ膜を補償することを望んでもよい。

【0028】

当業者は、図2などのデータおよび図表は、近似値を提供することを意図されているが、Xrdロックンク曲線などの他の図表は、準安定の最適度合いが一定の膜構造および/または装置のために備わっている場所を決定する際、支援するのに必要であることを認識するであろう。図3を参照すれば、当業者は、シリコン先端および「SiGeランプ」の間の独特な「端部リング」が、格子適合または歪み層を示すことを理解するであろう。

【0029】

Xrdロックンク曲線内の縞模様の不足および/または「不鮮明さ」は、熱アニール周期に続く、膜の緩和(図4)を示す。当業者は、膜増大および下流熱処理にも引き続いて

10

20

30

40

50

評価される X r d ロッキング曲線により、歪み補償工程および/または熱工程の調整に必要な情報が提供され、歪みまたは格子の緩和を避けることも理解するであろう。

【 0 0 3 0 】

特段の装置または技術に対し、歪み補償の許容水準を画定するため、電子装置を電気試験にかけるなど、その他の実験方法を利用してもよい。この許容水準は、装置の電気パラメータ、特に H B T 用のコレクタ電流、ベース電流、電流利得、および絶縁破壊電圧により決定される。その他の電気パラメータは、その他の装置型および/または技術に対し特徴づけられ、制御されていてもよい。

【 0 0 3 1 】

個々の工程は、実験方法で特徴付けられ、上記のような図表など、理論および経験に由来する図表により表されるように、安定/準安定/緩和領域に関し、どこにそれらの工程が備わっているかを決定しなくてはならない。この特徴付けには、特に炭素などの歪み補償種のドーパント拡散を取り除くため、X r d ロッキング曲線、装置の電気試験、および S T M S (二次イオン質量分析法) などの手段による分析が必要であろう。

10

【 0 0 3 2 】

図表がない場合でも、X r d ロッキング曲線が、歪みを補償させる膜を発展するために必要である量的および質的データを提供することができ、8%から10%までの Ge を補償する1%の炭素に対する「経験則」は、一般的に許容された指針である。準安定および/または不安定膜および/または装置には、膜形状、熱応力、および現代の理論的および経験的な一連の知識で明らかにされていない、物理的に誘発される応力(隣接する膜および構造)のような要因によっては、多かれ少なかれ炭素を必要とする場合があるものもある。したがって、本願で提供する指針は、準安定「歪み補償」膜および/または装置の発展を容易にし、改良された工程および装置を提供するためのシステムとして意図されている。指針により、バンドギャップ工学(すなわち、 J_c 、 F_t 、 F_{max})および欠陥性および/または格子工学(すなわち、少数キャリア寿命工学、ベース再結合電流工学、ベース電流工学、電流利得工学、および絶縁破壊最適化)に対し、より大きな設計工学的柔軟性も提供する。

20

【 0 0 3 3 】

図1をさらに参照すると、この例示的实施形態では、ポリシリコンエミッタ層111は、 $0.05\ \mu\text{m}$ および $0.03\ \mu\text{m}$ の間の厚さに蒸着されていてもよい、n型ポリシリコンから成る。しかしながら、ポリSiGeなどのその他の膜を採用してもよい。

30

【 0 0 3 4 】

炭素前駆体(例えば、メタン(CH_4)、またはアセチレン(C_2H_2))を、歪み補償の準安定のSiGe層107の増大中に利用し、炭素を添加する。歪み補償の準安定のSiGe層107の形成のための前駆体には、例えば、炭素、シリコン、およびゲルマニウム化合物、それぞれに対し、メチルシラン(CH_3SiH_3)、シラン(SiH_4)、およびゲルマン(GeH_4)を含む。典型的には、水素(H_2)を層蒸着全てに対しキャリアガスとして採用する。歪み補償の準安定SiGe層107中央近くの薄い部分のドーパントを変更する、伝導性での現場添加により、p-型中立ベース領域を生成する。この中立ベース領域を2つのSiGeセットバックまたはスペーサ層(図示せず)の間に挟む。p型不純物は、ホウ素であることがあり、通例、ジボラン(B_2H_6)前駆体と共に供給される。基本キャップ層109は、歪み補償された準安定SiGe層107の頂上で、エピタキシャルに増大する。基本キャップ層109(シリコン)は、歪み状態でSiGe層を維持する。キャップ層は、典型的には、 $0.05\ \mu\text{m}$ および $0.1\ \mu\text{m}$ の間の厚さで増大する。当業者は、SiGe層内で歪みの平衡を維持し、必要に応じ厚さ調節することを認識するであろう。

40

【 0 0 3 5 】

歪み補償の準安定SiGe層107に関連するGeのプロファイルは、一般的に台形であるが、当業者は三角形、箱型、または屈曲を持つプロファイルなど、その他のGeプロファイルも可能であることを認識するだろう。例えば、ポリシリコンエミッタ層111は

50

、その場でポリシリコンを添加された n 型であってもよい。アルシン (ASH₃) を、工程のためキャリアガスとして水素を採用する、n 型ドーパント前駆体として使用してもよい。エミッタ層 111 は、単結晶、多結晶、非結晶、または単、多、非結晶構成の化合物材料であってもよい。特定の例示的实施形態では、SiGe 蒸着温度は 550 度から 650 度の範囲であるが、一般的に 600 度未満の温度が、1 トルから 100 トルの加工圧力範囲の伴う高度な製作工程には好ましいことがある。900 度まで、またはそれを超えるような高温でさえ、擬似格子整合 SiGe を増大することは可能である。

【0036】

本発明は例示的实施形態の観点で記載するが、当業者は、本願に記載の技術はその他の形の製作技術および装置に適応させることができると容易に悟るであろう。例えば、歪み補償技術は、FinFET、周辺ゲート FET、垂直薄膜トランジスタ (VTFT)、超段階接合、共鳴トンネルダイオード (RTD)、および光学通信用光導波路に適用することも可能である。したがって、歪み補償の準安定 SiGe 層 107 のプロファイル、厚さ、および濃度は、種々の必要性に順応するように選択することができる。準安定 SiGe 層 107 を、既定のドーパント型に対する拡散性の減少を誘発することができる、その他の要素でも歪み補償することも可能である。

10

【0037】

また、工程段階および技術が詳細に記載されているが、当業者は、その他の技術および方法を利用してもよく、それらもまた添付の請求項の範囲の中に含まれることを認識するであろう。例えば、膜層を蒸着および添加するために使用される幾つかの技術がある (例えば、薬品気相蒸着、プラズマ化学気相成長法、分子線エピタキシー、原子層蒸着など)。全ての技術が、本願に記載の全ての膜型に対して適するわけではないが、当業者は、複数および代替の方法を、蒸着あるいは既定の層および / または膜型を形成する別の方法に利用してもよいことを認識するであろう。

20

【0038】

さらに、半導体産業と関係する多くの産業では、歪み補償技術を利用することができるであろう。例えば、データ記憶産業の厚膜ヘッド (TFH) 工程、平面表示パネル産業のアクティブマトリクス液晶画面 (AMLCD)、または微少電気機械産業では、本願に記載の工程および技術を容易に利用することが可能であろう。したがって、用語「半導体」は、前述および関連産業を含むものとして認識されるべきである。そのため、図表および明細書は、限定の意味ではなく、むしろ例示的意味を持つものとしてみなされなくてはならない。

30

【図面の簡単な説明】

【0039】

【図 1】図 1 は、本発明に従って HBT 部分を形成するのに使用される膜スタックの例示的断面である。

【図 2】図 2 は、Ge の作用である臨界厚を表す曲線である。

【図 3】図 3 は、歪み格子に適合する準安定 SiGe 膜の Xrd ロッキング曲線である。

【図 4】図 4 は、熱アニール後の、図 3 の Xrd ロッキング曲線である。

【 図 1 】

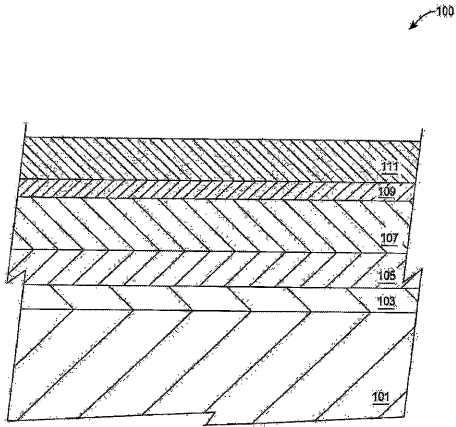


Fig. 1

【 図 2 】

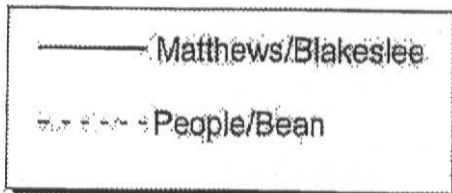
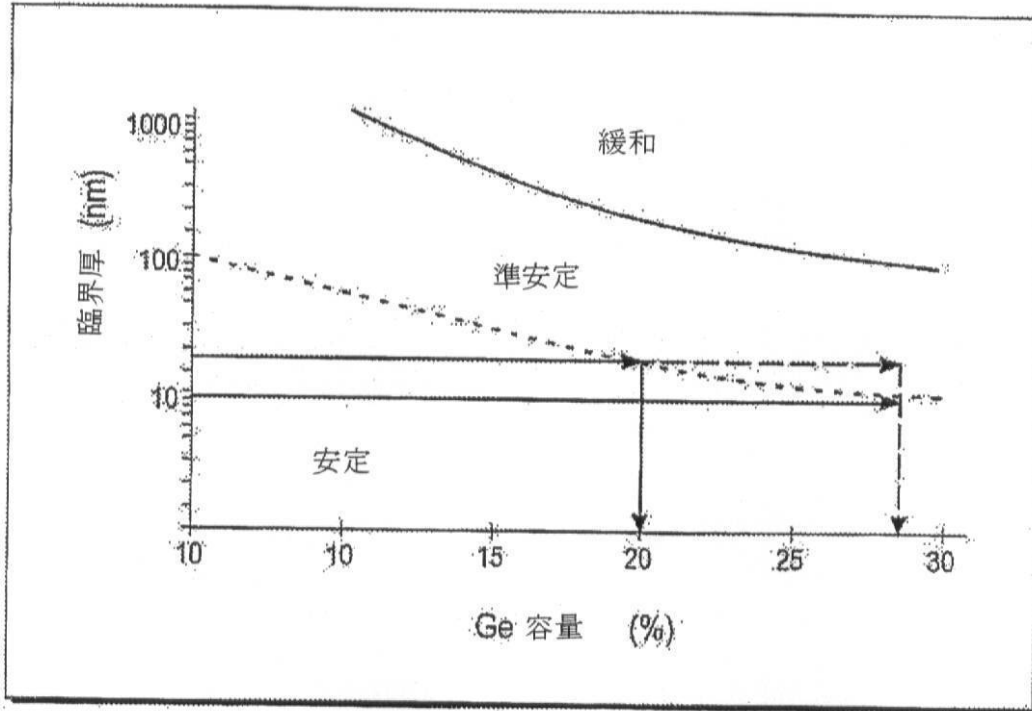


Fig. 2

【 図 3 】

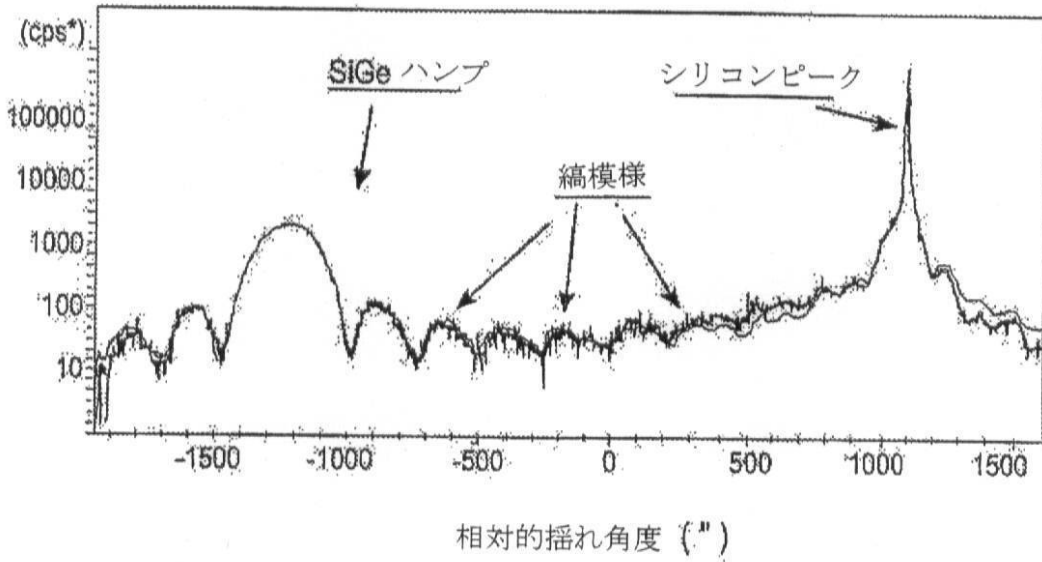


Fig. 3

【 図 4 】

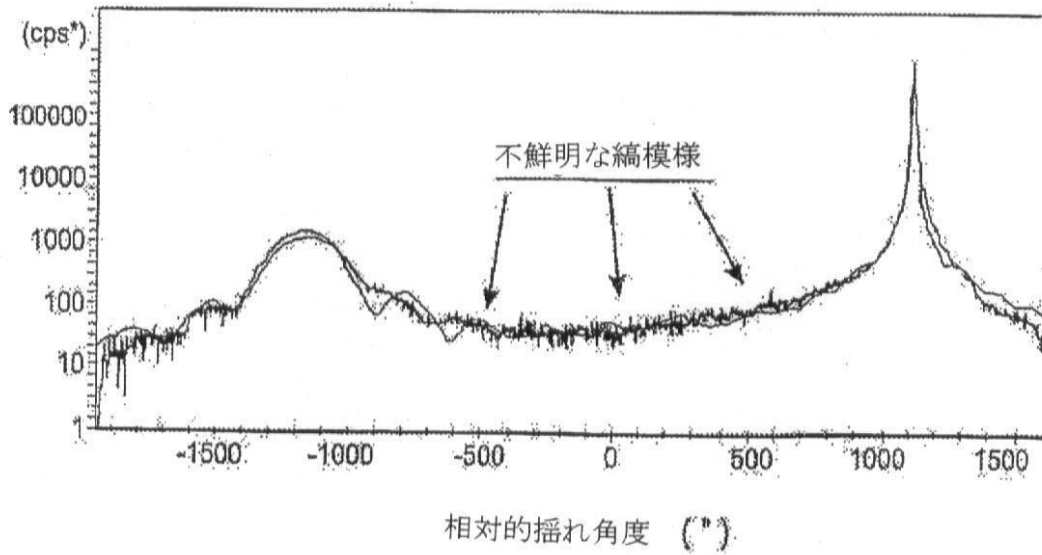


Fig. 4

フロントページの続き

(51) Int. Cl. F I テーマコード (参考)
H 0 1 L 29/161 (2006.01)

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74) 代理人 100098316

弁理士 野田 久登

(74) 代理人 100109162

弁理士 酒井 将行

(74) 代理人 100111246

弁理士 荒川 伸夫

(72) 発明者 エニックス, ダーウィン・ジー

アメリカ合衆国、8 0 9 1 8 コロラド州、コロラド・スプリングス、スノーバード・ドライブ、
6 8 4 5

(72) 発明者 チャフィー, ジョン・ティー

アメリカ合衆国、8 0 9 1 8 コロラド州、コロラド・スプリングス、コルティナ・サークル、3
4 9 3

(72) 発明者 カーバー, ダミアン・エイ

アメリカ合衆国、8 0 9 0 6 コロラド州、コロラド・スプリングス、ダブリュ・シャイアン・ロ
ード、4 2 6

F ターム(参考) 5F003 AP06 AZ03 BA08 BB01 BB05 BC05 BE07 BF06 BG06 BM01
BP31 BP41 BZ01 BZ02 BZ03
5F152 LL04 LL08 LL09 LN03 LN14 MM02 MM04 MM06 MM07 MM19
NN03 NN04 NP03 NP04 NQ03 NQ04 NQ11 NQ12