



CONFÉDÉRATION SUISSE
INSTITUT FÉDÉRAL DE LA PROPRIÉTÉ INTELLECTUELLE

(11) CH 701 487 B1

(51) Int. Cl.: H01L 23/485 (2006.01)
H01L 27/146 (2006.01)

Brevet d'invention délivré pour la Suisse et le Liechtenstein

Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein

(12) **FASCICULE DU BREVET**

(21) Numéro de la demande: 01257/10

(22) Date de dépôt: 30.07.2010

(43) Demande publiée: 31.01.2011

(30) Priorité: 31.07.2009 FR 0903795

(24) Brevet délivré: 31.07.2015

(45) Fascicule du brevet publié: 31.07.2015

(73) Titulaire(s):
E2V Semiconductors, Avenue de Rochepleine
38120 Saint-Egrève (FR)

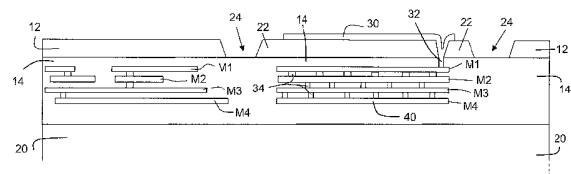
(72) Inventeur(s):
Pierre Fereyre, 38340 Voreppe (FR)
Yann Henrion, 38600 Fontaine (FR)
Patrick Larivière, 38130 Echirolles (FR)
Vincent Hibon, 38100 Grenoble (FR)

(74) Mandataire:
Kirker & Cie S.A., 122, rue de Genève, Case postale 324
1226 Geneve-Thônex (CH)

(54) **Structure de plots de connexion pour composant électronique.**

(57) L'invention concerne les composants électroniques sur substrats amincis, par exemple les capteurs d'image.

On prévoit de préférence que des plots de connexion (30) sont reliés à travers un substrat aminci (12) à des couches sous-jacentes et notamment à un plot de test (40) par des ouvertures dans lesquelles pénètre le métal du plot. Les ouvertures sont des ouvertures allongées s'étendant le long d'un bord du plot de forme rectangulaire et une surface circulaire d'au moins 50% (et de préférence 65 à 75%) de la surface du plot est dépourvue d'ouverture de liaison avec les couches sous-jacentes. Cette surface circulaire est destinée à la soudure d'un fil de connexion extérieure. Les plots de connexion sont testables par la face arrière par des pointes de test et la face avant peut être testée (avant collage et amincissement) par des pointes de test de la même configuration géométrique.



Description

[0001] L'invention concerne la fabrication de composants électroniques sur substrat semiconducteur aminci. Elle sera décrite principalement à propos d'un capteur d'image sur substrat de silicium aminci, à éclairage par la face arrière.

[0002] Les capteurs d'image à substrat aminci ont été conçus notamment pour améliorer les performances colorimétriques en permettant l'éclairage du capteur par la face arrière d'une couche de silicium très mince.

[0003] La fabrication d'un capteur d'image sur substrat aminci comprend généralement les étapes suivantes: on part d'un substrat de silicium normal, d'une épaisseur de quelques centaines de micromètres, permettant la manipulation industrielle de tranches collectives d'environ dix à vingt centimètres de diamètre, ce substrat étant revêtu, sur une face avant, d'une couche épitaxiale de silicium monocristallin, éventuellement isolée du reste du substrat par une couche d'oxyde dans le cas de substrats dits SOI («silicon on insulator» en anglais). On réalise sur la face avant de cette couche monocristalline la circuiterie électronique nécessaire aux différentes fonctions du capteur (prise d'image essentiellement). Puis on colle le substrat, par sa face avant qui porte cette circuiterie, sur un substrat de report d'une épaisseur suffisante pour la manipulation industrielle, et on amincit le substrat de silicium de départ jusqu'à une épaisseur de quelques micromètres. L'épaisseur très fine de silicium qui en résulte ne permettrait pas la manipulation industrielle de la tranche, et c'est la raison de la présence du substrat de report collé ou soudé.

[0004] Un des problèmes qui se posent pour ces composants est la formation de plots de connexion, pour la liaison du composant avec l'extérieur. Le montage du composant dans un boîtier nécessite en général de souder des fils de liaison entre un plot de connexion métallique prévu sur le composant et des plots métalliques prévus dans le boîtier.

[0005] Du fait que le substrat dans lequel ont été formés les circuits électroniques a été collé par sa face avant sur un substrat de report, la face avant n'est plus accessible. On cherche donc à établir une connexion par la face arrière en creusant le substrat aminci, jusqu'à retrouver une plage conductrice qui aura été formée au préalable pendant les étapes de fabrication par la face avant.

[0006] On peut notamment creuser le silicium et les couches isolantes qui ont été formées sur la face avant, jusqu'à accéder au premier niveau d'aluminium. On soude alors un fil de connexion en or par la technique classique de «wire-bonding» (soudure de fils), sur la plage d'aluminium mise à nu. Mais cette plage est située dans une cuvette puisqu'il a fallu creuser le silicium et les couches isolantes qui la recouvraient. Cela exclut d'utiliser des méthodes de soudure de fils appelées «wedge bonding» par opposition à «ball bonding», dans lesquelles le fil (en général en aluminium) à souder arrive trop obliquement pour pouvoir être soudé à l'intérieur d'une cuvette. C'est pourquoi on est obligé de continuer à utiliser une soudure de fils d'or, même dans des cas où on préférerait un fil d'aluminium. De plus, la cuvette est formée dans un matériau semiconducteur et non isolant, et il y a donc des risques de court-circuit entre le fil et les bords de la cuvette, sauf à isoler les flancs, ce qui complique la réalisation.

[0007] Par ailleurs, il faut aussi remarquer que les plages d'aluminium qui servent à la soudure de fils doivent être en principe plus épaisses que les couches d'aluminium qui sont utilisées pour les fonctions ordinaires d'interconnexion dans le circuit intégré. Or, la technique expliquée ci-dessus permet en pratique d'accéder seulement au premier niveau d'aluminium (sauf à vouloir creuser encore plus profond), et ce niveau n'a aucune raison d'être suffisamment épais pour autoriser une soudure. Pour adapter cette solution à une industrialisation, il faudrait donc prévoir un premier niveau d'aluminium plus épais que ce qui est en général nécessaire; cela oblige à changer le processus de fabrication standard, ce qui n'est pas souhaitable.

[0008] D'autre part, la fabrication de circuits intégrés nécessite des tests électriques effectués par des machines de test à pointes. Les pointes de test sont appliquées sur des plots d'accès du circuit intégré. Ces plots peuvent être prévus spécifiquement pour le test, mais en pratique il vont aussi servir ultérieurement pour souder des fils de connexion. Il est souhaitable de pouvoir tester le circuit intégré après les étapes de fabrication faites sur la face avant, et de pouvoir le tester à nouveau par la face arrière après collage et amincissement. Et, si cela est possible, il serait avantageux de pouvoir tester la face arrière avec la même configuration de pointes de test qui a servi à la fin des étapes de fabrication effectuées sur la face avant.

[0009] Cela veut dire qu'il faut fabriquer sur la face avant des plots de test qui ont la même configuration géométrique ou au moins la même position géographique que les plots de connexion extérieure de la face arrière. Il en résulte qu'à l'endroit des plots de connexion on devra fabriquer une superposition d'au moins une zone d'une couche conductrice (aluminium) formée sur la face avant et constituant le plot de test, et d'une zone d'une autre couche conductrice formée sur la face arrière et constituant le plot de connexion. On peut même avoir une superposition de plusieurs couches métalliques formées sur la face avant, reliées les unes aux autres et de même géométrie que le plot de test et le plot de connexion.

[0010] Etant donné que certains plots de connexion devront laisser passer un courant important (par exemple les plots d'alimentation générale), on prévoit que la connexion entre les différents plots superposés se fait avec de larges vias ou avec de multiples vias conducteurs entre couches.

[0011] Cependant, ces vias multiples sont vite gênants car ils créent des reliefs qui peuvent fragiliser la soudure ultérieure d'un fil sur le plot. Les reliefs sont dus à ce que la gravure du silicium aminci, pour permettre l'accès aux couches conduc-

trices gravées sur la face avant, est une gravure chimique formant des trous à flancs obliques dans lesquels l'aluminium descend pour venir en contact avec une couche conductrice.

[0012] Or, on s'est rendu compte qu'il est suffisant de prévoir un petit nombre de vias conducteurs (de 1 à 4) même si le courant qu'on veut faire passer est important, pourvu que ces vias soient suffisamment allongés. En effet, la résistivité globale des vias est liée plus à la longueur des vias qu'à leur surface pour une épaisseur donnée de métal du plot. Ceci résulte du fait que le métal se dépose en épaisseur à peu près constante dans les vias et que c'est la faible épaisseur du métal qui engendre une résistance électrique notable même si le via a une large surface.

[0013] L'invention a pour but de proposer une configuration de plot qui facilite la connexion d'un fil soudé sur un plot de faible encombrement et qui autorise le test des plots de connexion par la face arrière avec la même configuration de pointes de test qui aura servi au test par la face avant.

[0014] C'est pourquoi on propose selon l'invention un composant électronique comportant un circuit intégré réalisé sur la face avant d'un premier substrat semiconducteur aminci, le substrat aminci comportant une couche semiconductrice mince d'environ 2 à 10 micromètres d'épaisseur, le premier substrat étant monté par sa face avant sur un substrat de report, le composant comportant

- sur la face avant du premier substrat un plot de test constitué par une zone d'une couche conductrice déposée sur la face avant,
- et, sur la face arrière, accessible, de la couche semiconductrice, un plot de connexion extérieure formé par une portion de couche métallique déposée sur cette face arrière, superposée au plot de test et reliée électriquement au plot de test par l'intermédiaire d'au moins une ouverture allongée creusée dans l'épaisseur de la couche semiconductrice amincie, ouverture dans laquelle pénètre la couche métallique, le plot de connexion ayant la forme générale d'un rectangle (le mot rectangle est considéré ici comme incluant aussi le carré) présentant une première portion de surface plane permettant la soudure d'un fil de connexion extérieure et au moins une deuxième portion de surface dans laquelle se situe l'ouverture allongée, caractérisé en ce que la couche semiconductrice est dépourvue d'ouverture au-dessous de la première portion de surface plane et en ce que cette première portion comprend au moins une partie continue dans laquelle peut s'inscrire un disque circulaire occupant au moins 50% de la surface du rectangle.

[0015] La première portion de surface plane est celle sur laquelle sera soudé un fil de connexion au moment de la mise en boîtier de la puce de circuit intégré; les ouvertures ou vias conducteurs ne sont pas situés dans cette portion; la partie circulaire de cette surface représente la surface disponible en pratique pour fixer le fil en le centrant correctement sur le plot. La configuration de plot qui en résulte est une configuration compacte. Elle permet d'éviter que les reliefs en creux résultant de la gravure de vias entre le plot de connexion et les couches sous-jacentes gênent la soudure ultérieure d'un fil de connexion. Elle permet la superposition, sans encombrement excessif, du plot de test et du plot de connexion, et elle permet donc un test sous pointes avec une même configuration de pointes de test pour la face avant et pour la face arrière.

[0016] Comme on le verra, plusieurs configurations pratiques peuvent être adoptées conformément à l'invention, et notamment l'une des configurations préférées suivantes:

- le plot a une forme légèrement rectangulaire, avec un côté ayant une longueur comprise entre 5 et 20% de plus que l'autre, l'ouverture allongée s'étendant le long d'un petit côté du rectangle, parallèlement à ce côté; la partie circulaire continue peut occuper alors typiquement de 75% à 65% de la surface du rectangle; ou encore l'ouverture s'étend le long des deux petits côtés du rectangle, parallèlement à ces côtés, et la partie circulaire peut occuper de 65% à 70% de la surface du rectangle;
- le plot a une forme carrée et l'ouverture allongée s'étend le long de deux bords adjacents du carré, parallèlement à ces bords; la partie circulaire peut occuper alors de 60% à 70% de la surface du plot; la largeur de l'ouverture allongée est de préférence comprise entre 2% et 9% du côté du carré;
- le plot a une forme carrée et l'ouverture allongée est répartie le long de quatre bords adjacents du carré, parallèlement à ces bords; la partie circulaire peut occuper une surface de 55% à 65% de celle du plot rectangulaire; la largeur de l'ouverture allongée est de préférence comprise entre 1% et 5% du côté du carré;
- le plot a une forme carrée et l'ouverture allongée est répartie en quatre portions disjointes situées chacune à un coin respectif du carré; la partie circulaire peut occuper de 55% à 65% du plot.

[0017] D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description détaillée qui suit et qui est faite en référence aux dessins annexés dans lesquels:

- la fig. 1 représente en coupe une structure de circuit intégré sur substrat aminci, avec un plot de connexion pourvu de vias répartis sous le plot, reliant le plot à des couches conductrices sous-jacentes;
- la fig. 2 représente une vue de dessus du plot de connexion de la fig. 1;
- la fig. 3 représente en coupe une structure de plot selon l'invention;
- les fig. 4 à 8 représentent en vue de dessus plusieurs configurations de plots de connexion selon l'invention.

[0018] Les fig. 1 et 2 représentent un exemple de structure possible pour un plot de connexion d'un composant électronique. Le composant électronique est un circuit intégré formé dans un substrat semiconducteur aminci 12 collé sur un substrat de report 20. Le substrat est en principe en silicium. Le composant peut être notamment un capteur d'image destiné à être éclairé par la face arrière du substrat aminci.

[0019] La face arrière est celle qui est tournée vers le haut de la fig. 1. La face avant est tournée vers le bas. Dans le processus de fabrication il y a d'abord des étapes de fabrication à partir de la face avant, notamment des dopages, des dépôts et des gravures de couches isolantes conductrices et semiconductrices, puis un collage du substrat semiconducteur par sa face avant sur le substrat de report 20, puis un amincissement du substrat semiconducteur 12 par sa face arrière jusqu'à une épaisseur de semiconducteur de quelques micromètres, typiquement de 2 à 5 micromètres, et enfin des étapes de fabrication à partir de la face arrière. La fig. 1 représente une vue schématique en coupe du composant à ce stade de la fabrication. Après les étapes de traitement par la face arrière, il restera à monter le composant dans un boîtier en soudant des fils de liaison entre des plots de connexion du composant et des plots d'un boîtier.

[0020] Dans les étapes de fabrication de face avant, on forme notamment une alternance de plusieurs niveaux de couches conductrices (en général métalliques, par exemple en aluminium) et isolantes (en général de l'oxyde de silicium). Les différentes couches conductrices sont gravées pour définir des motifs de connexions internes dans le circuit intégré; les couches isolantes sont gravées pour définir des ouvertures permettant d'établir des vias conducteurs entre les couches conductrices des différents niveaux, en fonction des connexions à réaliser entre ces couches. Une couche isolante de passivation recouvre l'ensemble des niveaux métalliques; cette couche a une surface plane en contact étroit avec le substrat de report 20.

[0021] Les couches conductrices métalliques sont désignées par les références M1, M2, M3, M4 dans l'ordre où elles sont déposées sur le substrat semiconducteur lors du traitement de face avant; on notera que la première couche déposée est M1 et la dernière est M4, sachant que le substrat 12 est représenté retourné face avant vers le bas sur la fig. 1.

[0022] L'ensemble des couches isolantes dans lesquelles sont noyées les couches métalliques M1 à M4 est désigné par la référence 14.

[0023] La partie droite de la fig. 1 représente une constitution possible d'un plot de connexion 30 du composant. Il est formé principalement par une couche métallique (en principe en aluminium) déposée et gravée sur une portion 22 du substrat semiconducteur. Le dépôt métallique est fait par la face arrière du substrat. La portion 22 est isolée électriquement du reste du substrat 12 par une tranchée 24 qui entoure complètement cette portion. Cette tranchée est creusée par la face arrière sur toute l'épaisseur du substrat semiconducteur aminci 12, jusqu'à la couche isolante 14.

[0024] Le plot de connexion 30 est relié électriquement au circuit intégré sous-jacent, et plus précisément à au moins une des couches conductrices M1 à M4, par des vias conducteurs 32 répartis sous la surface du plot. Les vias conducteurs sont des ouvertures traversant toute l'épaisseur du substrat aminci 12 et une partie de l'épaisseur de la couche isolante 14 pour atteindre une couche conductrice formée à partir de la face avant. Ces ouvertures sont remplies du métal (aluminium) déposé pour former le plot 30. Dans l'exemple représenté, les vias conducteurs 32 viennent en contact physique avec la première couche conductrice M1, et des portions de couches M1, M2, M3 et M4 sont situées au-dessous du plot 30 et ont sensiblement la même géométrie et la même position horizontale que le plot 30. Ces couches sont reliées entre elles par d'autres vias conducteurs 34 répartis sur l'étendue de surface correspondant à cette géométrie.

[0025] La fig. 2 représente en vue de dessus une configuration possible des vias conducteurs 32 répartis sur la surface du plot de connexion 30.

[0026] La présence des vias conducteurs crée un relief à la surface du plot, surtout lorsque le silicium du substrat est gravé par un procédé d'attaque chimique. Ce relief comporte essentiellement des creux au centre des vias conducteurs. Si les vias sont allongés, les surfaces en creux suivent la direction d'allongement.

[0027] Ces reliefs peuvent nuire à la qualité de la soudure du fil de connexion qui sera soudé sur le plot.

[0028] Les fig. 3 et 4 représentent un composant ayant une structure de plot conforme à la présente invention.

[0029] Les ouvertures ou vias conducteurs distribués sous la surface du plot sont remplacés, dans cet exemple de réalisation, par un via unique allongé 32 s'étendant sur presque toute la longueur d'un côté du plot. Le plot est légèrement rectangulaire avec un petit côté de largeur A et un grand côté de largeur B. Le via s'étend le long d'un petit côté. On peut donc considérer que le plot comporte une première portion de surface carrée de côté A qui est une surface bien plane, dépourvue de vias conducteurs, et une deuxième portion de surface rectangulaire de largeur B-A et de longueur A qui n'est pas uniformément plane et qui présente un relief en creux dû au via.

[0030] La portion de surface carrée plane est réservée à la soudure d'un fil de connexion, et on peut considérer que dans cette surface carrée est inscrit un disque circulaire de diamètre $D = A$ (hachuré sur la fig.) qui est plus précisément réservé à la soudure du fil et qui doit avoir une dimension minimale pour permettre une telle soudure de manière fiable et reproductible.

[0031] Selon l'invention, le plot est constitué de manière que la surface S_c du disque circulaire ($S_c = \pi D^2/4$) inscrit dans la surface plane et disponible pour une soudure de fil occupe au moins 50% et de préférence entre 60% et 75% de la surface totale S_t du plot rectangulaire ($S_t = A \times B$).

[0032] De préférence, dans la configuration de la fig. 4, la largeur B–A de la surface résiduelle disponible pour loger le via allongé s'étend sur une largeur égale à environ 5% à 20% du petit côté A du plot. Le plot occupe alors une surface de 5% à 20% supérieure à la surface (A^2) d'un plot carré dont les vias seraient entièrement situés sous la zone de soudure circulaire.

[0033] Dans un cas où il faudrait faire passer plus de courant encore dans le via conducteur, on peut adopter une configuration avec deux vias allongés, soit comme à la fig. 5 (un via allongé le long du bord de chacun des deux petits côtés du plot rectangulaire), soit comme à la fig. 6 (un via allongé respectif le long de deux bords adjacents d'un plot carré).

[0034] Avec la configuration de la fig. 5, on choisira de préférence une surface de plot telle que la surface S_c du disque circulaire occupe entre 65% et 70% de la surface S_t du plot, et pour cela, la largeur résiduelle de chaque côté pour loger un via respectif sera $(B-A)/2$ égale à environ 5% à 10% de la valeur A du petit côté du plot. Le plot occupe alors une surface de 10% à 20% supérieure à celle qu'il occuperait si les vias étaient situés sous la zone de soudure.

[0035] Dans la configuration de la fig. 6, le plot est carré, $A = B$, et D est inférieur à A; on prévoit de préférence une surface de plot telle que la surface S_c du disque circulaire ($S_t = \pi D^2/4$) occupe entre environ 60% et 70% de la surface $S_t = B^2$ du plot; pour cela, la largeur résiduelle B–D disponible pour loger les vias est d'environ 5% à 14% du diamètre D.

[0036] Les vias sont représentés séparés sur la fig. 6, mais ils pourraient être réunis à l'angle où ils sont adjacents.

[0037] Si les longueurs de vias étroits ne sont pas encore suffisantes on peut encore essayer de placer un via sur trois ou quatre côtés du plot, le centre du plot contenant le disque réservé à la soudure. La fig. 7 représente une configuration avec quatre vias allongés chacun le long d'un côté du plot. Le plot est un carré de côté B supérieur au diamètre D du disque. La largeur réservée aux vias est $(B-D)/2$ et on prévoit qu'elle est d'environ 5 à 10% de D; la surface circulaire réservée au disque est alors d'environ 55% à 65% de la surface du plot.

[0038] Dans toutes les configurations des fig. 4 à 7, les vias allongés occupent pratiquement toute la longueur d'un côté du plot.

[0039] Enfin, la fig. 8 représente une solution pour utiliser au mieux les angles du plot. Les vias conducteurs allongés ne sont pas parallèles aux bords du plot (qui est de préférence carré) mais plutôt logés dans les coins, dans l'espace laissé libre au-delà d'un cercle de diamètre D. Le côté B est légèrement supérieur au diamètre D. La surface S_t du disque de diamètre D est alors de préférence comprise entre 55% et 65% de celle du plot. Dans le dessin de la fig. 8, les vias ont une forme arrondie s'étendant parallèlement à la surface circulaire; ils pourraient aussi être en forme de L ou de triangle.

[0040] Le plot de connexion de la fig. 3, ayant en vue de dessus une des configurations des fig. 4 à 8, surplombe de préférence des plages métalliques ayant sensiblement la même surface et la même position horizontale que le plot 30. Ces plages métalliques sont formées dans les différentes couches conductrices M1 à M4 et sont réunies électriquement par des vias 34 comme à la fig. 1. Les vias 34 peuvent être répartis sur toute la surface de ces plages et être nombreux et de très petite dimension. Ils sont en effet gravés dans des couches isolantes par des procédés qui ne créent pas d'ouvertures à flancs obliques (contrairement à la gravure du silicium) et de toutes façons ils ne servent pas à souder un fil de connexion.

[0041] Lors de la fabrication, ces plages métalliques en forme de plots peuvent servir de plots de test pour des opérations de test sous pointes. En particulier, la couche conductrice M4 comprend de préférence un zone constituant un plot de test 40 pour permettre un test après la fin des étapes de fabrication par la face avant, avant dépôt d'une couche isolante de passivation et de planarisation sur la face avant. Compte-tenu de la géométrie identique des plots de connexion et des plots de test, la configuration des pointes de test peut être la même pour les tests de face avant et les tests de face arrière (sous réserve que l'ensemble de la puce comporte une symétrie de disposition des plots).

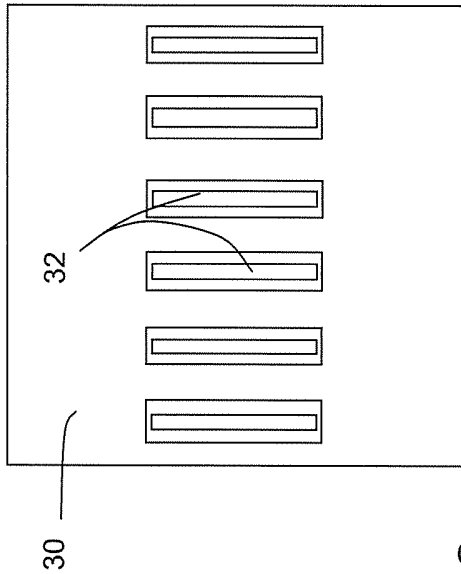
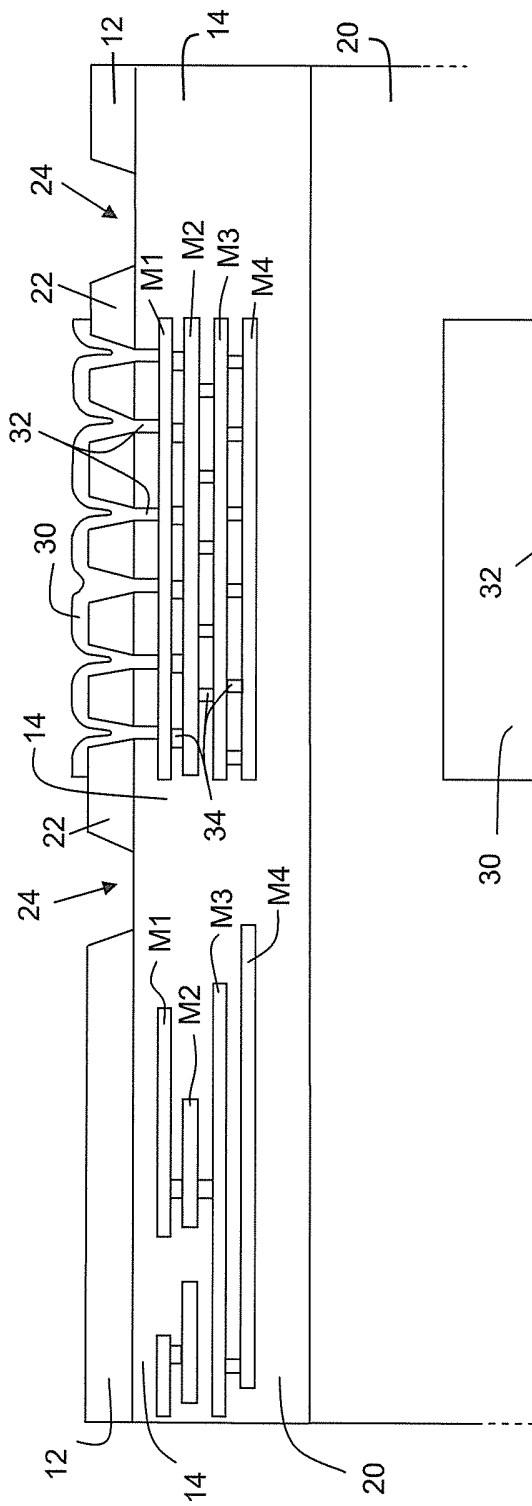
[0042] Dans la configuration de la fig. 2, on a représenté un plot de connexion 30 qui surplombe les plages métalliques. On pourrait aussi utiliser une configuration dans laquelle le plot est partiellement déporté latéralement par rapport aux plages métalliques ou au plot de test (le via de connexion 32 restant bien sûr au-dessus de la plage métallique qu'il doit contacter). Cela n'empêche pas que la configuration de pointes de test puisse être la même en face avant et en face arrière, par exemple en prévoyant que tous les plots sont déportés dans la même direction et de la même quantité.

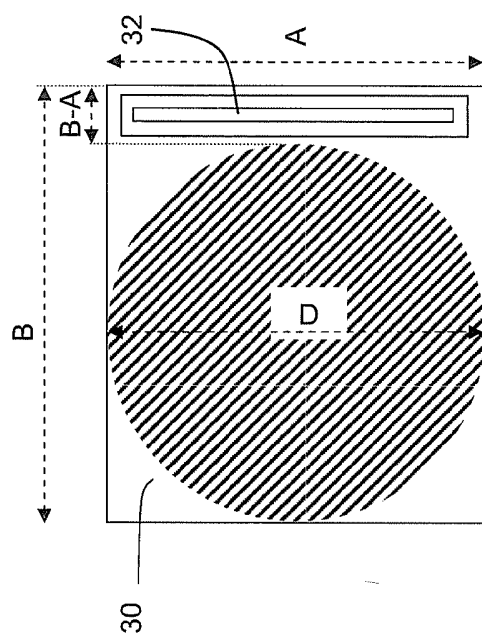
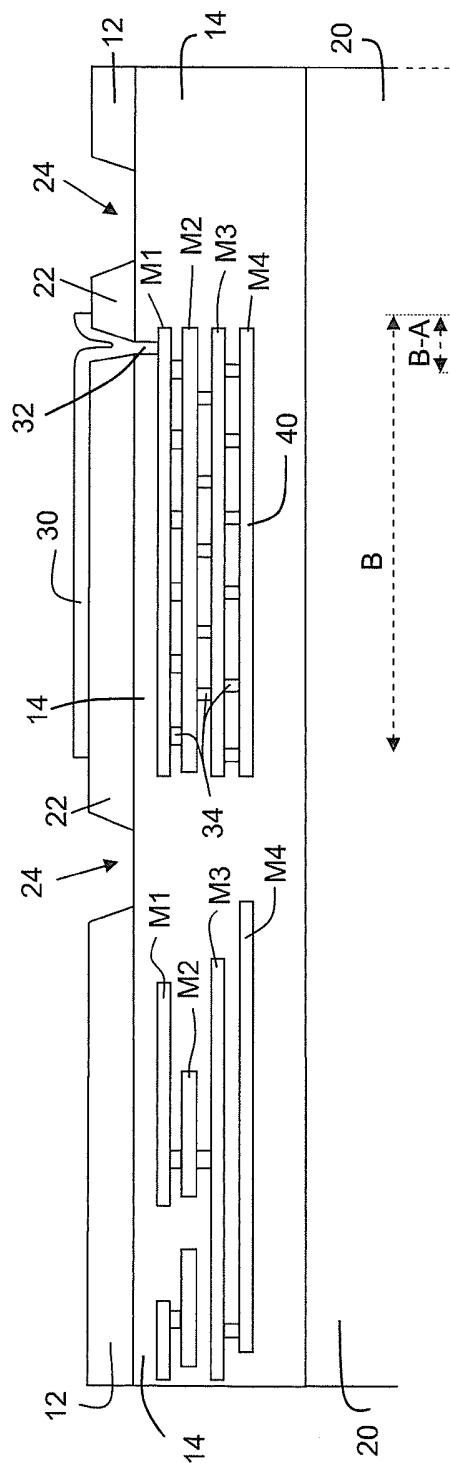
Revendications

1. Composant électronique comportant un circuit intégré réalisé sur la face avant d'un premier substrat semiconducteur aminci (12), le substrat aminci comportant une couche semiconductrice mince de 2 à 10 micromètres d'épaisseur, le premier substrat étant monté par sa face avant sur un substrat de report (20), le composant comportant
 - sur la face avant du premier substrat un plot de test (40) constitué par une zone d'une couche conductrice (M4) déposée sur la face avant,
 - et, sur la face arrière, accessible, de la couche semiconductrice, un plot de connexion extérieure (30) formé par une portion de couche métallique déposée sur cette face arrière, superposée au plot de test (40) et reliée électriquement au plot de test par l'intermédiaire d'au moins une ouverture allongée (32) creusée dans toute l'épaisseur de la couche semiconductrice amincie, ouverture dans laquelle pénètre la couche métallique, le plot de connexion (30) ayant une forme générale rectangulaire présentant une première portion de surface plane permettant la soudure d'un fil de connexion extérieure et au moins une deuxième portion de surface dans laquelle se situe la au moins une ouverture allongée, caractérisé en ce que la couche semiconductrice est dépourvue d'ouverture au-dessous de la première

portion de surface plane et en ce que cette première portion comprend au moins une partie continue dans laquelle peut s'inscrire une partie circulaire occupant au moins 50% de la surface du rectangle.

2. Composant électronique selon la revendication 1, caractérisé en ce que le plot a une forme générale rectangulaire, avec un côté ayant une longueur (B) comprise entre 5 et 20% de plus que l'autre (A), l'ouverture allongée s'étendant le long d'un petit côté du rectangle, parallèlement à ce côté.
3. Composant électronique selon la revendication 1, caractérisé en ce que le plot a une forme rectangulaire, et la surface de la partie circulaire occupe de 65% à 75% de la surface du rectangle.
4. Composant électronique selon la revendication 1, caractérisé en ce que le plot a une forme rectangulaire, avec un côté ayant une longueur comprise entre 5 et 20% de plus que l'autre, la portion de couche métallique déposée sur la face arrière étant reliée électriquement au plot de test par l'intermédiaire de deux ouvertures allongées s'étendant respectivement le long des deux petits côtés du rectangle, parallèlement à ces côtés.
5. Composant électronique selon la revendication 1, caractérisé en ce que le plot a une forme rectangulaire, la portion de couche métallique déposée sur la face arrière étant reliée électriquement au plot de test par l'intermédiaire de deux ouvertures allongées s'étendant respectivement le long des deux petits côtés du rectangle, parallèlement à ces côtés et la surface de ladite partie circulaire occupant de 65 à 70% de la surface du rectangle.
6. Composant électronique selon la revendication 1, caractérisé en ce que le plot a une forme carrée, la portion de couche métallique déposée sur la face arrière étant reliée électriquement au plot de test par l'intermédiaire de deux ouvertures allongées s'étendant respectivement le long de deux bords adjacents du carré, parallèlement à ces bords, la de chacune desdites ouvertures étant comprise entre 2% et 9% du côté du carré.
7. Composant électronique selon la revendication 1, caractérisé en ce que le plot a une forme carrée, la portion de couche métallique déposée sur la face arrière étant reliée électriquement au plot de test par l'intermédiaire de deux ouvertures allongées s'étendant le long de deux bords adjacents du carré, parallèlement à ces bords, et la surface de ladite partie circulaire occupant entre 60% et 70% de la surface du plot.
8. Composant électronique selon la revendication 1, caractérisé en ce que la portion de couche métallique déposée sur la face arrière est reliée électriquement au plot de test par l'intermédiaire de quatre ouvertures allongées disposées respectivement le long de quatre bords adjacents du carré, parallèlement à ces bords, la largeur de chacune desdites ouvertures étant comprise entre 1% et 5% du côté du carré.
9. Composant électronique selon la revendication 1, caractérisé en ce que la portion de couche métallique déposée sur la face arrière est reliée électriquement au plot de test par l'intermédiaire de quatre ouvertures allongées disposées respectivement le long de quatre bords adjacents du carré, parallèlement à ces bords, et la surface du disque circulaire occupe de 55% à 65% de la surface du plot.
10. Composant électronique selon la revendication 1, caractérisé en ce que le plot a une forme carrée et l'ouverture allongée est répartie en quatre portions disjointes situées chacune à un coin respectif du carré, le disque circulaire occupant de 55% à 65% de la surface du plot.





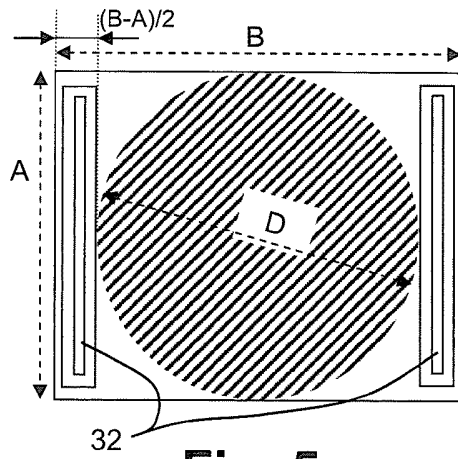


Fig. 5

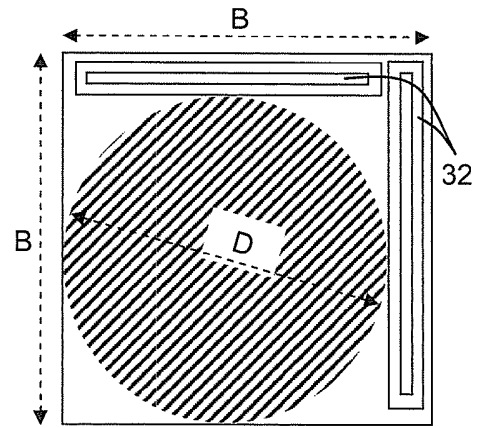


Fig. 6

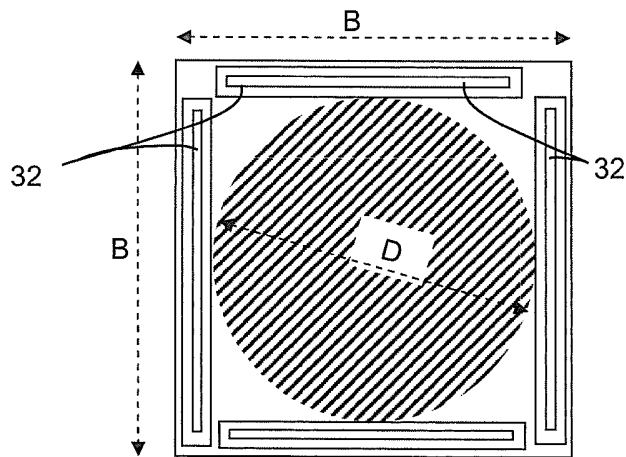


Fig. 7

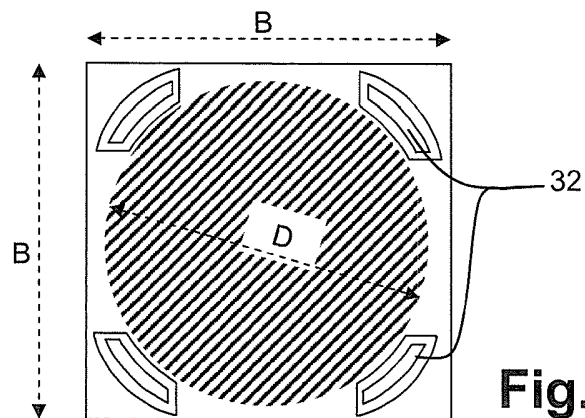


Fig. 8