

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4085389号  
(P4085389)

(45) 発行日 平成20年5月14日(2008.5.14)

(24) 登録日 平成20年2月29日(2008.2.29)

(51) Int.Cl. F I  
**G 0 6 F 12/08 (2006.01)**  
 G 0 6 F 12/08 5 3 1 E  
 G 0 6 F 12/08 5 3 1 B  
 G 0 6 F 12/08 5 5 1 C  
 G 0 6 F 12/08 5 7 5

請求項の数 40 (全 22 頁)

(21) 出願番号 特願2003-427283 (P2003-427283)  
 (22) 出願日 平成15年12月24日(2003.12.24)  
 (65) 公開番号 特開2005-189928 (P2005-189928A)  
 (43) 公開日 平成17年7月14日(2005.7.14)  
 審査請求日 平成16年10月14日(2004.10.14)

(73) 特許権者 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (74) 代理人 100093595  
 弁理士 松本 正夫  
 (72) 発明者 細見 岳生  
 東京都港区芝五丁目7番1号 日本電気株  
 式会社内  
 審査官 清木 泰

最終頁に続く

(54) 【発明の名称】 マルチプロセッサシステム、マルチプロセッサシステムにおける一貫性制御装置及び一貫性制御方法

(57) 【特許請求の範囲】

【請求項1】

キャッシュを有する複数のCPUと一貫性制御装置を有するセルをネットワークで接続したメモリを共有するマルチプロセッサシステムであって、

前記一貫性制御装置は、前記CPUからの要求を受ける要求手段を有し、

前記要求手段はさらに、要求されたデータを保持している前記セルを予測して決定する所有者決定手段と、予測に基づく処理を行うかどうかを判定する判定手段を備え、

前記要求手段は、前記判定手段が予測に基づく処理を行うと判断したときに、前記所有者決定手段によって決定されたセルに対する投機アクセス要求と、要求されたデータのホームであるセルに対するアクセス要求との両方を発行する機能を有し、

前記投機アクセス要求を受けるセルの前記一貫性制御装置は、それを処理する所有者手段を有し、

前記アクセス要求を受けるセルの前記一貫性制御装置は、それを処理するホーム手段を有することを特徴とするマルチプロセッサシステム。

【請求項2】

前記所有者手段は、前記投機アクセス要求を受けて、投機アクセス応答を発行し、

前記要求手段は、前記投機アクセス応答を受ける機能を有することを特徴とする請求項1に記載のマルチプロセッサシステム。

【請求項3】

前記ホーム手段は、前記アクセス要求を受けて一貫性要求を発行し、

10

20

前記所有者手段は、前記一貫性要求を受ける機能を有することを特徴とする請求項 1 に記載のマルチプロセッサシステム。

【請求項 4】

前記ホーム手段はさらに、前記アクセス要求を受けて一時応答を発行し、

前記要求手段はさらに、前記一時応答を受ける機能を有することを特徴とする請求項 1 に記載のマルチプロセッサシステム。

【請求項 5】

前記所有者手段はさらに、前記投機アクセス要求を受けて、投機一貫性応答を発行し、

前記ホーム手段はさらに、前記投機一貫性応答を受ける機能を有することを特徴とする請求項 2 に記載のマルチプロセッサシステム。 10

【請求項 6】

前記ホーム手段はさらに、前記アクセス要求を受け取っていない場合には、前記投機一貫性応答を受けて投機アクセス応答無効化要求を発行し、

前記要求手段はさらに、前記投機アクセス応答無効化要求を受ける機能を有することを特徴とする請求項 5 に記載のマルチプロセッサシステム。

【請求項 7】

前記要求手段はさらに、前記投機アクセス応答無効化要求を受けて、

前記所有者手段からの前記投機アクセス応答を無効化する機能を有することを特徴とする請求項 6 に記載のマルチプロセッサシステム。 20

【請求項 8】

前記一貫性制御装置は、要求フィルタテーブルを備えてキャッシュに存在しないアドレスを前記要求フィルタテーブルに登録し、

前記所有者手段は、前記一貫性要求を受けて、

前記要求フィルタテーブルに一致するエントリが存在する場合には CPU に問い合わせを行わずに処理を行うことを特徴とする請求項 3 に記載のマルチプロセッサシステム。 20

【請求項 9】

前記一貫性制御装置は、要求フィルタテーブルを備えてキャッシュに存在しないアドレスを前記要求フィルタテーブルに登録し、

前記所有者手段は、前記投機アクセス要求を受けて、

前記要求フィルタテーブルに一致するエントリが存在する場合には CPU に問い合わせを行わずに処理を行うことを特徴とする請求項 1 に記載のマルチプロセッサシステム。 30

【請求項 10】

前記判定手段が、セル内の CPU 番号をキーとするテーブルを備え、

前記テーブルに格納されている値によって予測動作を行うかどうかを決定することを特徴とする請求項 1 に記載のマルチプロセッサシステム。

【請求項 11】

前記判定手段が、乱数的にあるいは一定の規則性を持って予測動作の有無を示す値を発生する判定値発生回路を有し、

該判定値発生回路が出力する値によって予測動作を行うかどうかを決定することを特徴とする請求項 1 に記載のマルチプロセッサシステム。 40

【請求項 12】

前記所有者決定手段が、セル内の CPU 番号をキーとするテーブルを備え、

前記テーブルに格納されているセル番号の値によってどのセルに対して投機アクセス要求を発行するかを決定することを特徴とする請求項 1 に記載のマルチプロセッサシステム。

【請求項 13】

前記所有者決定手段が、乱数的にあるいは一定の規則性を持ってセルの番号を示す値を発生するセル番号発生回路を有し、

該セル番号発生回路が出力する値によってどのセルに対して投機アクセス要求を発行するかを決定することを特徴とする請求項 1 に記載のマルチプロセッサシステム。 50

## 【請求項 14】

前記ネットワークが、1つ以上のチャンネルを有し、  
前記チャンネルはそのチャンネルを流れるメッセージに関して送信元セルと送信先セルの組が同一のメッセージ間の到着順序のみを保障し、  
異なる組のメッセージ間の到着順序は保障しない構成であることを特徴とする請求項 1 に記載のマルチプロセッサシステム。

## 【請求項 15】

キャッシュを有する複数の CPU と一貫性制御装置を有するセルをネットワークで接続したメモリを共有するマルチプロセッサシステムにおける一貫性制御方法であって、  
前記 CPU からの要求を受ける要求受信ステップと、  
前記要求受信ステップにて受けた前記 CPU からの要求により要求されたデータを保持している前記セルを予測する所有者予測ステップと、  
予測に基づく処理を行うかどうかを判定する判定ステップと、  
前記判定ステップで予測に基づく処理を行うと判定したときに、所有者予測ステップで予測されたセルに対する投機アクセス要求と、要求されたデータのホームであるセルに対するアクセス要求との両方を発行するステップと、  
前記データのホームであるセルが前記アクセス要求を受けるアクセス要求受信ステップと、  
前記データの所有者と予測されるセルが前記投機アクセス要求を受ける投機アクセス要求受信ステップを有することを特徴とするマルチプロセッサシステムにおける一貫性制御方法。

## 【請求項 16】

前記投機アクセス要求受信ステップは、前記投機アクセス要求を受けて投機アクセス応答を発行するステップを含み、  
前記データの要求者であるセルが前記投機アクセス応答を受けるステップを有することを特徴とする請求項 15 に記載のマルチプロセッサシステムにおける一貫性制御方法。

## 【請求項 17】

前記アクセス要求受信ステップは、アクセス要求を受けてデータの所有者であるセルに一貫性要求を発行するステップを含み、  
前記データの所有者であるセルが前記一貫性要求を受ける一貫性要求受信ステップを有することを特徴とする請求項 15 に記載のマルチプロセッサシステムにおける一貫性制御方法。

## 【請求項 18】

前記アクセス要求受信ステップは、アクセス要求を受けてデータの要求者であるセルに一時応答を発行するステップを含み、  
前記データの要求者であるセルが前記一時応答を受けるステップを有することを特徴とする請求項 15 に記載のマルチプロセッサシステムにおける一貫性制御方法。

## 【請求項 19】

前記投機アクセス要求受信ステップは、投機アクセス要求を受けてデータのホームであるセルに投機一貫性応答を発行するステップを含み、  
前記データのホームであるセルが前記投機一貫性応答を受ける投機一貫性応答受信ステップを有することを特徴とする請求項 16 に記載のマルチプロセッサシステムにおける一貫性制御方法。

## 【請求項 20】

前記投機一貫性応答受信ステップは、前記投機一貫性応答を受けた時点でアクセス要求受信ステップが実行されていなければ投機アクセス応答無効化要求を発行するステップを含み、  
前記データの要求者であるセルが前記投機アクセス応答無効化要求を受ける投機アクセス応答無効化要求受信ステップを有することを特徴とする請求項 19 に記載のマルチプロセッサシステムにおける一貫性制御方法。

## 【請求項 2 1】

前記投機アクセス応答無効化要求受信ステップは、前記投機アクセス応答無効化要求を受けて前記投機アクセス応答を無効化するステップを含むことを特徴とする請求項 2 0 に記載のマルチプロセッサシステムにおける一貫性制御方法。

## 【請求項 2 2】

前記一貫性制御装置は、要求フィルタテーブルを備えてキャッシュに存在しないアドレスを前記要求フィルタテーブルに登録し、

前記一貫性要求受信ステップは、前記要求フィルタテーブルに一致するエントリが存在する場合には CPU に問い合わせを行わずに要求メッセージの処理を行うステップを有することを特徴とする請求項 1 7 に記載のマルチプロセッサシステムにおける一貫性制御方法。 10

## 【請求項 2 3】

前記一貫性制御装置は、要求フィルタテーブルを備えキャッシュに存在しないアドレスを前記要求フィルタテーブルに登録し、

前記投機アクセス要求受信ステップは、前記要求フィルタテーブルに一致するエントリが存在する場合には CPU に問い合わせを行わずに投機アクセス要求の処理を行うステップを有することを特徴とする請求項 1 5 に記載のマルチプロセッサシステムにおける一貫性制御方法。

## 【請求項 2 4】

前記一貫性制御装置が、セル内の CPU 番号をキーとするテーブルを備え、 20

前記判定ステップは、前記テーブルに格納されている値によって予測動作を行うかどうかを決定するステップを含むことを特徴とする請求項 1 5 に記載のマルチプロセッサシステムにおける一貫性制御方法。

## 【請求項 2 5】

前記判定ステップは、乱数的にあるいは一定の規則性を持って予測動作の有無を示す値を発生するステップと、

発生する値によって予測動作を行うかどうかを決定するステップを有することを特徴とする請求項 1 5 に記載のマルチプロセッサシステムにおける一貫性制御方法。

## 【請求項 2 6】

前記一貫性制御装置が、セル内の CPU 番号をキーとするテーブルを備え、 30

前記所有者予測ステップは、前記テーブルに格納されているセル番号の値によってどのセルに対して投機アクセス要求を発行するかを決定するステップを有することを特徴とする請求項 1 5 に記載のマルチプロセッサシステムにおける一貫性制御方法。

## 【請求項 2 7】

前記所有者予測ステップは、

乱数的にあるいは一定の規則性を持ってセルの番号を示す値を発生させるステップを有することを特徴とする請求項 1 5 に記載のマルチプロセッサシステムにおける一貫性制御方法。

## 【請求項 2 8】

キャッシュを有する複数の CPU と一貫性制御装置を有するセルをネットワークで接続したメモリを共有するマルチプロセッサシステムの一貫性制御装置で、 40

前記一貫性制御装置は前記 CPU からの要求を受ける要求手段を有し、

前記要求手段はさらに、要求されたデータを保持している前記セルを予測して決定する所有者決定手段と、予測に基づく処理を行うかどうかを判定する判定手段を備え、

前記要求手段は、前記判定手段が予測に基づく処理を行うと判断したときに、前記所有者決定手段によって決定されたセルに対する投機アクセス要求と、要求されたデータのホームであるセルに対するアクセス要求との両方を発行する機能を有し、

前記投機アクセス要求を受けるセルの前記一貫性制御装置は、それを処理する所有者手段を有し、

前記アクセス要求を受けるセルの前記一貫性制御装置は、それを処理するホーム手段を 50

有することを特徴とするマルチプロセッサシステムの一貫性制御装置。

【請求項 29】

前記所有者手段は、前記投機アクセス要求を受けて、投機アクセス応答を発行し、

前記要求手段は、前記投機アクセス応答を受ける機能を有することを特徴とする請求項 28 に記載のマルチプロセッサシステムの一貫性制御装置。

【請求項 30】

前記ホーム手段は、前記アクセス要求を受けて一貫性要求を発行し、

前記所有者手段は、前記一貫性要求を受ける機能を有することを特徴とする請求項 28 に記載のマルチプロセッサシステムの一貫性制御装置。

【請求項 31】

前記ホーム手段はさらに、前記アクセス要求を受けて一時応答を発行し、

前記要求手段はさらに、前記一時応答を受ける機能を有することを特徴とする請求項 28 に記載のマルチプロセッサシステムの一貫性制御装置。

【請求項 32】

前記所有者手段はさらに、前記投機アクセス要求を受けて、投機一貫性応答を発行し、

前記ホーム手段はさらに、前記投機一貫性応答を受ける機能を有することを特徴とする請求項 29 に記載のマルチプロセッサシステムの一貫性制御装置。

【請求項 33】

前記ホーム手段はさらに、前記アクセス要求を受け取っていない場合には、前記投機一貫性応答を受けて投機アクセス応答無効化要求を発行し、

前記要求手段はさらに、前記投機アクセス応答無効化要求を受ける機能を有することを特徴とする請求項 32 に記載のマルチプロセッサシステムの一貫性制御装置。

【請求項 34】

前記要求手段はさらに、前記投機アクセス応答無効化要求を受けて、

前記所有者手段からの前記投機アクセス応答を無効化する機能を有することを特徴とする請求項 33 に記載のマルチプロセッサシステムの一貫性制御装置。

【請求項 35】

前記一貫性制御装置は、要求フィルタテーブルを備えてキャッシュに存在しないアドレスを前記要求フィルタテーブルに登録し、

前記所有者手段は、前記一貫性要求を受けて、

前記要求フィルタテーブルに一致するエントリが存在する場合には CPU に問い合わせを行わずに処理を行うことを特徴とする請求項 30 に記載のマルチプロセッサシステムの一貫性制御装置。

【請求項 36】

前記一貫性制御装置は、要求フィルタテーブルを備えてキャッシュに存在しないアドレスを前記要求フィルタテーブルに登録し、

前記所有者手段は、前記投機アクセス要求を受けて、

前記要求フィルタテーブルに一致するエントリが存在する場合には CPU に問い合わせを行わずに処理を行うことを特徴とする請求項 28 に記載のマルチプロセッサシステムの一貫性制御装置。

【請求項 37】

前記判定手段が、セル内の CPU 番号をキーとするテーブルを備え、

前記テーブルに格納されている値によって予測動作を行うかどうかを決定することを特徴とする請求項 28 に記載のマルチプロセッサシステムの一貫性制御装置。

【請求項 38】

前記判定手段が、乱数的にあるいは一定の規則性を持って予測動作の有無を示す値を発生する判定値発生回路を有し、

該判定値発生回路が出力する値によって予測動作を行うかどうかを決定することを特徴とする請求項 28 に記載のマルチプロセッサシステムの一貫性制御装置。

【請求項 39】

10

20

30

40

50

前記所有者決定手段が、セル内のCPU番号をキーとするテーブルを備え、  
前記テーブルに格納されているセル番号の値によってどのセルに対して投機アクセス要求を発行するかを決定することを特徴とする請求項28に記載のマルチプロセッサシステムの一貫性制御装置。

【請求項40】

前記所有者決定手段が、乱数的にあるいは一定の規則性を持ってセルの番号を示す値を発生するセル番号発生回路を有し、

該セル番号発生回路が出力する値によってどのセルに対して投機アクセス要求を発行するかを決定することを特徴とする請求項28に記載のマルチプロセッサシステムの一貫性制御装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリを共有する密結合型のマルチプロセッサシステムでの一貫性制御装置及び一貫性制御方法に関する。

【背景技術】

【0002】

メモリを共有する密結合型のマルチプロセッサシステムにおける従来の一貫性制御方法に関する技術が非特許文献1に開示されている。以降、図を参照しながら当該従来技術を説明する。

20

【0003】

一貫性制御が適用される従来マルチプロセッサシステムの構成を図1に示す。複数のCPU101と一貫性制御装置102と共有メモリ103を含む複数のセル104がネットワーク105で接続される。各CPU101は、キャッシュ106を保持し、キャッシュ106に共有メモリ103のデータを一時的に保持することで、データ・アクセスの高速化を実現している。

【0004】

一方、複数のCPU101のキャッシュ106が共有メモリ103上の同じデータをアクセスしてそれぞれのキャッシュ106に保持するため、それらコピーの一貫性を維持する機能（一貫性制御）が必要となり、そのための手段として一貫性制御装置102を備えている。

30

【0005】

図13に、この一貫性制御を担う一貫性制御装置102の構成を示す。一貫性制御装置102は、要求手段107、ホーム手段108、所有者手段109を含んで構成される。データの一貫性制御は、複数のセル104の一貫性制御装置102のこれら要求手段107、ホーム手段108、所有者手段109間で要求や応答メッセージをやり取りすることによって実現される。

【0006】

図14と図15に、CPU101がキャッシュ106にないデータをアクセスした場合に発行するアクセス要求を一貫性制御装置102が受けた場合における、要求手段107、ホーム手段108、所有者手段109間でのメッセージの流れを示す。

40

【0007】

以下においては、例として、セル104-aにおいて、CPU101がキャッシュ106にないデータをアクセスした場合に、セル104-aの一貫性制御装置102からセル104-bの一貫性制御装置102にアクセス要求を発行した場合について説明する。

【0008】

図14の(a)と図15の(a)は、アクセス要求されたセル104-bの共有メモリ103に最新のデータが存在する場合の動作を示している。この場合、まずセル104-aの一貫性制御装置102の要求手段107は、セル104-bの一貫性制御装置102のホーム手段108にアクセス要求を発行する。セル104-bのホーム手段108は、

50

ネットワーク105経由でセル104 - aの要求手段107からのアクセス要求を受けて共有メモリ103からデータを読み出し、要求元のセル104 - aの要求手段107に対してアクセス応答する。

【0009】

図14の(b)と図15の(b)は、セル104 - aの一貫性制御装置102からセル104 - bの一貫性制御装置102にアクセス要求した場合に、セル104 - c内のキャッシュ106に最新のデータが存在する場合の動作を示している。セル104 - aの一貫性制御装置102の要求手段107は、セル104 - bの一貫性制御装置102のホーム手段108にアクセス要求を発行する。セル104 - bのホーム手段108は、ネットワーク105経由でアクセス要求を受け、キャッシュ106内に最新のデータのコピーを保持するCPU101を含むセル104 - cの所有者手段109に一貫性要求を発行する。

10

【0010】

ネットワーク105経由で一貫性要求を受けたセル104 - cの所有者手段109は、該CPU101のキャッシュ106からデータを読み出し、セル104 - aの要求手段107に対してアクセス応答を、セル104 - bのホーム手段108に対して一貫性応答を行う。

【0011】

一般に、図14の(b)、図15の(b)のようなケースは、最新のデータを保持するキャッシュ106から要求を出したCPU101のキャッシュ106にデータが転送されることから、キャッシュ間転送のケースと呼ばれる。

20

【0012】

このキャッシュ間転送のケースにおける性能を改善するための従来技術が、例えば非特許文献2に開示されている。以降、図を参照しながら当該従来技術を説明する。

【0013】

図16に、要求手段107の構成を示す。要求手段107は、所有者決定手段110と判定手段111を含む。

【0014】

所有者決定手段110は、CPU101からのアクセス要求を入力とし、どのセル104が最新のデータを保持しているかを予測して出力する。

30

【0015】

判定手段111はCPU101からのアクセス要求を入力とし、予測に基づく処理を行うかどうかを判定し、その判定結果を出力する。

【0016】

判定手段111が予測に基づく動作を指示しなかった場合においては、図14、図15に示した従来技術の動作と同じ動作を行う。

【0017】

判定手段111が予測に基づく動作を指示した場合、図17に示す動作を行う。

【0018】

ここでは、セル104 - aのCPU101がキャッシュ106にないデータをアクセスした場合に、予測したセル104 - bにアクセス要求を行う場合を想定して説明する。

40

【0019】

図17の(a)は予測したセル104 - bがデータを保持していた場合の動作である。セル104 - aの要求手段107は、所有者決定手段110が予測したセル104 - bの所有者手段109に投機アクセス要求を発行する。該所有者手段109は投機アクセス要求を受けて、キャッシュ106からデータを読み出し、セル104 - aの要求手段107にアクセス応答を、ホーム手段108に一貫性応答を行う。

【0020】

一方、図17の(b)は予測したセル104 - bがデータを保持していなかった場合の動作である。セル104 - aの要求手段107は、所有者決定手段110が予測したセル

50

104 - bの所有者手段109に投機アクセス要求を発行する。

【0021】

セル104 - bの該所有者手段109は、投機アクセス要求を受けるが、データを保持していないので投機失敗応答を要求元のセル104 - aのホーム手段108に発行する。セル104 - aのホーム手段108は投機失敗応答を受けて、データを保持するセル（例えば、セル104 - c）の所有者手段109に一貫性要求を発行する。一貫性要求を受けたセル（セル104 - c）の所有者手段109は、キャッシュ106からデータを読み出し、要求元のセル104 - aの要求手段107に対してアクセス応答を、ホーム手段108に対して一貫性応答を行う。

【0022】

また、従来 of 判定手段111及び所有者決定手段110の構成を図18及び図19に示す。

【0023】

判定手段111は、プログラムカウンタ（PC）113をキーとする判定情報テーブル114を保持し、CPU101がアクセス要求を発行したときのPC113の値から判定情報テーブル114を検索し、その内容を判定回路115で受けて、予測に基づく動作を行うかどうかを決定する。

【0024】

所有者決定手段110は、PC113とアクセス要求のアドレス116からキー作成回路117にてキーを作成し、そのキーをインデックスとする予測セル情報テーブル118を保持する。要求発行回路119は、予測したセルの所有者手段109に投機アクセス要求を発行する。

【非特許文献1】James Laudon and Daniel Leonski, "The SGI Origin: A ccNUMA Highly Scalable Server", Proceedings of the 24th annual international symposium on Computer architecture, 1997, pp241-251

【非特許文献2】Manuel E. Acacio, Jose Gonzalez, Jose M. Garcia and Jose Duato, "Owner Prediction for Accelerating Cache-to-Cache Transfer Misses in a cc-NUMA Architecture", Proceedings of SC2002

【発明の開示】

【発明が解決しようとする課題】

【0025】

上述した従来 of 技術には、以下に述べるような問題点があった。

【0026】

第1の問題点は、キャッシュミス時に十分なメモリアクセス性能が得られないことである。

【0027】

その理由は、前記非特許文献1で開示されている技術では、キャッシュ間転送時のメモリアクセスレイテンシが大きいからである。また前記非特許文献2で開示されている技術では、予測によりキャッシュ間転送時のメモリアクセスレイテンシの改善を図っており、予測が当たった場合は確かに性能を改善しているが、予測が外れた場合前期非特許文献1よりもさらに悪化しており、全体としては性能改善がうまく図れていないからである。

【0028】

第2の問題点は、非特許文献2の技術を用いた場合、判定手段や所有者決定手段のために多くのハードウェア量を必要とすることである。

【0029】

その理由は、以下のとおりである。判定情報テーブル114及び予測セル情報テーブル118には、以前そのPC113及びアドレス116で（実際には同じキーを持つ複数の組）行われたアクセスの履歴情報が保持される。この履歴情報を正確なものとするには、判定情報テーブル114については、CPU101が出力するアクセス要求で異なるPC113の値を持つものは、判定情報テーブル114の同一のエントリをなるべく利用しな

10

20

30

40

50



いようにする必要がある。予測セル情報テーブル 118 についても、CPU 101 が出力するアクセス要求で異なる PC 113 及びアドレス 116 の値を持つものは、予測セル情報テーブル 118 の同一のエントリをなるべく利用しないようにする必要があり。そのため、開示されている非特許文献 2 では、前者を 2 K エントリ、後者を 16 K エントリのメモリで構成していた。

【0030】

本発明の第 1 の目的は、キャッシュ間転送が行われるケースのメモリアクセス性能を向上させることができるマルチプロセッサシステム、マルチプロセッサシステムにおける一貫性制御装置及び一貫性制御方法を提供することにある。

【0031】

本発明の第 2 の目的は、一貫性制御のために必要なハードウェア量をより削減することができるマルチプロセッサシステム、マルチプロセッサシステムにおける一貫性制御装置及び一貫性制御方法を提供することにある。

【課題を解決するための手段】

【0032】

本発明は、キャッシュを有する複数の CPU と一貫性制御装置を有するセルをネットワークで接続したメモリを共有するマルチプロセッサシステムであって、前記一貫性制御装置は、前記 CPU からの要求を受ける要求手段を有し、前記要求手段はさらに、要求されたデータを保持している前記セルを予測して決定する所有者決定手段と、予測に基づく処理を行うかどうかを判定する判定手段を備え、前記要求手段は、前記判定手段が予測に基づく処理を行うと判断したときに、前記所有者決定手段によって決定されたセルに対する投機アクセス要求と、要求されたデータのホームであるセルに対するアクセス要求との両方を発行する機能を有し、前記投機アクセス要求を受けるセルの前記一貫性制御装置は、それを処理する所有者手段を有し、前記アクセス要求を受けるセルの前記一貫性制御装置は、それを処理するホーム手段を有する。

【発明の効果】

【0033】

本発明の第 1 の効果は、キャッシュ間転送が行われるケースのメモリアクセス性能を向上させることが可能となる。

【0034】

その理由は、データを所有するセルの予測を行い、ホーム手段と所有者手段にアクセス要求と投機アクセス要求を発行することにより、予測が当たった場合のメモリアクセス性能を改善でき、外れた場合でも従来と同じレイテンシを実現することができるからである。

【0035】

本発明の第 2 の効果は、一貫性制御のための要求手段に必要なハードウェア量を削減することができる点にある。

【0036】

その理由は、判定手段で保持する判定情報テーブルを、セル内の CPU 番号をキーとするテーブルとして構成するからである。また、所有者決定手段で保持する所有者セル情報テーブルを、セル内の CPU 番号をキーとするテーブルとして構成するからである。

【0037】

さらに、判定手段で判定情報テーブルの代わりに判定値発生回路を保持し、テーブルを不要とし、所有者決定手段で所有者セル情報テーブルの代わりにセル番号発生回路を保持する構成とすることにより、一貫性制御のための要求手段に必要なハードウェア量をさらに削減することが可能となる。

【実施例 1】

【0038】

次に、本発明の好適な実施例について図面を参照して詳細に説明する。

【0039】

10

20

30

40

50

本発明の第1の実施例によるマルチプロセッサシステムの構成は、図1に示した従来の構成と同じであり、複数のCPU101と一貫性制御装置102と共有メモリ103を含む複数のセル104(104-a~104-d)がネットワーク105で接続される。各CPU101はキャッシュ106を備え、キャッシュ106に共有メモリ103のデータを一時的に保持することで、データ・アクセスの高速化を実現している。

【0040】

ここで、ネットワーク105は、1以上のチャネルを有し、チャネルは送信元セル104と送信先セル104の組が一致するメッセージ間の順序のみを保障するものであればよい。また、ネットワーク105としては、バス等の全メッセージ間の順序が保障されたネットワークにも適用可能である。

10

【0041】

第1の実施例による一貫性制御装置102の構成を図3に示す。一貫性制御装置102は、要求手段107、ホーム手段108、所有者手段109と要求フィルタテーブル112とを有する。

【0042】

データの一貫性制御は、複数のセル104(104-a~104-d)のこれら要求手段107、ホーム手段108、所有者手段109間で要求や応答メッセージをやり取りすることによって実現される。

【0043】

要求フィルタテーブル112は、CPU101に問い合わせを行うことなしに、要求手段107から受けた要求メッセージの処理を所有者手段109が行えるようにするために用いられる。

20

【0044】

要求手段107の構成は、従来の技術で説明した図16に示す通りである。この要求手段107は、所有者決定手段110と判定手段111を含む。

【0045】

所有者決定手段110は、CPU101からのアクセス要求を入力とし、何れのセル104(セル104-a~104-d)が最新のデータを保持しているか(最新のデータを所有するセル)を予測して出力する。

【0046】

判定手段111は、CPU101からのアクセス要求を入力とし、所有者決定手段110による予測に基づく処理を行うかどうかを判定し、その判定結果を出力する。

30

【0047】

図4及び図5は、本実施例による上記所有者決定手段110及び判定手段111の構成を示す図である。

【0048】

判定手段111は、セル(セル104-a~104-d)内に存在するCPU101を識別するセル内CPU番号120をキーとする判定情報テーブル121と判定回路122を備える。

【0049】

所有者決定手段110も同様に、セル内CPU番号120をキーとする予測セル情報テーブル123と要求発行回路124を備える。

40

【0050】

本発明の第1の実施例によるマルチプロセッサシステムの要求手段107、ホーム手段108、所有者手段109の動作について図2を用いて説明する。

【0051】

図2の(a)は予測したセル104がデータを保持していた場合の動作である。ここでは、例として、セル104-aから予測したセル104-bに対してアクセス要求を発行する場合について説明する。

【0052】

50

セル104 - aの要求手段107は、ホーム手段108にアクセス要求を発行し、所有者決定手段110が予測したセル104 - bの所有者手段109に対して投機アクセス要求を発行する。

【0053】

予測したセル104 - bの所有者手段109は、投機アクセス要求を受けて、キャッシュ106からデータを読み出し、セル104 - aの要求手段107に対して投機アクセス応答を、ホーム手段108に対して投機一貫性応答を行う。

【0054】

また、アクセス要求を受けたセル104 - aのホーム手段108は、一時応答を要求手段107に、一貫性要求を所有者手段109に発行する。セル104 - aの要求手段107は、一時応答と投機アクセス応答の両方を受けてCPU101にデータを渡す。

10

【0055】

図2の(b)は予測したセル104がデータを保持していなかった場合の動作である。

【0056】

セル104 - aの要求手段107は、ホーム手段108にアクセス要求を、所有者決定手段110が予測したセル104 - bの所有者手段109に対して投機アクセス要求を発行する。

【0057】

該所有者手段109は投機アクセス要求を受けるが、データを保持していないので投機アクセス要求を破棄する。アクセス要求を受けたホーム手段108は、データを保持するセル104(例えば、セル104 - c)の所有者手段109に一貫性要求を、セル104 - aの要求手段107に一時応答を発行する。

20

【0058】

一貫性要求を受けたセル104 - cの所有者手段109は、キャッシュ106からデータを読み出し、セル104 - aの要求手段107にアクセス応答を、ホーム手段108に一貫性応答を行う。セル104 - aの要求手段107は、アクセス応答を受けてCPU101にデータを渡す。

【0059】

また、図2の(c)は、(a)に示すケースでセル104 - aのホーム手段108がセル104 - bの所有者手段109からの投機一貫性応答を受けた時点でまだ要求手段107からのアクセス要求を受け取っていない場合の動作である。

30

【0060】

セル104 - aのホーム手段108は、投機一貫性応答を受けて要求手段107に投機アクセス応答無効化要求を発行する。

【0061】

投機アクセス応答無効化要求を受けたセル104 - aの要求手段107は、セル104 - bの所有者手段109から受け取るあるいは受け取った投機アクセス応答を破棄する。これにより、複数のセル104からのアクセスが競合した場合でもデータの一貫性を維持することができる。

【0062】

上述した本実施例による方式では、予測したセル(上記の例ではセル104 - b)の所有者手段109は、要求手段107からの投機アクセス要求とホーム手段108からの一貫性要求の両方を受け取って処理する必要がある。

40

【0063】

図6は、所有者手段109における上記処理を効率化するために設けた要求フィルタテーブル112による動作を説明する図である。以降順に動作を説明する。

【0064】

所有者手段109は、アドレスAを指定する投機アクセス要求(A)を受けると、要求フィルタテーブル112を検査する。図6の(a)に示すように、該当するアドレスに一致するエントリが存在しない場合、CPU101に対して問い合わせを行い、その応答に

50

したがって処理を行う。ここで、該投機アクセス要求によってアドレスAのデータが無効化されたとする。

【0065】

アドレスAが無効化された場合、図6の(b)に示すように、要求フィルタテーブル112にアドレスAが登録される。アドレス登録時に空きエントリがなく、置き換えの必要が生じた場合、あるエントリが選択されてそのエントリにアドレスAが上書きされる。上書きされる前に登録されていたアドレスに関して、CPU101への問い合わせやホーム手段108へのメッセージ転送が行われることはない。

【0066】

次に、所有者手段109は、アドレスAの一貫性要求を受けると、要求フィルタテーブル112を検査する。図6の(b)に示すように、該当するアドレスに一致するエントリが存在するので、CPU101に対して問い合わせを行わず、キャッシュ106にはデータが存在しないものとして処理を行う。

10

【0067】

次に、要求手段107がアドレスAのアクセス要求をCPU101から受けると、要求フィルタテーブル112を検査する。図6の(b)に示すように、該当するアドレスに一致するエントリが存在するので、図6の(c)に示すように該エントリのデータを無効化する。

【0068】

ここで、要求フィルタテーブル112のエントリの無効化は、要求手段107がアクセス要求を受け取ったときに加えて、所有者手段109が要求フィルタテーブル112を検査してアドレスが一致するエントリが存在した時に行うようにしても良い。

20

【0069】

最後に、判定手段111及び所有者決定手段110の動作について説明する。図7に示すプログラムは、プログラムのある箇所ではアドレスAに対する書き込みを行い、続いてアドレスBに対する書き込み、最後にアドレスCに対する書き込みを行うことを示すものである。

【0070】

最初に、図8に示すように、セル104-jにおいて図7に示すプログラムが実行され、セル104-jのキャッシュ106にアドレスA、B、Cのデータが保持されているものとする(図1の構成では、セル104-iと104-jは、セル104-a、104-b、104-c、104-dの何れか)。次に、同じプログラムがセル104-iのCPU101で実行されたものとする。

30

【0071】

図9は、セル104内に4個(0番から3番)のCPU101が存在し、上記プログラムが0番のCPU101で実行された場合の、判定情報テーブル121及び、所有者セル情報テーブル123の状態の遷移を示したものである。

【0072】

両テーブル121、123とも4エントリのテーブルで構成される。また、判定情報テーブル121には「0」あるいは「1」が格納され、「0」は予測動作をしない、「1」は予測動作をすることを示すものとする。判定情報テーブル121の各エントリは、セル内のCPU101の番号に対応している。また、所有者セル情報テーブル123にはセル104を識別する番号が格納されるものとする。

40

【0073】

以降、このケースのセル104-iにおける判定手段111及び所有者決定手段110の動作を順に説明する。

【0074】

初期状態では、判定情報テーブル121には全て「0」(予測動作をしないことを示す値)が格納されている。0番目のCPU101が図7に示すプログラムを実行し、アドレスAに対する書き込みを行ったとする。

50

## 【 0 0 7 5 】

この書き込みによりアクセス要求が該セル 1 0 4 - i の要求手段 1 0 7 に対して発行される。セル 1 0 4 - i の要求手段 1 0 7 は 0 番の CPU 1 0 1 からアドレス A のアクセス要求を受けて、判定手段 1 1 1 に対してセル内 CPU 番号 1 2 0 として「 0 」を出力する。

## 【 0 0 7 6 】

判定手段 1 1 1 は、セル内 CPU 番号 1 2 0 である「 0 」を受けて判定情報テーブル 1 2 1 の 0 番の CPU に対応する 0 番目のエントリの値「 0 」を読み出す（図 9 の（ a ）参照）。この読み出された内容「 0 」は判定回路 1 2 2 に渡され、判定回路 1 2 2 でその値が判別されて予測動作なしという判定結果が要求手段 1 0 7 に渡される。セル 1 0 4 - i の要求手段 1 0 7 は、非特許文献 1 で示した従来技術と同様にアクセス要求の処理を行うことにより、セル 1 0 4 - j からデータを受け取る。

10

## 【 0 0 7 7 】

セル 1 0 4 - i の要求手段 1 0 7 は、データを受け取ると、該アクセスがキャッシュ間転送を行ったケースであるので、判定情報テーブル 1 2 1 の 0 番のエントリを値「 1 」（予測動作をすることを示す内容）に、所有者セル情報テーブル 1 2 3 の 0 番エントリの内容を「 j 」に更新する（図 9 の（ b ）参照）。

## 【 0 0 7 8 】

次に、アドレス B に対する書き込みが行われる。この書き込みによりアクセス要求が要求手段 1 0 7 に対して発行される。

20

## 【 0 0 7 9 】

セル 1 0 4 - i の要求手段 1 0 7 は、0 番の CPU 1 0 1 からアドレス B のアクセス要求を受けて、判定手段 1 1 1 にセル内 CPU 番号 1 2 0 として「 0 」を出力する。判定手段 1 1 1 は、セル内 CPU 番号 1 2 0 の「 0 」を受けて判定情報テーブル 1 2 1 の 0 番目のエントリの内容「 1 」を読み出す（図 9 の（ b ）参照）。

## 【 0 0 8 0 】

この値「 1 」が判定回路 1 2 2 に渡されて判別されることにより、予測動作ありという判定結果が要求手段 1 0 7 に渡される。要求手段 1 0 7 は、次にセル内 CPU 番号 1 2 0 である値「 0 」を所有者決定手段 1 1 0 に出力する。

## 【 0 0 8 1 】

所有者決定手段 1 1 0 は、セル内 CPU 番号 1 2 0 の値「 0 」を受けて所有者セル情報テーブル 1 2 3 の 0 番エントリの内容「 j 」を読み出す（図 9 の（ b ）参照）。この予想するセルの番号を示す情報「 j 」は要求発行回路 1 2 4 に渡され、要求発行回路 1 2 4 はセル 1 0 4 - j に対して投機アクセス要求を発行する旨を要求手段 1 0 7 に伝える。

30

## 【 0 0 8 2 】

要求手段 1 0 7 は、この通知を受けて図 2 に示す動作を行い、所有者決定手段 1 1 0 から通知されたセル 1 0 4 - j の所有者手段 1 0 9 に対して投機アクセス要求を発行する。セル 1 0 4 - j の所有者手段 1 0 9 は、投機アクセス要求を受け、キャッシュ 1 0 6 からデータを読み出し、要求元のセル 1 0 4 - i の要求手段 1 0 7 に対してデータを投機アクセス応答により渡す。

40

## 【 0 0 8 3 】

要求手段 1 0 7 は、データを受け取ると、該アクセスがキャッシュ間転送を行ったケースであるので、判定情報テーブル 1 2 1 の 0 番エントリの内容を「 1 」に、所有者セル情報テーブル 1 2 3 の 0 番目のエントリの内容を「 j 」に更新する。

## 【 0 0 8 4 】

次に、アドレス C に対する書き込みが行われる。この書き込みによるアクセス要求もアドレス B の上記処理と同様の処理が行われる。

## 【 0 0 8 5 】

このように、始めのアドレス A に関しては予測動作が行われないものの、続くアドレス B 及び C に関しては予測動作が行われると共に、予測した内容（予想したセル）が的中し

50

た結果となる。

【 0 0 8 6 】

一方、従来のように P C (プログラムカウンタ) 及びアドレスから作成したキーによるテーブルを用いる方式では、上記の場合、アドレス A、B、C についてそれぞれ異なるキーが作成される可能性が高く、全く予測動作が行われない場合も起こる。

【 0 0 8 7 】

上記した第 1 の実施例によれば、データを所有するセルの予測を行い、ホーム手段と所有者手段にアクセス要求と投機アクセス要求を発行することにより、予測が当たった場合のメモリアクセス性能を改善し、外れた場合でも従来と同じレイテンシを実現することができるようになる。

10

【 0 0 8 8 】

なお、投機アクセス要求は、複数の所有者手段 1 0 9 に対して発行しても良い。また、要求手段 1 0 7 は、複数の判定手段 1 1 1 と所有者決定手段 1 1 0 を有しても良い。

【 0 0 8 9 】

また、上記実施例の構成では、要求手段 1 0 7 が判定手段 1 1 1 と所有者決定手段 1 1 0 を備える場合を示したが、C P U 1 0 1 が判定手段 1 1 1 と所有者決定手段 1 1 0 を備え、アクセス要求と投機アクセス要求を要求手段 1 0 7 に発行し、それを受けた要求手段は、アクセス要求をホーム手段 1 0 8 に、投機アクセス要求を指定されたセルの所有者手段 1 0 9 に発行するようにしてもよい。ただし、これは C P U 1 0 1 に一貫性制御装置 1 0 2 の機能の一部を割り振っただけであり、マルチプロセッサシステムの各セルが有する機能そのものについて変更はない。

20

【 0 0 9 0 】

図 2 の ( b ) のケースで、投機アクセス要求を受けた所有者手段 1 0 9 は、要求手段 1 0 7 に対して投機アクセス失敗応答を行っても良い。

【実施例 2】

【 0 0 9 1 】

なお、第 2 の実施例としては、判定手段 1 1 1 について、図 1 0 に示すように、値「 0 」あるいは「 1 」をランダムにあるいは一定の規則性を持って出力する判定値発生回路 1 2 5 を有し、予測動作を行うかどうかをランダムに、あるいは規則的に決定するようにしてもよい。

30

【実施例 3】

【 0 0 9 2 】

同様に、第 3 の実施例としては、所有者決定手段 1 1 0 は、図 1 1 に示すように、セル番号をランダムにあるいは一定の規則を持って出力するセル番号発生回路 1 2 6 を有し、ランダムにあるいは規則性を持って所有者となるセルを決定しても良い。

【 0 0 9 3 】

このセル番号発生回路 1 2 6 では、ランダムにセルの番号を出力してもよいし、特定のセルどうしの番号を予め組み合わせ、あるセルからの要求に対してどのセル番号を出力するかを決めてあってもよいし、また、一定の規則で順番にセル番号を出力するものであってもよい。

40

【 0 0 9 4 】

図 1 0、図 1 1 に示すように判定手段 1 1 1 と所有者決定手段 1 1 0 を構成することで、上記説明した実施例のようなセル内 C P U 番号 1 2 0 をキーとして判定情報テーブル 1 2 1 及び予測セル情報テーブル 1 2 3 が必要なくなり、ハードウェア量を極力少なくすることができる。

【 0 0 9 5 】

特に、マルチプロセッサシステムを構成するセル数が少ない場合には、上記のような判定値発生回路 1 2 5 やセル番号発生回路 1 2 6 を備える構成でも、メモリアクセス性能の向上が十分に達成される。

【 0 0 9 6 】

50

また、図12に示すように、上記第1の実施例に示した所有者決定手段110が、第3の実施例である図11に示したセル番号発生回路126を備える構成とすることもできる。この場合、所有者決定手段110が複数のセル番号を出力し、複数の所有者手段109に対して投機アクセス要求を発行する。

【0097】

判定手段111について、第1の実施例と図10の第2の実施例の構成を組み合わせることも可能である。

【0098】

さらに、判定手段111と所有者決定手段110の他の実施例としては、図18と図19に示した従来の構成と本実施例の構成を組み合わせ構成することも可能である。このように組み合わせることで、マルチプロセッサシステムの内容に応じてより効果的な組み合わせを選択することができる。

10

【0099】

以上、好ましい実施の形態をあげて本発明を説明したが、本発明は必ずしも上記実施の形態に限定されるものではない。本発明の要旨を逸脱しない範囲内において種々の変形が可能であることは言うまでもない。

【0100】

なお、一貫性制御装置102の各機能は、例えばコンピュータ装置に上述した機能を持たせることによって実現することができる。具体的には、CPU101で上記一貫性制御装置の機能をソフトウェア的に達成するプログラムを実行することで実現してもよい。

20

【0101】

一貫性制御装置102の機能をソフトウェア的に実現する場合には、プログラム制御可能なコンピュータ処理装置(CPU)上で、各一貫性制御装置の機能を実現するプログラムをロードして実行する。このプログラムは、磁気ディスク、半導体メモリその他の記録媒体に格納され、その記録媒体からコンピュータ処理装置にロードされ、CPUの動作を制御することにより、各装置としての固有の機能を達成する。

【産業上の利用可能性】

【0102】

本発明は、ハードウェア制御の共有メモリ型マルチプロセッサシステムのみならず、ソフトウェア制御の共有メモリ型マルチプロセッサシステムといった用途にも適用することができる。また、大規模ディスクアレイ装置のディスクキャッシュの一貫性制御にも適用することができる。

30

【図面の簡単な説明】

【0103】

【図1】本発明及び従来のマルチプロセッサシステムの構成を示す図である。

【図2】本発明の第1の実施例による一貫性制御装置の動作を示す図である。

【図3】本発明の第1の実施例による一貫性制御装置の構成を示す図である。

【図4】本発明の第1の実施例による判定手段の構成を示す図である。

【図5】本発明の第1の実施例による所有者決定手段の構成を示す図である。

【図6】本発明の第1の実施例による要求フィルタテーブルの動作を示す図である。

40

【図7】本発明の判定手段及び所有者決定手段の動作説明に用いるプログラム例を示す図である。

【図8】本発明の判定手段及び所有者決定手段の動作説明に用いるマルチプロセッサシステムの状態を示す図である。

【図9】本発明の判定手段及び所有者決定手段に含まれるテーブルの状態を示す図である。

【図10】本発明の第2の実施例による判定手段の構成を示す図である。

【図11】本発明の第3の実施例による所有者決定手段の構成を示す図である。

【図12】本発明のさらに他の実施例による所有者決定手段の構成を示す図である。

【図13】従来の一貫性制御装置の構成を示す図である。

50

- 【図14】従来の一貫性制御装置の動作を示す図である。  
 【図15】従来の一貫性制御装置の動作を説明するための図である。  
 【図16】本発明及び従来の要求手段の構成を示す図である。  
 【図17】従来の一貫性制御装置の動作を示す図である。  
 【図18】従来判定手段の構成を示す図である。  
 【図19】従来所有者決定手段の構成を示す図である。

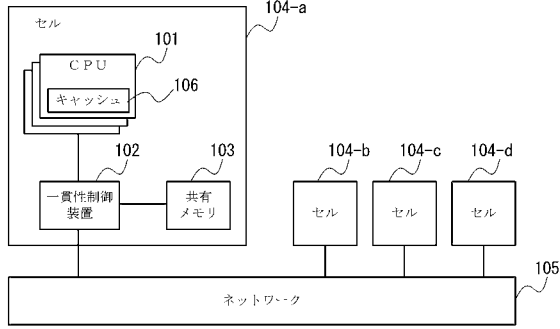
## 【符号の説明】

## 【0104】

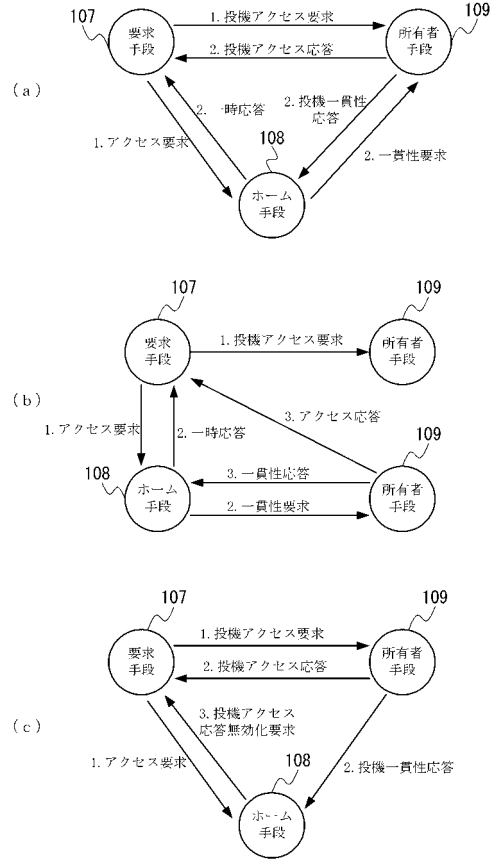
- |                   |                  |    |
|-------------------|------------------|----|
| 101               | : CPU            |    |
| 102               | : 一貫性制御装置        | 10 |
| 103               | : 共有メモリ          |    |
| 104 - a ~ 104 - d | : セル             |    |
| 105               | : ネットワーク         |    |
| 106               | : キャッシュ          |    |
| 107               | : 要求手段           |    |
| 108               | : ホーム手段          |    |
| 109               | : 所有者手段          |    |
| 110               | : 所有者決定手段        |    |
| 111               | : 判定手段           |    |
| 112               | : 要求フィルタテーブル     | 20 |
| 113               | : PC (プログラムカウンタ) |    |
| 114               | : 判定情報テーブル       |    |
| 115               | : 判定回路           |    |
| 116               | : アドレス           |    |
| 117               | : キー作成回路         |    |
| 118               | : 予測セル情報テーブル     |    |
| 119               | : 要求発行回路         |    |
| 120               | : セル内CPU番号       |    |
| 121               | : 判定情報テーブル       |    |
| 122               | : 判定回路           | 30 |
| 123               | : 予測セル情報テーブル     |    |
| 124               | : 要求発行回路         |    |
| 125               | : 判定値発生回路        |    |
| 126               | : セル番号発生回路       |    |



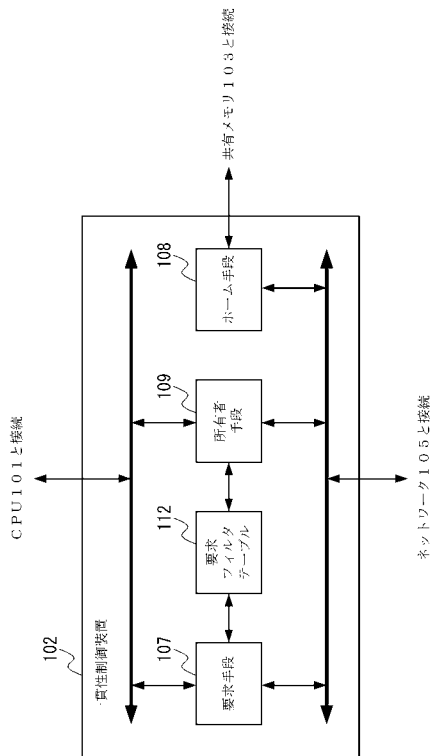
【図1】



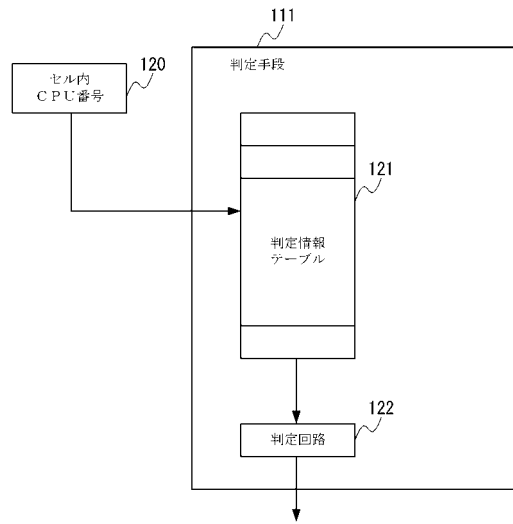
【図2】



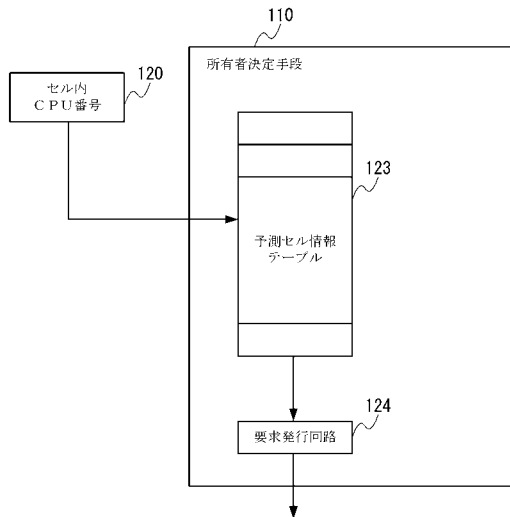
【図3】



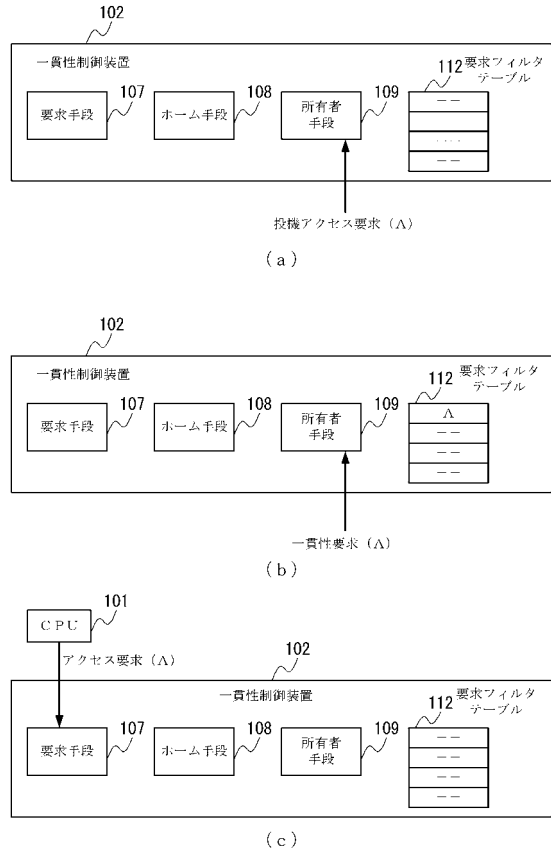
【図4】



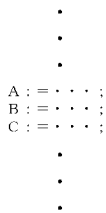
【図5】



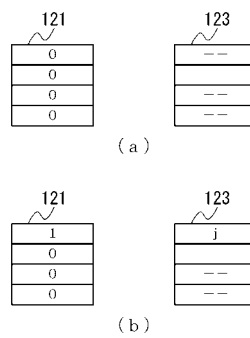
【図6】



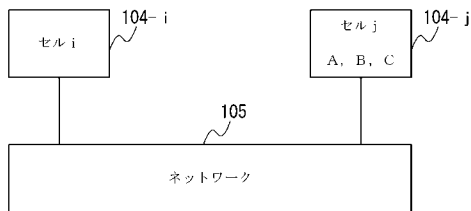
【図7】



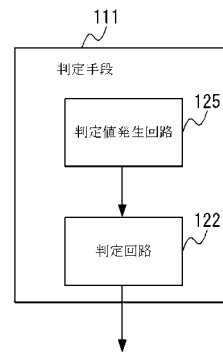
【図9】



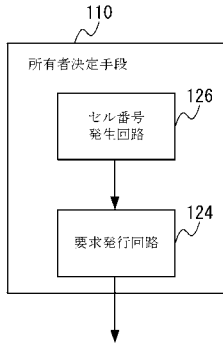
【図8】



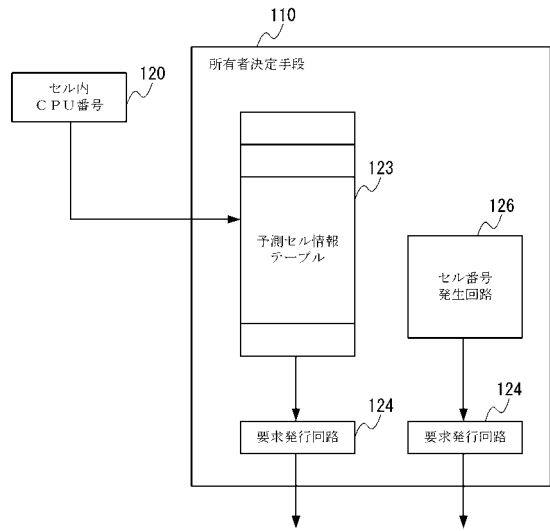
【図10】



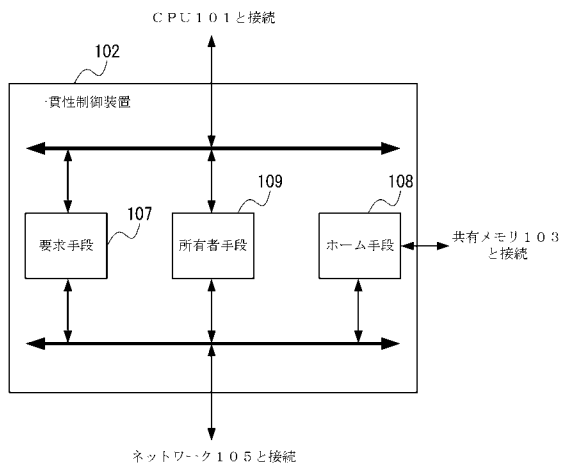
【図 1 1】



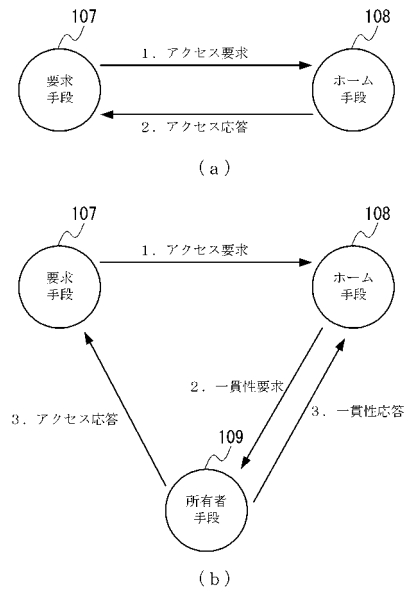
【図 1 2】



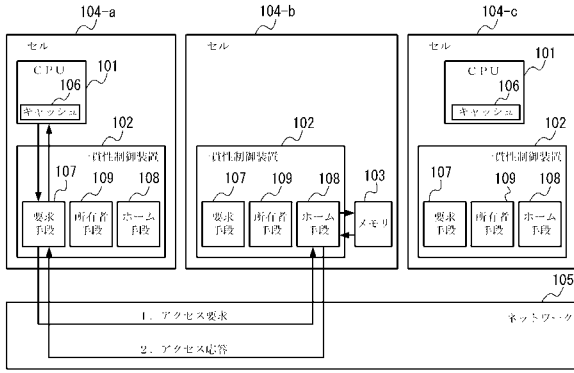
【図 1 3】



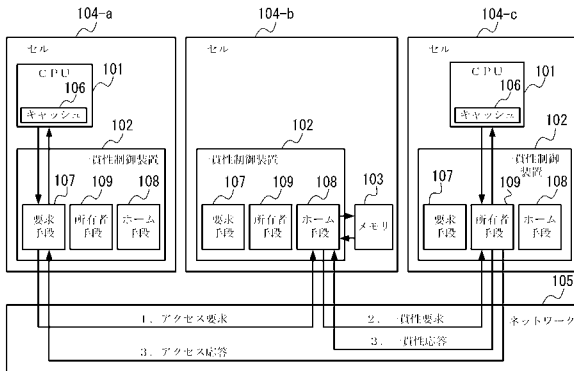
【図 1 4】



【図15】

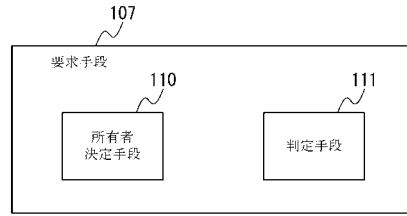


(a)

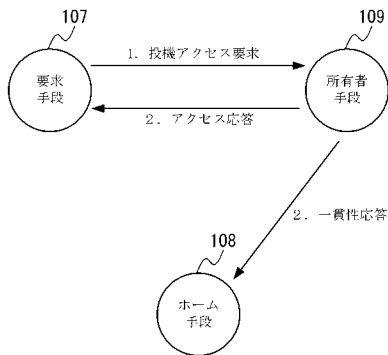


(b)

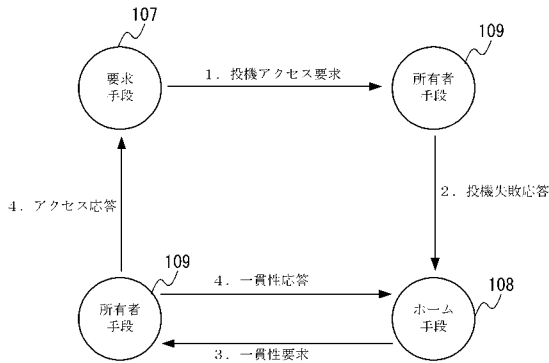
【図16】



【図17】

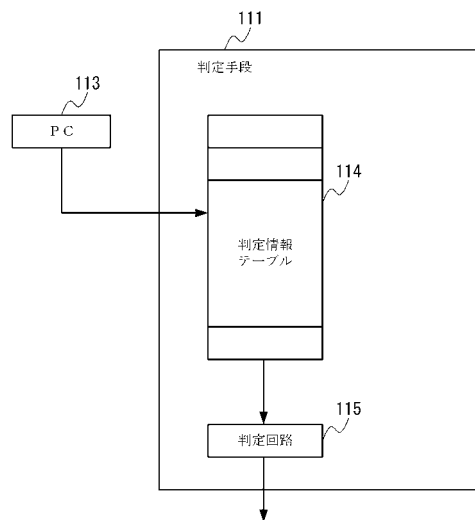


(a)

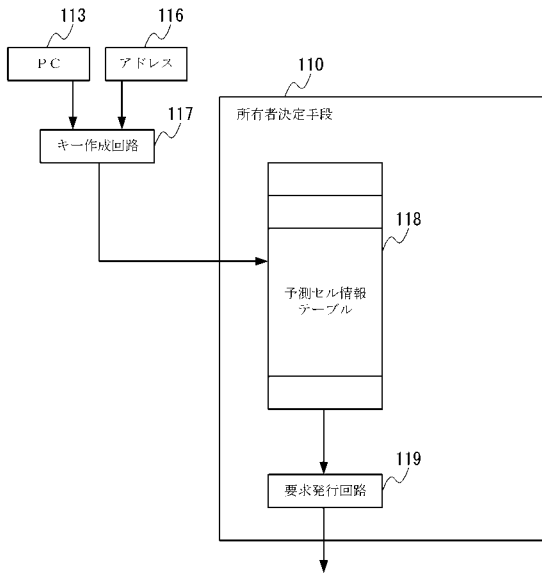


(b)

【図18】



【図19】



---

フロントページの続き

(56)参考文献 特表2006-516058(JP,A)

特表2006-510119(JP,A)

特開2002-049600(JP,A)

特開2000-112910(JP,A)

特開平11-154115(JP,A)

Manuel E. Acacio, Jose Gonzalez, Jose M. Garcia, Jose Duato, Owner Prediction for Accelerating Cache-to-Cache Transfer Misses in a cc-NUMA Architecture, Proceedings of SC2002, IEEE, 2002年11月16日

James Laudon, Daniel Lenoski, The SGI Origin: A ccNUMA Highly Scalable Server, Proceedings of ISCA'97, 米国, ACM, 1997年6月2日, Pages:241-251

Stephane Smith, TMS320C64x DSP Host Port Interface(HPI) Performance, Texas Instruments Application Report, Texas Instruments Incorporated, 2003年10月24日

(58)調査した分野(Int.Cl., DB名)

G06F12/08-12/12

G06F15/16-15/177