



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년02월05일  
(11) 등록번호 10-0881195  
(24) 등록일자 2009년01월22일

(51) Int. Cl.<sup>9</sup>

G11C 7/10 (2006.01)

(21) 출원번호 10-2007-0049937  
(22) 출원일자 2007년05월22일  
심사청구일자 2007년05월22일  
(65) 공개번호 10-2008-0102892  
(43) 공개일자 2008년11월26일  
(56) 선행기술조사문헌

KR1020040043995 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

손영수

경기 군포시 오금동 한라1차아파트 401-1501

(74) 대리인

리엔텍특허법인

전체 청구항 수 : 총 10 항

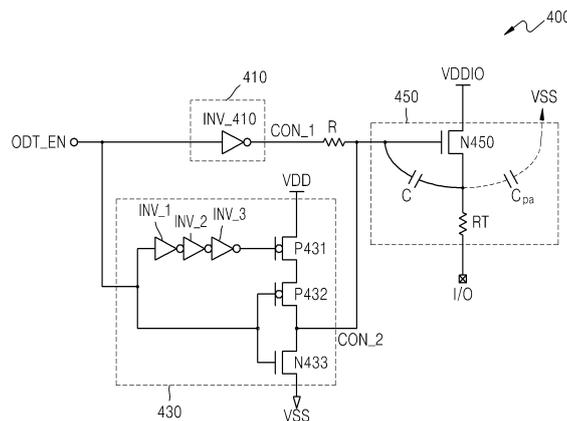
심사관 : 이강하

(54) 고주파 성능을 개선한 ODT 회로

(57) 요약

고주파 성능을 개선한 ODT(On Die Termination) 회로가 개시된다. 상기 ODT 회로는 ODT 동작을 수행하는 ODT 회로에 있어서, 제 1 드라이버, 제 2 드라이버, 저항 및 스위치부를 구비한다. 상기 제 1 드라이버는 ODT 인에이블 신호에 응답하여 상기 ODT 동작의 수행 여부를 제어하는 제 1 제어 신호를 출력한다. 상기 제 2 드라이버는 상기 ODT 인에이블 신호가 트랜지션(transition)하는 동안 상기 ODT 동작의 수행 여부를 제어하는 제 2 제어 신호를 출력한다. 상기 저항은 일단이 상기 제 1 드라이버의 출력단에 연결되고 타단이 상기 제 2 드라이버의 출력단에 연결된다. 상기 스위치부는 상기 저항의 타단 및 상기 제 2 드라이버의 출력단과 연결되고 상기 제 1 제어 신호 또는 상기 제 2 제어 신호에 응답하여 상기 ODT 동작의 수행 여부를 결정한다. 상기 ODT 회로는 상기 트랜지스터가 인덕터와 같이 동작함으로써 기생 커패시턴스 성분을 보상하고 고주파에서 임피던스를 보다 일정하게 유지하여 선형성을 개선한다. 또한, 별도의 드라이버를 부가하여 상기 ODT 회로가 보다 빠르게 온 오프할 수 있도록 한다. 따라서, 종래기술에 비하여 신호 반사를 감소하여 신호 충실도가 개선되는 장점이 있다.

대표도 - 도4



**특허청구의 범위**

**청구항 1**

ODT(On Die Termination) 동작을 수행하는 ODT 회로에 있어서,

ODT 인에이블 신호에 응답하여 상기 ODT 동작의 수행 여부를 제어하는 제 1 제어 신호를 출력하는 제 1 드라이버;

상기 ODT 인에이블 신호가 트랜지션(transition)하는 동안 상기 ODT 동작의 수행 여부를 제어하는 제 2 제어 신호를 출력하는 제 2 드라이버;

일단이 상기 제 1 드라이버의 출력단에 연결되고 타단이 상기 제 2 드라이버의 출력단에 연결되는 저항; 및

상기 저항의 타단 및 상기 제 2 드라이버의 출력단과 연결되고 상기 제 1 제어 신호 또는 상기 제 2 제어 신호에 응답하여 상기 ODT 동작의 수행 여부를 결정하는 스위치부를 구비하는 것을 특징으로 하는 ODT 회로.

**청구항 2**

제1항에 있어서, 상기 스위치부는,

게이트에 상기 저항의 타단 및 상기 제 2 드라이버의 출력단이 연결되고 제 1 단에 전원 전압이 인가되는 트랜지스터; 및

일단이 상기 트랜지스터의 제 2 단에 연결되고 타단이 상기 ODT 회로의 입출력단에 연결되는 터미네이션 저항을 구비하는 것을 특징으로 하는 ODT 회로.

**청구항 3**

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

제2항에 있어서, 상기 트랜지스터는,

**청구항 4**

제2항에 있어서, 상기 ODT 회로는,

일단이 상기 트랜지스터의 게이트에 연결되고 타단이 상기 트랜지스터의 제 2 단 및 상기 터미네이션 저항의 일단에 연결되는 커패시터를 더 구비하는 것을 특징으로 하는 ODT 회로.

**청구항 5**

제2항에 있어서, 상기 저항은,

상기 트랜지스터의 트랜스임피던스의 역수보다 큰 것을 특징으로 하는 ODT 회로.

**청구항 6**

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 제 1 드라이버는,

인버터인 것을 특징으로 하는 ODT 회로.

**청구항 7**

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 제 2 드라이버는,

상기 ODT 인에이블 신호를 반전하는 적어도 하나의 인버터;

게이트에 상기 적어도 하나의 인버터를 통하여 출력되는 출력 신호가 인가되고 제 1 단에 전원 전압이 인가되는 제 1 트랜지스터;

게이트에 상기 ODT 인에이블 신호가 인가되고 제 1 단이 상기 제 1 트랜지스터의 제 2 단과 연결되는 제 2 트랜지스터; 및

**청구항 8**

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

제7항에 있어서, 상기 제 1 트랜지스터 및 제 2 트랜지스터는,

PMOS 트랜지스터이고,

상기 제 3 트랜지스터는,

NMOS 트랜지스터인 것을 특징으로 하는 ODT 회로.

**청구항 9**

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

제7항에 있어서,

상기 인버터가 복수 개인 경우, 상기 인버터들은 직렬로 연결되는 것을 특징으로 하는 ODT 회로.

**청구항 10**

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 제 2 드라이버는,

상기 ODT 인에이블 신호가 트랜지션(transition)할 때부터 일정 시간 동안만 상기 제 2 제어 신호를 출력하는 것을 특징으로 하는 ODT 회로.

**청구항 11**

청구항 11은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서, 상기 ODT 인에이블 신호는,

상기 ODT 회로의 입출력단으로 데이터가 입력되지 않는 경우 제 1 논리 상태이고, 상기 ODT 회로의 입출력단으로 데이터가 입력되는 경우 제 2 논리 상태인 것을 특징으로 하는 ODT 회로.

**청구항 12**

ODT(On Die Termination) 동작을 수행하는 ODT 회로에 있어서,

ODT 인에이블 신호가 인가되는 저항; 및

상기 저항과 연결되고 상기 저항을 통과한 ODT 인에이블 신호에 응답하여 상기 ODT 동작의 수행 여부를 결정하는 스위치부를 구비하는 것을 특징으로 하는 ODT 회로.

**청구항 13**

제12항에 있어서, 상기 스위치부는,

게이트에 상기 저항이 연결되고 제 1 단에 전원 전압이 인가되는 트랜지스터; 및

일단이 상기 트랜지스터의 제 2 단에 연결되고 타단이 상기 ODT 회로의 입출력단에 연결되는 터미네이션 저항을 구비하는 것을 특징으로 하는 ODT 회로.

**청구항 14**

청구항 14은(는) 설정등록료 납부시 포기되었습니다.

제13항에 있어서, 상기 트랜지스터는,

NMOS 트랜지스터인 것을 특징으로 하는 ODT 회로.

**청구항 15**

제13항에 있어서, 상기 ODT 회로는,

일단이 상기 트랜지스터의 게이트에 연결되고 타단이 상기 트랜지스터의 제 2 단 및 상기 터미네이션 저항의 일단에 연결되는 커패시터를 더 구비하는 것을 특징으로 하는 ODT 회로.

**청구항 16**

제13항에 있어서, 상기 저항은,

상기 트랜지스터의 트랜스임피던스의 역수보다 큰 것을 특징으로 하는 ODT 회로.

**청구항 17**

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

제12항에 있어서, 상기 ODT 인에이블 신호는,

상기 ODT 회로의 입출력단으로 데이터가 입력되지 않는 경우 제 1 논리 상태이고, 상기 ODT 회로의 입출력단으로 데이터가 입력되는 경우 제 2 논리 상태인 것을 특징으로 하는 ODT 회로.

**청구항 18**

출력 드라이버(output driver)로써 데이터를 출력하는 동시에 ODT(On Die Termination) 동작을 수행하는 ODT 회로에 있어서,

ODT 인에이블 신호에 응답하여 상기 ODT 동작의 수행 여부를 제어하는 제 1 제어 신호를 출력하는 제 1 드라이버;

상기 ODT 인에이블 신호가 트랜지션(transition)하는 동안 상기 ODT 동작의 수행 여부를 제어하는 제 2 제어 신호를 출력하는 제 2 드라이버;

상기 제 1 제어 신호를 전송하고 일단이 상기 제 1 드라이버의 출력단에 연결되고 타단이 상기 제 2 드라이버의 출력단에 연결되는 저항; 및

상기 저항의 타단 및 상기 제 2 드라이버의 출력단과 연결되고 상기 제 1 제어 신호 또는 상기 제 2 제어 신호에 응답하여 상기 ODT 동작의 수행 여부를 결정하는 스위치부를 구비하고,

상기 스위치부는,

입력받은 상기 데이터를 상기 ODT 동작을 수행하면서 출력하는 것을 특징으로 하는 ODT 회로.

**청구항 19**

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

제18항에 있어서, 상기 스위치부는,

게이트에 상기 저항의 타단 및 상기 제 2 드라이버의 출력단이 연결되고 상기 데이터가 인가되며, 제 1 단에 전원 전압이 인가되는 트랜지스터; 및

일단이 상기 트랜지스터의 제 2 단에 연결되고 타단이 상기 ODT 회로의 입출력단에 연결되는 터미네이션 저항을 구비하는 것을 특징으로 하는 ODT 회로.

**청구항 20**

청구항 20은(는) 설정등록료 납부시 포기되었습니다.

제19항에 있어서, 상기 트랜지스터는,

NMOS 트랜지스터인 것을 특징으로 하는 ODT 회로.

**청구항 21**

청구항 21은(는) 설정등록료 납부시 포기되었습니다.

제19항에 있어서, 상기 ODT 회로는,

일단이 상기 트랜지스터의 게이트에 연결되고 타단이 상기 트랜지스터의 제 2 단 및 상기 터미네이션 저항의 일단에 연결되는 커패시터를 더 구비하는 것을 특징으로 하는 ODT 회로.

**청구항 22**

청구항 22은(는) 설정등록료 납부시 포기되었습니다.

상기 트랜지스터의 트랜스임피던스의 역수보다 큰 것을 특징으로 하는 ODT 회로.

**청구항 23**

청구항 23은(는) 설정등록료 납부시 포기되었습니다.

제18항에 있어서, 상기 제 1 드라이버는,

인버터인 것을 특징으로 하는 ODT 회로.

**청구항 24**

청구항 24은(는) 설정등록료 납부시 포기되었습니다.

제18항에 있어서, 상기 제 2 드라이버는,

상기 ODT 인에이블 신호를 반전하는 적어도 하나의 인버터;

게이트에 상기 적어도 하나의 인버터를 통하여 출력되는 출력 신호가 인가되고 제 1 단에 전원 전압이 인가되는 제 1 트랜지스터;

게이트에 상기 ODT 인에이블 신호가 인가되고 제 1 단이 상기 제 1 트랜지스터의 제 2 단과 연결되는 제 2 트랜지스터; 및

게이트에 상기 ODT 인에이블 신호가 인가되고 제 1 단이 상기 제 2 트랜지스터의 제 2 단과 연결되며 제 2 단에 접지전압이 인가되는 제 3 트랜지스터를 구비하는 것을 특징으로 하는 ODT 회로

**청구항 25**

청구항 25은(는) 설정등록료 납부시 포기되었습니다.

제24항에 있어서, 상기 제 1 트랜지스터 및 제 2 트랜지스터는,

PMOS 트랜지스터이고,

상기 제 3 트랜지스터는,

**청구항 26**

청구항 26은(는) 설정등록료 납부시 포기되었습니다.

제24항에 있어서,

상기 인버터가 복수 개인 경우, 상기 인버터들은 직렬로 연결되는 것을 특징으로 하는 ODT 회로.

**청구항 27**

청구항 27은(는) 설정등록료 납부시 포기되었습니다.

제18항에 있어서, 상기 제 2 드라이버는,

상기 ODT 인에이블 신호가 트랜지션(transition)할 때부터 일정 시간 동안만 상기 제 2 제어 신호를 출력하는 것을 특징으로 하는 ODT 회로.

**청구항 28**

청구항 28은(는) 설정등록료 납부시 포기되었습니다.

제18항에 있어서, 상기 ODT 인에이블 신호는,

상기 데이터를 출력하는 경우 제 1 논리 상태이고, 상기 데이터를 출력하지 않는 경우 제 2 논리 상태인 것을 특징으로 하는 ODT 회로.

**청구항 29**

출력 드라이버(output driver)로써 데이터를 출력하는 동시에 ODT(On Die Termination) 동작을 수행하는 ODT 회로에 있어서,

ODT 인에이블 신호가 인가되는 저항; 및

상기 저항과 연결되고 상기 저항을 통과한 ODT 인에이블 신호에 응답하여 상기 ODT 동작의 수행 여부를 결정하는 스위치부를 구비하고,

상기 스위치부는,

입력받은 상기 데이터를 상기 ODT 동작을 수행하면서 출력하는 것을 특징으로 하는 ODT 회로.

**청구항 30**

청구항 30은(는) 설정등록료 납부시 포기되었습니다.

제29항에 있어서, 상기 스위치부는,

게이트에 상기 저항이 연결되고 상기 데이터가 인가되며, 제 1 단에 전원 전압이 인가되는 트랜지스터; 및

일단이 상기 트랜지스터의 제 2 단에 연결되고 타단이 상기 ODT 회로의 입출력단에 연결되는 터미네이션 저항을 구비하는 것을 특징으로 하는 ODT 회로.

**청구항 31**

청구항 31은(는) 설정등록료 납부시 포기되었습니다.

제30항에 있어서, 상기 트랜지스터는,

NMOS 트랜지스터인 것을 특징으로 하는 ODT 회로.

**청구항 32**

청구항 32은(는) 설정등록료 납부시 포기되었습니다.

제30항에 있어서, 상기 ODT 회로는,

일단이 상기 트랜지스터의 게이트에 연결되고 타단이 상기 트랜지스터의 제 2 단 및 상기 터미네이션 저항의 일단에 연결되는 커패시터를 더 구비하는 것을 특징으로 하는 ODT 회로.

**청구항 33**

청구항 33은(는) 설정등록료 납부시 포기되었습니다.

제30항에 있어서, 상기 저항은,

상기 트랜지스터의 트랜스임피던스의 역수보다 큰 것을 특징으로 하는 ODT 회로.

**청구항 34**

청구항 34은(는) 설정등록료 납부시 포기되었습니다.

제29항에 있어서, 상기 ODT 인에이블 신호는,

상기 데이터를 출력하는 경우 제 1 논리 상태이고, 상기 데이터를 출력하지 않는 경우 제 2 논리 상태인 것을 특징으로 하는 ODT 회로.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 ODT(On Die Termination Mode) 회로에 관한 것으로, 특히 고주파 성능을 개선하고 데이터의 출력단으로도 사용할 수 있는 ODT 회로에 관한 것이다.
- <12> 온 다이 터미네이션(ODT : On Die Termination Mode) 기술은 시스템과 메모리간의 인터페이스에서 신호 반사(signal reflection)등을 최소화함으로써 신호 충실도(SI : Signal Integrity)를 향상시키기 위하여 도입되었다. 상기 신호 반사는 신호 충실도(SI)에 부정적인 영향을 미친다. 특히, 고속 동작을 지원하는 메모리 시스템에서 상기 신호 반사는 더욱 부정적인 영향을 미친다. 상기 신호 반사를 억제하기 위하여 시스템과 메모리간의 신호 전송을 위하여 사용되는 라인은 터미네이션 저항(Termination Resister)으로 종단된다.
- <13> 일반적으로, 메모리 시스템에서 메모리 컨트롤러 또는 메모리의 입출력(I/O) 단자들은 터미네이션 저항(RTT)으로 종단된 ODT 회로로 구현된다. 상기 터미네이션 저항은 전송 라인의 임피던스와 매칭되도록 설정한다.
- <14> 반도체 메모리 장치에서 ODT 회로를 사용하는 경우 다음과 같은 사항을 만족하여야 한다. 첫째로, 부가적인 커패시턴스(capacitance)의 크기가 작아야 한다. 정선 커패시턴스(junction capacitance) 또는 기생 커패시턴스(parasitic capacitance)의 크기가 클 경우 고주파의 신호가 입력되면 ODT 회로의 터미네이션 성능이 떨어져 신호의 감쇄가 심해진다. 따라서, 상기 ODT 회로는 상기 정선 커패시턴스 또는 상기 기생 커패시턴스의 크기를 최소화하는 것이 바람직하다.
- <15> 두 번째로, 선형성(linearity)이 좋아야 한다. 즉, 넓은 범위에서 일정한 임피던스 값을 가질 것이 요구된다. 만약, 상기 임피던스 값의 변화가 심한 경우 스윙(swing) 폭이 큰 입력 신호가 들어오면 신호의 감쇄가 발생하게 된다.
- <16> 세 번째로, ODT 회로는 빠르게 온-오프(on-off) 될 수 있어야 한다. DRAM과 같이 하나의 데이터 핀을 통하여 입력과 출력을 모두 수행하는 경우, ODT 회로는 리드 동작 또는 라이트 동작에 따라 빠르게 온-오프 되어야 한다.
- <17> 도 1(a)는 종래의 ODT 회로(100)를 도시한 회로도이다.
- <18> 도 1(a)를 참조하면, ODT 회로(100)는 PMOS 트랜지스터(P100) 및 저항(R)을 구비한다. PMOS 트랜지스터(P100)의 게이트에는 접지 전압(VSS)이 인가되고 드레인에는 전원 전압(VDDIO)이 인가되며 소스에는 저항(R)의 일단이 연결된다. 저항(R)의 타단에는 반도체 메모리 장치의 입출력단(I/O)이 연결된다.
- <19> 도 1의 경우, 간단하게 구현할 수 있으나, PMOS 트랜지스터(P100)의 성능 열화로 인하여 기생 커패시턴스 성분이 커지는 문제가 있다. 또한, 스윙 폭이 커질 경우, PMOS 트랜지스터(P100)가 트라이오드 영역(triode region)에서 새추레이션 영역(saturation region)으로 변하여 선형성이 악화되는 문제가 있다.
- <20> 도 1(b)는 종래의 ODT 회로(150)의 다른 예를 도시한 회로도이다.
- <21> 도 1(b)를 참조하면, ODT 회로(150)는 도 1(a)의 ODT 회로(100)의 문제점을 해결하기 위하여 NMOS 트랜지스터(N150)를 추가하였다. 즉, PMOS 트랜지스터(P150)와 저항(R1)이 직렬 연결된 도 1과 같은 회로와 NMOS 트랜지스터(N150)와 저항(R2)이 직렬 연결된 회로가 병렬로 연결되어 있다.
- <22> 도 1(b)의 경우, ODT 회로(150)의 NMOS 트랜지스터(N150)를 연결함으로써, 도 1(a)의 ODT 회로(100)에 비하여 선형성이 개선되었다. 그러나, 여전히 기생 커패시턴스 성분이 커지는 문제는 해결하지 못하였다.
- <23> 도 2(a)는 도 1(a)의 ODT 회로(100)가 출력단으로 사용되는 경우를 도시한 회로도이다.
- <24> 도 2(a)를 참조하면, 도 1(a)의 ODT 회로(100)를 출력단으로 사용하고 있다. 즉, ODT 회로(200)의 PMOS 트랜지스터(P200)의 게이트로 반전된 데이터(/DATA)가 입력된다. ODT 회로(200)는 전송선의 저항과 매칭되는 저항(R)을 이용하여 ODT 동작을 수행하면서 출력단(OUT)으로 데이터를 출력한다.
- <25> 도 2(b)는 ODT 회로가 출력단으로 사용되는 다른 경우를 도시한 회로도이다.

<26> 도 2(b)를 참조하면, ODT 회로(250)의 PMOS 트랜지스터(P250) 및 NMOS 트랜지스터(N250)의 게이트로 반전된 데이터(/DATA)가 입력된다. ODT 회로(250)는 전송선의 저항과 매칭되는 저항(R1, R2)을 이용하여 ODT 동작을 수행하면서 출력단(OUT)으로 데이터를 출력한다.

<27> 일반적으로 반도체 메모리 장치에서는 상기 ODT 동작을 수행하는 ODT 회로를 상기 반도체 메모리 장치의 출력단으로 같이 사용한다. 상기 ODT 회로를 출력단으로 사용하는 경우에도 앞서 설명한 것과 동일한 문제가 발생한다.

**발명이 이루고자 하는 기술적 과제**

<28> 본 발명이 이루고자 하는 기술적 과제는 기생 커패시턴스(parasitic capacitance) 성분을 감소시키고 선형성을 개선하며 ODT(On Die Termination) 회로를 빠르게 온-오프할 수 있는 ODT 회로를 제공하는데 있다.

<29> 본 발명이 이루고자 하는 다른 기술적 과제는 데이터를 출력하는 출력단으로써 ODT 동작을 수행하는 상기 ODT 회로를 제공하는데 있다.

**발명의 구성 및 작용**

<30> 상기 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 ODT(On Die Termination) 회로는 ODT 동작을 수행하는 ODT 회로에 있어서, 제 1 드라이버, 제 2 드라이버, 저항 및 스위치부를 구비한다. 상기 제 1 드라이버는 ODT 인에이블 신호에 응답하여 상기 ODT 동작의 수행 여부를 제어하는 제 1 제어 신호를 출력한다. 상기 제 2 드라이버는 상기 ODT 인에이블 신호가 트랜지션(transition)하는 동안 상기 ODT 동작의 수행 여부를 제어하는 제 2 제어 신호를 출력한다. 상기 저항은 일단이 상기 제 1 드라이버의 출력단에 연결되고 타단이 상기 제 2 드라이버의 출력단에 연결된다. 상기 스위치부는 상기 저항의 타단 및 상기 제 2 드라이버의 출력단과 연결되고 상기 제 1 제어 신호 또는 상기 제 2 제어 신호에 응답하여 상기 ODT 동작의 수행 여부를 결정한다.

<31> 상기 스위치부는 게이트에 상기 저항의 타단 및 상기 제 2 드라이버의 출력단이 연결되고 제 1 단에 전원 전압이 인가되는 트랜지스터 및 일단이 상기 트랜지스터의 제 2 단에 연결되고 타단이 상기 ODT 회로의 입출력단에 연결되는 터미네이션 저항을 구비하는 것이 바람직하다.

<32> 상기 ODT 회로는 일단이 상기 트랜지스터의 게이트에 연결되고 타단이 상기 트랜지스터의 제 2 단 및 상기 터미네이션 저항의 일단에 연결되는 커패시터를 더 구비하는 것이 바람직하다.

<33> 상기 저항은 상기 트랜지스터의 트랜스임피던스의 역수보다 큰 것이 바람직하고, 상기 제 1 드라이버는 인버터인 것이 바람직하다.

<34> 상기 제 2 드라이버는 상기 ODT 인에이블 신호를 반전하는 적어도 하나의 인버터, 게이트에 상기 적어도 하나의 인버터를 통하여 출력되는 출력 신호가 인가되고 제 1 단에 전원 전압이 인가되는 제 1 트랜지스터, 게이트에 상기 ODT 인에이블 신호가 인가되고 제 1 단이 상기 제 1 트랜지스터의 제 2 단과 연결되는 제 2 트랜지스터 및 게이트에 상기 ODT 인에이블 신호가 인가되고 제 1 단이 상기 제 2 트랜지스터의 제 2 단과 연결되며 제 2 단에 접지전압이 인가되는 제 3 트랜지스터를 구비하는 것이 바람직하다.

<35> 상기 제 2 드라이버는 상기 ODT 인에이블 신호가 트랜지션(transition)할 때부터 일정 시간 동안만 상기 제 2 제어 신호를 출력하는 것이 바람직하다.

<36> 상기 ODT 인에이블 신호는 상기 ODT 회로의 입출력단으로 데이터가 입력되지 않는 경우 제 1 논리 상태이고, 상기 ODT 회로의 입출력단으로 데이터가 입력되는 경우 제 2 논리 상태인 것이 바람직하다.

<37> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 ODT(On Die Termination) 회로는 ODT(On Die Termination) 동작을 수행하는 ODT 회로에 있어서, ODT 인에이블 신호가 인가되는 저항 및 상기 저항과 연결되고 상기 저항을 통과한 ODT 인에이블 신호에 응답하여 상기 ODT 동작의 수행 여부를 결정하는 스위치부를 구비한다.

<38> 상기 스위치부는 게이트에 상기 저항이 연결되고 제 1 단에 전원 전압이 인가되는 트랜지스터 및 일단이 상기 트랜지스터의 제 2 단에 연결되고 타단이 상기 ODT 회로의 입출력단에 연결되는 터미네이션 저항을 구비하는 것이 바람직하다.

<39> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 ODT(On Die Termination) 회로는 출력 드라이버(output driver)로써 데이터를 출력하는 동시에 ODT(On Die Termination) 동작을 수행하는 ODT 회로에 있어

서, 제 1 드라이버, 제 2 드라이버, 저항 및 스위치부를 구비한다. 상기 제 1 드라이버는 ODT 인에이블 신호에 응답하여 상기 ODT 동작의 수행 여부를 제어하는 제 1 제어 신호를 출력한다. 상기 제 2 드라이버는 상기 ODT 인에이블 신호가 트랜지션(transition)하는 동안 상기 ODT 동작의 수행 여부를 제어하는 제 2 제어 신호를 출력한다. 상기 저항은 상기 제 1 제어 신호를 전송하고 일단이 상기 제 1 드라이버의 출력단에 연결되고 타단이 상기 제 2 드라이버의 출력단에 연결된다. 상기 스위치부는 상기 저항의 타단 및 상기 제 2 드라이버의 출력단과 연결되고 상기 제 1 제어 신호 또는 상기 제 2 제어 신호에 응답하여 상기 ODT 동작의 수행 여부를 결정하고 입력받은 상기 데이터를 상기 ODT 동작을 수행하면서 출력한다.

<40> 상기 스위치부는 게이트에 상기 저항의 타단 및 상기 제 2 드라이버의 출력단이 연결되고 상기 데이터가 인가되며, 제 1 단에 전원 전압이 인가되는 트랜지스터 및 일단이 상기 트랜지스터의 제 2 단에 연결되고 타단이 상기 ODT 회로의 입출력단에 연결되는 터미네이션 저항을 구비하는 것이 바람직하다.

<41> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 ODT(On Die Termination) 회로는 출력 드라이버(output driver)로써 데이터를 출력하는 동시에 ODT(On Die Termination) 동작을 수행하는 ODT 회로에 있어서, ODT 인에이블 신호가 인가되는 저항 및 상기 저항과 연결되고 상기 저항을 통과한 ODT 인에이블 신호에 응답하여 상기 ODT 동작의 수행 여부를 결정하는 스위치부를 구비하고, 상기 스위치부는 입력받은 상기 데이터를 상기 ODT 동작을 수행하면서 출력한다.

<42> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<43> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<44> 도 3은 본 발명의 실시예에 따른 ODT(On Die Termination) 회로(300)의 회로도이다.

<45> 도 3을 참조하면, ODT 회로(300)는 저항(R) 및 스위치부(350)를 구비할 수 있다. 저항(R)에는 ODT 인에이블 신호(ODT\_EN)가 인가된다. 스위치부(350)는 저항(R)과 연결되고 저항(R)을 통과한 ODT 인에이블 신호에 응답하여 ODT 동작의 수행 여부를 결정한다. 스위치부(350)는 트랜지스터(N350) 및 터미네이션 저항(RT)을 구비할 수 있다. 트랜지스터(N350)는 게이트에 저항(R)이 연결되고 제 1 단에 제 1 전원 전압(VDDIO)이 인가된다. 터미네이션 저항(RT)은 일단이 트랜지스터(N350)의 제 2 단에 연결되고 타단이 ODT 회로(300)의 입출력단(I/O)에 연결된다.

<46> 이하에서는, 도 3을 참조하여 ODT 회로(300)가 ODT 동작을 수행하는 경우를 설명한다. ODT 인에이블 신호(ODT\_EN)는 ODT 회로(300)의 입출력단(I/O)으로 데이터가 입력되지 않는 경우 제 1 논리 상태이고, ODT 회로(300)의 입출력단(I/O)으로 데이터가 입력되는 경우 제 2 논리 상태를 가진다. 이하에서, 제 1 논리 상태는 논리 로우 상태를 의미하고 제 2 논리 상태는 논리 하이 상태를 의미한다. 다만, 상기 정의는 일 실시예일 뿐 제 1 논리 상태가 논리 하이 상태를 의미하고 제 2 논리 상태가 논리 로우 상태를 의미하여도 본 발명과 동일한 효과를 얻을 수 있음은 당업자에게 자명한 사항이다.

<47> 즉, ODT 회로(300)의 입출력단(I/O)으로 데이터가 입력되는 않는 경우, ODT 인에이블 신호(ODT\_EN)는 제 1 논리 상태이므로, 스위치부(350)의 트랜지스터(N350)는 턴 오프되어 ODT 회로(300)는 ODT 동작을 수행하지 않는다. 이후, ODT 인에이블 신호(ODT\_EN)가 제 2 논리 상태로 트랜지션(transition)되면, 스위치부(350)의 트랜지스터(N350)는 턴 온되어 ODT 회로(300)는 ODT 동작을 수행하게 된다.

<48> 트랜지스터(N350)의 게이트에 저항(R)을 삽입하는 경우 트랜지스터(N350)는 인덕터(inductor)의 동작 특성을 가지게 된다. 트랜지스터(N350)의 게이트와 제 2 단 사이에는 오버랩 커패시턴스 성분(C)이 존재한다. 오버랩 커패시턴스 성분(C)에 의하여 트랜지스터(N350)의 게이트의 전압이 트랜지스터(N350)의 제 2 단의 전압의 변화에 따라 커플링(coupling)을 받아 같이 변화하게 된다. 그러므로, 트랜지스터(N350)의 게이트와 제 2 단 사이의 전압이 일정하게 유지되어 트랜지스터(N350)의 제 1 단과 제 2 단 사이에 흐르는 전류의 변화량이 작아지게 된다. 따라서, 트랜지스터(N350)는 인덕터와 같이 동작하게 된다.

**수학식 1**

<49> 
$$I_D = K(V_{gs} - V_{th})^2(1 + \lambda V_{ds})$$

<50> 수학식 1에서,  $I_D$ 는 트랜지스터의 드레인과 소스사이의 전류이고,  $V_{gs}$ 는 게이트와 소스사이의 전압이고,  $V_{th}$ 는 문턱 전압(threshold voltage)이고,  $\lambda$ 는 트랜지스터(MOSFET) 파라미터이며,  $V_{ds}$ 는 드레인과 소스사이의 전압이다.

<51> 수학식 1을 참조하면, 본 발명에서 트랜지스터(N350)의 게이트와 제 2 단 사이의 전압( $V_{gs}$ )이 일정해지면 트랜지스터(N350)의 제 1 단과 제 2 단에 흐르는 전류( $I_D$ )의 변화량이 줄어들어 트랜지스터는 인덕터와 같이 동작하게 된다.

<52> 오버랩 커패시턴스 성분(C)이 클수록 상기 전압간에 커플링이 잘 이루어져 게이트와 제 2 단 사이의 전압이 일정하게 유지되므로, 트랜지스터(N350)의 인덕터 동작이 좋아진다. 만약, 오버랩 커패시턴스 성분(C)이 너무 작다면 트랜지스터(N350)의 게이트와 제 2 단 사이에 부가적으로 커패시터(capacitor)를 추가할 수도 있다. 또한, 저항(R)은 큰 저항값을 가지는 것이 바람직하다. 저항(R)을 통과한 신호의 전압 레벨이 상기 커플링되는 전압 레벨보다 높은 경우, 게이트와 저항(R) 사이의 노드(node)의 전압은 빠르게 상승한다. 그러므로, 큰 저항값을 가지는 저항(R)을 통하여 상기 전압의 상승을 보다 느리게 할 수 있다. 트랜지스터(N350)가 인덕터 동작을 하는 경우 인덕턴스(inductance)는 수학식 2와 같이 정의된다.

**수학식 2**

$$L = \frac{C_{gs}}{gm} \times \left( R - \frac{1}{gm} \right)$$

<53>  $C_{gs}$ 는 게이트와 소스간의 커패시턴스이고, R은 게이트에 연결된 저항값, gm은 트랜지스터의 트랜스임피던스(transimpedance)이다. 수학식 2를 참조하면, 저항(R)은 트랜지스터(N350)의 트랜스임피던스의 역수보다 큰 저항값을 가지는 것이 바람직하다.

<55> 도 4는 본 발명의 다른 실시예에 따른 ODT 회로(400)의 회로도이다.

<56> 도 4를 참조하면, ODT 회로(400)는 제 1 드라이버(410), 제 2 드라이버(430), 저항(R) 및 스위치부(450)를 구비할 수 있다.

<57> 제 1 드라이버(410)는 ODT 인에이블 신호(ODT\_EN)에 응답하여 ODT 회로(400)의 ODT 동작의 수행 여부를 제어하는 제 1 제어 신호(CON\_1)를 출력한다. 제 1 드라이버(410)는 인버터(INV\_410)로 구현할 수 있다.

<58> 제 2 드라이버(430)는 ODT 인에이블 신호(ODT\_EN)가 트랜지션(transition)하는 동안 ODT 회로(400)의 ODT 동작의 수행 여부를 제어하는 제 2 제어 신호(CON\_2)를 출력한다.

<59> 제 2 드라이버(430)는 복수의 인버터들(INV\_1, INV\_2, INV\_3) 및 제 1 트랜지스터 내지 제 3 트랜지스터(P431, P432, N433)를 구비할 수 있다. 도 4에서는 세 개의 인버터들(INV\_1, INV\_2, INV\_3)로 구현하는 실시예에 대하여 개시하고 있으나, 이는 일실시예에 불과할 뿐 적어도 하나 이상의 인버터가 있다면 본 발명과 동일한 효과를 얻을 수 있음은 당업자에게 자명한 사항이다.

<60> 각각의 인버터(INV\_1, INV\_2, INV\_3)는 ODT 인에이블 신호(ODT\_EN)를 반전하여 출력한다. 상기 인버터가 복수개 인 경우, 복수의 인버터들(INV\_1, INV\_2, INV\_3)은 직렬로 연결되는 것이 바람직하다.

<61> 제 1 트랜지스터(P431)는 게이트에 인버터들(INV\_1, INV\_2, INV\_3)을 통하여 출력되는 출력신호가 인가되고 제 1 단에 제 2 전원 전압(VDD)이 인가되며 제 2 단에 제 2 트랜지스터(P432)의 제 1 단이 연결된다. 제 2 트랜지스터(P432)는 게이트에 ODT 인에이블 신호(ODT\_EN)가 인가되고 제 2 단에 제 3 트랜지스터(N433)의 제 1 단이 연결된다. 제 3 트랜지스터(N433)는 게이트에 ODT 인에이블 신호(ODT\_EN)가 인가되고 제 2 단에 접지전압(VSS)이 인가된다. 제 1 트랜지스터(P431) 및 제 2 트랜지스터(P432)는 PMOS 트랜지스터인 것이 바람직하고, 제 3 트랜지스터(N433)는 NMOS 트랜지스터인 것이 바람직하다.

<62> 저항(R)은 일단이 제 1 드라이버(410)의 출력단에 연결되고 타단이 제 2 드라이버(430)의 출력단에 연결된다.

<63> 스위치부(450)는 저항(R)의 타단 및 제 2 드라이버(430)의 출력단과 연결되고, 제 1 제어 신호(CON\_1) 또는 제 2 제어 신호(CON\_2)에 응답하여 상기 ODT 동작의 수행 여부를 결정한다. 스위치부(450)는 트랜지스터(N450) 및 터미네이션 저항(RT)을 구비할 수 있다. 트랜지스터(N450)는 게이트에 저항(R)의 타단 및 제 2 드라이버(430)의

출력단이 연결되고 제 1 단에 제 1 전원 전압(VDDIO)이 인가된다. 터미네이션 저항(RT)은 일단이 트랜지스터(N450)의 제 2 단에 연결되고 타단이 ODT 회로(400)의 입출력단(I/O)에 연결된다.

- <64> 이하에서는, 도 4를 참조하여 ODT 회로(400)가 ODT 동작을 수행하는 경우를 설명한다. ODT 인에이블 신호(ODT\_EN)는 ODT 회로(300)의 입출력단(I/O)으로 데이터가 입력되지 않는 경우 제 1 논리 상태이고, ODT 회로(300)의 입출력단(I/O)으로 데이터가 입력되는 경우 제 2 논리 상태를 가진다. 이하에서, 제 1 논리 상태는 논리 하이 상태를 의미하고 제 2 논리 상태는 논리 로우 상태를 의미한다.
- <65> 즉, ODT 회로(300)의 입출력단(I/O)으로 데이터가 입력되지 않는 경우, 제 1 드라이버(310)의 출력 신호인 제 1 제어 신호(CON\_1) 및 제 2 드라이버(320)의 출력 신호인 제 2 제어 신호(CON\_2)는 제 1 논리 상태를 가진다. 따라서, 스위치부(450)의 트랜지스터(N450)는 턴 오프되어 ODT 회로(400)는 ODT 동작을 수행하지 않는다.
- <66> ODT 회로(400)의 입출력단(I/O)으로 데이터가 입력되는 경우, 제 1 제어 신호(CON\_1)는 제 1 논리 상태에서 제 2 논리 상태로 트랜지션하게 된다. 제 2 드라이버(430)의 동작을 보면, ODT 인에이블 신호(ODT\_EN)가 제 2 논리 상태로 트랜지션하면, 제 2 트랜지스터(P432)는 턴 온되고, 제 3 트랜지스터(N433)는 턴 오프된다. 이 때, 제 1 제어 신호(CON\_1)는 인버터들(INV\_1, INV\_2, INV\_3)에 의하여 반전되면서 소정의 시간이 지연된 후 제 1 트랜지스터(P431)의 게이트에 인가된다. 그러므로, 제 1 트랜지스터(P431)는 턴 온 상태에서 바로 턴 오프되지 않고 소정이 시간이 경과한 후 턴 오프된다. 즉, 제 2 트랜지스터(P332)의 턴 온 동작 및 제 3 트랜지스터(N333)의 턴 오프 동작이 이루어진 후, 제 1 트랜지스터(P331)는 소정의 시간동안 턴 온되어 있다가 턴 오프된다. 따라서, 상기 소정의 시간동안 제 2 제어 신호(CON\_2)는 제 1 논리 상태가 되어 스위치부(450)의 트랜지스터(N450)를 턴 온 시키므로 ODT 회로(400)는 상기 ODT 동작을 수행한다. 상기 소정의 시간이 경과하면, 제 2 제어 신호(CON\_2)는 제 2 논리 상태가 되지만, 이때부터는 저항(R)을 통과한 제 1 논리 상태의 제 1 제어 신호(CON\_1)에 의하여 ODT 회로(300)는 계속 ODT 동작을 수행하게 된다.
- <67> 즉, 제 2 드라이버(430)는 ODT 회로(400)가 빠르게 온 오프될 수 있도록 한다. 제 1 드라이버(410)의 출력 신호인 제 1 제어 신호(CON\_1)가 저항(R)을 통과하여야 하므로 트랜지스터(N450)는 빠르게 온 오프되지 못한다. 따라서, 더욱 빠른 동작을 위하여 제 2 드라이버(430)에서 상기 소정의 시간동안 트랜지스터(N450)의 온 오프 동작을 제어하는 제 2 제어 신호를 출력하여 주는 것이다.
- <68> 트랜지스터(N450)가 인덕터와 같이 동작하는 원리에 대하여는 도 3에서 설명하였다. 도 3 및 도 4의 트랜지스터(N350, N450)가 인덕터와 같이 동작함에 따라, 기생 커패시턴스 성분(Cpa)을 보상할 수 있다.
- <69> 도 5는 본 발명 및 종래기술에서 주파수의 변화에 따른 임피던스의 변화를 나타내는 그래프이다.
- <70> 도 3 내지 도 5를 참조하면, 종래기술(a)의 경우 f1 주파수를 지나면서 임피던스(impedance)가 감소하기 시작한다. 상기 임피던스는 ODT 회로의 전체 임피던스를 의미한다. 그러나, 본 발명(b)의 경우 f2 주파수를 지나면서 임피던스가 감소하기 시작하므로, 종래기술에 비하여 f1 주파수에서 f2 주파수까지의 구간에서 더 일정하게 임피던스를 유지한다. 즉, ODT 회로(300, 400)의 트랜지스터(N350, N450)가 인덕터처럼 동작을 하므로 종래기술에 비하여 보다 높은 주파수에서도 임피던스가 일정하게 유지된다. 따라서, 본 발명은 종래기술에 비하여 선형성이 개선되고, 신호 반사는 감소된다.
- <71> 도 6은 도 3의 ODT 회로(300)를 출력 드라이버(output driver)로 사용하는 경우를 나타내는 회로도이다.
- <72> 도 6을 참조하면, ODT 회로(600)가 ODT 인에이블 신호(ODT\_EN)에 응답하여 ODT 동작을 수행하는 것은 도 3의 ODT 회로(300)와 동일하다. 다만, 도 6의 경우는 ODT 회로(600)가 출력 드라이버로 사용되므로, 데이터(DATA)가 스위치부(350)의 트랜지스터(N350)의 게이트에 인가되고, ODT 회로(600)는 데이터(DATA)를 출력단(OUT)으로 출력한다. ODT 회로(600)가 출력 드라이버로 동작하면서 데이터(DATA)를 출력하는 경우에도 도 3의 ODT 회로(300)와 동일하게 상기 ODT 동작을 함으로써 개선된 상기 ODT 동작을 수행하면서 데이터를 출력할 수 있다.
- <73> 도 7은 도 4의 ODT 회로(400)를 출력 드라이버로 사용하는 경우를 나타내는 회로도이다.
- <74> 도 7을 참조하면, ODT 회로(700)가 ODT 인에이블 신호(ODT\_EN)에 응답하여 ODT 동작을 수행하는 것은 도 4의 ODT 회로(400)와 동일하다. 다만, 도 7의 경우는 ODT 회로(700)가 출력 드라이버로 사용되므로, 데이터(DATA)가 스위치부(450)의 트랜지스터(N450)의 게이트에 인가되고, ODT 회로(700)는 데이터(DATA)를 출력단(OUT)으로 출력한다. ODT 회로(700)가 출력 드라이버로 동작하면서 데이터(DATA)를 출력하는 경우에도 도 4의 ODT 회로(400)와 동일하게 상기 ODT 동작을 함으로써 개선된 상기 ODT 동작을 수행하면서 데이터를 출력할 수 있다.
- <75> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단

지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**발명의 효과**

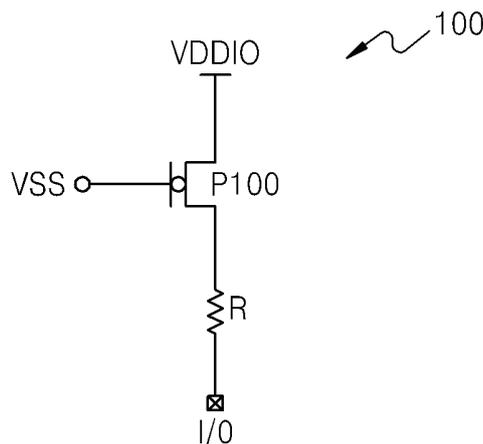
<76> 상술한 바와 같이 본 발명에 따른 ODT 회로는 상기 트랜지스터가 인덕터와 같이 동작함으로써 기생 커패시턴스 성분을 보상하고 고주파에서 임피던스를 보다 일정하게 유지하여 선형성을 개선한다. 또한, 별도의 드라이버를 추가하여 상기 ODT 회로가 보다 빠르게 온 오프할 수 있도록 한다. 따라서, 종래기술에 비하여 신호 반사를 감소하여 신호 충실도가 개선되는 장점이 있다.

**도면의 간단한 설명**

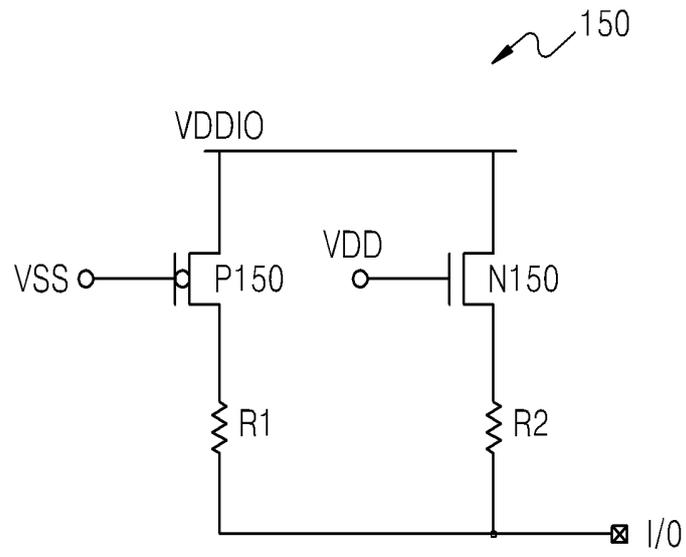
- <1> 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.
- <2> 도 1(a)는 종래의 ODT(On Die Termination) 회로를 도시한 회로도이다.
- <3> 도 1(b)는 종래의 ODT 회로의 다른 예를 도시한 회로도이다.
- <4> 도 2(a)는 도 1(a)의 ODT 회로가 출력단으로 사용되는 경우를 도시한 회로도이다.
- <5> 도 2(b)는 도 1(b)의 ODT 회로가 출력단으로 사용되는 경우를 도시한 회로도이다.
- <6> 도 3은 본 발명의 실시예에 따른 ODT 회로의 회로도이다.
- <7> 도 4는 본 발명의 다른 실시예에 따른 ODT 회로의 회로도이다.
- <8> 도 5는 본 발명 및 종래기술에서 주파수의 변화에 따른 임피던스의 변화를 나타내는 그래프이다.
- <9> 도 6은 도 3의 ODT 회로를 출력단으로 사용하는 경우를 나타내는 회로도이다.
- <10> 도 7은 도 4의 ODT 회로를 출력단으로 사용하는 경우를 나타내는 회로도이다.

**도면**

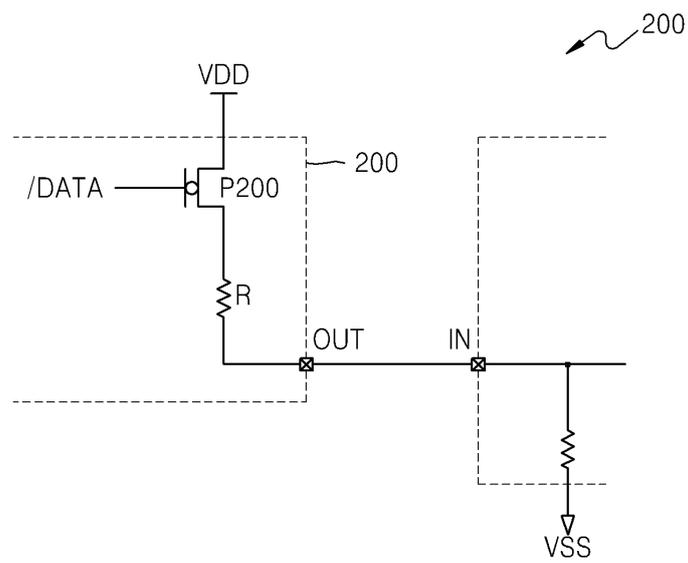
**도면1a**



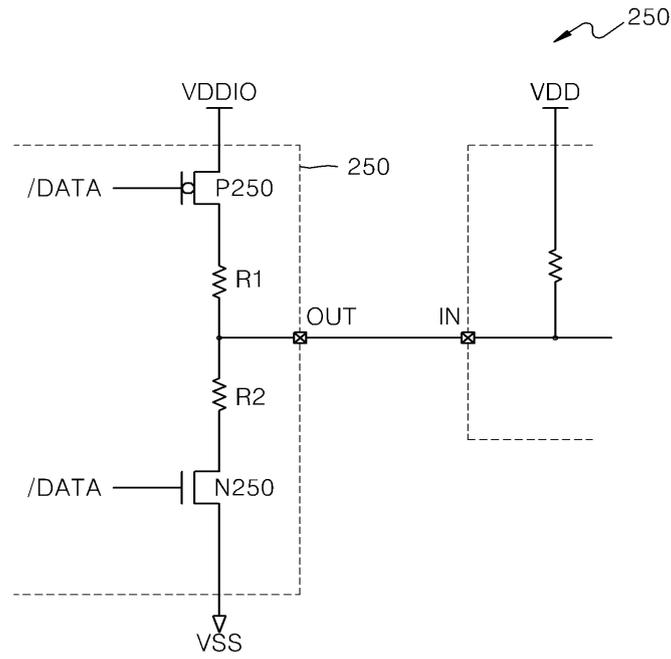
도면1b



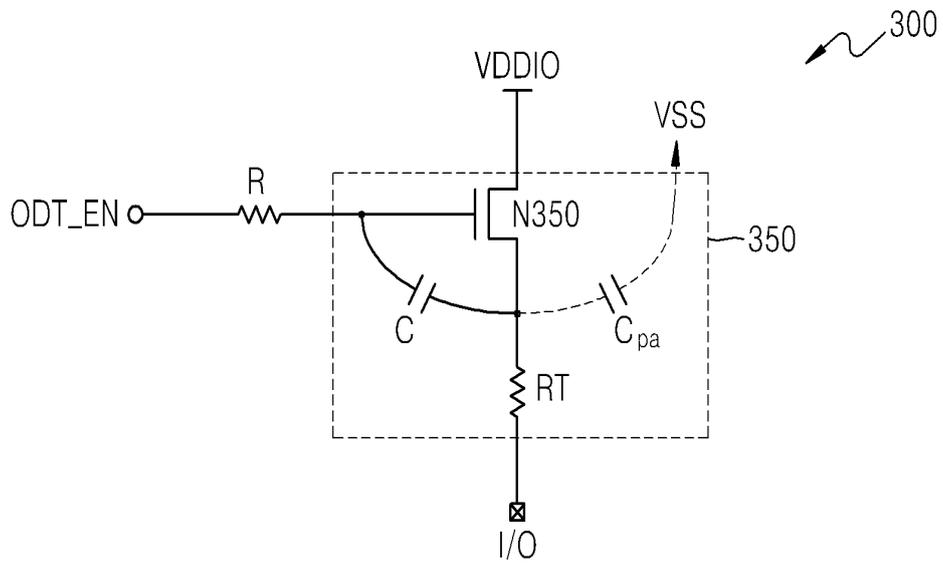
도면2a



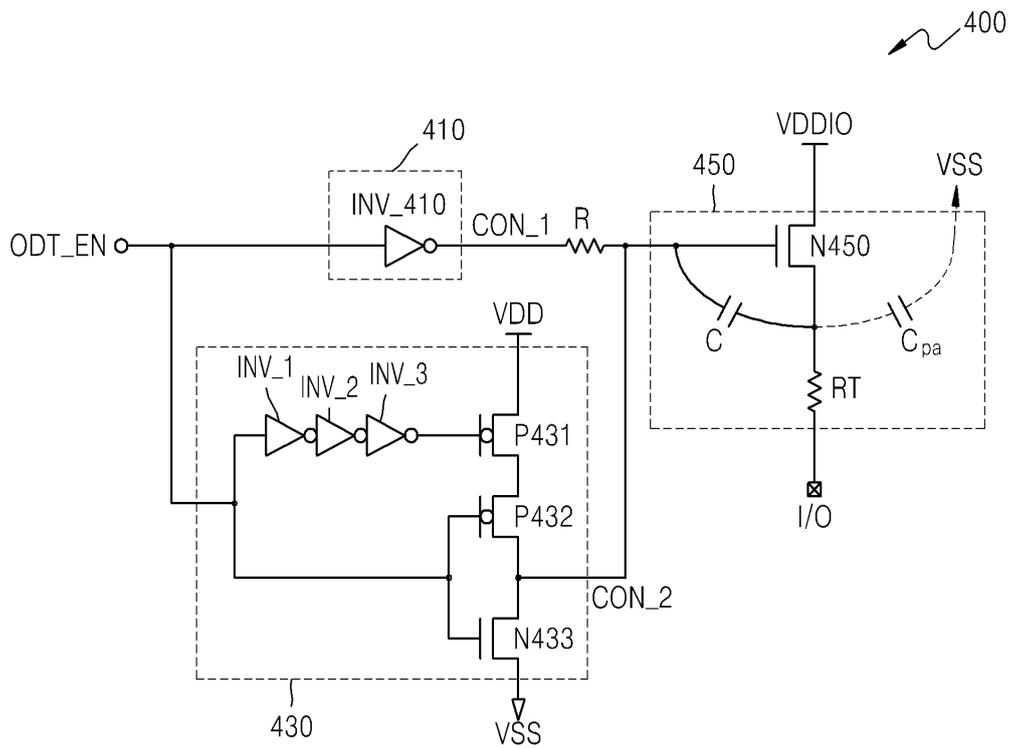
도면2b



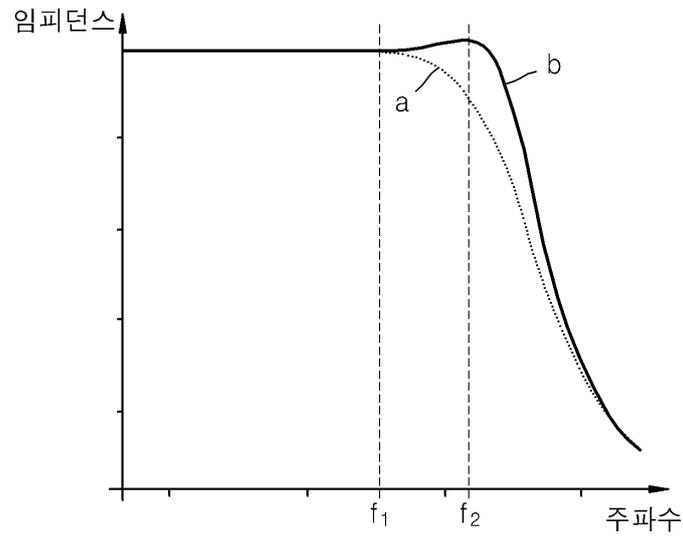
도면3



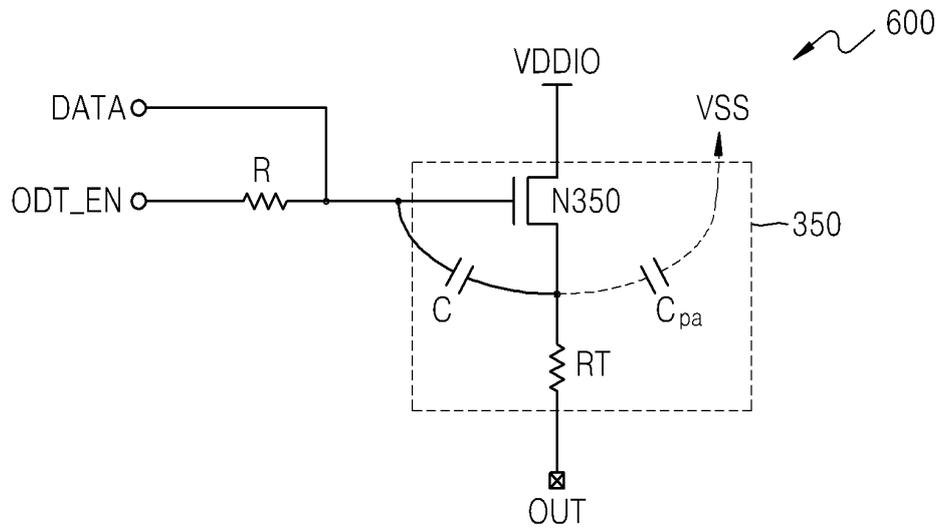
도면4



도면5



도면6



도면7

