

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 11 月 28 日 (28.11.2002)

PCT

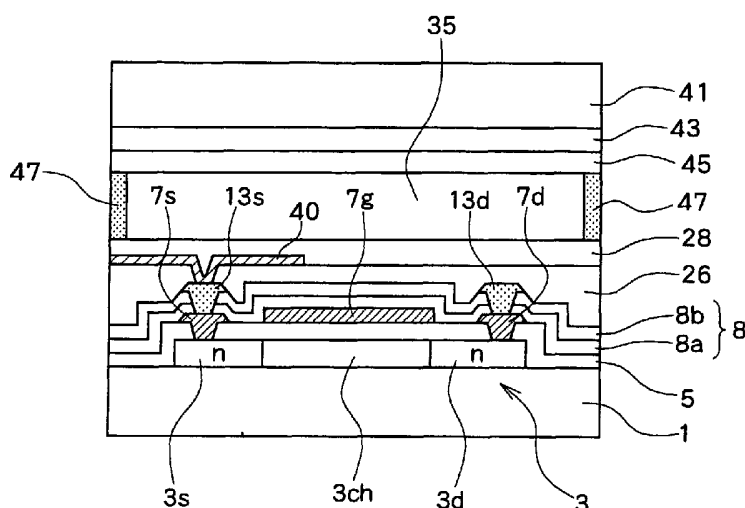
(10) 国際公開番号
WO 02/095834 A1

- (51) 国際特許分類: H01L 29/786, 21/336, G02F 1/1368
- (21) 国際出願番号: PCT/JP02/04750
- (22) 国際出願日: 2002 年 5 月 16 日 (16.05.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2001-149453 2001 年 5 月 18 日 (18.05.2001) JP
特願2002-65794 2002 年 3 月 11 日 (11.03.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 三洋電機株式会社 (SANYO ELECTRIC CO.,LTD.) [JP/JP]; 〒570-8677 大阪府 守口市京阪本通 2 丁目 5 番 5 号 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 米田 清 (YONEDA,Kiyoshi) [JP/JP]; 〒570-8677 大阪府 守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 山田 努 (YAMADA,Tsutomu) [JP/JP]; 〒570-8677 大阪府 守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 湯田 真次 (YUDA,Shinji) [JP/JP]; 〒570-8677 大阪府 守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP). 鈴木 浩司 (SUZUKI,Kouji) [JP/JP]; 〒570-8677 大阪府 守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社内 Osaka (JP).
- (74) 代理人: 吉田 研二, 外(YOSHIDA,Kenji et al.); 〒180-0004 東京都 武蔵野市吉祥寺本町 1 丁目 3 4 番 1 2 号 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, KR, US.

[続葉有]

(54) Title: THIN FILM TRANSISTOR AND ACTIVE MATRIX TYPE DISPLAY UNIT PRODUCTION METHODS THEREFOR

(54) 発明の名称: 薄膜トランジスタ及びアクティブマトリクス型表示装置及びそれらの製造方法



(57) Abstract: A first contact hole (6) penetrating a gate insulation film (5) is formed, a gate electrode (7g) is formed on the gate insulation film (5), and at the same time first contact holes (7s, 7d) are formed in the first contact hole. A second contact hole (9) penetrating an interlayer insulation (8) film is formed, and a second contact (10) is formed in the second contact hole (9). A third contact hole (11) penetrating a flatten film (26) is formed, and an electrode (40) is formed in the third contact hole (11). Since a plurality of contact holes for electrically connecting the electrode (40) with a semiconductor film (3) are used, the aspect ratio of each contact hole can be decreased, a yield can be enhanced, and a high integration can be realized due to a reduction in area difference between the top and bottom faces of a contact.

[続葉有]



WO 02/095834 A1



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

ゲート絶縁膜 (5) を貫通する第1コンタクトホール (6) を形成し、ゲート絶縁膜 (5) 上にゲート電極 (7g) を形成し、同時に第1コンタクトホール内には第1コンタクト (7s、7d) を形成する。層間絶縁 (8) 膜を貫通する第2コンタクトホール (9) を形成し、第2コンタクトホール (9) 内に、第2コンタクト (10) を形成する。平坦化膜 (26) を貫通する第3コンタクトホール (11) を形成し、第3コンタクトホール (11) 内に電極 (40) を形成する。電極 (40) と半導体膜 (3) とを電氣的に接続するために複数のコンタクトホールを利用することで、各コンタクトホールはアスペクト比を小さくでき、歩留まり向上、コンタクトの上面と底面の面積差の低減による高集積化などを実現する。

明細書

薄膜トランジスタ及びアクティブマトリクス型表示装置及びそれらの製造方法

[技術分野]

本発明は薄膜トランジスタ (Thin Film Transistor: 以下 T F T という) 及びこれを備えたアクティブマトリクス型表示装置、及びこれらの製造方法に関する。

[背景技術]

液晶表示装置や、また最近注目されている有機エレクトロルミネッセンス表示装置などにおいて、高精細な表示を実現するため各画素にスイッチ素子を形成したいわゆるアクティブマトリクス型の表示装置が知られている。

図 1 A ～ 図 1 I は、従来のアクティブマトリクス型液晶表示装置の製造工程断面図である。

工程 A (図 1 A) : 絶縁基板 3 1 0 上に、非晶質シリコン (amorphous Silicon: 以下、「a-Si」と称する。) 膜 3 2 0 を形成する。

工程 B (図 1 B) : この a-Si 膜 3 2 0 の表面にレーザーを照射することにより、a-Si を溶融再結晶化して、多結晶シリコン (poly Silicon: 以下、「poly-Si」と称する。) 膜を形成する。そして、フォトリソグラフィ及びエッチングを用いて poly-Si 膜を島状にパターンニングし、半導体膜 3 3 0 を形成する。

工程 C (図 1 C) : 絶縁基板 3 1 0 及び半導体膜 3 3 0 上に、第 1 の絶縁膜として、SiO₂ 膜からなるゲート絶縁膜 3 4 0 を形成する。ゲート絶縁膜 3 4 0 上に、クロム (Cr) からなる金属膜を形成し、フォトリソグラフィ及びエッチングを用いて、ゲート絶縁膜 3 4 0 上の半導体膜 3 3 0 の中央部分に対応して重なる位置にゲート電極 3 5 0 を形成する。

工程 D (図 1 D) : 半導体膜 3 3 0 に対し、ゲート電極 3 5 0 をマスクとして P 型または N 型の不純物を注入する。その後、注入した不純物を活性化させるため、加熱処理を施し、半導体膜 3 3 0 にソース領域 3 3 0 a 及びドレイン領域 3 3 0 b を形成する。

こうして、半導体素子である poly-Si TFT が形成される。

工程 E (図 1 E) : ゲート絶縁膜 340 及びゲート電極 350 上に、第 2 の絶縁膜として、 SiO_2 膜 360a 及び SiN 膜 360b の 2 層からなる層間絶縁膜 360 を形成する。

工程 F (図 1 F) : ゲート絶縁膜 340 及び層間絶縁膜 360 を貫通し、ソース領域 330a 及びドレイン領域 330b を露出するように、第 1 コンタクトホール 370 を形成する。ドレイン領域 330b を露出する第 1 コンタクトホール 370 には、アルミニウム (Al) からなり、紙面垂直方向に延びる配線 380 を形成する。

工程 G (図 1 G) : 第 1 コンタクトホール 370 及び層間絶縁膜 360、配線 380 の上に、有機系材料からなる平坦化膜 390 を形成して表面を平坦化する。

工程 H (図 1 H) : 平坦化膜 390 を貫通し、ソース領域 330a を露出する第 2 コンタクトホールを形成し、この第 2 コンタクトホールに、ITO (Indium Tin Oxide : 酸化インジウム錫) からなり、ソース領域 330a に接続されて平坦化膜 390 上に広がる画素電極 400 を形成する。

工程 I (図 1 I) : 画素電極 400 及び平坦化膜 390 上にポリイミド、 SiO_2 等からなり、液晶を配向させる配向膜 410 を形成する。

このようにして、アクティブマトリクス型液晶表示装置の TFT 基板が完成する。液晶表示装置は TFT 基板と共通電極が形成された対向基板との間に液晶を挟んで構成される。

上記の製造方法では、TFT のソース領域 330a と画素電極 400 とを接続する第 2 コンタクトホールは、平坦化膜 390 及び層間絶縁膜 360 を開口して形成されるため、開口直径に比べて深い、即ち、アスペクト比が大きいものとなる。そのため、第 2 コンタクトホール形成時に、ソース領域 330a に達するまで平坦化膜 390 が除去しきれないことがある。逆に、平坦化膜 390 を完全に除去するために、エッチングを行う時間を長く設定すると、平坦化膜 390 及び層間絶縁膜 360 と半導体膜 330 との間で、完全に選択的なエッチングができないため、半導体膜 330 上のソース領域 330a の表面を荒らしてしまうなど、エッチングの加減が難しく、コンタクトホールの深さや大きさにおいて誤差を生

じやすくなり、歩留まりを下げる原因の一つとなっていた。

また、コンタクトホールは化学反応を利用したエッチングを用いて形成するため、コンタクトホールの上端の面積は、底面の面積よりも大きくなる。その差はコンタクトホールが深いほど大きくなるため、深いコンタクトホールを形成するためには、上端に広い面積を確保する必要がある、高集積化を阻害していた。

本発明は、上記課題を解決するためになされたものであり、コンタクトホールの容易かつ確実な形成を可能とし、歩留まりを向上させ、また一層の高集積化を図ることを目的とする。

本発明の他の目的は、薄膜トランジスタの製造に際して、不純物ドーピングの際のマスク材料の硬化を防止することである。

[発明の開示]

上記目的を達成するために本発明はなされ、以下のような特徴を備える。

即ち、本発明は、薄膜トランジスタの製造方法に関し、絶縁基板上に、島状の半導体膜を形成する工程と、前記絶縁基板及び前記半導体膜上に、前記半導体膜を覆って、第1の絶縁膜を形成する工程と、前記第1の絶縁膜を貫通し、前記半導体膜の一部を露出する少なくとも1つの第1コンタクトホールを形成する工程と、前記第1の絶縁膜上及び前記第1コンタクトホール内に、第1の導電体膜を形成し、該第1の導電体膜をエッチングして、前記半導体膜の一部に重なるゲート電極及び前記第1コンタクトホール内に前記半導体膜に電氣的に接続された第1コンタクトを同時に形成する工程とを有する。

本発明の他の態様では、上記薄膜トランジスタの製造方法において、前記第1の絶縁膜と前記ゲート電極と前記第1コンタクトを覆って、第2の絶縁膜を形成する工程と、少なくとも前記第2の絶縁膜を貫通し、前記第1コンタクトの一部を露出する第2コンタクトホールを形成する工程と、前記第2の絶縁膜上及び前記第2コンタクトホール内に、第2の導電体膜を形成し、所定領域をエッチングして、前記第1コンタクトに電氣的に接続された所定形状の配線及び第2コンタクトとを形成する工程とを有する。

本発明の他の態様では、上記薄膜トランジスタの製造方法において、前記第1の絶縁膜と前記ゲート電極と前記第1コンタクトを覆って、第2の絶縁膜を形成

する工程と、少なくとも前記第 2 の絶縁膜を貫通し、前記第 1 コンタクト及び前記半導体膜の一部を露出する少なくとも 2 つの第 2 コンタクトホールを形成する工程と、前記第 2 の絶縁膜上及び前記第 2 コンタクトホール内に、第 2 の導電体膜を形成し、所定領域をエッチングして、前記半導体膜に電氣的に接続された所定形状の配線及び第 2 コンタクトとを形成する工程とを更に有する。

本発明の他の態様は、薄膜トランジスタを用いたアクティブマトリクス型表示装置に関する。具体的には、薄膜トランジスタを有するアクティブマトリクス型表示装置の製造方法であって、絶縁基板上に、島状の半導体膜を形成する工程と、前記絶縁基板及び前記半導体膜上に、前記半導体膜を覆って、第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜を貫通し、前記半導体膜の一部を露出する少なくとも 1 つの第 1 コンタクトホールを形成する工程と、前記第 1 の絶縁膜上及び前記第 1 コンタクトホール内に、第 1 の導電体膜を形成し、該第 1 の導電体膜をエッチングして、前記半導体膜の一部に重なるゲート電極及び前記第 1 コンタクトホール内に前記半導体膜に電氣的に接続された第 1 コンタクトを同時に形成する工程と、を有する。

本発明の他の態様は、上記アクティブマトリクス型表示装置の製造方法において、前記第 1 の絶縁膜と前記ゲート電極と前記第 1 コンタクトを覆って、第 2 の絶縁膜を形成する工程と、少なくとも前記第 2 の絶縁膜を貫通し、前記第 1 コンタクトの一部を露出する第 2 コンタクトホールを形成する工程と、前記第 2 の絶縁膜上及び前記第 2 コンタクトホール内に、第 2 の導電体膜を形成し、所定領域をエッチングして、前記第 1 コンタクトに電氣的に接続された所定形状の配線及び第 2 コンタクトとを形成する工程とを有する。

本発明の他の態様は、上記アクティブマトリクス型表示装置の製造方法において、前記第 2 の絶縁膜と前記第 2 コンタクトと前記配線の上に、下層の構造によって形成された凹凸を平坦化する平坦化膜を形成する工程と、前記平坦化膜を貫通し、前記第 2 コンタクトを露出する第 3 コンタクトホールを形成する工程と、前記平坦化膜上に、前記第 3 コンタクトホールを介して、前記第 2 コンタクトに電氣的に接続される電極を形成する工程と、を有する。

本発明の他の態様は、上記アクティブマトリクス型表示装置の製造方法におい

て、前記第 1 の絶縁膜と前記ゲート電極と前記第 1 コンタクトを覆って、第 2 の絶縁膜を形成する工程と、少なくとも前記第 2 の絶縁膜を貫通し、前記第 1 コンタクト及び前記半導体膜の一部を露出する少なくとも 2 つの第 2 コンタクトホールを形成する工程と、前記第 2 の絶縁膜上及び前記第 2 コンタクトホール内に、第 2 の導電体膜を形成し、所定領域をエッチングして、前記半導体膜に電氣的に接続された所定形状の配線及び第 2 コンタクトとを形成する工程と、を有する。

本発明の他の態様は、上記アクティブマトリクス型表示装置の製造方法において、前記第 2 の絶縁膜と前記第 2 コンタクトと前記配線の上に、下層の構造によって形成された凹凸を平坦化する平坦化膜を形成する工程と、前記平坦化膜を貫通し、第 2 コンタクトを露出する第 3 コンタクトホールを形成する工程と、前記平坦化膜上に、前記第 3 コンタクトホールを介して、前記第 2 コンタクトに電氣的に接続される電極を形成する工程と、を有する。

本発明の他の態様は、上記アクティブマトリクス型表示装置の製造方法において、前記第 1 の絶縁膜と前記ゲート電極と前記第 1 コンタクトを覆って、第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜を貫通し、前記第 1 コンタクトを露出する第 2 コンタクトホールを形成する工程と、前記第 2 の絶縁膜上及び前記第 2 コンタクトホール内に、第 2 の導電体膜を形成し、所定領域をエッチングして、前記第 1 コンタクトに電氣的に接続された所定形状の配線を形成する工程と、前記第 2 の絶縁膜と前記第 2 コンタクトと前記配線の上に、下層の構造によって形成された凹凸を平坦化する平坦化膜を形成する工程と、少なくとも前記平坦化膜を貫通する第 3 コンタクトホールを形成する工程と、前記平坦化膜上に、前記第 3 コンタクトホールを介して、前記半導体膜に電氣的に接続される電極を形成する工程と、を有する。

本発明の他の態様では、上記アクティブマトリクス型表示装置の製造方法において、前記第 3 コンタクトホールは、前記平坦化膜及び前記第 2 の絶縁膜を貫通して前記第 1 コンタクトを露出し、前記電極は、前記第 3 コンタクトホールを介して、前記第 1 コンタクトに電氣的に接続されている。

本発明の他の態様は、上記アクティブマトリクス型表示装置の製造方法において、前記第 1 の絶縁膜と前記ゲート電極と前記第 1 コンタクトを覆って、第 2 の

絶縁膜を形成する工程と、前記第2の絶縁膜を貫通し、前記第1コンタクトを露出する第2コンタクトホールと、前記第2の絶縁膜及び前記第1の絶縁膜とを貫通し、前記半導体膜を露出する第3コンタクトホールを形成する工程と、前記第2の絶縁膜上及び前記第2コンタクトホール内、前記第3コンタクトホール内に、第2の導電体膜を形成し、所定領域をエッチングして、前記第1コンタクトに電氣的に接続された第2コンタクトと、前記半導体膜に電氣的に接続された所定形状の配線とを形成する工程と、前記第2の絶縁膜及び前記第2コンタクト、前記配線の上に、下層の構造によって形成された凹凸を平坦化する平坦化膜を形成する工程と、前記平坦化膜を貫通し、前記第2コンタクトを露出する第4コンタクトホールを形成する工程と、前記平坦化膜上に、前記第4コンタクトホールを介して、前記第2コンタクトに電氣的に接続される電極を形成する工程とを有する。

本発明の他の態様では、チャネル領域、ソース領域及びドレイン領域を含む半導体膜からなる能動層と、ゲート絶縁膜、ゲート電極、ソース電極及びドレイン電極を備える薄膜トランジスタであって、前記半導体膜は、絶縁基板上に形成され、前記半導体膜を覆って前記ゲート絶縁膜が形成され、前記ゲート絶縁膜上のチャネル対応領域に前記ゲート電極が形成され、前記ゲート絶縁膜のソース対応領域及びドレイン対応領域の少なくとも一方には第1コンタクトホールが形成され、前記ソース対応領域及びドレイン対応領域の少なくとも一方に形成された前記第1コンタクトホールには、前記ゲート電極と同一材料からなり、対応する前記半導体膜のソース領域又はドレイン領域に電氣的に接続された第1コンタクトが埋め込まれ、前記ソース電極及び前記ドレイン電極の対応するいずれか又は両方が、前記第1コンタクトを介して対応する前記半導体膜の前記ソース領域又はドレイン領域に接続されている。

本発明の他の態様では、上記薄膜トランジスタにおいて、前記第1コンタクトホールは、前記ゲート絶縁膜のソース対応領域及びドレイン対応領域のそれぞれに開口され、前記第1コンタクトホールのそれぞれには、前記第1コンタクトが埋め込まれ、前記ソース電極は対応する前記第1コンタクトを介して前記半導体膜のソース領域に接続され、前記ドレイン電極は対応する前記第1コンタクトを介して前記半導体膜のドレイン領域に接続されている。

本発明の他の態様では、上記薄膜トランジスタにおいて、前記ソース電極及び前記ドレイン電極は、前記第1コンタクト及び前記ゲート電極を覆った層間絶縁膜の前記第1コンタクト対応領域にそれぞれ開口された第2コンタクトホールにて対応する前記ソース領域と、前記ドレイン領域に接続される。

本発明の他の態様では、上記薄膜トランジスタにおいて、前記第1コンタクトホールは、前記ゲート絶縁膜のソース対応領域及びドレイン対応領域のいずれか一方に開口され、前記第1コンタクトホールは、前記第1コンタクトが埋め込まれ、前記ソース電極及び前記ドレイン電極のいずれか一方が、前記第1コンタクトを介して対応する前記半導体膜のソース領域又はドレインに接続されている。

本発明の他の態様では、上記薄膜トランジスタにおいて、前記ソース電極及び前記ドレイン電極の他方は、前記ゲート電極及び前記ゲート絶縁膜を覆って形成された層間絶縁膜と、前記ゲート絶縁膜との対応領域に、前記半導体膜表面が底部に露出するよう開口された第2コンタクトホールを介して前記半導体膜の対応するドレイン領域又はソース領域に接続される。

本発明の他の態様では、上記薄膜トランジスタにおいて、前記ゲート電極及び前記第1コンタクトは、高融点金属材料である。

本発明の他の態様では、チャネル領域、ソース領域及びドレイン領域を含む半導体膜からなる能動層と、ゲート絶縁膜、ゲート電極、ソース電極及びドレイン電極を備える薄膜トランジスタが用いられたアクティブマトリクス型表示装置であって、前記半導体膜は、絶縁基板上に形成され、前記半導体膜を覆って前記ゲート絶縁膜が形成され、前記ゲート絶縁膜上のチャネル対応領域に前記ゲート電極が形成され、前記ゲート絶縁膜のソース対応領域及びドレイン対応領域にはそれぞれ第1コンタクトホールが形成され、前記ソース対応領域及びドレイン対応領域に形成された前記第1コンタクトホールの少なくとも一方には、前記ゲート電極と同一材料からなり、対応する前記半導体膜のソース領域又はドレイン領域に電氣的に接続された第1コンタクトが埋め込まれ、前記ソース電極及び前記ドレイン電極のいずれか又は両方が、前記第1コンタクトを介して対応する前記半導体膜の前記ソース領域又はドレイン領域に接続されている。

本発明の他の態様では、上記アクティブマトリクス型表示装置において、前記

第1コンタクトホールは、前記ゲート絶縁膜のソース対応領域及びド레인対応領域のそれぞれに開口され、前記第1コンタクトホールのそれぞれには、前記第1コンタクトが埋め込まれ、前記ソース電極及び前記ド레인電極は、前記第1コンタクト及び前記ゲート電極を覆った層間絶縁膜の前記第1コンタクト対応領域にそれぞれ開口された第2コンタクトホールにて対応する前記ソース領域と、前記ド레인領域に接続される。

本発明の他の態様では、上記アクティブマトリクス型表示装置において、前記ソース電極及び前記ド레인電極を覆って更に平坦化絶縁膜が形成され、前記平坦化絶縁膜の前記ソース電極及び前記ド레인電極のいずれか一方の対応領域に第3コンタクトホールが形成され、前記第3コンタクトホールにて、対応する前記ソース電極及び前記ド레인電極のいずれかと、画素電極と、が電氣的に接続されている。

本発明の他の態様では、上記アクティブマトリクス型表示装置において、前記第1コンタクトホールは、前記ゲート絶縁膜のソース対応領域及びド레인対応領域のいずれか一方に開口され、前記第1コンタクトホールは、前記第1コンタクトが埋め込まれ、前記ソース電極及び前記ド레인電極のいずれか一方が、前記第1コンタクトを介して対応する前記半導体膜のソース領域又はドレインに接続されている。

本発明の他の態様では、上記アクティブマトリクス型表示装置において、前記ソース電極及び前記ド레인電極の他方は、前記ゲート電極及び前記ゲート絶縁膜を覆って形成された層間絶縁膜と、前記ゲート絶縁膜との対応領域に、前記半導体膜表面が底部に露出するよう開口された第2コンタクトホールを介して前記半導体膜の対応するド레인領域又はソース領域に接続されている。

本発明の他の態様では、上記アクティブマトリクス型表示装置において、前記ソース電極及び前記ド레인電極を覆って更に平坦化絶縁膜が形成され、前記平坦化絶縁膜の前記ソース電極及び前記ド레인電極のいずれか一方の対応領域に第3コンタクトホールが形成され、前記第3コンタクトホールにて、対応する前記ソース電極及び前記ド레인電極のいずれかと、画素電極と、が電氣的に接続されている。

本発明の他の態様では、上記アクティブマトリクス型表示装置において、前記ゲート電極及び前記第1コンタクトは、高融点金属材料である。

以上のような本発明によれば、平坦化膜など、厚い膜の上に形成される画素電極と、薄膜トランジスタの能動層等に用いられる半導体膜との電氣的接続を、例えば、段階的に形成された第1、第2、第3コンタクトホールをそれぞれ埋める第1コンタクト、第2コンタクト、第3コンタクトを介して行う。これにより各コンタクトホールはそれぞれ浅く、アスペクト比の小さいホールとすることができ、コンタクトホールが浅ければ、開口時、エッチングに要する時間が短く、形成が容易で、各コンタクトの上面及び底面の面積を小さくでき、また上面と底面の面積差を小さくして高集積化を図ることができる。

また、各コンタクトに用いる導電体は、コンタクトホール開口のためにエッチング除去される膜に対して選択比が大きいことが多く、選択的なエッチングができる。このため、エッチングによりホール底面に露出する膜の特性劣化を防止することも可能である。また、第1コンタクトはゲート電極と同時に形成され、第2コンタクトは配線と同時に形成されるため、工程数を増やすことなく、上記の効果を奏することができる。

本発明の他の態様は、能動層よりゲート電極が上層に形成されるトップゲート型のトランジスタの製造方法であって、前記能動層を形成した後、該能動層を覆うゲート絶縁膜の形成前に、該能動層の所望領域を選択的にレジストマスク材によって覆ってから該能動層に不純物を注入し、前記不純物注入後、前記レジストマスク材を除去してから前記能動層を覆ってゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成する。

本発明の他の態様では、能動層よりゲート電極が上層に形成されるトップゲート型のトランジスタの製造方法であって、前記能動層を形成した後、該能動層を覆うゲート絶縁膜の形成前に、レジストマスク材によって該能動層のチャネル領域及び低濃度不純物注入領域となる領域を選択的に覆って、該能動層に不純物を高濃度に注入し、前記不純物の高濃度注入後、前記レジストマスク材を除去してから前記能動層を覆ってゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極を形成し、前記ゲート電極の形成後、該ゲート電極をマスクとして、前記能動

層に不純物を低濃度に注入する。

また本発明の他の態様は、上記各トップゲート型トランジスタの製造方法において、前記能動層は、アモルファスシリコン層を形成後、該シリコン層を多結晶化して得た多結晶シリコン層である。

さらに本発明の他の態様では、上記各トップゲート型トランジスタの製造方法において、上記高濃度及び低濃度に注入する不純物は、 n 型（ n 導電型）不純物である。

このように、本発明の他の態様では、不純物注入（ドーピング）工程、少なくとも高濃度不純物注入工程をゲート絶縁膜形成工程よりも前に実行して、トランジスタ能動層に直接不純物をドーピングする。このため、ドーピングする不純物の加速エネルギーは、能動層の所定深さまで到達可能な程度の低いレベルとすることができる。不純物イオンの加速エネルギーを小さくできれば、レジストマスクは、高濃度に不純物がドーピングされる環境におかれても硬化することが防止され、ドーピング工程終了後において確実に除去することができる。

また、不純物の低濃度ドーピングについては、ゲート電極をマスクとして実行することとすれば、ゲート電極に対してチャネル及び低濃度不純物領域を自己整合的に形成でき、寄生容量の小さいトランジスタを形成することができる。

本発明の他の態様は、能動層よりゲート電極が上層に形成されるトップゲート型のトランジスタであって、互いに導電型の異なるトランジスタの製造方法であって、前記能動層を形成し、前記能動層を覆ってゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極材料層を形成し、該ゲート電極材料層を第1導電型トランジスタの形成領域ではその能動層の全域を覆い、前記第2導電型トランジスタの形成領域ではゲート電極の形状にパターニングし、前記ゲート電極材料層のパターニング後、該ゲート電極材料層をマスクとして、前記第2導電型トランジスタの前記能動層に前記第2導電型不純物を選択的に注入する。この第2導電型不純物の注入後、前記第1導電型トランジスタの形成領域の前記ゲート電極材料層をゲート電極形状にパターニングする。

このように他の導電型不純物のドーピング時には、高エネルギーによる不純物ドーピング環境において硬化せず、除去時に剥離残りなどを生じない自己のゲート電極

材料層によって能動層領域をマスクすることで、高濃度不純物をドーピングした後に、マスクとして用いたゲート電極材料層を、所望のゲート電極の形状に正確にパターンニングすることができる。また、第1及び第2導電型のいずれのトランジスタにおいても、自己のゲート電極をマスクとして不純物をドーピングするので、ゲート電極とチャネル領域とが自己整合されるため、寄生容量の小さいトランジスタを形成することができる。

本発明の他の態様では、能動層よりゲート電極が上層に形成されるトップゲート型のトランジスタであって、互いに導電型の異なるトランジスタの製造方法であって、前記能動層を形成した後、該能動層を覆うゲート絶縁膜の形成前に、第1導電型トランジスタの形成領域ではその能動層のチャネル形成領域を覆い、かつ第2導電型トランジスタの形成領域ではその能動層の形成領域を覆うレジストマスクを形成してから、前記能動層に第1導電型不純物を注入する。第1導電型不純物の注入後、前記レジストマスクを除去し、前記能動層を覆うゲート絶縁膜を形成する。次に、このゲート絶縁膜上にゲート電極材料層を形成し、該ゲート電極材料層を前記第1導電型トランジスタの形成領域ではその能動層の全域を覆い、前記第2導電型トランジスタの形成領域ではゲート電極の形状にパターンニングし、前記ゲート電極材料層のパターンニング後、該ゲート電極材料層をマスクとして、前記能動層に前記第2導電型不純物を注入する。この第2導電型不純物の注入後、前記第1導電型トランジスタの形成領域の前記ゲート電極材料層をゲート電極形状にパターンニングする。

本発明の他の態様では、能動層よりゲート電極が上層に形成されるトップゲート型のトランジスタであって、互いに導電型の異なるトランジスタの製造方法であって、前記能動層を形成した後、該能動層を覆うゲート絶縁膜の形成前に、第1導電型トランジスタの形成領域ではその能動層のチャネル形成領域及び該チャネル形成領域に隣接して形成される低濃度不純物注入領域を覆い、かつ第2導電型トランジスタの形成領域ではその能動層の形成領域を覆うレジストマスクを形成してから、前記能動層に第1導電型不純物を高濃度に注入する。前記第1導電型不純物の高濃度注入後、前記レジストマスク材を除去し、前記能動層を覆うゲート絶縁膜を形成し、前記ゲート絶縁膜上にゲート電極材料層を形成し、該ゲー

ト電極材料層を前記第 1 導電型トランジスタの形成領域ではその能動層の全域を覆い、前記第 2 導電型トランジスタの形成領域ではゲート電極の形状にパターンニングする。前記ゲート電極のパターンニング後、該ゲート電極をマスクとして、前記能動層に前記第 2 導電型不純物を高濃度に注入し、前記第 1 導電型トランジスタの形成領域の前記ゲート電極材料層をゲート電極形状にパターンニングした後、該ゲート電極をマスクとして前記能動層に低濃度に第 1 導電型不純物をドーピングする。

本発明の他の態様では、上記トップゲート型トランジスタの製造方法において、前記第 1 導電型不純物は、 n 導電型不純物であり、前記第 2 導電型不純物は、 p 導電型不純物である。

このように、第 1 導電型不純物の注入工程、特に高濃度注入工程をゲート絶縁膜形成工程よりも前に実行し、トランジスタ能動層に直接不純物をドーピングすることにより、ドーピングする不純物の加速エネルギーを能動層の所定深さまで到達可能な程度の低いレベルとすることができる。不純物イオンの加速エネルギーを小さくできれば、レジストマスクは、高濃度に不純物がドーピングされる環境におかれても硬化することが防止され、ドーピング工程終了後において確実に除去することができる。更に、他の導電型不純物（第 2 導電型不純物）の注入工程に際しては、自己のゲート電極となる材料層で能動層をマスクしておく。上述のようにゲート電極材料層であれば、高エネルギーでの高濃度不純物注入に曝されても、硬化して剥離しにくくなるという問題が発生しない。従って、レジストマスクは高エネルギーでの不純物注入に曝されず、また、高エネルギー条件での不純物注入はゲート電極材料層をマスクとして用いるので、異なる導電型のトランジスタが同時に形成されるデバイスにおいて、マスクの剥離残りなく、各トランジスタを形成することができる。

更に、第 1 導電型不純物の低濃度注入は、第 2 導電型不純物の注入時にマスクとして用いたゲート電極材料層を所定ゲート電極の形状にパターンニングしてからこのゲート電極をマスクとして実行することにより、第 1 導電型トランジスタにおいて、ゲート電極に対してチャネル及び低濃度不純物領域を自己整合的に形成でき、寄生容量の小さいトランジスタを形成することができる。

〔図面の簡単な説明〕

図1 A, 1 B, 1 C, 1 D, 1 E, 1 F, 1 G, 1 H及び1 Iは、従来のアクティブマトリクス型表示装置のT F T基板の製造工程断面図である。

図2 A, 2 B, 2 C, 2 D, 2 E, 2 F, 2 G, 2 H, 2 I, 2 J, 2 K, 2 L及び2 Mは、本発明の実施形態1に係るアクティブマトリクス型表示装置のT F T基板の製造工程断面図である。

図3は、本発明の実施形態1に係るアクティブマトリクス型表示装置の断面図である。

図4は、本発明の実施形態2に係るアクティブマトリクス型表示装置のT F T基板の断面図である。

図5及び図6は、本発明の実施形態3に係るアクティブマトリクス型表示装置のT F T基板の断面図である。

図7 A, 7 B, 7 C, 7 D, 7 Eは、関連技術に係るT F Tの製造工程を示す図である。

図8は、本発明の実施形態4に係るアクティブマトリクス型L C Dの概略回路構成を示す図である。

図9 A, 9 B, 9 Cは、本発明の実施形態4に係るT F Tの製造工程を示す図である。

図10 A, 10 B, 10 Cは、図9 Cに続く本発明の実施形態4に係るT F Tの製造工程を示す図である。

図11及び図12は、本発明の実施形態4及び5に係るT F Tのアクティブマトリクス型表示装置における適用例を示す図である。

図13 A, 13 B, 13 C, 13 Dは、同一基板上に形成されるn-c h型及びp-c h型T F Tの関連技術に係る製造工程を説明する図である。

図14 A, 14 B, 14 C, 14 Dは、本発明の実施形態5に係るT F Tの製造工程を示す図である。

図15 A, 15 B, 15 C, 15 Dは、図14 Dに続く本発明の実施形態5に係るT F Tの製造工程を示す図である。

[発明を実施するための最良の形態]

以下、図面を用いてこの発明の最良の実施の形態（以下実施形態という）について説明する。

（実施形態 1）

図 2 A～図 2 M、図 3 は、本発明の実施形態 1 に係るアクティブマトリクス型表示装置の製造方法を示している。

工程 1（図 2 A）：石英ガラス、無アルカリガラス等からなる絶縁基板 1 上の全面に、 SiH_4 （シラン）や Si_2H_6 （ジシラン）を含むガスを用いたプラズマ CVD（Chemical Vapor Deposition：化学気相成長）法を用いて、a-Si 膜 2 を形成する。

工程 2（図 2 B）：a-Si 膜 2 の表面にレーザービーム L を照射してアニール処理を行い、a-Si を熔融再結晶化して poly-Si からなる半導体膜 3 を形成する。ここで、レーザーの照射エネルギー密度及び照射回数に応じて poly-Si の粒径が変化するので、レーザービーム L は、粒径が最大となるようにそのエネルギー密度を最適化しておく。

工程 3（図 2 C）：半導体膜 3 の上にフォトリソ膜を形成し、露光を行う。フォトリソ膜は感光した部分が除去され、マスクに遮光された部分のみが残り、島状にパターニングされる。エッチングにより、フォトリソ膜で覆われていない領域の半導体膜 3 を除去し、半導体膜 3 及びフォトリソ膜を島状にパターニングする。残ったフォトリソ膜の両端が露出するように、マスクングを行って再度露光し、感光したフォトリソ膜の両端部分を除去して、レジスト 4 を形成する。レジスト 4 に覆われていない半導体膜 3 に対し、不純物を注入する。注入する不純物は、形成すべき TFT のタイプに応じて P 型または N 型を選択すればよいが、以下、N 型を例にして説明する。不純物注入後、レジスト 4 を除去する。半導体膜 3 のレジスト 4 に覆われていた部分がチャンネル領域 3 c h となる。不純物が注入された半導体膜 3 に対して、RTA（Rapid Thermal Anneal：急速熱アニール）法によるアニールを行う。RTA 法によるアニールにより、不純物が活性化してソース領域 3 s 及びドレイン領域 3 d ができる。

工程4（図2D）：絶縁基板1及び半導体膜3上に、第1の絶縁膜として、SiO₂膜からなるゲート絶縁膜5を、プラズマCVD法を用いて、形成温度350℃、膜厚1000Å形成する。

工程5（図2E）：フォトリソグラフィ及びエッチングを用いて、ゲート絶縁膜5を貫通し、ソース領域3s及びドレイン領域3dを露出するように、第1コンタクトホール6（6s及び6d）を形成する。

工程6（図2F）：ゲート絶縁膜5及び第1コンタクトホール6上に、第1の導電体膜として、クロム（Cr）、モリブデン（Mo）等の高融点金属からなる金属膜を、スパッタリング法により2000Å形成する。次に、フォトリソグラフィ及びエッチングを用いて、ゲート絶縁膜5のチャネル領域3chに対応して重なる領域にゲート電極7gを形成し、同時に第1コンタクトホール6（6s及び6d）にゲート電極7gと同一材料からなる第1コンタクト7s及び7dを形成する。

工程7（図2G）：ゲート絶縁膜5とゲート電極7g及び第1コンタクト7s及び7dの上に、プラズマCVD法を用いて、SiO₂膜8a及びSiN膜8bからなる層間絶縁膜8を形成する。なお、SiO₂膜の厚みは2000Å、SiN膜の厚みは1000Åである。

工程8（図2H）：フォトリソグラフィ及びエッチングを用いて、層間絶縁膜8を貫通し、第1コンタクト7s、7dを露出するように、第2コンタクトホール9（9s及び9d）を形成する。このとき、第1コンタクト7s及び7dは金属であるため、SiO₂膜やSiN膜に対し、十分大きな比で選択的なエッチングを行うことができ、第1コンタクト7s及び7dはエッチングストッパの役割を果たす。そのため、層間絶縁膜8をエッチングする時間を十分に確保して、第2コンタクトホール9内の層間絶縁膜8を完全に除去することができる。

工程9（図2I）：層間絶縁膜8及び第2コンタクトホール9上に、第2の導電体膜として、アルミニウム（Al）等からなる金属膜をスパッタリング法により3000Å形成し、フォトリソグラフィ及びエッチングを用いて、第2コンタクトホール9sに第2コンタクト13（ここではソース電極13s）を形成し、同時に、第2コンタクトホール9dに、紙面に垂直な方向に延びる第2コンタク

ト 1 3（配線、ここではドレン電極兼用配線 1 3 d）を形成する。

工程 1 0（図 2 J）：層間絶縁膜 8 及び第 2 コンタクト 1 3（1 3 s、1 3 d）の上に、有機系材料からなる平坦化絶縁膜 2 6 を形成し、第 2 コンタクト 1 3 による凸凹を埋めて表面を平坦化する。

工程 1 1（図 2 K）：さらに、フォトリソグラフィ及びエッチングを用いて、平坦化膜 2 6 を貫通し、第 2 コンタクト 1 3 s を露出するように、第 3 コンタクトホール 1 1 を形成する。この場合も、コンタクトホール 1 1 の底面にあたる第 2 コンタクト 1 3 s が金属であるため、選択比が大きく、底面を荒らすことはほとんどない。また、平坦化膜 2 6 のみを開口すればよいため、第 3 コンタクトホール 1 1 をより浅く形成することができ、ホールの上端と底面の面積の差（径の差）はより小さくなる。

工程 1 2（図 2 L）：平坦化膜 2 6 及び第 3 コンタクトホール 1 1 の上に透明導電体膜、例えば I T O を形成する。そして、フォトリソグラフィ及びエッチングを用いて、第 3 コンタクトホール 1 1 に、第 2 コンタクト 1 3 s に電氣的に接続されて平坦化膜 2 6 上に広がる画素電極 4 0 を形成する。

工程 1 3（図 2 M）：平坦化膜 2 6 及び画素電極 4 0 の上に、ポリイミド、S i O₂ 等からなり、液晶を配向させる配向膜 1 4 を形成する。

こうして、T F T を備えたアクティブマトリクス型液晶表示装置の片側の T F T 基板が完成する。

工程 1 4（図 3）：石英ガラスまたは無アルカリガラスからなる絶縁基板である対向基板 4 1 上に、順に I T O 膜等の透明電極からなる対向電極 4 3 を基板全面に形成した後、その上にポリイミド、S i O₂ 等からなり、液晶を配向する配向膜 4 5 を形成する。そして、上述の T F T 基板に対向した位置に対向基板 4 1 を配置し、T F T 基板と対向基板 4 1 との間であり、かつ、それらの周辺の部分に、接着性を有する樹脂からなるシール剤 4 7 を用いて両基板を接着し、両基板間に液晶 3 5 を充填してアクティブマトリクス型の液晶表示装置が完成する。

本実施形態において、画素電極（第 3 コンタクト）4 0 と半導体膜 3 との電氣的コンタクト構造は、第 1 コンタクト 7 s、第 2 コンタクト 1 3（ここではソース電極 1 3 s）、更に第 3 コンタクト 4 0 を介した段階的構造である。配線 1 3

(ここではドレイン電極兼用)と半導体膜3との電氣的コンタクト構造は、第1コンタクト7d、第2コンタクト13dを介した段階的構造である。これらのような段階的接続構造とすることで、各コンタクトホールは、深くする必要が無いため浅くすることができ、またこのコンタクトホールに埋め込むコンタクトは厚くする必要が無い。

例えば、工程4において、第1コンタクトホール6を形成するときに開口するのはゲート絶縁膜5のみであり、その厚さは1000Åである。従って、エッチングを行う時間を、ゲート絶縁膜5が貫通されるように十分長い時間に設定しても、第1コンタクトホール6のアスペクト比が小さく、深さの誤差を小さく抑えることができ、半導体膜3の表面特性を大きく劣化させることもない。また、第1コンタクト7s及び7dはゲート電極7gと同時に同一材料を用いて形成するため、工程数を増やすことがない。また、工程8において、第2コンタクトホール9を形成するときは層間絶縁膜8のみを開口し、その厚さは3000Åである。第2コンタクト13sは配線13dと同時に形成されるため、ここでも工程数を増やすことはない。

従って、本実施形態では、各コンタクトホール6、9、11は、全体の工程数を増やすことなく、従来のコンタクトホール370に比べてアスペクト比の小さい浅いホールとすることができ、各コンタクトの上面の面積を従来よりも小さくして、集積度を向上させることができる。

(実施形態2)

次に、実施形態2について説明する。図4は実施形態2にかかる製造工程により形成されたTFT基板の断面図である。図2A～図2Gに示した工程7までは実施形態1と同様であり説明を省略する。

工程8：フォトリソグラフィ及びエッチングを用いて、層間絶縁膜8を貫通し、第1コンタクト7dを露出するように、第2コンタクトホール9(9d)を形成する。

工程9：層間絶縁膜8及び第2コンタクトホールの上に、スパッタリング法により、第2の導電体膜として金属膜を3000Å形成し、フォトリソグラフィ及

びエッチングを用いて、第2コンタクトホールに紙面に垂直な方向に延びる配線13dを形成する。

工程10：層間絶縁膜8及び配線13dを覆って、平坦化絶縁膜26を形成する。

工程11：フォトリソグラフィ及びエッチングを用いて、平坦化膜26及び層間絶縁膜8を貫通し、底部に第1コンタクト7sが露出するように、第3コンタクトホールを形成する。

工程12：平坦化膜26及び第3コンタクトホールの上に透明導電体膜を形成する。そして、フォトリソグラフィ及びエッチングを用いて、第3コンタクトホールに、第1コンタクト7sに電氣的に接続されて平坦化膜26上に広がる画素電極40を形成する。

このようにして、図4に示すように、画素電極40と第1コンタクト7sとを直接接続してもよい。しかし、上述の実施形態1のように層間絶縁膜8に第2コンタクトホール9を開口し、ここに第2コンタクトを形成すれば、工程10において、第3コンタクトホールは層間絶縁膜を貫通させる必要がなく、その膜厚3000Å分だけ浅く形成することができるので、本発明の効果を確実に得ることができる。

なお、実施形態1及び実施形態2において第1コンタクトはソース領域用とドレイン領域用として1つのTF Tあたり、2つ(7s、7d)形成されているが、本発明はこれに限定されず、第1コンタクトはソース領域用又はドレン領域用のいずれか1つだけでもよく、もちろん、2つより多くても構わない。

(実施形態3)

次に、1TF T当たりの第1コンタクトの数が上記実施形態1及び実施形態2と異なる実施形態3について説明する。図5及び図6は実施形態3にかかる製造工程により形成されたTF T基板の断面図である。図2A～図2Dに示した工程4までは実施形態1と同様であるため、省略する。

工程5：フォトリソグラフィ及びエッチングを用い、図2Eにおいてゲート絶縁膜5を貫通し、ソース領域3sの一部が露出するように、第1コンタクトホー

ル 6 s のみを形成する。

工程 6 : ゲート絶縁膜 5 及び第 1 コンタクトホール上に、スパッタリング法により、第 1 の導電体膜として金属膜を 2000 Å 形成し、フォトリソグラフィ及びエッチングを用いて、ゲート絶縁膜 5 のチャネル領域 3 c h に対応して重なる領域にゲート電極 7 g を形成し、同時に第 1 コンタクトホール 6 s にゲート電極 7 g と同一材料からなる第 1 コンタクト 7 s を形成する (図 2 F 参照)。

工程 7 : ゲート絶縁膜 5 及び第 1 コンタクト 7 s の上に、プラズマ CVD 法を用いて、SiO₂膜 8 a 及び SiN 膜 8 b の積層構造よりなる層間絶縁膜 8 を形成する。

工程 8 : フォトリソグラフィ及びエッチングを用いて、層間絶縁膜 8 を貫通し、図 2 H の第 1 コンタクト 7 s のみを露出するように、第 2 コンタクトホール 9 s を形成する。また同時に、層間絶縁膜 8 の半導体膜 3 のドレイン領域 3 d に対応する領域に、層間絶縁膜 8 を貫通する第 2 コンタクトホール 9 d₁ を形成する。さらに、フォトリソグラフィ及びエッチングを用いて、ゲート絶縁膜 5 を貫通し、半導体膜 3 のドレイン領域 3 d を露出するように、第 2 コンタクトホール 9 d₂ を形成する (図 5 参照)。

工程 9 : 層間絶縁膜 8 及び第 2 コンタクトホール 9 s 及び第 2 コンタクトホール 9 d₁、9 d₂ の上に、スパッタリング法により、第 2 の導電体膜として金属膜を 3000 Å 形成し、図 5 に示すように第 2 コンタクトホール 9 s を埋めるように第 2 コンタクト 13 s を形成し、第 2 コンタクトホール 9 d₁、9 d₂ を埋めるように紙面に垂直な方向に延びる配線 13 d を形成する。

工程 10 : 層間絶縁膜 8 と第 2 コンタクト 13 s 及び配線 13 d の上に、平坦化膜 26 を形成する。

工程 11 : フォトリソグラフィ法及びエッチングを用いて、平坦化膜 26 を貫通し、第 2 コンタクト 13 s を露出するように、第 3 コンタクトホール 11 を形成する。

工程 12 : 平坦化膜 26 及び第 3 コンタクトホール 11 の上に透明導電体膜を形成する。そして、フォトリソグラフィ及びエッチングを用いて、第 3 コンタクトホール 11 を埋め、かつ、第 2 コンタクト 7 s とコンタクトし平坦化膜 26 上

に広がる画素電極 40 を形成する。

このようにして、図 5 に示すように、配線 13d とドレイン領域 3d とを第 2 コンタクトホール 9d₁、9d₂ において直接接続してもよい。また、図 5 とは反対に図 6 に示すように、第 2 コンタクト 13s とソース領域 3s とを第 2 コンタクトホール 9d₁、9d₂ において直接接続してもよい。

なお、以上の各実施形態ではアクティブマトリクス型液晶表示装置を例にしたが、本発明は他の TFT を利用したアクティブマトリクス型の装置にも実施することができる。例えば、EL 表示装置のような他のタイプのアクティブマトリクス型表示装置の EL 素子を動作させるための TFT 等にも適用することができる。さらに、上記表示装置以外にも、イメージセンサや指紋センサにも応用することができる。

また、以上の実施形態 1～3 では、ソース領域がコンタクトを介して、画素電極 40 に接続される例を説明したが、ドレイン領域がコンタクトを介して画素電極 40 に接続される場合についても同様の段階的なコンタクト構造の採用によりアスペクト比の小さいコンタクトホールによって確実なコンタクトを実現できる。さらに、回路構成によっては画素電極に直接接続されない TFT もあり、このような TFT では、第 2 コンタクト 13 は、それぞれ、ソース電極又は配線 (13s) として、ドレイン電極又は配線 (13d) としてそのまま用いられる。

(実施形態 4)

次に本発明の実施形態 4 について説明する。上記実施形態 1 において、図 2C 及び図 2D に示したように、半導体膜 3 への不純物の注入は、ゲート絶縁膜 5 の形成前に行っている。本実施形態 4 においてもこの実施形態 1 のようにゲート絶縁膜を形成前に TFT の能動層への不純物注入、特に高濃度不純物注入処理を実行する。このようにゲート絶縁膜の形成より先に不純物を注入することで、ゲート絶縁膜を貫通してその下層の能動層に不純物を到達させるために必要となる高い不純物加速エネルギーを不要とし、不純物注入マスクであるレジスト層の必要以上の硬化を防ぐ。

アクティブマトリクス型の表示装置の各画素に形成されるスイッチ素子として、

上述のようなTFTがよく知られており、このTFTの内、能動層にpoly-Siを採用したいわゆるpoly-SiTFTは、能動層に非晶質シリコン(a-Si)を用いる場合より、高い導電率が実現されるので応答性がよく、またゲート電極を利用して能動層にチャンネル、ソース及びドレイン領域を自己整合的に形成可能であるため、素子面積を小さくでき、さらに、CMOS (Complementary Metal Oxide Semiconductor) 回路を構成することが容易である。このため、高精細なディスプレイ用のスイッチとして優れ、また、画素用TFTの形成される基板上に、同様のTFTからなるCMOS回路を構成し、表示部を駆動するドライバ回路を内蔵することが可能となる。

poly-Siは、単結晶Siと異なり半導体膜中(結晶内及び結晶粒界)に欠陥が多い。一方、不純物としてリン(P)等がドーピングされているnチャンネル(n-ch)TFTは、ドライバ回路のCMOS回路の一方に用いられると共に、画素用TFTに採用されることが多い。画素用TFTに採用されるn-ch型TFTでは、キャリアのトラップとなるpoly-Si中の上記欠陥を介したリーク電流が問題となる。また、低温プロセスにて形成したpoly-SiTFTは、安価なガラス基板上に形成でき、低コストで大型化可能など非常に優れた特徴がある一方で、ゲート絶縁膜についても低温で形成するため、熱酸化膜のような緻密な膜とならない。このため、周辺のドライバ回路に用いられるn-ch型TFTでは、ホットキャリア(エレクトロン)によるTFTの特性劣化が問題となる。以上のような理由から、低温poly-SiTFTは、n-ch型については、ドレイン領域とチャンネル領域との間に低濃度の不純物注入領域を有するLDD (Lightly Doped Drain) 構造が採用される。

図7A～図7Eは、LCDの画素TFTに採用されたLDD構造のpoly-SiからなるTFTの関連技術に係る製造工程を示している。まず、ガラス基板10上にa-Si層12を形成し、このa-Si層12をレーザアニールによって多結晶化する。次に、得られたpoly-Si層を各TFTの能動層140の形状にパターニングし、この能動層140を覆ってSiO₂等のゲート絶縁膜160を形成する(図7A)。

ゲート絶縁膜160形成後、ゲート電極材料を形成し、図7Bのようにゲート

電極 180 の形状にパターニングする。さらに、レジスト層 200 を基板全体に形成した後、図 7C のようにゲート電極 180 の電極長（図の横方向）より一定距離だけ長く覆うようにこのレジスト層 200 をフォトリソグラフィで選択的に残す。ドライバ回路が同一基板に内蔵される場合には、CMOS 回路の p チャネル T F T の能動層についてもこのレジスト層 200 によって覆う。残ったレジスト層 200 をマスクとし、ゲート絶縁膜 160 を通過させてリン等の不純物を高濃度に能動層 140 にドーピング（注入）する。これにより、能動層 140 のマスクで覆われていない領域には、高濃度に n 型不純物がドーピングされ、後にソース領域及びドレイン領域 140 s、140 d を構成する高濃度不純物領域（N⁺領域）が形成される。

次に、図 7D に示すように、マスクとしてのレジスト層 200 を除去し、露出したゲート電極 180 をマスクとし、リン等の不純物を低濃度に能動層 140 にドーピングする。これにより、能動層 140 のゲート電極 180 の直下の不純物のドーピングされない真性領域の両側であって、最初の高濃度不純物ドーピング工程において形成された N⁺領域との間に、低濃度不純物（LD）領域（N⁻領域）が形成される。なお、能動層 140 にドーピングされた不純物は後にアニール処理によって活性化される。

活性化処理後、ゲート電極 180 を含む基板全体を覆うように層間絶縁膜 22 を形成し、層間絶縁膜 22 及びゲート絶縁膜 160 のソース、ドレイン領域 140 s、140 d の対応領域を貫通するようにコンタクトホールを形成し、電極・配線材料を形成してパターニングし、上記コンタクトホールにて、ソース領域 140 s と接続されるソース電極 30 s と、ドレイン領域 140 d と接続されるドレイン電極 30 d が形成される。

以上のような方法により、LDD 構造のトップゲート型 T F T が得られ、高いオン電流を流す一方で、オフ電流が少なく、また特性の揃った T F T が得られる。

以上のような方法により LDD 構造の T F T を製造した場合、高濃度不純物領域（140 s、140 d）を形成するには、図 7C に示すように、不純物がゲート絶縁膜 160 を通過して能動層 140 に到達できるようにするため、高いエネルギーにて不純物を加速させる必要がある。

しかし、高加速にて高濃度の不純物をドーピングした場合、マスクとして用いたレジスト層 200 にも不純物が多量かつ高加速されてドーピングされることにより、通常用いられるレジスト樹脂は、硬化してしまう。レジスト層 200 が硬化すると、次の LD 領域形成のためにレジスト層 200 を除去する際、剥離残りが発生しやすくなる。このレジスト剥離残りを低減するには剥離のための時間を要し、また、剥離残りが生ずると、デバイスの特性、信頼性及び歩留りに悪影響を及ぼしてしまうのである。

これに対して、以下に説明するような本実施形態 4 の方法によれば、不純物ドーピングの際のマスクとなる層の硬化を防止することができるのである。

本発明の実施形態 4 に係る TFT は、アクティブマトリクス型表示装置（例えば LCD や有機エレクトロルミネッセンス表示装置）において各画素に採用されるスイッチ素子としての画素 TFT や、このスイッチ素子と同一基板に同時に形成されるドライバ回路の CMOS 構造とされる TFT、さらにこれらの両方に採用することができる。

図 8 は、アクティブマトリクス型 LCD の画素スイッチ素子及びドライバ回路素子に本実施形態に係る TFT を採用した場合における、LCD の回路構成を概略的に示している。LCD は、1 対の基板間に液晶が封入されて構成され、一方の基板の表示部には、マトリクス状に複数の画素が配置され、画素毎に個別の画素電極が配置され、この画素電極に接続された画素スイッチとしての *poly-Si* が能動層に用いられたダブルゲート型の TFT1、この TFT1 にデータ信号を供給するデータライン DL2、TFT1 を選択して動作させるゲートライン GL3 を有する。また基板の表示部の外側には、ドライバ回路として、H ドライバ及び V ドライバが配置されている。両ドライバとも、画素部 TFT と同じ *poly-Si* を能動層に用いた TFT を備え、H ドライバは、所定タイミングで各データラインに表示データ信号を出力し、V ドライバは、ゲートライン GL3 に順次ゲート信号を出力する。LCD の他方の基板には対向電極が形成されており、この対向電極と各画素電極との間に画素容量（液晶容量）CLC が構成されている。また各画素には、1 表示期間中において液晶容量 CLC での電荷保持を補助するため、画素 TFT1 に対して液晶容量 CLC と並列で補助容量 *Cs* が設けられている。

次に、上記図 8 のような画素スイッチ素子及びドライバ回路素子として用いられる本実施形態に係る T F T の製造工程について、図 9 A ~ 図 9 C 及び図 10 A ~ 10 C を用いて説明する。なお、これらの図面に示す T F T は、アクティブマトリクス型 L C D のドライバ領域に形成される C M O S 構成の T F T と、画素領域に形成される画素 T F T である。

ガラス基板 10 上には図示しないが例えば $S i N_x$ 膜と $S i O_2$ 膜とからなるバッファ層が形成され、このバッファ層の上に a - $S i$ 層 12 を形成し、この a - $S i$ 層 12 にエキシマレーザのビームを照射して多結晶化アニールする。アニールによって得られた p o l y - $S i$ 層を次に各 T F T の能動層 14 の形状にパターンニングする (図 9 A)。

関連技術では、次に、能動層 14 を覆って $S i O_2$ 等のゲート絶縁膜を形成するが、本実施形態では、ゲート絶縁膜を成膜する前に、不純物ドーピング時のマスクとして、図 9 B に示すような能動層 14 上の所定領域を覆うレジスト層 20 を形成する。このレジスト層 20 は、例えばノボラック樹脂系のポジレジストである。基板全体において、能動層 14 を直接覆うようにレジスト材を配し、フォトリソによって選択的にレジスト層を残すことで図 9 B のようなパターンとする。本実施形態では、このレジスト層 20 は、後に n チャネル T F T のチャネル、L D (Lightly Doped) 領域となる領域、そして p チャネル T F T の能動層 14 全域を覆う。

レジスト層 20 を形成・パターンニングした後、このレジスト層 20 をマスクとし、能動層 14 にダイレクトに、リンなどの n 導電型不純物を高濃度ドーピングし、後にソース及びドレイン領域 14 s、14 d を構成する高濃度不純物領域 (N^+ 領域) を形成する。ドーピングに際し、能動層 14 のレジスト層 20 に覆われていない領域では、この能動層 14 の表面が露出しており、不純物は、この露出した能動層 14 に直接打ち込むことができる。従って、不純物に与える加速エネルギーは、能動層 14 の所定深さまで到達するのに必要な大きさでよく、従来のようにゲート絶縁膜を通過させて注入する場合と比較して非常に小さくできる。

レジスト層 20 をマスクとして高濃度に不純物を能動層 14 にドーピングした後、このレジスト層 20 は、例えばアッシングとウェット剥離によって除去する。上

述のようにレジスト層 20 をマスクとして高濃度に不純物をドーピングするが、本実施形態では、打ち込まれる不純物の加速エネルギーを最小限とでき、このような条件のドーピング工程であれば、レジスト層 20 の除去は、レジスト残り無く確実に行われる。なお、nチャネル T F T についてそのチャネルに低濃度の p 導電型不純物をドーピングする場合には、このレジスト層 20 の形成前にドーピングを実行する。

能動層 14 表面からレジスト層 20 を除去した後、図 9 C に示すように能動層 14 を覆ってゲート絶縁膜 16 を形成し、その後、図 10 A に示すようにゲート絶縁膜 16 の上に、ゲート電極材料を形成し、所望のゲート電極 18 の形状にパターニングする。

ゲート電極 18 のパターニング後、図 10 B に示すように、このゲート電極 18 をマスクとし、能動層 14 に対してゲート絶縁膜 16 を通過させてリン等の n 導電型不純物の低濃度ドーピングを行う。これにより、ゲート電極 18 に覆われず、かつ高濃度ドーピングの際にレジスト層 20 に覆われていた領域にのみ選択的に低濃度の不純物ドーピングが行われる。即ち、ゲート電極直下領域（チャネル領域）の両外側には、能動層 14 の N⁺領域（14 s、14 d）との間に、ゲート電極 18 に対して自己整合的に低濃度不純物（LD）領域（N⁻領域）が形成される。

このように本実施形態では、LD 領域について、そのチャネル領域との境界をゲート電極 18 に対して自己整合的に形成できるため、マスクレジスト層の位置ずれを考慮したアライメント余裕を従来の L D D T F T の製造方法と比較して特別大きくする必要はない。ゲート電極直下のチャネル領域端を基準とした N⁻領域の幅（LD 距離）は、レジスト層 20 とゲート電極 18 との位置ずれによって変動する。しかし、例えば図 10 B において、ゲート電極位置がソース側にずれることにより、チャネル領域とソース領域 14 s との間の LD 距離は、目標よりも小さくなるが、その分チャネル領域とドレイン領域 14 d との間の LD 距離が目標よりも大きくなる。従って、ソースドレイン距離は、位置ずれが起きても変動せず、ソース側とドレイン側でオン電流の変動がキャンセルされ、結果として T F T のオン電流は変化しない。また、LD 距離は予めマスクの位置ずれを考慮して設定するため、オフ電流、即ちリーク電流についてはマスクずれが起きても十分小さい範囲に抑えることができ、T F T の信頼性確保を十分達成するこ

とができる。

ここで、同一基板上に形成される p - c h 型 T F T の能動層中にリンイオン (N 導電型) が存在していてもそれが少量であれば電気特性に大きな影響を与えないため、図 10 B に示すリンイオンの低濃度ドーピング工程では、p - c h 型 T F T を特にマスクせずにドーピングを行っている。しかし、この p - c h 型 T F T の形成領域をレジスト層で覆って実行してもよい。もし、p - c h 型 T F T の形成領域をレジスト層で覆ってリンイオンの低濃度ドーピングを行った場合、このレジスト層は、ゲート絶縁膜 16 を通過可能に加速されたイオンに曝されることとなる。しかし、高い加速エネルギーが与えられていてもその濃度が低ければ、レジスト層に最終的に与える損傷 (硬化) が少なく済む。このため、高濃度領域 14 s、14 d の形成時に用いたマスクレジスト層とほぼ同等の剥離性、即ち、残りなくこのレジスト層を除去することが可能である。

n - c h 型 T F T の能動層 14 に n 導電型不純物をドーピングした後は、図では省略したが、n - c h 型 T F T の形成領域をマスクして、p - c h 型 T F T の能動層 14 にボロン (B) 等の p 導電型不純物をドーピングする。この p 導電型不純物のドーピングについても、もちろん、上述のようにゲート絶縁膜 16 の形成前に実行すればより好ましい。しかし、例えば、質量分析をしてイオンを注入する、即ちイオンインプランテーションを用いてボロンイオンを注入すれば、該ボロンイオンは、リンイオンに比べて小さく、ボロンイオンがドーピングされるレジストマスクの受ける損傷の程度は比較的軽度ですむ。即ち、リンイオンが高濃度・高エネルギードーピングされたレジストマスクよりも、ボロンイオンの高濃度・高エネルギードーピングされたレジストマスクの方が硬化しにくい。またボロンイオンドーピングの後、更に不純物をドーピングするような工程を必要としないので、多少のレジスト硬化が発生しても後工程に与える影響が小さくて済む。従って、上記のように n - c h 型 T F T の形成領域をマスクして、p - c h 型 T F T の能動層 14 にボロン (B) 等の p 導電型不純物をドーピングすることができる。

以上のようにして必要な領域に全て不純物をドーピングした後は、このドーピングされた不純物を活性化するための活性化アニール処理が行われる。不純物の活性化処理後、層間絶縁膜 22 をゲート電極 18 を含む基板全体を覆うように形成し、

層間絶縁膜 22 及びゲート絶縁膜 16 のソース、ドレイン領域 14 s、14 d の対応領域を貫通するようにコンタクトホールを形成し、また、電極材料を形成してパターニングし、上記コンタクトホールにて、ソース領域 14 s と接続されるソース電極 30 s と、ドレイン領域 14 d と接続されるドレイン電極 30 d 或いはこれらと一体の信号配線を形成する。

ソース電極 30 s 及びドレイン電極 30 d 形成後には、図 11 に示すように、基板全面を覆ってアクリル樹脂などの樹脂材料からなる平坦化絶縁膜 26 を形成し、そのソース電極 30 s の対応領域にコンタクトホールを形成する。そして、例えば ITO 等の画素電極材料を形成し、各画素の形状にパターニングすることで画素電極 40 を得る。最後に、基板全面を覆うように配向膜 28 を形成し、第 1 基板が完成する。第 1 基板完成後、この第 1 基板を共通電極及び配向膜等の形成された第 2 基板と貼り合わせ、基板間に液晶を封入することで、LCD セルが完成する。

また、上述の TFT は、表示素子として有機 EL 素子を採用したアクティブマトリクス型 OLED の各画素 TFT 及びドライバ回路 TFT にも採用可能である。なお、図 12 に示すように、有機 EL 素子 50 は、陽極 52 と、Al などの金属材料からなる陰極 56 との間に、有機化合物の用いられた発光層を少なくとも有する有機層 54（例えば正孔輸送層／発光層／電子輸送層の積層体）が形成されて構成される。

OLED に適用する場合、TFT は、図 9A～9C 及び図 10A～10C と同様の工程で形成すればよく、その後図 11 と同様、各 TFT のソース電極 30 s 及びドレイン電極 30 d を含む基板全面を覆ってアクリル樹脂などの樹脂材料からなる平坦化絶縁膜 26 を形成する。次に、有機 EL 素子 50 に電流を供給する TFT のソース又はドレイン電極の対応領域にコンタクトホールを形成し、陽極材料として例えば ITO 等の透明導電性材料を形成し、各画素の形状にパターニングすることで各画素個別の陽極（画素電極）52 を得る。このように、本発明の実施形態 4 に係る TFT は、アクティブマトリクス型の OLED にも適用可能である。

次に、不純物のドーピング条件とマスクとなるレジスト層の剥離性の関係につ

いてその一例を説明する。poly-Si 能動層 14 に対し、5%濃度のPH₃を材料として用いてイオンドーピングする場合、従来のようにゲート絶縁膜 16 を介してN⁺領域を形成するには（以下スルー注入と示す）、90keV程度の加速エネルギーで、打ち込み側でのリンイオン濃度は $6 \times 10^{14} \text{ cm}^{-2}$ 程度に設定する必要がある。これに対し、本実施形態4のようにゲート絶縁膜 16 を介在させずに能動層 14 に直接注入する場合（以下ダイレクト注入と示す）、加速エネルギーは最大でも15keVで足り、また打ち込み側でのリンイオン濃度は $2 \times 10^{14} \text{ cm}^{-2}$ 程度で足りる。

従来のスルー注入の条件（90keV、 $6 \times 10^{14} \text{ cm}^{-2}$ ）にさらされたレジスト層（図7C）は、アッシング及びウエット剥離を経ても完全に除去できずレジスト残りが生じた。これに対して、本実施形態4のようなダイレクト注入の条件（15keV、 $2 \times 10^{14} \text{ cm}^{-2}$ ）にさらされたレジスト層（図9B）は、アッシング及びウエット剥離を経てレジスト残りなく確実に除去できた。また、ダイレクト注入とすることで、加速エネルギーも小さく、使用イオン濃度も低くてすむため、製造コストの低減も可能となった。

なお、上述のように、LD領域への低濃度不純物ドーピングは、本実施形態4においても従来と同様、ゲート絶縁膜 16 を通過させて能動層 14 にドーピングしているが、その注入条件は、加速エネルギー90keV、Pイオン濃度 $3 \times 10^{13} \text{ cm}^{-2}$ 程度であり、高濃度スルー注入と比較すると、加速エネルギーは同等であるが、注入イオン濃度が1桁少ない。従って、このようなイオン注入環境に曝される例えばドライバ回路のp-ch型TFT形成領域を覆うレジスト層などについて、このレジスト層はN⁺領域のダイレクト注入と場合とほぼ同等の剥離性が達成された。

本実施形態4では、ゲート絶縁膜 16 形成前に高濃度不純物ドーピングを実行するため、ゲート絶縁膜 16 のN⁺対応領域とN⁻対応領域においてイオンドーピングに曝される環境は同一となる。上記のダイレクト注入条件下では、能動層 14 のN⁺領域での注入リン濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度、能動層 14 のN⁻（LD）領域での注入リン濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度であるが、一方、ゲート絶縁膜 16 を介したドーピング処理は低濃度ドーピングのみであるので、ゲート絶縁膜 16 中のリン

濃度は、ゲート絶縁膜 16 の N^+ 対応領域でも N^- 対応領域でも、両方の領域とも $1 \times 10^{17} \text{ cm}^{-3}$ 程度である。ゲート絶縁膜中のリン濃度は、概ね図 10 B に示す低濃度ドーピングに際して膜中で停止するリンイオンで決まる。一方、従来のようにゲート絶縁膜 16 を介して高濃度ドーピングを実行した場合、ゲート絶縁膜 16 の N^+ 対応領域は、高濃度ドーピングと低濃度ドーピングの両方に曝されるため、ゲート絶縁膜 16 の N^- 対応領域での膜中リン濃度よりも高く、例えばゲート絶縁膜 16 の N^+ 対応領域のリン濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度以上になる。このように、従来のゲート絶縁膜 16 は、その膜中のリン濃度が高く、TFT の耐圧の低下など、ダメージの低下が懸念されるが、本実施形態 4 の方法によればこれを防止できる。

(実施形態 5)

実施形態 5 は、上記実施形態 4 と同様に、高濃度不純物ドーピングに際してドーピングマスク層が硬化してしまうことを防止する。さらに、実施形態 5 では、poly-SiTFT を用いて同一基板上に n-ch 型 TFT と p-ch 型 TFT の両方を形成するデバイスにおいて、n-ch 型 TFT だけでなく、p-ch 型 TFT に対しても、イオンドーピングに用いられるマスクに除去を困難とさせる硬化が発生することを防止する方法を提案する。なお、以下図面を参照して実施形態 5 について説明するが、上記実施形態 4 等において既に説明した構成と対応する部分には同一符号を付す。

poly-SiTFT は、上述のように CMOS 回路を構成することが容易である。このため、poly-SiTFT は、高精細なディスプレイ用の画素スイッチ（画素用 TFT）の他、この画素用 TFT と同一の基板上に、同様の TFT からなる CMOS 回路を構成し、表示部を駆動するドライバ回路を内蔵する表示装置などに利用される。

図 13 A ~ 図 13 D は、このようなドライバ内蔵型 LCD 用の画素 TFT と、ドライバ回路中の CMOS 構造の TFT の関連技術に係る製造工程を示している。まず、ガラス基板上に a-Si 層を形成し、この a-Si 層をレーザアニールによって多結晶化する。次に得られた poly-Si 層を各 TFT の能動層 140 の形状にパターニングし、この能動層 140 を覆って SiO_2 等のゲート絶縁膜

160を形成する。ゲート絶縁膜160の形成後、ゲート電極材料を形成し、図13Aのように、ゲート電極180の形状にパターニングする。

n-ch型TFETは、ドライバ回路のCMOS回路の一方に用いられると共に、画素用TFETに採用される。そして、実施形態4において説明したように、ドライバ回路のn-ch型TFETでは、低温で成膜されたゲート絶縁膜は膜の緻密性が低いことに起因するホットキャリア（エレクトロン）によるTFETの特性劣化を防止する必要がある。画素用のn-chTFETでは、poly-Si中に多い結晶欠陥に起因したリーク電流を低減する必要がある。このため、低温poly-Siを用いたn-ch型TFETは、ドレイン領域とチャネル領域との間に低濃度の不純物領域を有するLDD（Lightly Doped Drain）構造が採用される。

n-ch型TFETについては、このようなLDD構造とするため、ゲート電極180のパターニング後、レジスト層200をn-ch型TFET領域のゲート電極180の電極長（図13B横方向）を一定距離だけ長く覆い、また、p-ch型TFET領域は全域を覆うようにマスクとなるレジスト層200nを選択的に残す。その後、ゲート絶縁膜160を通過させて高濃度にリンなどn導電型の不純物をドーピングする。これにより、レジスト層200nに覆われていない領域、即ち、後にソース領域140s、ドレイン領域140dとなる高濃度不純物領域（N⁺領域）が形成される。

次に、このレジスト層200nを除去し、図13Cに示すように露出したゲート電極180をマスクとし、ゲート絶縁膜160を通過させて、能動層140にn導電型不純物を低濃度にドーピングする。これにより、能動層140のゲート電極180の直下の真性領域とN⁺領域との間に低濃度不純物（LD）領域（N⁻領域）が形成される。

n-ch型TFETの能動層140への不純物ドーピング後、今度は、図13Dに示すように、このn-ch型TFETの形成領域を選択的に覆うレジスト層200pを形成する。そして、p-ch型TFETの能動層140にゲート電極180をマスクとし、ゲート絶縁膜160を通過させてボロン等のp導電型不純物を高濃度にドーピングする。

n-ch型TFET、p-ch型TFETの各能動層140にそれぞれ不純物をド

ーピングした後、ゲート電極180を含む基板全面を覆うように層間絶縁膜22を形成し、不純物の活性化アニールを行う。また、上記層間絶縁膜22及びゲート絶縁膜160を貫通するように必要な領域にコンタクトホールを形成し、電極・配線材料を形成してパターニングし、上記コンタクトホールにて、ソース領域140sと接続されるソース電極、ドレイン領域140dと接続されるドレイン電極を形成する。

以上のような工程を経て、同一基板上にトップゲート型のn-ch型及びp-ch型TF Tをそれぞれ形成することができる。

n-ch型及びp-ch型TF Tの能動層140にそれぞれ高濃度に不純物をドーピングする場合には、不純物がゲート絶縁膜160を通過して能動層140に到達するように高いエネルギーにて不純物を加速させる。しかし、このように高加速での高濃度の不純物に曝されることにより、レジスト層200(200n、200p)として通常用いられるレジスト樹脂には、過度の硬化が発生してしまう。

このようなレジスト層の硬化は、図13Bに示すように、n-ch型TF Tのソース領域140s、ドレイン領域140dに高濃度不純物ドーブを行う際に形成されるレジスト層200nだけでなく、図13Dに示すように、p-ch型TF Tのソース領域140s、ドレイン領域140dにp導電型不純物を高濃度不純物ドーブする際、n-ch型TF Tを覆って形成されるレジスト層200pにも発生する。

上述のように同一基板上にn-ch型TF Tとp-ch型TF Tの両方を形成する装置では、特に、一方の導電型のTF T形成のための高濃度不純物ドーブ時には、レジストマスクにより他の導電型のTF Tを覆う必要があるため、従来の製造方法では、上記のようなレジスト層の硬化による悪影響が避けられなかった。

これに対して、本実施形態5では、導電型の異なる複数種類のトップゲート型のトランジスタを製造する場合、自己の導電型と異なる不純物を高いエネルギーでドーブする際に、自己のゲート電極となる層をパターニングせずに、能動層を覆うマスク層として用いる。このような方法により、不純物ドーブの際のマスクとなる層の硬化を確実に防止することができ、本実施形態5は、アクティブマトリ

クス型表示装置の各画素T F T、及びこの画素T F Tと同一基板に同時に形成されるドライバ回路のCMOS T F Tなどの製造方法として非常に優れている。なお、アクティブマトリクス型LCDの画素スイッチ素子及びドライバ回路素子に本実施形態5に係るT F Tを採用した場合におけるLCDの概略回路構成は、上述の図8の通りとなる。

以下、本実施形態5に係る画素T F T及びドライバ回路用T F Tとして用いられる複数の導電型のT F Tの製造方法について図14A～図14D及び図15A～図15Dを参照して説明する。なお、図14A～図15Dに示すT F Tは、アクティブマトリクス型LCDのドライバ領域に形成されるCMOS構成のT F Tと、画素領域に形成される画素T F Tである。

ガラス基板10上には図示しないが例えばSiN_x膜とSiO₂膜とからなるバッファ層が形成され、このバッファ層の上にa-Si層12を形成し、このa-Si層12にエキシマレーザのビームを照射して多結晶化アニールする。アニールによって得られたpoly-Si層を次に各T F Tの能動層14の形状にパターンニングする(図14A)。

関連技術では、次に、能動層14を覆ってSiO₂等のゲート絶縁膜を形成するが、本実施形態5では、ゲート絶縁膜を成膜する前に、不純物ドーピング時のマスクとして、図14Bに示すような能動層14上の所定領域を覆うレジスト層20を形成する。このレジスト層20は、例えばノボラック樹脂系のポジレジストである。基板全体において、能動層14を直接覆うようにレジスト材を配し、フォトリソによって選択的にレジスト層を残すことで図14Bのようなパターンとする。本実施形態では、このレジスト層20は、後にnチャネルT F Tのチャネル、及びこのチャネルに隣接してLD (Lightly Doped) 領域となる領域、そしてpチャネルT F Tの能動層14全域を覆う。

レジスト層20を形成・パターンニングした後、このレジスト層20をマスクとし、能動層14にダイレクトに、リンなどのn導電型不純物を高濃度ドーピングし、後にソース及びドレイン領域14s、14dを構成する高濃度不純物領域(N⁺領域)を形成する。ドーピングに際し、能動層14のレジスト層20に覆われていない領域では、この能動層14の表面が露出しており、不純物は、この露出した能

動層 14 に直接打ち込まれる。従って、実施形態 4 でも説明したように、不純物に与える加速エネルギーは、能動層 14 の所定深さまで到達するのに必要な大きさでよく、ゲート絶縁膜を通過させて注入する場合と比較して非常に小さくできる。

レジスト層 20 をマスクとして高濃度に不純物を能動層 14 にドーピングした後、このレジスト層 20 は、例えばアッシングとウェット剥離によって除去する。上述のようにレジスト層 20 をマスクとして高濃度に不純物をドーピングするが、本実施形態 5 では、打ち込まれる不純物の加速エネルギーを最小限とでき、このような条件のドーピング工程であれば、レジスト層 20 の除去は、レジスト残り無く確実に行われる。なお、nチャネル T F T についてそのチャネルに低濃度の p 導電型不純物をドーピングする場合には、このレジスト層 20 の形成前にドーピングを実行する。

能動層 14 表面からレジスト層 20 を除去した後、図 14 C に示すように能動層 14 を覆って CVD によりゲート絶縁膜 16 を形成する。

ゲート絶縁膜 16 の上には、Mo や Cr などの高融点金属からなるゲート電極材料層を形成する。図 14 D に示すように、このゲート電極材料層は、n - c h 型 T F T の形成領域では、マスク層 18_{MA} として機能するように該 T F T の少なくとも能動層 14 全域を覆い、かつ、p - c h 型 T F T の形成領域では、ゲート電極 18_P の形状にパターニングする（ゲート電極第 1 パターニング）。なお、画素 T F T の全てが n - c h 型 T F T で構成される場合、島状に配置される各画素 T F T をマスク層 18_{MA} が個別に覆う形状としてもよいが、上記マスク層 18_{MA} を画素領域全域を共通して覆うようにパターニングすれば、マスク層 18_{MA} のパターニング精度緩和等が可能となり、製造プロセス簡略化の観点から好ましい。

ゲート電極第 1 パターニング後、図 15 A に示すように、n - c h 型 T F T 形成領域のマスク層 18_{MA} と p - c h 型 T F T 形成領域のゲート電極 18_P とマスクとし、能動層 14 に対してゲート絶縁膜 16 を通過させてボロン等の p 導電型不純物の高能動ドーピングを行う。これにより、p - c h 型 T F T の形成領域では、能動層 14 中に選択的に p 導電型不純物がドーピングされ、ゲート電極 18_P に対し、自己整合的にソース・ドレイン領域 14_S、14_D を構成する p 導電型不純物注入領域（P⁺）が形成される。なお、n - c h 型 T F T の形成領域は能動

層 1 4 がゲート電極材料層よりなるマスク層 1 8_{MA}によって覆われ、p 導電型不純物がドーピングされることが防止されている。

p 導電型不純物のドーピング後、次に、n-c h 型 T F T の能動層 1 4 を覆うマスク層（ゲート電極材料層）1 8_{MA}を n-c h 型 T F T のゲート電極の形状にパターニングする（ゲート第 2 パターニング）。具体的には、例えば、基板全面に感光性レジスト層を形成し、フォトリソグラフィにより、図 1 5 B に示すように、n-c h 型 T F T の形成領域を覆うマスク層 1 8_{MA}のうち、除去すべき領域（ゲート電極・配線以外の領域）にのみ、レジスト層 1 9 を残す。そして、このレジスト層 1 9 に対して選択エッチング性のあるエッチングガスを用いてドライエッチングを行い、レジスト層 1 9 及びレジスト層 1 9 に覆われたマスク層 1 8_{MA}を選択的にエッチング除去する。このようなエッチング処理により、n-c h 型 T F T の形成領域においても、所望のパターンのゲート電極 1 8_nが形成される。なお、アライメント余裕のため、このレジスト層 1 9 は、実際にマスク層 1 8_{MA}を除去すべき領域より少々大きめに形成される。従って、ゲート電極第 2 パターニング後には、図 1 5 C に示すように、n-c h 型 T F T の能動層 1 4 の周囲の領域でゲート絶縁膜 1 6 の表面が多少エッチングされる。なお、ウェットエッチングによってマスク層 1 8_{MA}をエッチングし、所望のゲート電極 1 8_nのパターンを形成してもよい。

n-c h 型 T F T のゲート電極 1 8_nのパターニング終了後、次に、図 1 5 D に示すように、ゲート電極 1 8_nをマスクとして、n 導電型不純物の低濃度ドーピングを行う。このドーピング処理により、n-c h 型 T F T 領域では、ゲート電極 1 8_nに覆われず、かつ n 導電型不純物の高濃度ドーピングの際にレジスト層 2 0 に覆われていた領域にのみ選択的に低濃度の不純物が注入される。即ち、ゲート電極直下領域（チャネル領域）の両外側には、能動層 1 4 の N⁺領域（1 4_s、1 4_d）との間に、ゲート電極 1 8_nに対して自己整合的に低濃度不純物（L D）領域（N⁻領域）が形成される。このように、L D 領域について、そのチャネル領域との境界をゲート電極 1 8_nに対して自己整合的に形成できるため、マスクレジスト層の位置ずれを考慮したアライメント余裕を関連技術の製造方法と比較して特別大きくする必要はない。ゲート電極 1 8_n直下のチャネル領域端を基準

としたN-領域の幅(LD距離)は、レジスト層20とゲート電極18nとの位置ずれによって変動し、例えば図15Dにおいて、ゲート電極18nの形成位置がソース側にずれると、チャンネル領域とソース領域14sとの間のLD距離は、目標よりも小さくなる。しかし、その分チャンネル領域とド레인領域14dとの間のLD距離が目標よりも大きくなる。従って、ソースドレイン距離は位置ずれが起きても変動せず、ソース側とド레인側でオン電流の変動がキャンセルされ、結果としてTF Tのオン電流は変化しない。また、LD距離は予めマスクの位置ずれを考慮して設定するため、オフ電流、即ちリーク電流についてはマスクずれが起きても十分小さい範囲に抑えることができ、TF Tの信頼性確保を十分達成することができる。

なお、p-c h型TF Tの能動層中にn導電型不純物(例えばリンイオン)が存在していてもそれが少量であれば電気特性に大きな影響を与えない。このため本実施形態5では、n導電型不純物の低濃度ドーピングに際しては、図15Cに示すように、p-c h型TF Tを特にマスクせずにドーブを行っている。なお、このp-c h型TF Tの形成領域をレジスト層で覆って実行してもよい。このレジスト層は、ゲート絶縁膜16を通過可能に加速されたイオンに曝されるが、注入濃度が低く、レジスト層が受ける損傷(硬化)は小さいためレジスト層を確実に除去することが可能である。

以上のようにしてn-c h型TF T、p-c h型TF Tの必要な領域にそれぞれ不純物をドーブした後は、層間絶縁膜22をゲート電極18n、18pを含む基板全体を覆うように形成する。次に、ドーブされた不純物を活性化するための活性化アニール処理を行う。なお、本実施形態では、ゲート絶縁膜16及び層間絶縁膜22に含まれる水素をp o l y-S i能動層に導入して能動層中の結晶欠陥を終端するための水素化アニールを、この活性化アニール処理と同時に行っている。

これらのアニール処理後、層間絶縁膜22及びゲート絶縁膜16のソース、ドレイン領域14s、14dの対応領域を貫通するようにコンタクトホールを形成し、また、Alなどの電極材料を形成してパターンニングし、図15Dに示すように、) 上記コンタクトホールにて、ソース領域14sと接続されるソース電極3

0 s と、ドレイン領域 1 4 d と接続されるドレイン電極 3 0 d 或いはこれらと一体の信号配線を形成する。

ソース電極 3 0 s 及びドレイン電極 3 0 d 形成後には、上述の図 1 1 に示すように、基板全面を覆ってアクリル樹脂などの樹脂材料からなる平坦化絶縁膜 2 6 を形成し、ソース電極 3 0 s の対応領域にコンタクトホールを形成する。次に、例えば I T O 等の画素電極材料を形成して各画素の形状にパターニングすることで画素電極 4 0 を得る。最後に、基板全面を覆うように配向膜 2 8 を形成し、L C D の第 1 基板が完成する。第 1 基板完成後、この第 1 基板を共通電極及び配向膜等の形成された第 2 基板と貼り合わせ、基板間に液晶を封入することで、L C D セルが完成する。

また、本実施形態 5 に係る T F T は、実施形態 4 と同様、表示素子として有機 E L 素子を採用したアクティブマトリクス型 O L E D の各画素 T F T 及びドライバ回路 T F T にも採用可能である。なお、上述の図 1 2 に示すように、この有機 E L 素子 5 0 は、陽極 5 2 と陰極 5 6 の間に、有機発光層を少なくとも有する有機層 5 4 が形成されて構成される。

このような O L E D に適用する T F T は、本実施形態 5 の図 1 4 A ~ 図 1 5 D と同様の手順で形成すればよく、その後、図 1 1 と同様、各 T F T のソース電極 3 0 s 及びドレイン電極 3 0 d を含む基板全面を覆ってアクリル樹脂などの樹脂材料からなる平坦化絶縁膜 2 6 を形成する。次に、有機 E L 素子 5 0 に電流を供給する T F T のソース又はドレイン電極の対応領域にコンタクトホールを形成し、陽極材料として例えば I T O 等の透明導電性材料を形成し、各画素の形状にパターニングすることで各画素個別の陽極（画素電極） 5 2 を得る。

次に、不純物のドーピング条件とマスクとなるレジスト層の剥離性の関係について説明する。p o l y - S i 能動層 1 4 に対し、5 % 濃度の P H ₃ を材料として用いてイオンドープする場合、従来のスルー注入条件は、実施形態 4 において説明したように、9 0 k e V 程度の加速エネルギーで、打ち込み側でのリンイオン濃度は $6 \times 10^{14} \text{ cm}^{-2}$ 程度に設定する必要がある。これに対し、本実施形態 5 においても採用するゲート絶縁膜 1 6 を介在させないダイレクト注入によれば、加速エネルギーは最大でも 1 5 k e V で足り、また打ち込み側でのリンイオン濃度

は $2 \times 10^{14} \text{ cm}^{-2}$ 程度で足りる。

また、実施形態4において説明したように、スルー注入 (90 keV , $6 \times 10^{14} \text{ cm}^{-2}$) にさらされたレジスト層 (図13B) は、アッシング及びウエット剥離を経ても完全に除去できずレジスト残りが生ずる。しかし、本実施形態5においても、 n 導電型不純物の高濃度注入に当たってはダイレクト注入 (15 keV , $2 \times 10^{14} \text{ cm}^{-2}$) が採用され、レジスト層 (図14B) は、アッシング及びウエット剥離を経てレジスト残りなく確実に除去できた。

さらに本実施形態5では、 p 導電型不純物の高濃度注入に際し、 $n\text{-ch}$ 型TFT領域をゲート電極材料層 (18 nm) によってマスクする (図15A)。この p 導電型不純物の注入に際し、この p 導電型不純物は、既に形成されているゲート絶縁膜16を通過させるため高いエネルギーで加速した。しかし、このようなスルー注入条件下に置かれてもレジスト材料と異なりゲート電極材料層 (18 nm) は、硬化せず、後のパターニング処理に際し、剥離残りなどは生じなかった。このことから、自己の導電型と異なる不純物を高いエネルギーでドーピングする際には、自己のゲート電極となる層をパターニングに能動層を覆うマスクとして用いることで、マスクの剥離残りの問題を簡単に解消することができることが確認された。

なお、LD領域への低濃度不純物ドーピングは、本実施形態5においてゲート絶縁膜16を通過するような注入条件で行い、例えば加速エネルギー 90 keV 、 P イオン濃度 $3 \times 10^{13} \text{ cm}^{-2}$ 程度である。高濃度スルー注入と比較すると、加速エネルギーは同等であるが、注入イオン濃度が1桁少ない。従って、この n 導電型不純物の低濃度ドーピングに際し、ドライバ回路の $p\text{-ch}$ 型TFT形成領域をレジストマスクで覆ったとしても、上述のように低濃度の不純物に曝されるだけであり、このようなレジスト層の硬化は少なく十分な剥離性を達成できる。また、本実施形態5では、図15Cに示すように、LD領域形成のための低濃度不純物ドーピング工程の前に、既に $p\text{-ch}$ 型TFTのソースドレイン領域には p 導電型不純物の高濃度ドーピングが実行されており (図15A)、このような p 導電型ソース・ドレイン領域に対し、低濃度に n 導電型不純物がドーピングされてもTFT特性に大きな影響を及ぼさない。従って、 n 導電型不純物の低濃度ドーピングに際しては、 $p\text{-ch}$ 型TFTについても、 $n\text{-ch}$ 型TFTと同様、ソースドレイン領域は

特にマスクせず、パターニングされたゲート電極18p、18nをそれぞれチャネル領域に対するマスクとして実行する。従って、本実施形態5の方法によれば、低濃度不純物ドーピングに際し、多少なりとも硬化する可能性のあるレジストマスクを形成する必要がない。

ところで、本実施形態5においても、実施形態4と同様に、ゲート絶縁膜16形成前に高濃度不純物ドーピングを実行するため、ゲート絶縁膜16の N^+ 対応領域と N^- 対応領域は、リンの低濃度ドーピングに曝されるのみで、イオンドーピングに曝される環境は同一となる。従って、能動層14では、その N^+ 領域に注入されるリン濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 程度、 N^- 領域に注入されるリン濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度であるのに対し、ゲート絶縁膜16におけるリン濃度は、 N^+ 対応領域でも N^- 対応領域でも、両領域とも $1 \times 10^{17} \text{ cm}^{-3}$ 程度である。このため、膜中のリン能動が高いゲート絶縁膜16では、TFETの耐圧低下など、ダメージの低下が懸念されるが、本実施形態5ではこのような不具合を防止できる。なお、 $n\text{-ch}$ 型TFET形成領域は、 p 導電型不純物ドーピング時にゲート電極材料層でマスクされるので、 $n\text{-ch}$ 型TFETのゲート絶縁膜16中には p 導電型不純物が含まれていない。反対に、 $p\text{-ch}$ 型TFETのゲート絶縁膜16は、上述のように n 導電型不純物の低濃度ドーピングに曝される場合、膜中には p 導電型不純物と n 導電型不純物が少量存在する。

(発明の効果)

本発明によれば、平坦化膜など、厚い膜の上に形成される画素電極と、TFET能動層等に用いられる半導体膜との電氣的接続を、段階的に形成された複数のコンタクトホール、及びこれをそれぞれ埋めるコンタクト材料によって行う。従って、これにより上記画素電極と半導体膜との層間距離が大きくても、各コンタクトホールはそれぞれアスペクト比の小さいホールとでき、コンタクトホールは短時間のエッチングで形成でき、各コンタクトの上面及び底面の面積を小さくでき、また上面と底面の面積差を小さくして高集積化を図ることができる。

また、各コンタクトに用いる導電体は、その上に形成されるコンタクトホール開口のためにエッチング除去される膜に対して選択比が大きいことが多く、選択

的なエッチングができる。従って、エッチングによりホール底面に露出する膜の特性劣化を防止することも可能である。また、第1コンタクトをゲート電極と同時に形成することで、また、第2コンタクトは配線と同時に形成することで、工程数を増やすことなく、信頼性の高いコンタクトを形成することができる。

また、本発明の他の態様によれば、不純物ドーピングの際に用いたレジストマスクの剥離残りを防止できる。またゲート電極に対してチャネル領域及び低濃度不純物領域を自己整合的に形成できるので、小面積で信頼性の高いトランジスタを効率的に製造することができる。

本発明の他の態様によれば、CMOS構造など、導電型の異なる2種類のTFETを同一基板上に形成する場合に、一方の導電型不純物のドーピングはゲート絶縁膜形成前に行い、他方の導電型不純物ドーピングは、ゲート絶縁膜形成後であっても、マスクとしてゲート電極材料を用いることで、異なる導電型不純物のいずれのドーピング処理に対しても、ドーピングマスク材料の剥離残りの問題を完全に解消できる。また、ゲート電極に対してチャネル領域及び低濃度不純物領域を自己整合的に形成でき、小面積で信頼性の高いトランジスタを効率的に製造することができる。

[産業上の利用可能性]

この発明は、例えばカラー液晶表示装置や、カラーEL表示装置などのカラー表示装置や、その他半導体デバイスのTFETに適している。

請求の範囲

1. 薄膜トランジスタの製造方法であって、

絶縁基板上に、島状の半導体膜を形成する工程と、

前記絶縁基板及び前記半導体膜上に、前記半導体膜を覆って、第1の絶縁膜を形成する工程と、

前記第1の絶縁膜を貫通し、前記半導体膜の一部を露出する少なくとも1つの第1コンタクトホールを形成する工程と、

前記第1の絶縁膜上及び前記第1コンタクトホール内に、第1の導電体膜を形成し、該第1の導電体膜をエッチングして、前記半導体膜の一部に重なるゲート電極及び前記第1コンタクトホール内に前記半導体膜に電氣的に接続された第1コンタクトを同時に形成する工程と、

を有することを特徴とする薄膜トランジスタの製造方法。

2. 請求の範囲第1項に記載の薄膜トランジスタの製造方法において、

前記第1の絶縁膜と前記ゲート電極と前記第1コンタクトを覆って、第2の絶縁膜を形成する工程と、

少なくとも前記第2の絶縁膜を貫通し、前記第1コンタクトの一部を露出する第2コンタクトホールを形成する工程と、

前記第2の絶縁膜上及び前記第2コンタクトホール内に、第2の導電体膜を形成し、所定領域をエッチングして、前記第1コンタクトに電氣的に接続された、所定形状の配線及び第2コンタクトを形成する工程と、を更に有することを特徴とする薄膜トランジスタの製造方法。

3. 請求の範囲第1項に記載の薄膜トランジスタの製造方法において、

前記第1の絶縁膜と前記ゲート電極と前記第1コンタクトを覆って、第2の絶縁膜を形成する工程と、

少なくとも前記第2の絶縁膜を貫通し、前記第1コンタクト及び前記半導体膜の一部を露出する少なくとも2つの第2コンタクトホールを形成する工程と、

前記第2の絶縁膜上及び前記第2コンタクトホール内に、第2の導電体膜を形成し、所定領域をエッチングして、前記半導体膜に電氣的に接続された、所定形状の配線及び第2コンタクトとを形成する工程とを

更に有することを特徴とする薄膜トランジスタの製造方法。

4. アクティブマトリクス型表示装置の製造方法において、

絶縁基板上に、島状の半導体膜を形成する工程と、

前記絶縁基板及び前記半導体膜上に、前記半導体膜を覆って、第1の絶縁膜を形成する工程と、

前記第1の絶縁膜を貫通し、前記半導体膜の一部を露出する少なくとも一つの第1コンタクトホールを形成する工程と、

前記第1の絶縁膜上及び前記第1コンタクトホール内に、第1の導電体膜を形成し、該第1の導電体膜をエッチングして、前記半導体膜の一部に重なるゲート電極及び前記第1コンタクトホール内に前記半導体膜に電氣的に接続された第1コンタクトを同時に形成する工程と、

を有することを特徴とするアクティブマトリクス型表示装置の製造方法。

5. 請求の範囲第4項に記載のアクティブマトリクス型表示装置の製造方法において、

前記第1の絶縁膜と前記ゲート電極と前記第1コンタクトを覆って、第2の絶縁膜を形成する工程と、

少なくとも前記第2の絶縁膜を貫通し、前記第1コンタクトの一部を露出する第2コンタクトホールを形成する工程と、

前記第2の絶縁膜上及び前記第2コンタクトホール内に、第2の導電体膜を形成し、所定領域をエッチングして、前記第1コンタクトに電氣的に接続された、所定形状の配線及び第2コンタクトを形成する工程と、

を更に有することを特徴とするアクティブマトリクス型表示装置の製造方法。

6. 請求の範囲第5項に記載のアクティブマトリクス型表示装置の製造方法において、

前記第2の絶縁膜と前記第2コンタクトと前記配線の上に、下層の構造によって形成された凹凸を平坦化する平坦化膜を形成する工程と、

前記平坦化膜を貫通し、前記第2コンタクトを露出する第3コンタクトホールを形成する工程と、

前記平坦化膜上に、前記第3コンタクトホールを介して、前記第2コンタクトに電氣的に接続される電極を形成する工程と、

を更に有することを特徴とするアクティブマトリクス型表示装置の製造方法。

7. 請求の範囲第4項に記載のアクティブマトリクス型表示装置の製造方法において、

前記第1の絶縁膜と前記ゲート電極と前記第1コンタクトを覆って、第2の絶縁膜を形成する工程と、

少なくとも前記第2の絶縁膜を貫通し、前記第1コンタクト及び前記半導体膜の一部を露出する少なくとも2つの第2コンタクトホールを形成する工程と、

前記第2の絶縁膜上及び前記第2コンタクトホール内に、第2の導電体膜を形成し、所定領域をエッチングして、前記半導体膜に電氣的に接続された所定形状の配線及び第2コンタクトとを形成する工程と、

を更に有することを特徴とするアクティブマトリクス型表示装置の製造方法。

8. 請求の範囲第7項に記載のアクティブマトリクス型表示装置の製造方法において、

前記第2の絶縁膜と前記第2コンタクトと前記配線の上に、下層の構造によって形成された凹凸を平坦化する平坦化膜を形成する工程と、

前記平坦化膜を貫通し、第2コンタクトを露出する第3コンタクトホールを形成する工程と、

前記平坦化膜上に、前記第3コンタクトホールを介して、前記第2コンタクトに電氣的に接続される電極を形成する工程と、

を更に有することを特徴とするアクティブマトリクス型表示装置の製造方法。

9. 請求の範囲第4項に記載のアクティブマトリクス型表示装置の製造方法において、

前記第1の絶縁膜と前記ゲート電極と前記第1コンタクトを覆って、第2の絶縁膜を形成する工程と、

前記第2の絶縁膜を貫通し、前記第1コンタクトを露出する第2コンタクトホールを形成する工程と、

前記第2の絶縁膜上及び前記第2コンタクトホール内に、第2の導電体膜を形成し、所定領域をエッチングして、前記第1コンタクトに電氣的に接続された所定形状の配線を形成する工程と、

前記第2の絶縁膜と前記第2コンタクトと前記配線の上に、下層の構造によって形成された凹凸を平坦化する平坦化膜を形成する工程と、

少なくとも前記平坦化膜を貫通する第3コンタクトホールを形成する工程と、前記平坦化膜上に、前記第3コンタクトホールを介して、前記半導体膜に電氣的に接続される電極を形成する工程と、

を有することを特徴とするアクティブマトリクス型表示装置の製造方法。

10. 請求の範囲第9項に記載のアクティブマトリクス型表示装置の製造方法において、

前記第3コンタクトホールは、前記平坦化膜及び前記第2の絶縁膜を貫通して前記第1コンタクトを露出し、

前記電極は、前記第3コンタクトホールを介して、前記第1コンタクトに電氣的に接続されていることを特徴とするアクティブマトリクス型表示装置の製造方法。

1 1. 請求の範囲第 4 項に記載のアクティブマトリクス型表示装置の製造方法において、

前記第 1 の絶縁膜と前記ゲート電極と前記第 1 コンタクトを覆って、第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜を貫通し、前記第 1 コンタクトを露出する第 2 コンタクトホールと、前記第 2 の絶縁膜及び前記第 1 の絶縁膜とを貫通し、前記半導体膜を露出する第 3 コンタクトホールを形成する工程と、

前記第 2 の絶縁膜上及び前記第 2 コンタクトホール内、前記第 3 コンタクトホール内に、第 2 の導電体膜を形成し、所定領域をエッチングして、前記第 1 コンタクトに電氣的に接続された第 2 コンタクトと、前記半導体膜に電氣的に接続された所定形状の配線とを形成する工程と、

前記第 2 の絶縁膜及び前記第 2 コンタクト、前記配線の上に、下層の構造によって形成された凹凸を平坦化する平坦化膜を形成する工程と、
前記平坦化膜を貫通し、前記第 2 コンタクトを露出する第 4 コンタクトホールを形成する工程と、

前記平坦化膜上に、前記第 4 コンタクトホールを介して、前記第 2 コンタクトに電氣的に接続される電極を形成する工程と、を有することを特徴とするアクティブマトリクス型表示装置の製造方法。

12. チャネル領域、ソース領域及びドレイン領域を含む半導体膜からなる能動層と、ゲート絶縁膜、ゲート電極、ソース電極及びドレイン電極を備える薄膜トランジスタであって、

前記半導体膜は、絶縁基板上に形成され、

前記半導体膜を覆って前記ゲート絶縁膜が形成され、

前記ゲート絶縁膜上のチャネル対応領域に前記ゲート電極が形成され、

前記ゲート絶縁膜のソース対応領域及びドレイン対応領域の少なくとも一方には第1コンタクトホールが形成され、

前記ソース対応領域及びドレイン対応領域の少なくとも一方に形成された前記第1コンタクトホールには、前記ゲート電極と同一材料からなり、対応する前記半導体膜のソース領域又はドレイン領域に電氣的に接続された第1コンタクトが埋め込まれ、

前記ソース電極及び前記ドレイン電極の対応するいずれか又は両方が、前記第1コンタクトを介して対応する前記半導体膜の前記ソース領域又はドレイン領域に接続されていることを特徴とする薄膜トランジスタ。

13. 請求の範囲第12項に記載の薄膜トランジスタにおいて、

前記第1コンタクトホールは、前記ゲート絶縁膜のソース対応領域及びドレイン対応領域のそれぞれに開口され、

前記第1コンタクトホールのそれぞれには、前記第1コンタクトが埋め込まれ、

前記ソース電極は対応する前記第1コンタクトを介して前記半導体膜のソース領域に接続され、前記ドレイン電極は対応する前記第1コンタクトを介して前記半導体膜のドレイン領域に接続されていることを特徴とする薄膜トランジスタ。

14. 請求の範囲第13項に記載の薄膜トランジスタにおいて、

前記ソース電極及び前記ドレイン電極は、前記第1コンタクト及び前記ゲート電極を覆った層間絶縁膜の前記第1コンタクト対応領域にそれぞれ開口された第2コンタクトホールにて対応する前記ソース領域と、前記ドレイン領域に接続されることを特徴とする薄膜トランジスタ。

15. 請求の範囲第12項に記載の薄膜トランジスタにおいて、

前記第1コンタクトホールは、前記ゲート絶縁膜のソース対応領域及びドレイン対応領域のいずれか一方に開口され、

前記第1コンタクトホールは、前記第1コンタクトが埋め込まれ、

前記ソース電極及び前記ドレイン電極のいずれか一方が、前記第1コンタクトを介して対応する前記半導体膜のソース領域又はドレインに接続されていることを特徴とする薄膜トランジスタ。

16. 請求の範囲第15項に記載の薄膜トランジスタにおいて、

前記ソース電極及び前記ドレイン電極の他方は、

前記ゲート電極及び前記ゲート絶縁膜を覆って形成された層間絶縁膜と、前記ゲート絶縁膜との対応領域に、前記半導体膜表面が底部に露出するよう開口された第2コンタクトホールを介して前記半導体膜の対応するドレイン領域又はソース領域に接続されることを特徴とする薄膜トランジスタ。

17. 請求の範囲第12項に記載の薄膜トランジスタにおいて、

前記ゲート電極及び前記第1コンタクトは、高融点金属材料であることを特徴とする薄膜トランジスタ。

18. チャネル領域、ソース領域及びドレイン領域を含む半導体膜からなる能動層と、ゲート絶縁膜、ゲート電極、ソース電極及びドレイン電極を備える薄膜トランジスタが用いられたアクティブマトリクス型表示装置であって、

前記半導体膜は、絶縁基板上に形成され、

前記半導体膜を覆って前記ゲート絶縁膜が形成され、

前記ゲート絶縁膜上のチャネル対応領域に前記ゲート電極が形成され、

前記ゲート絶縁膜のソース対応領域及びドレイン対応領域にはそれぞれ第1コンタクトホールが形成され、

前記ソース対応領域及びドレイン対応領域に形成された前記第1コンタクトホールの少なくとも一方には、前記ゲート電極と同一材料からなり、対応する前記半導体膜のソース領域又はドレイン領域に電氣的に接続された第1コンタクトが埋め込まれ、

前記ソース電極及び前記ドレイン電極のいずれか又は両方が、前記第1コンタクトを介して対応する前記半導体膜の前記ソース領域又はドレイン領域に接続されていることを特徴とするアクティブマトリクス型表示装置。

19. 請求の範囲第18項に記載のアクティブマトリクス型表示装置において、

前記第1コンタクトホールは、前記ゲート絶縁膜のソース対応領域及びドレイン対応領域のそれぞれに開口され、

前記第1コンタクトホールのそれぞれには、前記第1コンタクトが埋め込まれ、

前記ソース電極及び前記ドレイン電極は、前記第1コンタクト及び前記ゲート電極を覆った層間絶縁膜の前記第1コンタクト対応領域にそれぞれ開口された第2コンタクトホールにて対応する前記ソース領域と、前記ドレイン領域に接続されることを特徴とするアクティブマトリクス型表示装置。

20. 請求の範囲第19項に記載のアクティブマトリクス型表示装置において、
前記ソース電極及び前記ドレイン電極を覆って更に平坦化絶縁膜が形成され、
前記平坦化絶縁膜の前記ソース電極及び前記ドレイン電極のいずれか一方の対応領域に第3コンタクトホールが形成され、

前記第3コンタクトホールにて、対応する前記ソース電極及び前記ドレイン電極のいずれかと、画素電極と、が電氣的に接続されていることを特徴とするアクティブマトリクス型表示装置。

21. 請求の範囲第18項に記載のアクティブマトリクス型表示装置において、
前記第1コンタクトホールは、前記ゲート絶縁膜のソース対応領域及びドレイン対応領域のいずれか一方に開口され、

前記第1コンタクトホールは、前記第1コンタクトが埋め込まれ、

前記ソース電極及び前記ドレイン電極のいずれか一方が、前記第1コンタクトを介して対応する前記半導体膜のソース領域又はドレインに接続されていることを特徴とするアクティブマトリクス型表示装置。

22. 請求の範囲第21項に記載のアクティブマトリクス型表示装置において、
前記ソース電極及び前記ドレイン電極の他方は、

前記ゲート電極及び前記ゲート絶縁膜を覆って形成された層間絶縁膜と、前記ゲート絶縁膜との対応領域に、前記半導体膜表面が底部に露出するよう開口された第2コンタクトホールを介して前記半導体膜の対応するドレイン領域又はソース領域に接続されていることを特徴とするアクティブマトリクス型表示装置。

23. 請求の範囲第22項に記載のアクティブマトリクス型表示装置において、
前記ソース電極及び前記ドレイン電極を覆って更に平坦化絶縁膜が形成され、
前記平坦化絶縁膜の前記ソース電極及び前記ドレイン電極のいずれか一方の対応領域に第3コンタクトホールが形成され、

前記第3コンタクトホールにて、対応する前記ソース電極及び前記ドレイン電極のいずれかと、画素電極と、が電氣的に接続されていることを特徴とするアクティブマトリクス型表示装置。

24. 請求の範囲第18項に記載のアクティブマトリクス型表示装置において、
前記ゲート電極及び前記第1コンタクトは、高融点金属材料であることを特徴とするアクティブマトリクス型表示装置。

25. 能動層よりゲート電極が上層に形成されるトップゲート型のトランジスタの製造方法であって、

前記能動層を形成した後、該能動層を覆うゲート絶縁膜の形成前に、該能動層の所望領域を選択的にレジストマスク材によって覆ってから該能動層に不純物を注入し、

前記不純物注入後、前記レジストマスク材を除去してから前記能動層を覆ってゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極を形成することを特徴とするトップゲート型トランジスタの製造方法。

26. 請求の範囲第25項に記載のトップゲート型トランジスタの製造方法において、

前記能動層は、アモルファスシリコン層を形成後、該シリコン層を多結晶化して得た多結晶シリコン層であるトップゲート型トランジスタの製造方法。

27. 能動層よりゲート電極が上層に形成されるトップゲート型のトランジスタの製造方法であって、

前記能動層を形成した後、該能動層を覆うゲート絶縁膜の形成前に、レジストマスク材によって該能動層のチャネル領域及び低濃度不純物注入領域となる領域を選択的に覆って、該能動層に不純物を高濃度に注入し、

前記不純物の高濃度注入後、前記レジストマスク材を除去してから前記能動層を覆ってゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極を形成し、

前記ゲート電極の形成後、該ゲート電極をマスクとして、前記能動層に不純物を低濃度に注入することを特徴とするトップゲート型トランジスタの製造方法。

28. 請求の範囲第27項に記載のトップゲート型トランジスタの製造方法において、

前記能動層は、アモルファスシリコン層を形成後、該シリコン層を多結晶化して得た多結晶シリコン層であるトップゲート型トランジスタの製造方法。

29. 能動層よりゲート電極が上層に形成されるトップゲート型のトランジスタの製造方法であって、

前記能動層を形成した後、該能動層を覆うゲート絶縁膜の形成前に、レジストマスク材によって該能動層のチャネル領域及び低濃度不純物注入領域となる領域を選択的に覆って、該能動層にn型不純物を高濃度に注入し、

前記n型不純物の高濃度注入後、前記レジストマスク材を除去してから前記能動層を覆ってゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極を形成し、

前記ゲート電極の形成後、該ゲート電極をマスクとして、前記能動層に前記n型不純物を低濃度に注入することを特徴とするトップゲート型トランジスタの製造方法。

30. 請求の範囲第29項に記載のトップゲート型トランジスタの製造方法において、

前記能動層は、アモルファスシリコン層を形成後、該シリコン層を多結晶化して得た多結晶シリコン層であるトップゲート型トランジスタの製造方法。

31. 請求の範囲第30項に記載のトップゲート型トランジスタの製造方法において、

1つの基板には、前記n型不純物の注入される前記能動層の多結晶化処理と同時に多結晶化処理して得られた多結晶シリコン層からなる能動層を形成し、

この能動層に、前記n型不純物の注入処理とは別にp型不純物を注入することを特徴とするトップゲート型トランジスタの製造方法。

32. 能動層よりゲート電極が上層に形成されるトップゲート型のトランジスタであって、互いに導電型の異なるトランジスタの製造方法であって、

前記能動層を形成した後、該能動層を覆うゲート絶縁膜の形成前に、第1導電型トランジスタの形成領域ではその能動層のチャネル形成領域を覆い、かつ第2導電型トランジスタの形成領域ではその能動層の形成領域を覆うレジストマスクを形成してから、前記能動層に第1導電型不純物を注入し、

前記第1導電型不純物の注入後、前記レジストマスクを除去し、前記能動層を覆うゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極材料層を形成し、該ゲート電極材料層を前記第1導電型トランジスタの形成領域ではその能動層の全域を覆い、前記第2導電型トランジスタの形成領域ではゲート電極の形状にパターニングし、

前記ゲート電極材料層のパターニング後、該ゲート電極材料層をマスクとして、前記能動層に前記第2導電型不純物を注入し、

前記第2導電型不純物の注入後、前記第1導電型トランジスタの形成領域の前記ゲート電極材料層をゲート電極形状にパターニングすることを特徴とするトップゲート型トランジスタの製造方法。

33. 請求の範囲第32項に記載のトップゲート型トランジスタの製造方法において、

前記第1導電型不純物は、n導電型不純物であり、

前記第2導電型不純物は、p導電型不純物であることを特徴とするトップゲート型トランジスタの製造方法。

34. 能動層よりゲート電極が上層に形成されるトップゲート型のトランジスタであって、互いに導電型の異なるトランジスタの製造方法であって、

前記能動層を形成した後、該能動層を覆うゲート絶縁膜の形成前に、第1導電型トランジスタの形成領域ではその能動層のチャネル形成領域及び該チャネル形成領域に隣接して形成される低濃度不純物注入領域を覆い、かつ第2導電型トランジスタの形成領域ではその能動層の形成領域を覆うレジストマスクを形成してから、前記能動層に第1導電型不純物を高濃度に注入し、

前記第1導電型不純物の高濃度注入後、前記レジストマスク材を除去し、前記能動層を覆うゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極材料層を形成し、該ゲート電極材料層を前記第1導電型トランジスタの形成領域ではその能動層の全域を覆い、前記第2導電型トランジスタの形成領域ではゲート電極の形状にパターニングし、

前記ゲート電極のパターニング後、該ゲート電極をマスクとして、前記能動層に前記第2導電型不純物を高濃度に注入し、

前記第1導電型トランジスタの形成領域の前記ゲート電極材料層をゲート電極形状にパターニングした後、該ゲート電極をマスクとして前記能動層に低濃度に第1導電型不純物をドーピングすることを特徴とするトップゲート型トランジスタの製造方法。

35. 請求の範囲第34項に記載のトップゲート型トランジスタの製造方法において、

前記第1導電型不純物は、n導電型不純物であり、

前記第2導電型不純物は、p導電型不純物であることを特徴とするトップゲート型トランジスタの製造方法。

36. 能動層よりゲート電極が上層に形成されるトップゲート型のトランジスタであって、互いに導電型の異なるトランジスタの製造方法であって、

前記能動層を形成し、

前記能動層を覆ってゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート電極材料層を形成し、該ゲート電極材料層を第1導電型トランジスタの形成領域ではその能動層の全域を覆い、前記第2導電型トランジスタの形成領域ではゲート電極の形状にパターニングし、

前記ゲート電極材料層のパターニング後、該ゲート電極材料層をマスクとして、前記第2導電型トランジスタの前記能動層に前記第2導電型不純物を選択的に注入し、

前記第2導電型不純物の注入後、前記第1導電型トランジスタの形成領域の前記ゲート電極材料層をゲート電極形状にパターニングすることを特徴とするトップゲート型トランジスタの製造方法。

37. 請求の範囲第36項に記載のトップゲート型トランジスタの製造方法において、

前記能動層は、アモルファスシリコン層を形成後、該シリコン層を多結晶化して得た多結晶シリコン層であるトップゲート型トランジスタの製造方法。

図 1 A

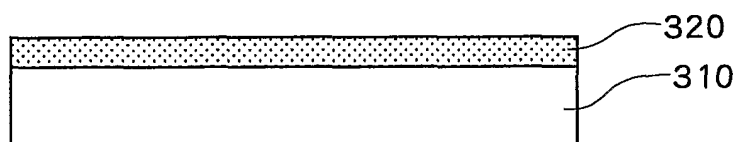


図 1 B

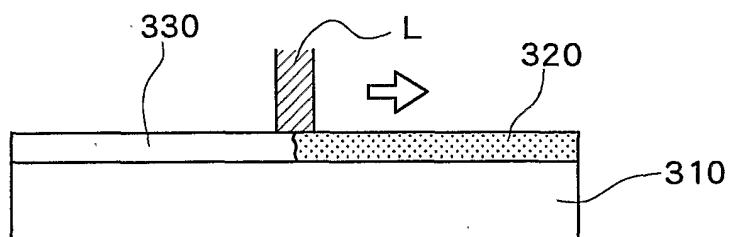


図 1 C

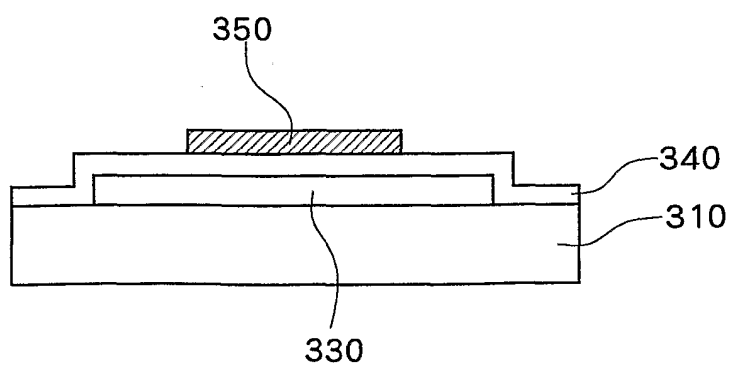


図 1 D

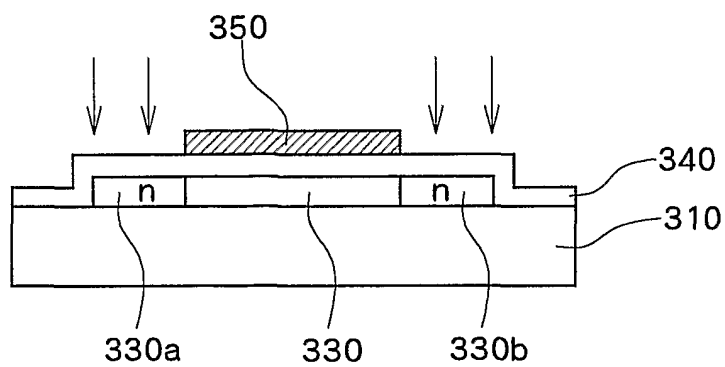


図 1 E

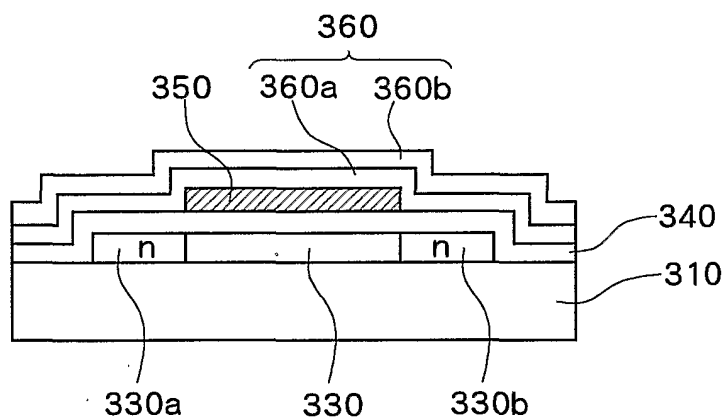


図 1 F

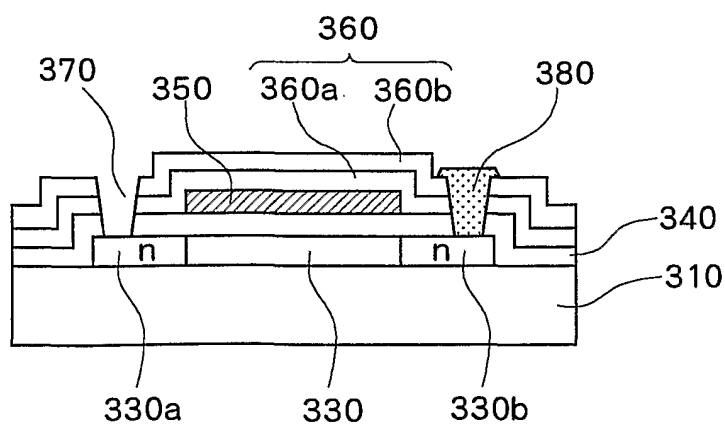


図 1 G

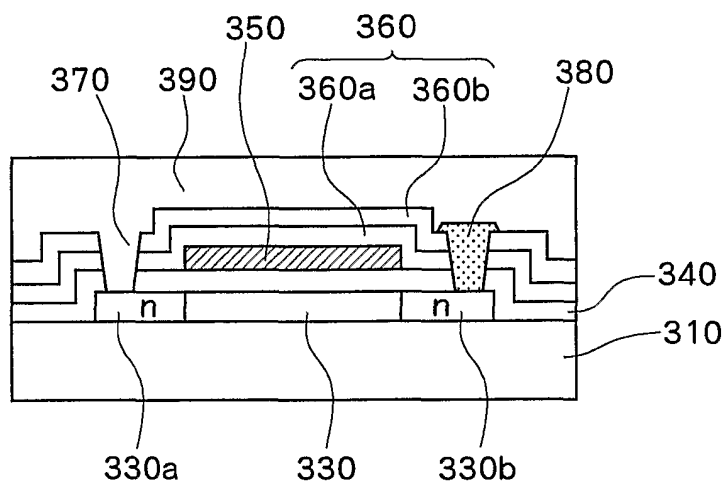


図 1 H

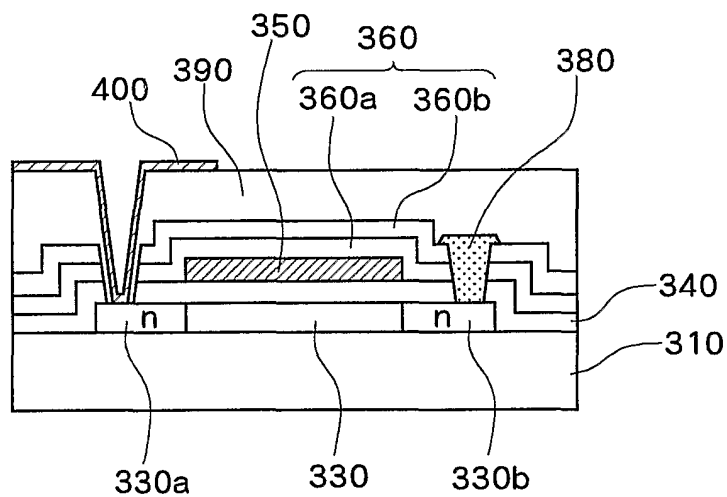


図 1 I

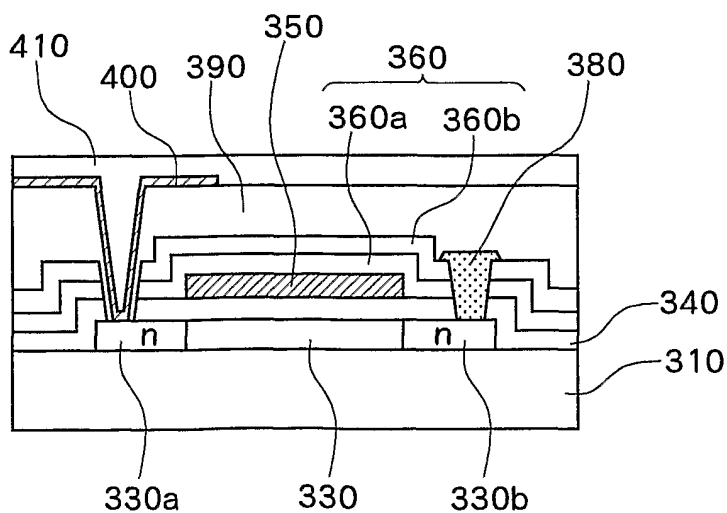


図 2 A

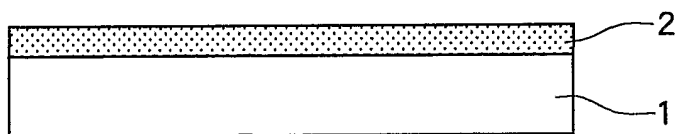


図 2 B

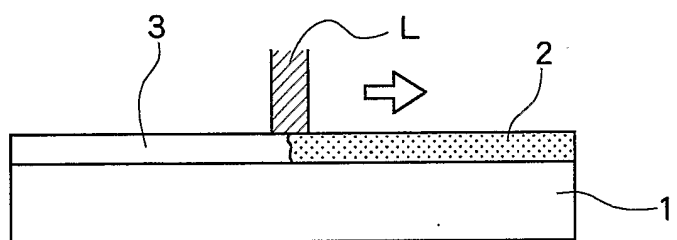


図 2 C

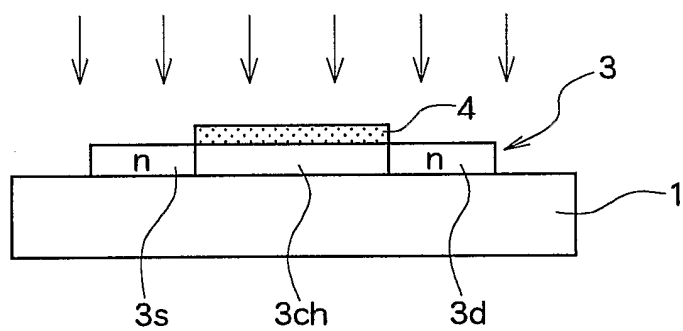


図 2 D

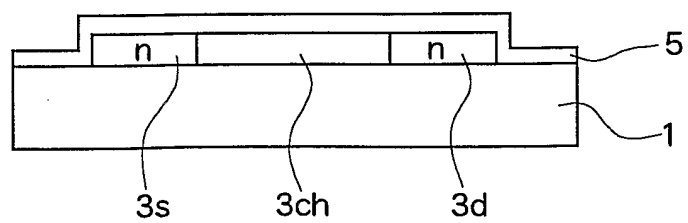


図 2 E

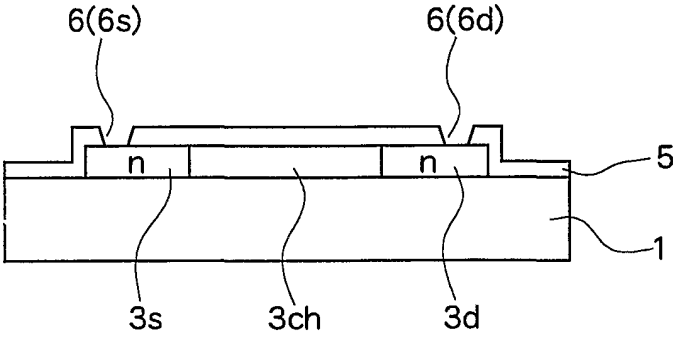


図 2 F

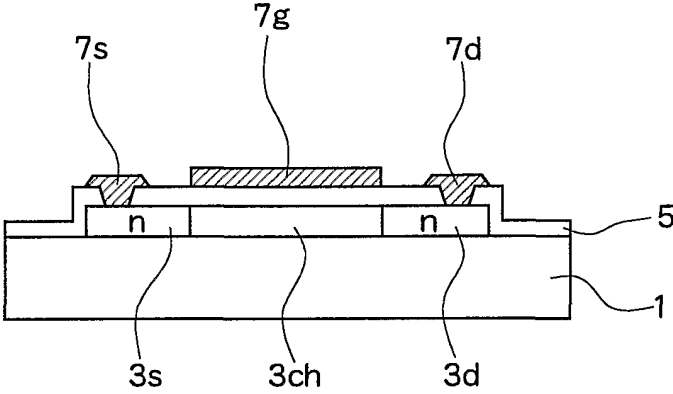


図 2 G

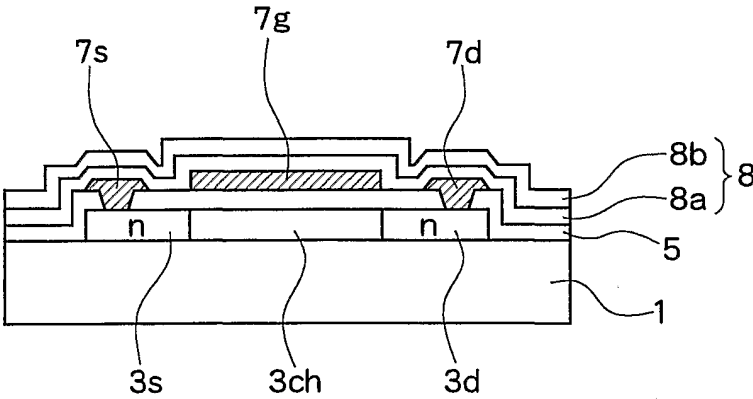


図 2 H

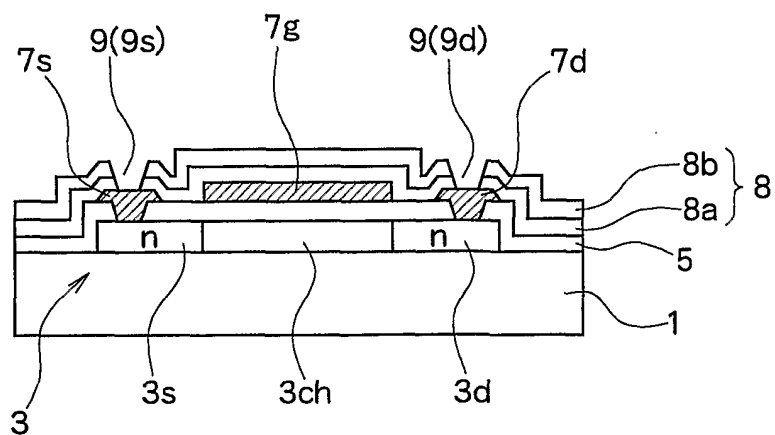


図 2 I

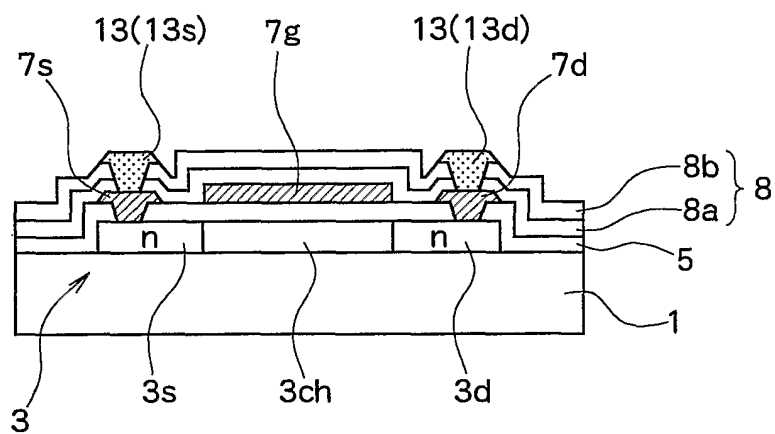


図 2 J

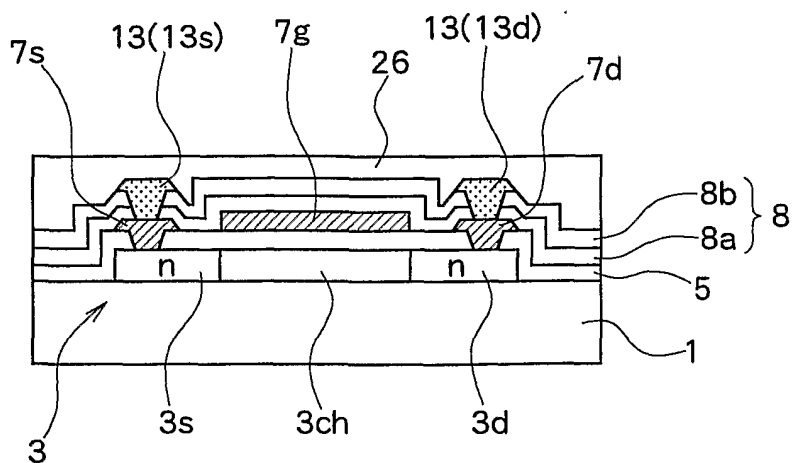


図 2 K

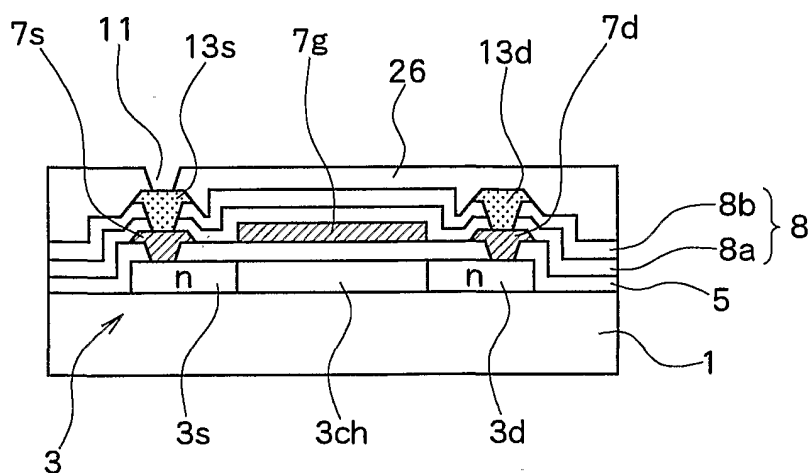


図 2 L

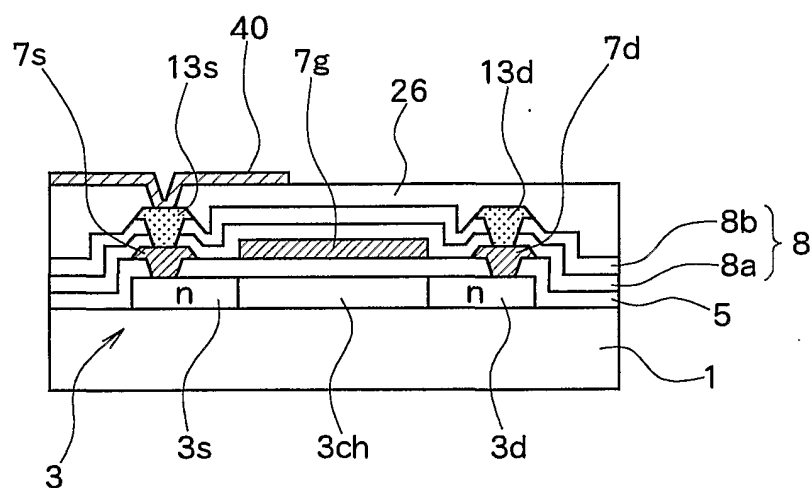


図 2 M

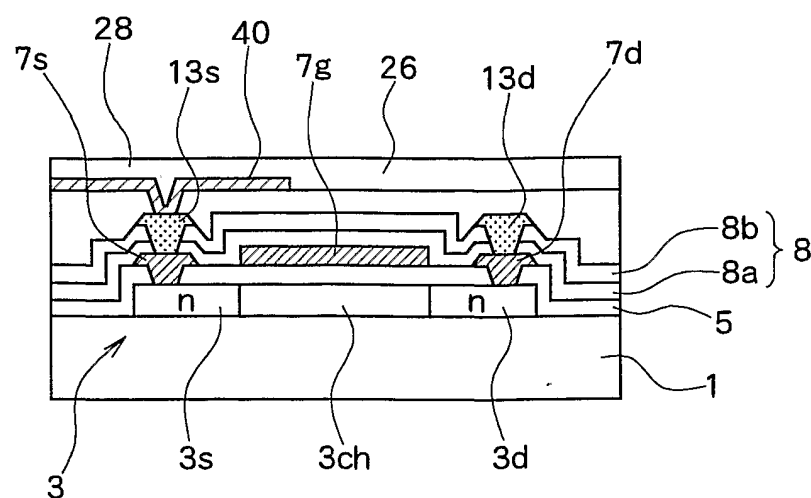


图 3

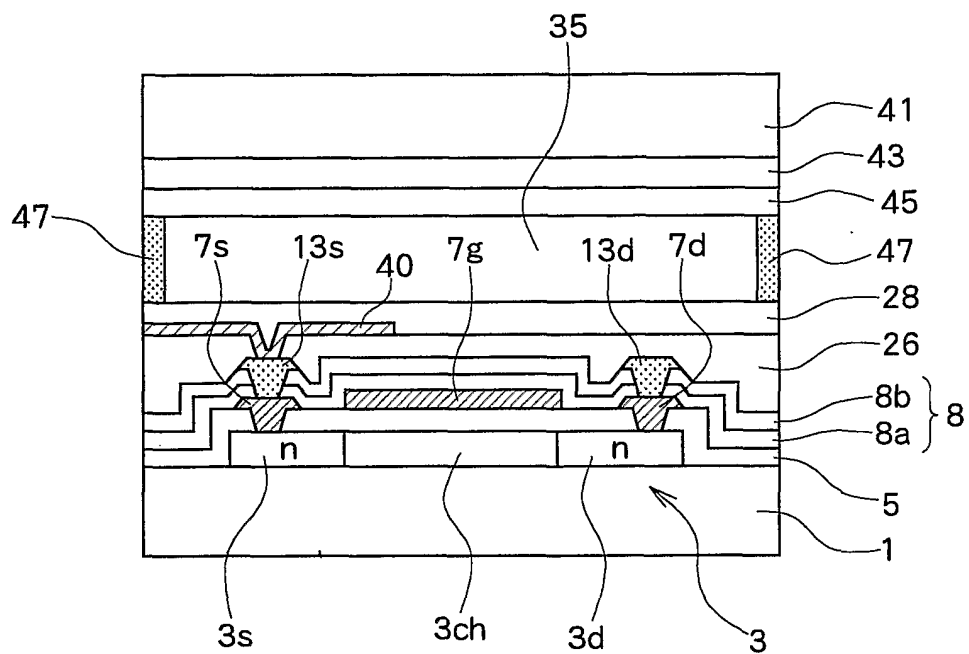


图 4

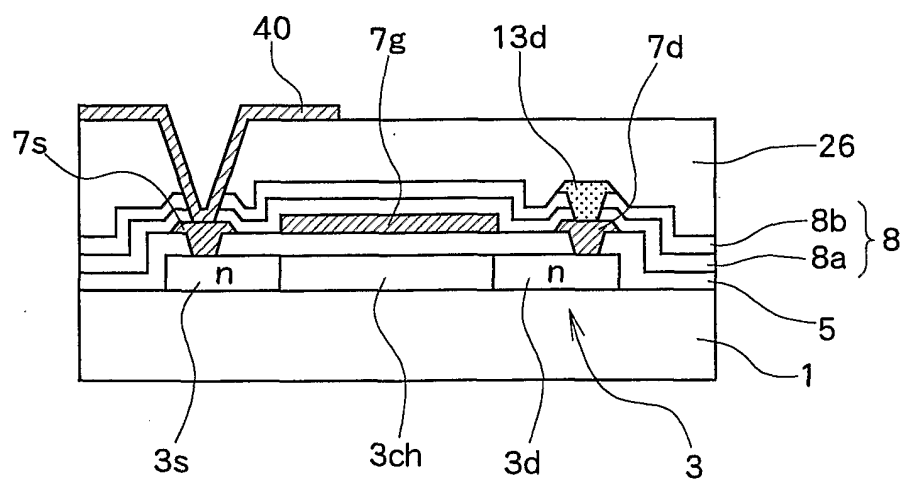


図 5

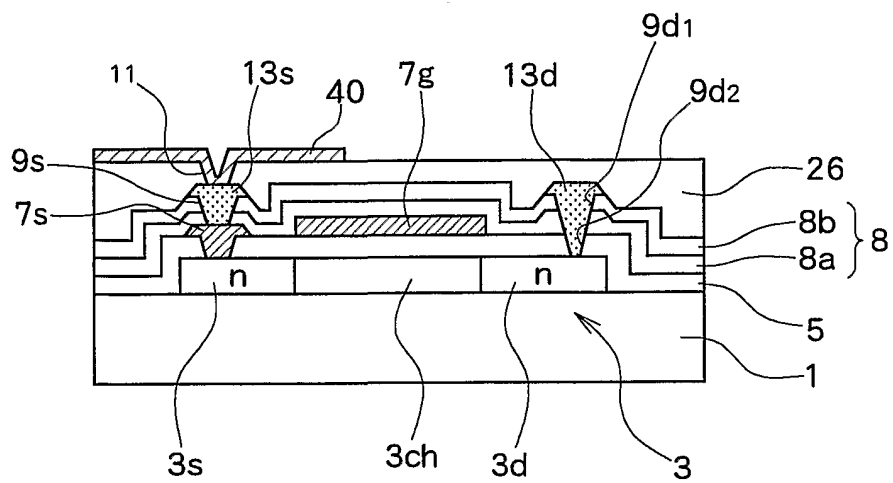


図 6

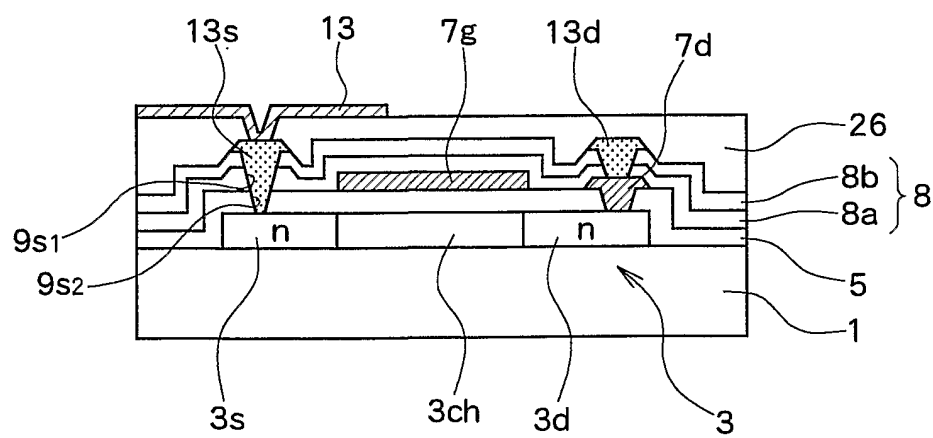


図 7 A

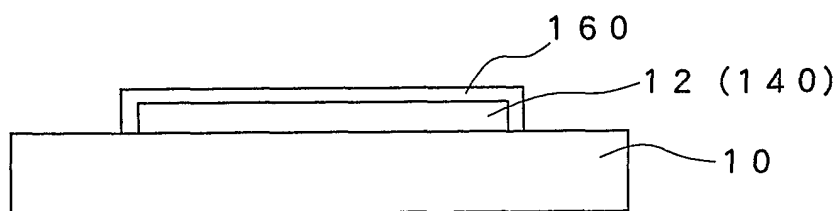


図 7 B

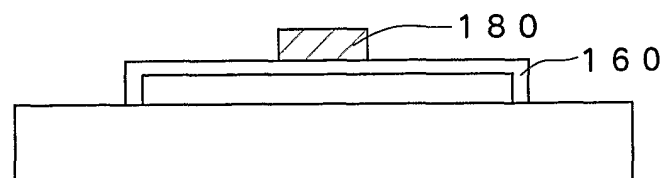


図 7 C

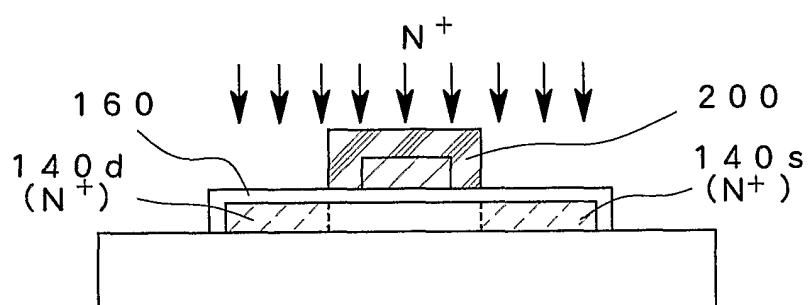


図 7 D

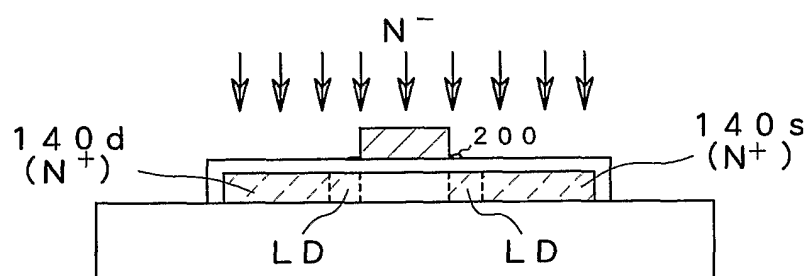


図 7 E

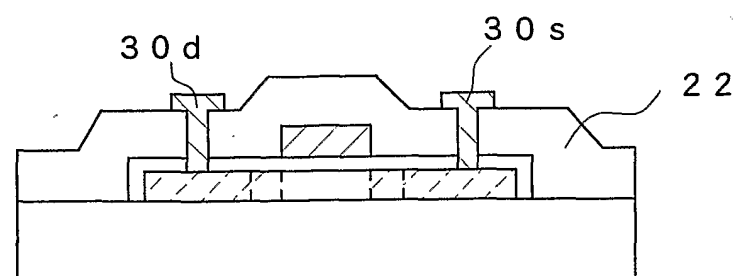
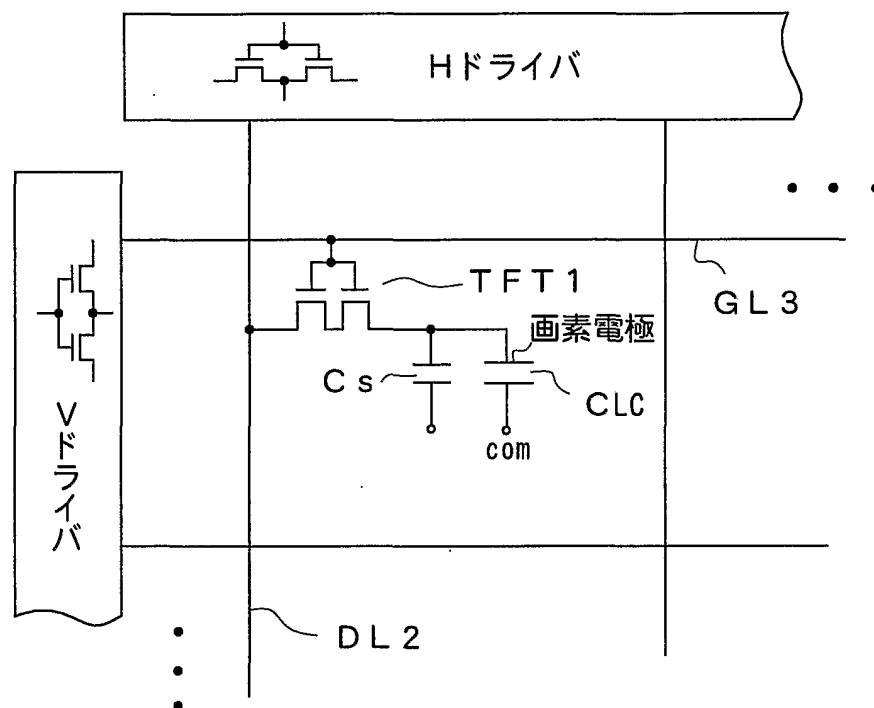
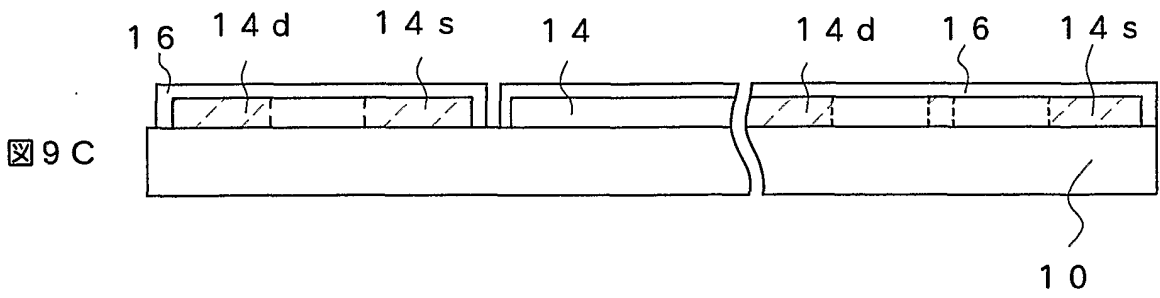
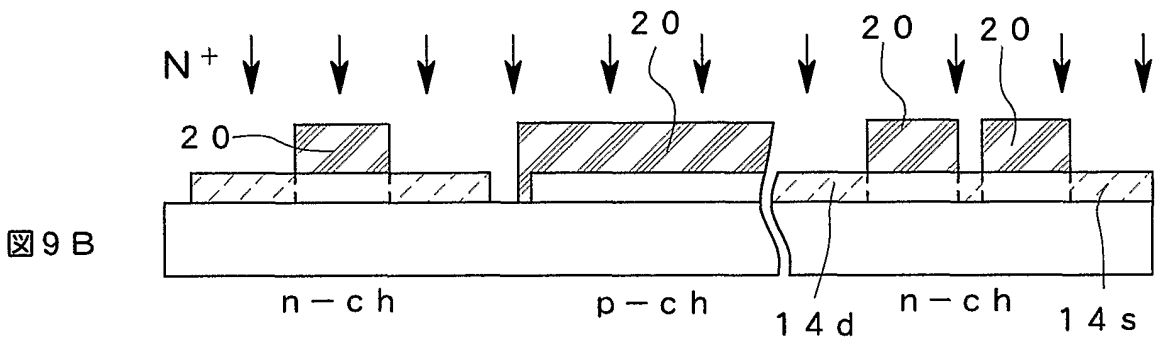
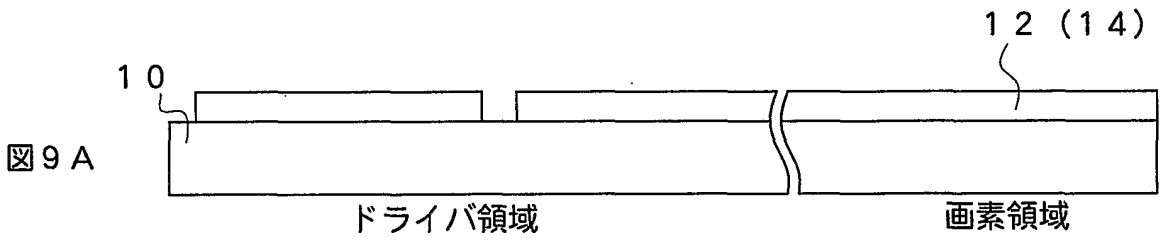


図 8





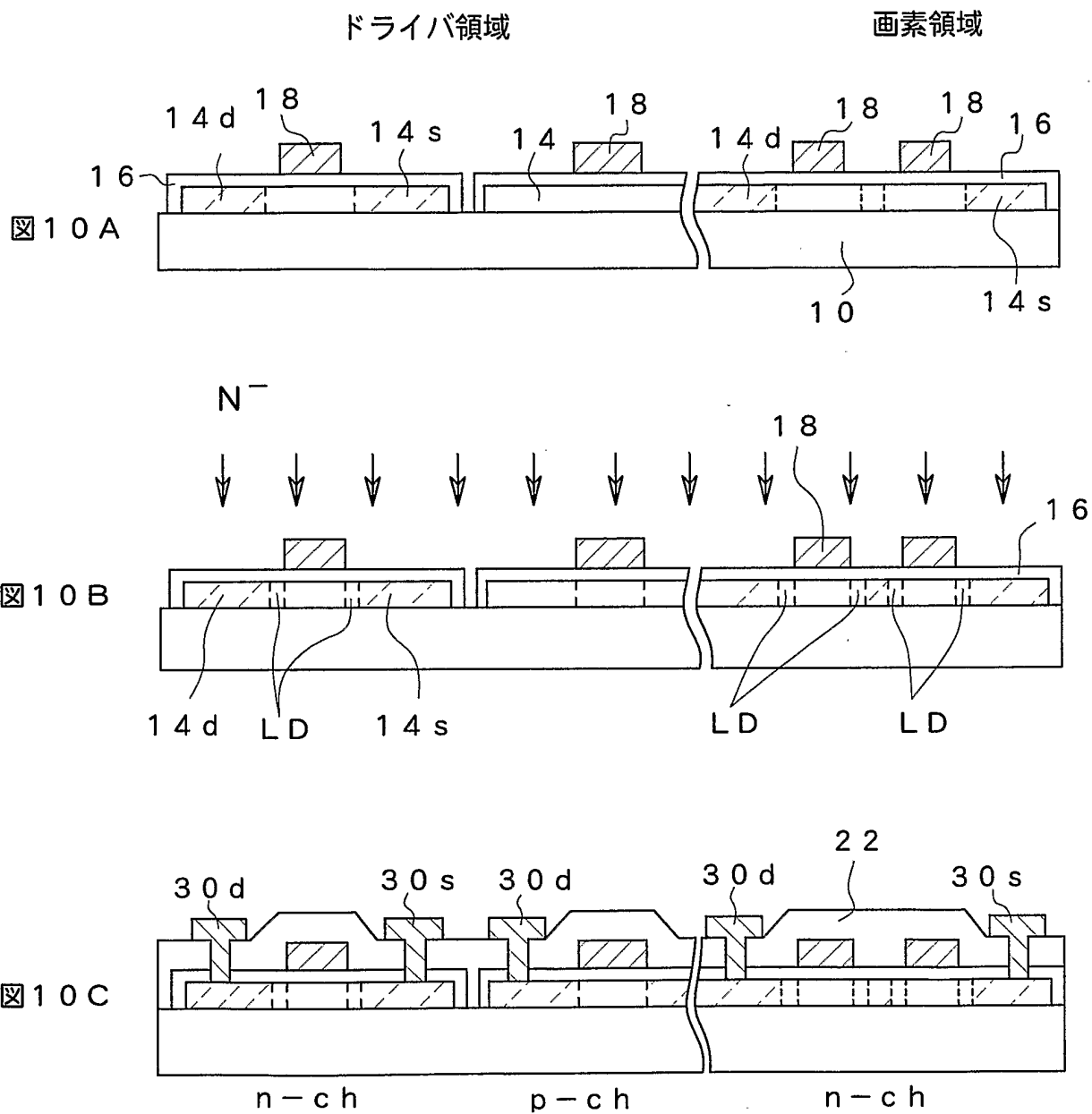


図 1 1

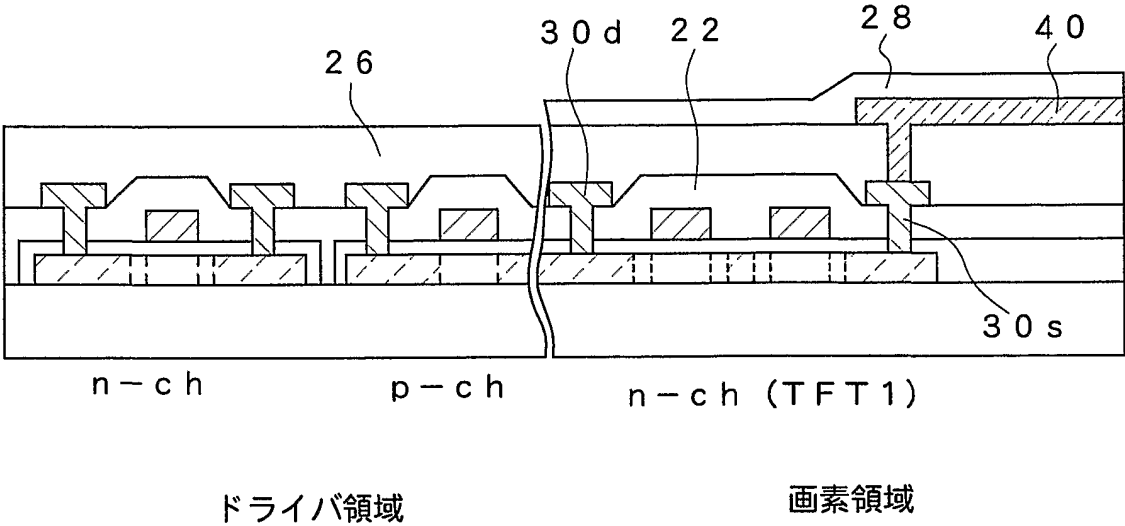
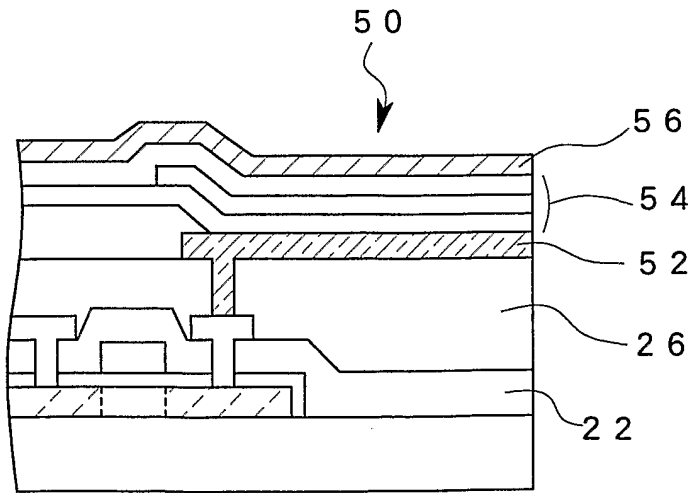
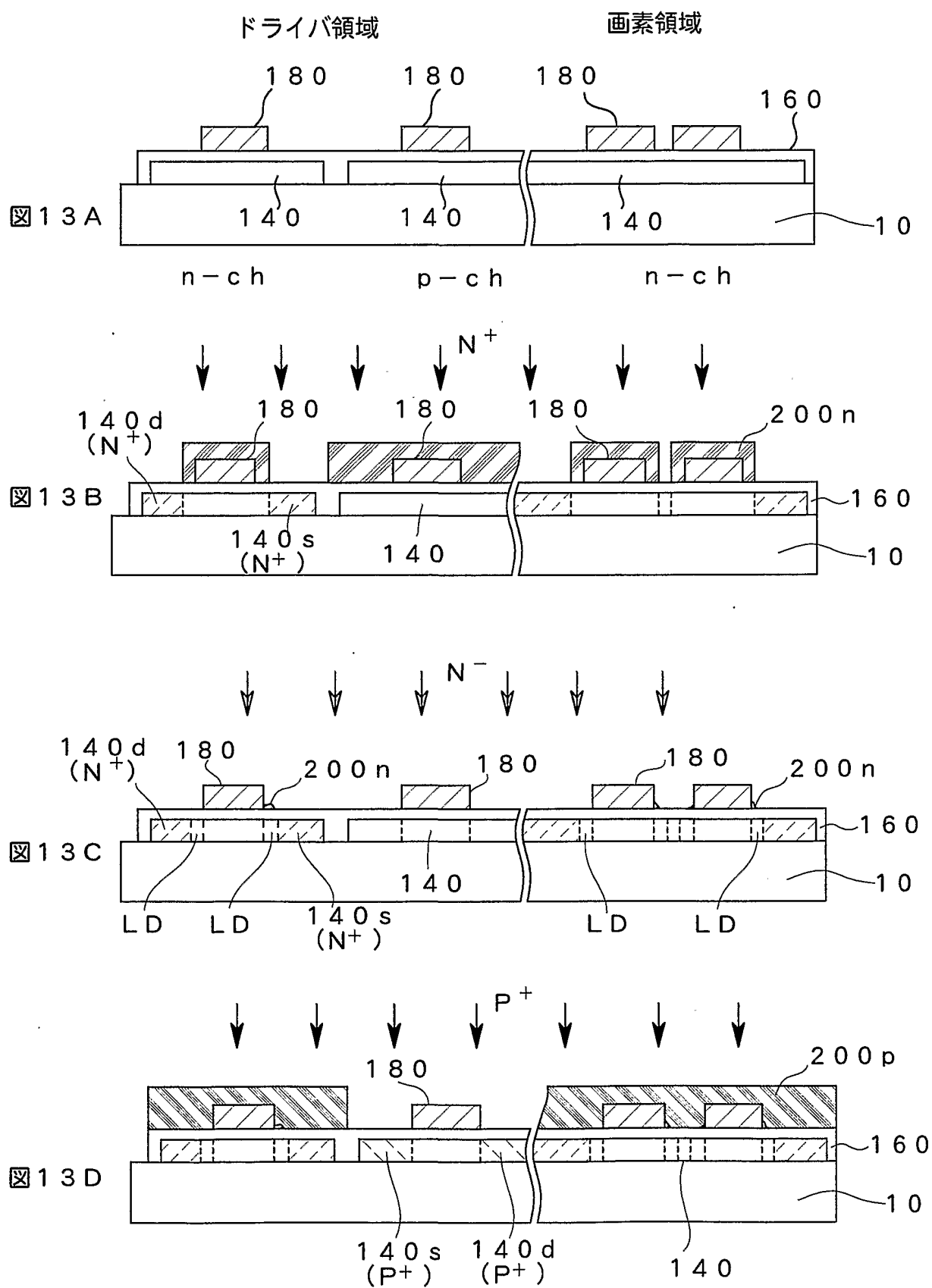
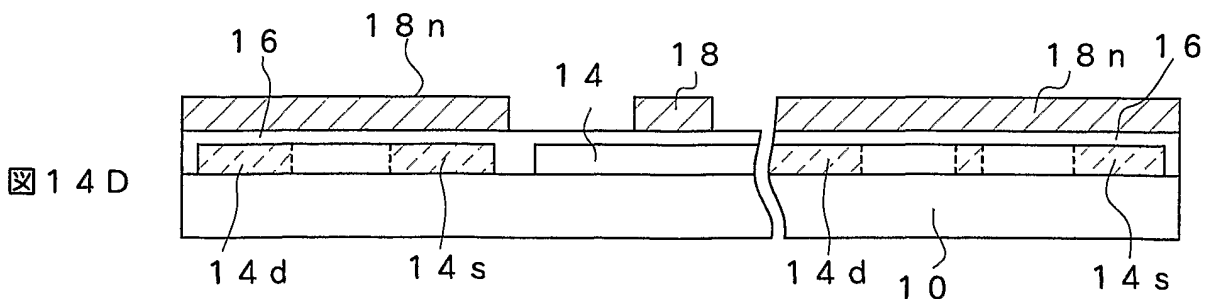
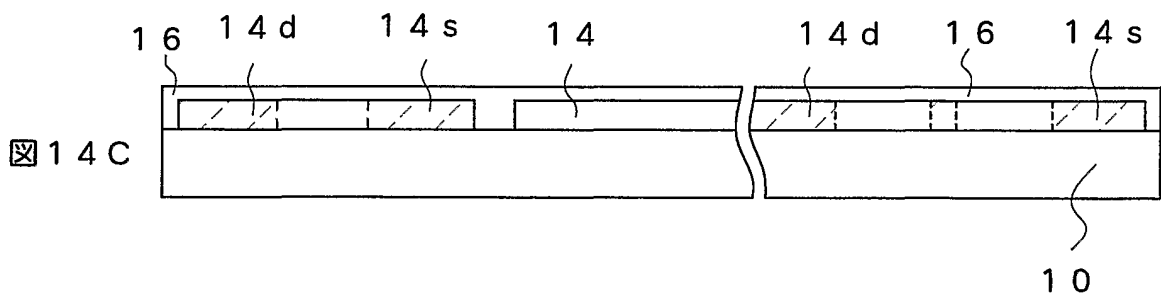
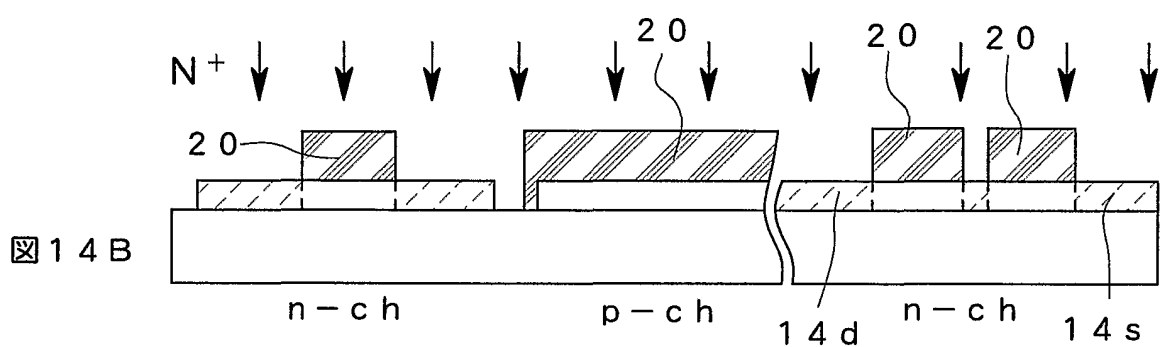
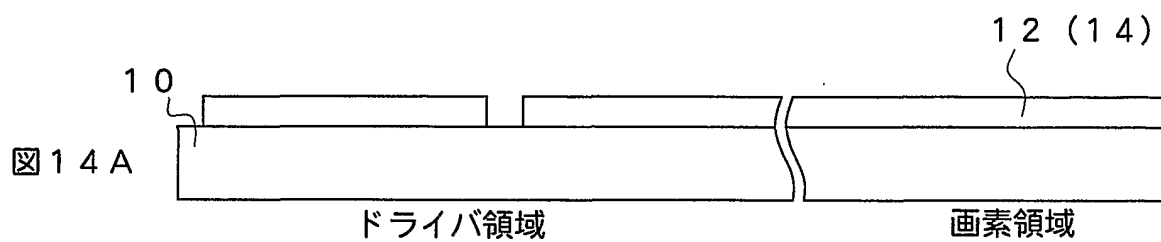
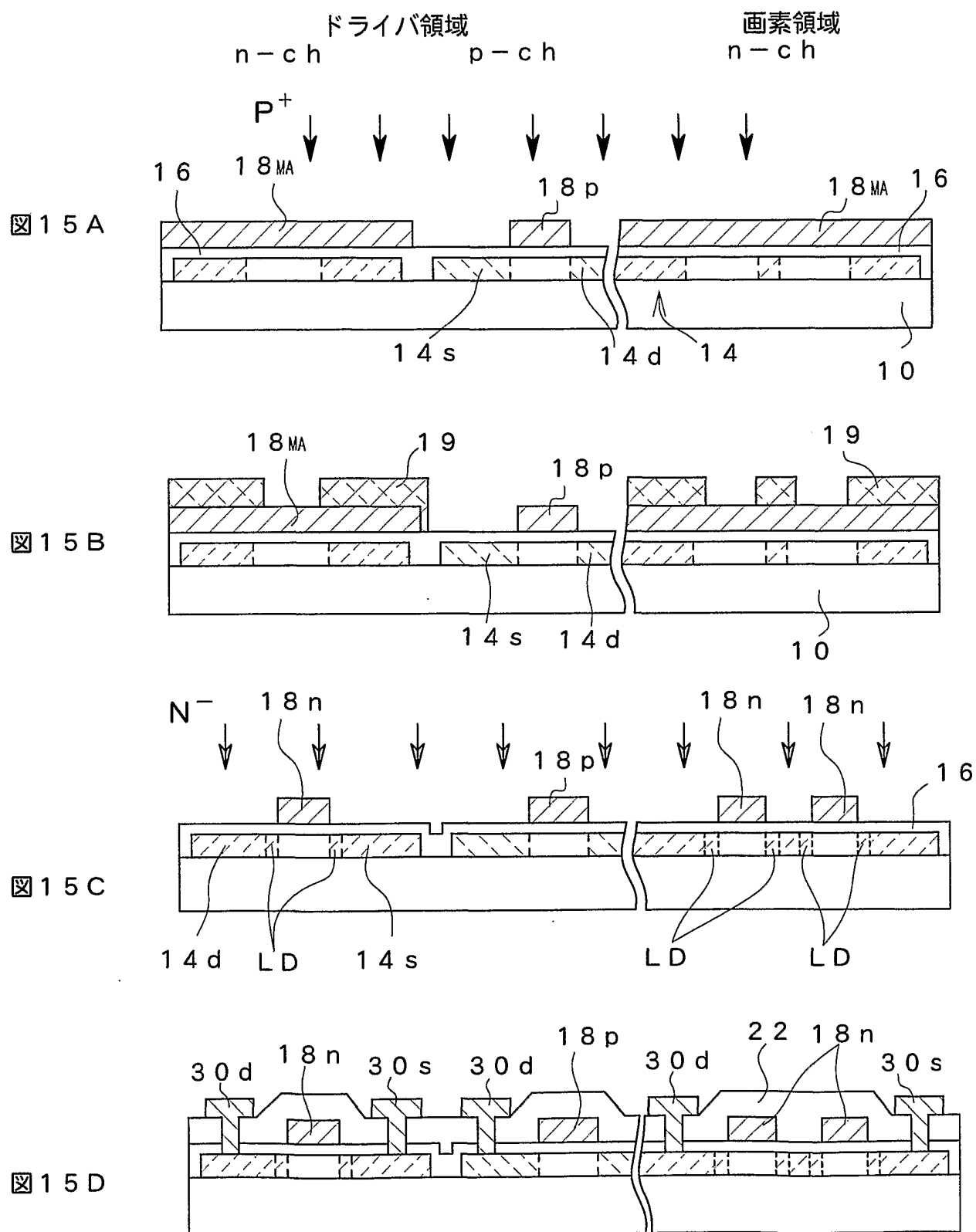


図 1 2









INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/04750

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L29/786, H01L21/336, G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/786, H01L21/336, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2-201538 A (Casio Computer Co., Ltd.), 03 September, 1991 (03.09.91), Full text; Fig. 1 (Family: none)	1, 4 2, 3, 5-24, 32-35
X Y	JP 6-275650 A (Sony Corp.), 30 September, 1994 (30.09.94), Full text; Fig. 1 (Family: none)	1, 4 2, 3, 5-24
Y	JP 2-234134 A (NEC Corp.), 17 September, 1990 (17.09.90), Fig. 1 (Family: none)	2, 3, 5-24

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

 Date of the actual completion of the international search
19 August, 2002 (19.08.02)

 Date of mailing of the international search report
03 September, 2002 (03.09.02)

 Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/04750

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6115097 A (Semiconductor Energy Laboratory Co., Ltd.), 05 September, 2000 (05.09.00), Fig. 5 & JP 9-311342 A Fig. 5 & KR 97076015 A	2, 3, 5-24
X	JP 6-252405 A (Fuji Xerox Co., Ltd.), 09 September, 1994 (09.09.94), Columns 13 to 16; Fig. 3 (Family: none)	25-31
Y	JP 10-209454 A (Toshiba Corp.), 07 August, 1998 (07.08.98), Columns 8 to 14; Figs. 3 to 6 (Family: none)	32-35
X	JP 11-111993 A (Toshiba Corp.), 23 April, 1999 (23.04.99), Full text; Figs. 1 to 2 (Family: none)	36, 37
X	JP 6-151849 A (Seiko Epson Corp.), 31 May, 1994 (31.05.94), Full text; Fig. 1 (Family: none)	36, 37

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl⁷ H01L29/786, H01L21/336, G02F1/1368										
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl⁷ H01L29/786, H01L21/336, G02F1/1368										
最小限資料以外の資料で調査を行った分野に含まれるもの <table style="width: 100%; border: none;"> <tr> <td style="width: 40%;">日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2002年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2002年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2002年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2002年	日本国実用新案登録公報	1996-2002年	日本国登録実用新案公報	1994-2002年
日本国実用新案公報	1922-1996年									
日本国公開実用新案公報	1971-2002年									
日本国実用新案登録公報	1996-2002年									
日本国登録実用新案公報	1994-2002年									
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号								
X Y	JP 3-201538 A (カシオ計算機株式会社) 1991. 09. 03, 全文, 第1図 (ファミリーなし)	1, 4 2, 3, 5-24, 32-35								
X Y	JP 6-275650 A (ソニー株式会社) 1994. 09. 30, 全文, 第1図 (ファミリーなし)	1, 4 2, 3, 5-24								
Y	JP 2-234134 A (日本電気株式会社) 1990. 09. 17, 第1図 (ファミリーなし)	2, 3, 5-24								
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。										
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%; vertical-align: top;"> * 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td style="width: 50%; vertical-align: top;"> の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献									
国際調査を完了した日 19. 08. 02		国際調査報告の発送日 03.09.02								
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		<table style="width: 100%; border: none;"> <tr> <td style="width: 60%;"> 特許庁審査官 (権限のある職員) 河本 充雄 </td> <td style="width: 10%; text-align: center;">  </td> <td style="width: 30%; text-align: center;"> 4M 9056 </td> </tr> <tr> <td colspan="3"> 電話番号 03-3581-1101 内線 3462 </td> </tr> </table>	特許庁審査官 (権限のある職員) 河本 充雄		4M 9056	電話番号 03-3581-1101 内線 3462				
特許庁審査官 (権限のある職員) 河本 充雄		4M 9056								
電話番号 03-3581-1101 内線 3462										

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 6115097 A (Semiconductor Energy Laboratory Co., Ltd) 2000. 09. 05, 第5図 & JP 9-311342 A 第5図 & KR 97076015 A	2, 3, 5-24
X	JP 6-252405 A (富士ゼロックス株式会社) 1994. 09. 09, 第13-16欄, 第3図 (ファミリーなし)	25-31
Y	JP 10-209454 A (株式会社東芝) 1998. 08. 07, 第8-14欄, 第3-6図 (ファミリーなし)	32-35
X	JP 11-111993 A (株式会社東芝) 1999. 04. 23, 全文, 第1-2図 (ファミリーなし)	36, 37
X	JP 6-151849 A (セイコーエプソン株式会社) 1994. 05. 31, 全文, 第1図 (ファミリーなし)	36, 37