发明名称
电源电路和半导体装置

摘要
本申请提供一种电源电路和半导体装置，该电源电路包括：输出晶体管，耦合在输入电压被输入的输入端和输出电压被输出的输出端之间；误差放大器，被配置为根据所述输出电压的电压和基准电压来产生第一误差信号和第二误差信号，并且将所述第一误差信号输出到所述输出晶体管的栅极端；防过冲电路，耦合到所述输出端，并且受所述第二误差信号控制；输出晶体管控制部，被配置为将基于所述输出电压的AC分量的第一误差的控制信号附加到所述所述第一误差信号以及灵敏度调节部，被配置为当所述输出电压高于一定电压时，基于所述第二误差信号减小所述第一误差信号。本申请提供的电源电路能够可靠地保持输出电压在负载能够工作的电源电压范围内。
1. 一种电源电路，包括：
第一晶体管，耦合在输入电压被输入的输入端和输出电压被输出的输出端之间；
误差放大器，基于与所述输出电压相应的电压和基准电压之间的差电压来产生第一误差信号和第二误差信号，并且将所述第一误差信号输出到所述第一晶体管的栅极端；
控制电路，将基于与所述输出电压的 AC 分量相应的第一电流的控制信号附加到所述第一误差信号；以及
调节电路，当所述输出电压高于一定电压时，基于所述第二误差信号减小所述第一电流。

2. 根据权利要求 1 所述的电源电路，
其中，所述调节电路包括电阻器部，所述电阻器部耦合到所述第一电流流过的节点，并且所述电阻器部的电阻值基于所述第二误差信号而被控制。

3. 根据权利要求 2 所述的电源电路，
其中，所述电阻器部包括：
第一电阻器部和第二电阻器部。
其中，当所述输出电压高于预定电压时，所述第一电阻器部和所述第二电阻器部并联耦合到所述第一电流流过的节点，并且当所述输出电压等于或低于所述预定电压时，所述第一电阻器部耦合到所述第一电流流过的节点。

4. 根据权利要求 3 所述的电源电路，
其中，所述第一电阻器部包括耦合到所述第一电流流过的节点的第一电阻器，并且所述第二电阻器部包括耦合到所述第一电流流过的节点的串联电路，并且所述串联电路包括串联耦合的第三晶体管和第二电阻器，在所述第三晶体管中，所述第二误差信号被提供给所述第三晶体管的栅极端。

5. 根据权利要求 3 所述的电源电路，
其中基于运行开始时刻所述电源电路的输出电压来控制所述第一电阻器部的电阻值。

6. 根据权利要求 5 所述的电源电路，
其中，所述第一电阻器部包括：
多个电阻器，耦合到所述第一电流流过的节点；以及
比较电路，将运行开始时刻所述电源电路的输出电压与一个或多个阈值电压进行比较，并且根据比较结果切换每个电阻器与所述第一电流流过的节点耦合或者不是每个电阻器与所述第一电流流过的节点耦合。

7. 一种半导体装置，包括：
负载；以及
电源电路，提供电力给所述负载；
其中，所述电源电路包括：
第一晶体管，耦合在输入电压被输入的输入端和输出电压被输出的输出端之间；
误差放大器，基于与所述输出电压相应的电压和基准电压之间的差电压来产生第一误差信号和第二误差信号，并且将所述第一误差信号输出到所述第一晶体管的栅极端；
控制电路，将基于与所述输出电压的 AC 分量相应的第一电流的控制信号附加到所述第一误差信号；以及
调节电路，当所述输出电压高于一定电压时，基于所述第二误差信号减小所述第一电流。

8. 根据权利要求7所述的半导体装置，
其中，所述负载是存储器。

9. 根据权利要求7所述的半导体装置，
其中，所述负载是微控制器。
电源电路和半导体装置

技术领域
[0001] 本文所讨论的实施例涉及一种电源电路和半导体装置。

背景技术
[0002] 在用作向微控制器、存储器等提供电力的电源电路的片上稳压器（on-chip regulator）中，存在诸如实现低功耗、不附接外部电容器的无电容（Cap-Free）系统（减少端子，减少外部组件）的要求。然而，线性稳压器的响应特性取决于电路的消耗电流，因此，反馈回路由于低功耗而变得迟缓，并且难以跟随输出电压的变化。此外，不附接电容器导致输出电压的变化量增加。因此，在线性稳压器中，如果实现低功耗并且使用无电容系统，则相对于负载变化的响应特性差，并且如果如负载急剧变化而且输出电压变化很大，则直到输出电压稳定需要很多时间。作为实现降低功耗、使用无电容系统并且可以提供稳定电压的线性稳压器的一种方法，例如，如图 8 所示（例如，参考专利文献 1）提出了一种方法，其中除了反馈回路之外还提供控制输出电压的控制电路。

[0003] 图 8 是示出常规电源电路（线性稳压器）的配置示例的视图。图 8 所示的电源电路包括误差放大器 101，使用 F 沟道晶体管的输出晶体管 TR101，电阻器 R101、R102，电容器 C101，防过冲/下冲电路 103 以及晶体管 TR102、TR103。负载 102 裁决到电源电路的输出端。VREF 是从未示出的基准电压电路提供的恒定基准电压，VDD 是电源电路的输出电压，VGATE 是提供给输出晶体管 TR101 的栅极端的电压，VFB 是通过以串联耦合的电阻器 R101、R102 对输出电压 VDD 进行分压而产生的分压。

[0004] 在图 8 所示的电源电路中，当根据输出电压 VDD 的分压 VFB 变得低于基准电压 VREF 时，误差放大器 101 的输出电压降低，并且提供给输出晶体管 TR101 的栅极的电压 VGATE 降低。其结果是，输出晶体管 TR101 的导通电阻降低，并且输出电压 VDD 增加。另一方面，当与输出电压 VDD 相应的分压 VFB 高于基准电压 VREF 时，误差放大器 101 的输出电压增加，并且提供给输出晶体管 TR101 的栅极的电压 VGATE 增加。其结果是，输出晶体管 TR101 的导通电阻增加，并且输出电压 VDD 降低。如上所述，电源电路控制使得从输出端输出恒定的电压作为输出电压 VDD。

[0005] 这里，当至负载 102 的负载电流 Il1d 变化时，电源电路的输出电压 VDD 因负载电流 Il1d 的变化而改变。例如，如图 9 所示，当负载 102 变重而负载电流 Il1d 急剧增加时（时刻 T101），电源电路的输出电压 VDD 降低。另外，当负载 102 变轻并且负载电流 Il1d 急剧减少时（时刻 T102），电源电路的输出电压 VDD 升高。为了抑制上述由于负载电流 Il1d 的变化引起的输出电压的改变，防过冲/下冲电路 103 监视输出电压 VDD，并且根据如图 8 所示的电源电路中的输出电压 VDD 的 AC 分量执行对晶体管 TR102、TR103 的控制。

[0006] 在输出电压 VDD 处于过冲状态时，防过冲/下冲电路 103 通过将晶体管 TR102 设定为导通状态（接通（continuity）状态）以降低输出电压 VDD 来抑制变化量。在输出电压 VDD 处于下冲状态时，防过冲/下冲电路 103 通过将晶体管 TR103 设定为导通状态（接通状态）以降低提供给输出晶体管 TR101 的栅极的电压 VGATE 来抑制输出电压 VDD 的变化量。
如上所述，图8所示的电源电路降低由于负载电流的急剧变化而引起的输出电压VDD的过冲和下冲，以抑制输出电压VDD的变化。

【0007】【专利文献1】日本特开专利公开号2010-191885

【0008】在图8所示的电源电路中，例如，当负载102是存储器时，当该存储器活跃地运行，诸如向该存储器写入数据和从该存储器读取数据时，产生负载电流1ld。如图10所示，考虑这样的情况：在PA期间反复执行向该存储器写入数据等，并且在该后在存储器不工作的状态下经过时刻T111到时刻T112的间歇期，然后从时刻T112起在PB期间再次反复执行向该存储器写入数据等。

【0009】图8所示的电源电路仅根据电源电路的输出电压VDD的AC分量来执行对晶体管TR102,TR103的控制。因此，如图10所示，负载电流1ld在PA期间反复产生，并且此后，负载电流1ld在时刻T111突然消失，因为通过反馈回路的电源电路的响应延迟并且对输出晶体管TR101的控制延迟，所以输出电压VDD过冲。

【0010】当输出电压VDD过冲并在高位时，如果存储器在时刻T112再次运行，则晶体管TR103处于导通状态(接通状态)以抑制由负载电流1ld的变化引起的输出电压VDD的下冲。由此，尽管电源电路的输出电压VDD处于高位，但是输出电压VDD仍然增加与输出电压VDD处于稳定状态时相同的量。其结果是，输出电压VDD超过负载102能够运行的电源电压范围的上限值Vmax，并且可能存在可靠性的问题，诸如导致运行故障和产品的运行寿命的减少。

【0011】即，在存在这样的情况：在如图8所示的常规电源电路中，当负载电流1ld反复产生的负载运行周期以一定时间间隔连续地反复时，输出电压VDD过冲并超过负载102能够工作的电源电压范围的上限值Vmax。

发明内容

【0012】根据实施例的一个方案，一种电源电路包括：第一晶体管，耦合在输入电压被输入的输入端和输出电压被输出的输出端之间；误差放大器，被配置为基于与所述输出电压相应的电压和基准电压之间的差电压来产生第一误差信号和第二误差信号，并且将所述第一误差信号输出到所述第一晶体管的栅极端；控制电路，被配置为基于与所述输出电压的AC分量相应的第一电流的控制信号附加到所述第一误差信号；以及调节电路，被配置为当所述输出电压高于一定电压时，基于所述第二误差信号减小所述第一电流。该电源电路能够可靠地保持输出电压在负载能够工作的电源电压范围内。

【0013】根据实施例的另一个方案，一种半导体装置包括：负载；以及电源电路，提供电力给所述负载；所述电源电路包括：第一晶体管，耦合在输入电压被输入的输入端和输出电压被输出的输出端之间；误差放大器，基于与所述输出电压相应的电压和基准电压之间的差电压来产生第一误差信号和第二误差信号，并且将所述第一误差信号输出到所述第一晶体管的栅极端；控制电路，将基于与所述输出电压的AC分量相应的第一电流的控制信号附加到所述第一误差信号；以及调节电路，当所述输出电压高于一定电压时，基于所述第二误差信号减小所述第一电流。

附图说明

【0014】图1是示出根据实施例的电源电路的配置示例的视图；
具体实施方式

在下文中，根据附图说明实施例。

图 1 是示出根据实施例的电源电路的配置示例的视图。根据本实施例的电源电路包括误差放大器 11，输出晶体管 TR1，电阻器 R1，R2，电容器 C1，过冲电路 13 以及防止冲击电路 14。负载 12 通过到电源电路的输出端，并且从电源电路向负载 12 提供电流 11d。负载 12 例如是存储器或微处理器。

分压 VFB 被输入到误差放大器 11 的正侧输入端，并且预先设定的基准电压 VREF 被输入到误差放大器 11 的负侧输入端。分压 VFB 是电源电路的输出端输出的输出电压 VDD 被串联耦合的电阻器 R1，R2 分压后产生的电压。基准电压 VREF 是从例如示出的基准电压电路提供的恒定电压。误差放大器 11 基于基准电压 VREF 和根据输出电压 VDD 的分压 VFB，而输出第一误差信号到输出晶体管 TR1 的栅极端，并输出第二误差信号 V tear 送到过冲电路 13 和防止冲击电路 14。

例如，使用 P 沟道晶体管作为输出晶体管 TR1。在输出晶体管 TR1 中，源极端耦合到电源电路的输入端，并且漏极端耦合到电源电路的输出端。这里，输入电压被输入到输入端，并且输出电压为输出到输出端。通过将基于防过冲电路 14 输出的第一电流（附加电流）的控制信号附加到从误差放大器 11 输出的第一误差信号而获得电压 VGATE，将电压 VGATE 提供到输出晶体管 TR1 的栅极端。

电阻器 R1，R2 串联耦合在输出晶体管 TR1 的漏极和接地电压之间。在电阻器 R1，R2 的耦合点处的电压作为分压 VFB 被提供到误差放大器 11。电容器 C1 耦合在电源电路的输出端和接地电压之间。防止冲击电路 13 根据从误差放大器 11 输出的第二误差信号 V tear 运行，并且当输出电压 VDD 过度过冲时强制降低输出电压 VDD。

防过冲电路 14 基于根据输出电压 VDD 的 AC 分量的第一电流将控制信号附加到第一误差信号。当由于负载电流 11d 的急剧增加导致输出电压 VDD 降低时，防止过冲电路 14 输出附加电流，并且由此，减小提供给输出晶体管 TR1 的栅极端的电压 VGATE 以抑制输出电压 VDD 的下冲。防止过冲电路 14 包括灵敏度调节部 15 和输出晶体管控制部 16。

敏感度调节部 15 基于从误差放大器 11 输出的第二误差信号 V tear 调节输出晶体管控制部 16 相对于输出电压 VDD 的变化的灵敏度。通过插入耦合电容器 CPC 提取输出电压 VDD 的 AC 分量，输出晶体管控制部 16 基于根据输出电压 VDD 的 AC 分量的第一电流产生
控制信号，并且将控制信号输出到输出晶体管 TR1 的栅极。由灵敏度调节部 15 调节输出晶体管控制部 16 相对于输出电压 VDD 的变化的灵敏度，并且当输出电压 VDD 的 DC 分量 (DC 电平) 高于一定电压时控制输出晶体管控制部 16 的灵敏度以降低待输出的第一电流。

【0031】 接着描述根据本实施例的电源电路的运作。图 1 所示的根据本实施例的电源电路的基本运行与常规电源电路相同。即，当根据输出电压 VDD 的分压 VFB 变得低于基准电压 VREF 时，误差放大器 11 的输出电压下降，并且提供到输出晶体管 TR1 的栅极的电压 VGATE 降低。其结果是，输出晶体管 TR1 的导电电阻减小，并且输出电压 VDD 升高。另一方面，当与输出电压 VDD 相同的分压 VFB 变得高于基准电压 VREF 时，误差放大器 11 的输出电压升高，从而提供到输出晶体管 TR1 的栅极的电压 VGATE 增大。其结果是，输出晶体管 TR1 的导通电阻增加，并且输出电压 VDD 降低。如上所述，电源电路控制为使得从输出端输出恒定电压作为输出电压 VDD。

【0032】在根据本实施例的电源电路中，当至负载 12 的负载电流 11d 急剧增加时，防过冲电路 14 根据由负载电流 11d 的增加引起的输出电压 VDD 的急剧减少 (下冲) 而将附加电流提供到输出晶体管 TR1 的栅极端。提供到输出晶体管 TR1 的栅极的电压 VGATE 降低从而抑制输出电压 VDD 的下降。在本实施例中，基于从误差放大器 11 输出的第二误差信号 VOPV 来调节提供到输出晶体管 TR1 的栅极的附加电流，并且当输出电压 VDD 的 DC 分量 (DC 电平) 高于一定电压时降低待输出的附加电流。由此，当输出电压 VDD 过冲并在高电位时，能够抑制由附加电流引起的输出电压 VDD 的升高。因此，能够可靠地将输出电压 VDD 保持在负载 12 能够运行的电源电压范围内，并且防止输出电压 VDD 超过负载 12 能够运行的电源电压范围的上限值。此外，在根据本实施例的电源电路中，当输出电压 VDD 过度过冲时，防过冲电路 13 根据从误差放大器 11 输出的第二误差信号 VOPV 来降低输出电压 VDD，以抑制输出电压 VDD 的升高。

【0033】在根据本实施例的电源电路中，即使例如当负载 12 是存储器，并且如图 2 所示，在 PA 期间反复执行存储器写入数据等。并且此后，在存储器不工作的状态下经过从时刻 T11 到时刻 T12 的间歇期，然后从时刻 T12 在 PB 期间反复反复进行向该存储器写入数据等的情况下，也能够防止输出电压 VDD 超过负载 12 能够运行的电源电压范围的上限值。如图 2 所示，在 PA 期间中反复产生负载电流 11d，当在时刻 T11 负载电流 11d 急剧减少时，因为通过反馈回路的电源电路的响应迟滞并且对输出晶体管 TR1 的控制延迟，所以输出电压 VDD 过冲。当输出电流 VDD 过冲并在高电位时，如果存储器在时刻 T12 再次运行时，输出电压 VDD 超过防过冲电路 14 的灵敏度调节部 15 以其运行的一定电压，并且因此用于抑制由负载电流 11d 的急剧变化引起的输出电压 VDD 下冲的增加量被抑制，并且输出电压 VDD 不超过负载 12 能够运行的电源电压范围的上限值 Vmax。

【0034】图 3 是示出根据本实施例的电源电路的电路配置示例的视图。注意在图 3 中，具有与图 1 中所示的的组件等基本相同功能的组件等以相同的附图标记和符号表示，因而没有给出重复的说明。

【0035】防过冲电路 13 是例如 N 沟道晶体管 TR11。在晶体管 TR11 中，漏极端被耦合到电源电路的输出端，接地电压被提供到源极端，并且第二误差信号 VOPV 被提供到栅极端。在晶体管 TR11 中，根据提供到栅极端的第二误差信号 VOPV 来控制导通 / 关断 (接通状态 / 非接通状态)，并且由此控制电源电路的输出端和接地电压之间的耦合。
防下冲电路 14 包括晶体管 TR12 至 TR16，电流源 21,22，电阻器 R11，R12 以及耦合电容器 CPC。在 P 沟道晶体管 TR12 中，电子电压被提供给源极端，而且漏极端和栅极端耦合到耦合电容器 CPC 的一个电极。输出电压 VDD 被输入到耦合电容器 CPC 的另一个电极。P 沟道晶体管 TR12 的漏极端耦合到电流源 21。

在 P 沟道晶体管 TR13 中，电子电压被提供给源极端，栅极端耦合到耦合电容器 CPC 的一个电极，并且漏极端耦合到电流源 22。在 N 沟道晶体管 TR14 中，接地电压被提供给源极端，漏极端和栅极端耦合到晶体管 TR13 的漏极端。在 N 沟道晶体管 TR15 中，接地电压被提供给源极端，漏极端耦合到输出晶体管 TR1 的栅极端，栅极端耦合到晶体管 TR14 的栅极端和漏极端。即晶体管 TR14 和晶体管 TR15 是电流镜的耦合。

晶体管 TR14 的漏极端经由电阻器 R11 和晶体管 TR16 耦合到接地电压，并且经由电阻器 R12 耦合到接地电压。在晶体管 TR16 中，第二误差信号 VOVV 被提供给栅极端。电阻器 R11，R12 以及晶体管 TR16 构成灵敏度调节器 15A。

输出电压 VDD 的 AC 分量经由耦合电容器 CPC 输入到图 3 所示的防下冲电路 14。当输出电压 VDD 急剧减小时，流进晶体管 TR12,TR13 的电流增加。根据输出电压 VDD 的 AC 分量而增加的电流流进晶体管 TR14，通过晶体管 TR15 电流镜像该增加的电流而产生第一电流（附加电流）I1，并且输出晶体管 TR1 的栅极端放电以降低电压 VGATE。由此，当输出电压 VDD 急剧减小时，控制输出晶体管 TR1 以提高输出电压 VDD。

如上所述，晶体管 TR14 的漏极端经由电阻器 R11 和晶体管 TR16 耦合到接地电压，并且经由电阻器 R12 耦合到接地电压。当输出电压 VDD 的 DC 电平不超过一定电压时，由第二误差信号 VOVV 将晶体管 TR16 变成关断状态（非接通状态）。另一方面，当输出电压 VDD 的 DC 电平超过一定电压时，由第二误差信号 VOVV 将晶体管 TR16 变成导通状态（接通状态）。即当输出电压 VDD 的 DC 电平超过一定电压时，灵敏度调节器 15A 的电阻变小，并且流进电阻器 R12 的电流相比较输出电压 VDD 的 DC 电平超过一定电压时增大，因此，流到晶体管 TR14 的电流减小。当输出电压 VDD 的 DC 电平超过一定电压时，防下冲电路 14 相对于输出电压 VDD 的 AC 分量的变化的灵敏度由此降低，并且抑制了输出电压 VDD 的增加量。

图 4 是示出根据本实施例的误差放大器 11 的电路配置示例的视图。在 P 沟道晶体管 TR21 中，源极端经由电流源耦合到电源电压，并且基准电压 VREF 输入到栅极端。在 P 沟道晶体管 TR22 中，源极端经由电流源耦合到电源电压，并且分压 VFB 被输入到栅极端。

在 N 沟道晶体管 TR23 中，接地电压被提供给源极端，并且漏极端和栅极端耦合到 P 沟道晶体管 TR21 的漏极端。在 N 沟道晶体管 TR24 中，接地电压被提供给源极端，并且漏极端和栅极端耦合到 P 沟道晶体管 TR22 的漏极端。在 N 沟道晶体管 TR25 中，接地电压被提供给源极端，并且漏极端和栅极端耦合到 N 沟道晶体管 TR23 的漏极端。在 N 沟道晶体管 TR26,TR27 中的每个中，接地电压被提供给源极端，并且栅极端耦合到 N 沟道晶体管 TR24 的漏极端。

在 P 沟道晶体管 TR28 中，电源电压被提供给源极端，并且漏极端和栅极端耦合到 N 沟道晶体管 TR25 的漏极端。在 P 沟道晶体管 TR29 中，电源电压被提供给源极端，漏极端和栅极端耦合到 N 沟道晶体管 TR26 的漏极端。在 P 沟道晶体管 TR30 中，电源电压被提供给源极端，漏极端和栅极端耦合到 N 沟道晶体管 TR27 的漏极端。并且栅极端耦合到 P 沟道晶体管 TR28 的漏极端。

P 沟道晶体管 TR29 的漏极端和 N 沟道晶体管 TR26 的漏极端之间的耦合点处的电
势被提供给输出晶体管 TR1 的栅极端。P 沟道晶体管 TR30 的漏极端和 N- 沟道晶体管 TR27 的漏极端之间的耦合点处的电势作为第二误差信号 VOP 输出。例如，当分压 VFB 增加时，在 P 沟道晶体管 TR22 的漏极端和 N- 沟道晶体管 TR24 的漏极端之间的耦合点处的电势下降，并且作为 P 沟道晶体管 TR30 的漏极端和 N- 沟道晶体管 TR27 的漏极端之间的耦合点处的电势的第二误差信号 VOP 升高。另一方面，当分压 VFB 降低时，在 P- 沟道晶体管 TR22 的漏极端和 N- 沟道晶体管 TR24 的漏极端之间的耦合点处的电势升高，并且作为 P 沟道晶体管 TR30 的漏极端和 N- 沟道晶体管 TR27 的漏极端之间的耦合点处的电势的第二误差信号 VOP 下降。

[0045] 图 5 是示出根据本实施例的电源电路的运行示例的波形图。在时刻 T21，负载 12 开始运行，并且反相发生负载电流 Id。在时刻 T21，输出电压 VDD 的 DC 电平不超过一定电压，因此，电流 Ia 作为附加电流 11 被提供，并且输出电压 VDD 增加△Vb。

[0046] 在时刻 T22，当负载停止运行时，在时刻 T22 到时刻 T23 的间歇期中，输出电压 VDD 过冲并且在高状态中，并且第二误差信号 VOP 的电平变高。当第二误差信号 VOP 的电平超过一定电平时，即，当输出电压 VDD 超过一定电压时，灵敏度调节部 15A 的晶体管 TR16 处于导通状态。在这种状态下，当负载 12 在时刻 T23 处再次开始运行并且反相发生负载电流 Id 时，输出电压 VDD 的 DC 电平超过一定电压，并且因此，小于电流 Ia 的电流 Ib 作为附加电流 11 被提供，输出电压 VDD 上升△Vb。如上所述，当输出电压 VDD 的 DC 电平超过一定电压时，与输出电压 VDD 的急剧变化有关的输出电压 VDD 的增加量被抑制。

[0047] 图 6 是示出根据本实施例的电源电路的另一电路配置示例的视图。注意在图 6 中，具有与图 1、图 3 中所示的的组件等基本相同功能的组件等以相同的附图标记和符号表示，并因而没有给出重复的说明。在图 6 所示的电源电路中，灵敏度调节部 15B 不同于图 3 中所示的电源电路。

[0048] 灵敏度调节部 15B 包括电阻器 R11、晶体管 TR16，以及电阻器 RA、RB、RC，晶体管 TRA、TRB、TRC 以及比较电路 21。电阻器 RA、RB、RC 串联耦合在晶体管 TR14 的漏极端和接地电压之间。晶体管 TRA 并联耦合到电阻器 RA，晶体管 TRB 并联耦合到电阻器 RB，并且晶体管 TRC 并联耦合到电阻器 RC。比较电路 21 的输出信号输入到晶体管 TRA、TRB、TRC 中每个的栅极端。

[0049] 比较电路 21 将运行开始时刻的电源电路的输出电压 VDD1 和一个或多个阀值电压进行比较，并根据比较结果将输出信号输出到晶体管 TRA、TRB、TRC 的栅极端。即，比较电路 21 根据运行开始时刻电源电路的输出电压 VDD1 执行晶体管 TRA、TRB、TRC 的导通 / 关断控制。例如，当运行开始时刻电源电路输出电压 VDD1 的 DC 电平高于作为基准的阈值电压时，控制晶体管 TRA、TRB、TRC 使电阻变小，并且降低防下冲电路 14 相对于输出电压 VDD 的 AC 分量的变化的灵敏度。例如，当运行开始时刻电源电路输出电压 VDD1 的 DC 电平低于作为基准的阈值电压时，控制晶体管 TRA、TRB、TRC 使电阻变大，并且提高防下冲电路 14 相对于输出电压 VDD 的 AC 分量的变化的灵敏度。

[0050] 如上所述，根据运行开始时刻电源电路输出电压 VDD1 来控制防下冲电路 14 相对于输出电压 VDD 的 AC 分量的变化的灵敏度，由此，能够吸收由基准电压电路的离差（dispersion）等引起的基准电压 VREF 的离差，并且更加准确地控制灵敏度。注意电阻器 RA、RB、RC 的电阻值可以相同也可以不同。
图 7A 和图 7B 是示出包括根据本实施例的电源电路的半导体装置的配置示例的视图。图 7A 和图 7B 所示的半导体装置各包括，例如，由模拟数字转换器 (ADC) 120 将由传感器部 130 检测到的信号转换到存储器中而获得的存储数字数据的功能。

图 7A 所示的半导体装置 100A 包括 CPU (中央处理单元) 101、电源电路 102、LCD (液晶显示器) 控制器 103、接口部 104 以及 UART (通用异步收发器) 105。CPU101 控制由半导体装置 100A 持有的各个功能部。电源电路 102 是根据本实施例的电源电路，并将电力提供给由半导体装置 100A 持有的功能部。LCD 控制器 103 执行与显示部 110 相关的显示控制。显示部 110 是例如液晶显示装置 (LCD)。接口部 104 与 ADC120 发送 / 接收数据。UART105 是执行对外部存储器 140 写入数据并且从外部存储器 140 读取数据的串行接口。外部存储器 140 是例如铁电存储器 (FRAM)。注意，在图 7A 所示的半导体装置 100A 中，存储器 140 保持在外部，但存储器 140 可以保持在半导体装置 100B 中，如图 7B 所示。

根据所公开的电源电路，当输出电压高于一定电压时，通过根据输出电压的 AC 分量减小输出至第一晶体管的栅极端的电流，能够可靠地保持输出电压在负载能够工作的电源电压范围内。
图 3
图 4
图 6