

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-523046
(P2014-523046A)

(43) 公表日 平成26年9月8日(2014.9.8)

(51) Int.Cl.

G06F 12/08 (2006.01)

F 1

G06F 12/08 505B
G06F 12/08 507J

テーマコード(参考)

5B005

審査請求 未請求 予備審査請求 未請求 (全 31 頁)

(21) 出願番号 特願2014-519591 (P2014-519591)
 (86) (22) 出願日 平成24年6月13日 (2012.6.13)
 (85) 翻訳文提出日 平成26年3月10日 (2014.3.10)
 (86) 國際出願番号 PCT/FI2012/050592
 (87) 國際公開番号 WO2013/007870
 (87) 國際公開日 平成25年1月17日 (2013.1.17)
 (31) 優先権主張番号 13/179,689
 (32) 優先日 平成23年7月11日 (2011.7.11)
 (33) 優先権主張国 米国(US)

(71) 出願人 514009753
 メモリー テクノロジーズ リミティド
 ライアビリティ カンパニー
 アメリカ合衆国、ネバダ 89103, ラ
 スペガス、ウエスト トロピカーナ アベ
 ニュ 6787, スイート 238
 (74) 代理人 100099759
 弁理士 青木 篤
 (74) 代理人 100092624
 弁理士 鶴田 準一
 (74) 代理人 100141162
 弁理士 森 啓
 (74) 代理人 100141254
 弁理士 横原 正巳

最終頁に続く

(54) 【発明の名称】モバイル・メモリ・キャッシング読み取り最適化

(57) 【要約】

【課題】モバイル・メモリ・デバイスのためのキャッシング読み取り最適化を可能にする方法が記載されている。
 【解決手段】この方法は、メモリ・デバイスにおいて、ホストから、前記メモリ・デバイスに、少なくとも 2 つのデータ・ブロックにアクセスするように指示する 1 つ以上のアクセス・コマンドを受信するステップを含む。この少なくとも 2 つのデータ・ブロックはアクセスされる。この方法は、このメモリ・デバイスにより、前記少なくとも 2 つのデータ・ブロックにアクセスする順序に少なくとも部分的に基づいて、この少なくとも 2 つのデータ・ブロックに対するプリフェッチ情報を作成することを含む。この方法に関する装置とコンピュータ読み取り可能メディアも、記述される。

【選択図】図 6

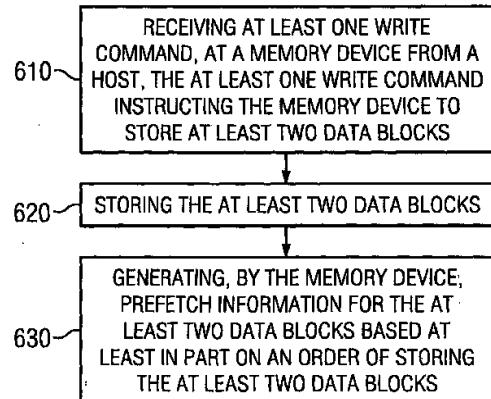


FIG. 6

【特許請求の範囲】**【請求項 1】**

メモリ・デバイスにおいて、ホストから、少なくとも 1 つのアクセス・コマンドを受信するステップであって、該アクセス・コマンドは、該メモリ・デバイスに、少なくとも 2 つのデータ・ブロックにアクセスするように指示する、ステップと、

前記少なくとも 2 つのデータ・ブロックにアクセスするステップと、

前記メモリ・デバイスにより、前記少なくとも 2 つのデータ・ブロックにアクセスする順序に少なくとも部分的に基づいて、前記少なくとも 2 つのデータ・ブロックに対するプリフェッч情報生成するステップと、

を含む方法。

10

【請求項 2】

前記プリフェッч情報を生成するステップは、前記ホストによって提供される情報と、前記メモリ・デバイスに対するコントローラにおけるルールと、のうちの少なくとも 1 つに、さらに基づいている、請求項 1 に記載の方法。

【請求項 3】

前記少なくとも 1 つのアクセス・コマンドの各々のアクセス・コマンドは、

コンテキスト識別子と、

タスク・タグと、

プリフェッч識別子と、

グループ番号と、

20

のうちの少なくとも 1 つを含むインデックス情報に結びついている、請求項 1 または 2 に記載の方法。

【請求項 4】

前記少なくとも 1 つのアクセス・コマンドは、第 1 のアクセス・コマンドと第 2 のアクセス・コマンドを含み、

第 1 のアクセス・コマンドと第 2 のアクセス・コマンドとは、同一のインデックス情報を含む、

請求項 3 に記載の方法。

【請求項 5】

少なくとも 1 つのアクセス・コマンドを受信するステップは、

30

1 回目に、第 1 のインデックス情報を含む第 1 のアクセス・コマンドを受信することと、

前記 1 回目の後、2 回目に第 2 のアクセス・コマンドを受信することであって、前記第 2 のアクセス・コマンドは、前記第 1 のインデックス情報と異なる第 2 のインデックス情報を含む、ことと、

前記 2 回目の後、3 回目に前記第 1 のインデックス情報を含む第 3 のアクセス・コマンドを受信することと、

を含む、請求項 3 に記載の方法。

【請求項 6】

前記プリフェッч情報を生成するステップは、前記第 1 のアクセス・コマンドに応じてアクセスされた最後のデータ・ブロックを前記第 3 のアクセス・コマンドに応じてアクセスされた第 1 のデータ・ブロックにリンクすることを含む、請求項 5 に記載の方法。

40

【請求項 7】

前記プリフェッч情報を生成するステップは、第 3 のアクセス・コマンドに応じてアクセスされた第 1 のデータ・ブロックに対する新たなリンク・データ・セッションを開始することを含み、

同一のインデックス情報を有するアクセス・コマンドに応じてアクセスされたデータ・ブロックは、リンク・データ・セッションの間にリンクされる、請求項 5 に記載の方法。

【請求項 8】

50

マッチング・インデックス情報を有するアクセス・コマンドに応じてアクセスされたデータ・ブロックは、リンクング・データ・セッションの間にリンクされ、

前記マッチング・インデックス情報を有する前のアクセス・コマンドの後の所定の時間の経過と、前記リンクング・データ・セッションが開始した後の時間の経過と、制御レジスタにおける変更と、のうちの1つに応じて、新たなリンクング・データ・セッションを開始することをさらに含む、請求項3に記載の方法。

【請求項9】

前記プリフェッヂ情報を生成するステップは、前記少なくとも2つのデータ・ブロックの第1のデータ・ブロックを、前記少なくとも2つのデータ・ブロックの、次に続いてアクセスされたデータ・ブロックにリンクすることを含む、請求項1ないし4のいずれか1項に記載の方法。10

【請求項10】

前記少なくとも1つのアクセス・コマンドは、読み取りコマンドと書き込みコマンドとの少なくとも1つを含む、請求項1ないし9のいずれか1項に記載の方法。

【請求項11】

前記プリフェッヂ情報は、第1のブロックが読み取られるときに、少なくとも2つのブロックをプリフェッヂする指示を含む、請求項1ないし10のいずれか1項に記載の方法。。

【請求項12】

前記メモリ・デバイスに、前記ホストに第1の読み取られたデータ・ブロックを提供するように指示する第1の読み取りコマンドを受信するステップと、20

前記第1の読み取られたデータ・ブロックを前記ホストに提供するステップと、

プリフェッヂ情報に基づいて続いて読み取られたデータ・ブロックを決定するステップと、

前記続いて読み取られたデータ・ブロックをプリフェッヂするステップと、

前記続いて読み取られたデータ・ブロックをプリフェッヂした後に、前記続いて読み取られたデータ・ブロックを、前記ホストに提供するように前記メモリ・デバイスに指示する第2の読み取りコマンドを受信するステップと、

プリフェッヂされた前記続いて読み取られたデータ・ブロックを、前記ホストに提供するステップと、30

をさらに含む請求項1ないし11のいずれか1項に記載の方法。

【請求項13】

前記メモリ・デバイスの少なくとも部分に対してプリフェッヂ情報を生成することをやめるコマンドを受信するステップと、

前記メモリ・デバイスの前記部分において、データ・ブロックをアクセスするときに、プリフェッヂ情報を生成することを防止するステップと、

をさらに含む請求項1に記載の方法。

【請求項14】

前記メモリ・デバイスに、前記少なくとも2つのデータ・ブロックのうちの少なくとも1つにアクセスするように指示する少なくとも1つの追加アクセス・コマンドを受信するステップと、40

前記少なくとも1つの追加アクセス・コマンドに応じてアクセスされたデータ・ブロックの順序に基づいて、前記プリフェッヂ情報を除去するステップと、
をさらに含む請求項1に記載の方法。

【請求項15】

前記メモリ・デバイスは、少なくとも1つのNANDメモリ格納デバイスを備える、請求項1ないし14のいずれか1項に記載の方法。

【請求項16】

少なくとも1つのプロセッサと、コンピュータ・プログラム・コードを含む少なくとも1つのメモリと、を備える装置であって、50

前記少なくとも1つのメモリと前記コンピュータ・プログラム・コードとは、前記少なくとも1台のプロセッサで、前記装置に、

メモリ・デバイスにおいて、ホストから、前記メモリ・デバイスに、少なくとも2つのデータ・ブロックにアクセスするように指示する少なくとも1つのアクセス・コマンドを受信することと、

前記少なくとも2つのデータ・ブロックにアクセスすることと、

前記メモリ・デバイスにより、前記少なくとも2つのデータ・ブロックにアクセスする順序に少なくとも部分的に基づいて、前記少なくとも2つのデータ・ブロックに対するプリフェッチ情報を生成することと、を少なくとも実行させるように構成されている、装置。

10

【請求項17】

前記プリフェッチ情報を生成するステップは、さらに、前記ホストによって提供される情報と、前記メモリ・デバイスに対するコントローラにおけるルールと、のうちの少なくとも1つに基づいている、請求項16に記載の装置。

【請求項18】

前記少なくとも1つのアクセス・コマンドの各々のアクセス・コマンドは、

コンテキスト識別子と、

タスク・タグと、

プリフェッチ識別子と、

グループ番号と、のうちの少なくとも1つを含むインデックス情報に結びついている、請求項16または17に記載の装置。

20

【請求項19】

前記少なくとも1つのアクセス・コマンドは、第1のアクセス・コマンドと第2のアクセス・コマンドを含み、

前記第1のアクセス・コマンドと前記第2のアクセス・コマンドとは、同一のインデックス情報を含む、請求項18に記載の装置。

【請求項20】

前記少なくとも1つのアクセス・コマンドを受信するとき、前記少なくとも1つのメモリと前記コンピュータ・プログラム・コードとは、

前記装置に、1回目に、第1のインデックス情報を含む第1のアクセス・コマンドを受信させ、

前記1回目の後、2回目に第2のアクセス・コマンドを受信させ、ここで、前記第2のアクセス・コマンドは、前記第1のインデックス情報と異なる第2のインデックス情報を含み、

前記2回目の後、3回目に前記第1のインデックス情報を含む第3のアクセス・コマンドを受信させるように構成されている、請求項18に記載の装置。

30

【請求項21】

前記プリフェッチ情報を生成するときに、前記少なくとも1つのメモリと前記コンピュータ・プログラム・コードとは、

前記装置に、前記第1のアクセス・コマンドに応じてアクセスされた最後のデータ・ブロックを、前記第3のアクセス・コマンドに応じてアクセスされた第1のデータ・ブロックにリンクさせるように構成されている、請求項20に記載の装置。

40

【請求項22】

前記プリフェッチ情報を生成するときに、前記少なくとも1つのメモリと前記コンピュータ・プログラム・コードとは、

前記装置に、前記第3のアクセス・コマンドに応じてアクセスされた第1のデータ・ブロックに対する新たなリンクング・データ・セッションを開始させるように構成されており、

同一のインデックス情報を有するアクセス・コマンドに応じてアクセスされたデータ・ブロックは、リンクング・データ・セッションの間にリンクされる、請求項20に記載の

50

装置。

【請求項 2 3】

インデックス情報のマッチングを有するアクセス・コマンドに応じてアクセスされたデータ・ブロックは、リンクング・データ・セッションの間にリンクされ、

前記少なくとも1つのメモリと前記コンピュータ・プログラム・コードとは、前記装置に、前記マッチング・インデックス情報を有する前のアクセス・コマンドの後の所定の時間の経過と、前記リンクング・データ・セッションが開始した後の時間の経過と、制御レジスタにおける変更と、のうちの1つに応じて、新たなリンクング・データ・セッションを開始させるように構成されている、請求項18に記載の装置。

【請求項 2 4】

前記プリフェッヂ情報を生成するときに、前記少なくとも1つのメモリと前記コンピュータ・プログラム・コードとは、前記装置に、前記少なくとも2つのデータ・ブロックの第1のデータ・ブロックを、前記少なくとも2つのデータ・ブロックの、次に続いてアクセスされたデータ・ブロックにリンクさせるように構成されている、請求項16ないし19のいずれか1項に記載の装置。

【請求項 2 5】

前記少なくとも1つのアクセス・コマンドは、読み取りコマンドと書き込みコマンドとの少なくとも1つを含む、請求項16ないし24のいずれか1項に記載の装置。

【請求項 2 6】

前記プリフェッヂ情報は、第1のブロックが読み取られるときに、少なくとも2つのブロックをプリフェッヂする指示を含む、請求項16ないし25のいずれか1項に記載の装置。

【請求項 2 7】

前記少なくとも1つのメモリと前記コンピュータ・プログラム・コードとは、前記装置に、前記メモリ・デバイスに、

第1の読み取られたデータ・ブロックを前記ホストに提供するように指示している前記第1の読み取りコマンドを受信させ、

前記第1の読み取られたデータ・ブロックを、前記ホストに提供させ、

前記プリフェッヂ情報に基づいて、続いて読み取られたデータ・ブロックを決定させ、

前記続いて読み取られたデータ・ブロックをプリフェッヂさせ、

前記続いて読み取られたデータ・ブロックをプリフェッヂした後に、前記続いて読み取られたデータ・ブロックを、前記ホストに提供するように前記メモリ・デバイスに指示している第2の読み取りコマンドを受信させ、

前記ホストに前記プリフェッヂされた、続いて読み取られたデータ・ブロックを提供するように構成されている、請求項16ないし26のいずれか1項に記載の装置。

【請求項 2 8】

前記少なくとも1つのメモリと前記コンピュータ・プログラム・コードとは、前記装置に、

前記メモリ・デバイスの少なくとも部分に対してプリフェッヂ情報を生成することをやめるコマンドを受信させ、

前記メモリ・デバイスの前記部分において、データ・ブロックをアクセスするときに、プリフェッヂ情報を生成することを防止するように構成されている、請求項16に記載の装置。

【請求項 2 9】

前記少なくとも1つのメモリと前記コンピュータ・プログラム・コードとは、前記装置に、前記メモリ・デバイスに、前記少なくとも2つのデータ・ブロックのうちの少なくとも1つにアクセスするように指示する少なくとも1つの追加アクセス・コマンドを受信させ、

前記少なくとも1つのアクセス・コマンドに応答してアクセスされたデータ・ブロックの順序に基づいて、前記プリフェッヂ情報を除去するように構成されている、請求項1

10

20

30

40

50

6に記載の装置。

【請求項 3 0】

前記装置は、集積回路において実現される、請求項 1 6 ないし 2 9 のいずれか 1 項に記載の装置。

【請求項 3 1】

プロセッサによって実行可能なコンピュータ・プログラムで実体的にエンコードされたコンピュータ読み取り可能メディアであって、前記プロセッサによって実行可能な処理は、

メモリ・デバイスにおいて、ホストから、前記メモリ・デバイスに、少なくとも 2 つのデータ・ロックにアクセスするように指示する少なくとも 1 つのアクセス・コマンドを受信することと、

前記少なくとも 2 つのデータ・ロックにアクセスすることと、

前記メモリ・デバイスにより、前記少なくとも 2 つのデータ・ロックにアクセスする順序に少なくとも部分的に基づいて、前記少なくとも 2 つのデータ・ロックに対するプリフェッチ情報を生成することと、を含む、コンピュータ読み取り可能メディア。

【請求項 3 2】

前記プリフェッチ情報を生成することは、さらに、前記ホストによって提供される情報と、前記メモリ・デバイスに対するコントローラにおけるルールと、の少なくとも 1 つに基づいている、請求項 3 1 に記載のコンピュータ読み取り可能メディア。

【請求項 3 3】

前記少なくとも 1 つのアクセス・コマンドの各々のアクセス・コマンドは、

コンテキスト識別子と、

タスク・タグと、

プリフェッチ識別子と、

グループ番号と、のうちの少なくとも 1 つを含むインデックス情報に結びついている、請求項 3 1 または 3 2 に記載のコンピュータ読み取り可能メディア。

【請求項 3 4】

前記少なくとも 1 つのアクセス・コマンドは、第 1 のアクセス・コマンドと第 2 のアクセス・コマンドを含み、

前記第 1 のアクセス・コマンドと前記第 2 のアクセス・コマンドとは、同一のインデックス情報を含む、請求項 3 3 に記載のコンピュータ読み取り可能メディア。

【請求項 3 5】

前記少なくとも 1 つのアクセス・コマンドを受信することは、

1 回目に、第 1 のインデックス情報を含む第 1 のアクセス・コマンドを受信することと、

前記 1 回目の後、2 回目に、前記第 1 のインデックス情報を異なる第 2 のインデックス情報を含む、第 2 のアクセス・コマンドを受信することと、

前記 2 回目の後、3 回目に前記第 1 のインデックス情報を含む第 3 のアクセス・コマンドを受信することと、を含む、請求項 3 3 に記載のコンピュータ読み取り可能メディア。

【請求項 3 6】

前記プリフェッチ情報を生成するステップは、前記第 1 のアクセス・コマンドに応じてアクセスされた最後のデータ・ロックを、前記第 3 のアクセス・コマンドに応じてアクセスされた第 1 のデータ・ロックにリンクすることを含む、請求項 3 5 に記載のコンピュータ読み取り可能メディア。

【請求項 3 7】

前記プリフェッチ情報を生成するステップは、第 3 のアクセス・コマンドに応じてアクセスされた第 1 のデータ・ロックに対する新たなリンク・データ・セッションを開始することを含み、

同一のインデックス情報を有するアクセス・コマンドに応じてアクセスされたデータ・ロックは、リンク・データ・セッションの間にリンクされる、請求項 3 5 に記載のコンピュータ読み取り可能メディア。

10

20

30

40

50

【請求項 3 8】

インデックス情報のマッチングを有するアクセス・コマンドに応じてアクセスされたデータ・ロックは、リンクング・データ・セッションの間にリンクされ、

前記処理は、さらに、前記マッチング・インデックス情報を有する前のアクセス・コマンドの後の所定の時間の経過と、前記リンクング・データ・セッションが開始した後の時間の経過と、制御レジスタにおける変更と、のうちの1つに応じて、新たなリンクング・データ・セッションを開始することを含む、請求項33に記載のコンピュータ読み取り可能メディア。

【請求項 3 9】

前記プリフェッヂ情報を生成するステップは、前記少なくとも2つのデータ・ロックの第1のデータ・ロックを、前記少なくとも2つのデータ・ロックの、次に続いてアクセスされたデータ・ロックにリンクすることを含む、請求項31ないし34のいずれか1項に記載のコンピュータ読み取り可能メディア。10

【請求項 4 0】

前記少なくとも1つのアクセス・コマンドは、読み取りコマンドと書き込みコマンドとの少なくとも1つを含む、請求項31ないし39のいずれか1項に記載のコンピュータ読み取り可能メディア。

【請求項 4 1】

前記プリフェッヂ情報は、第1のロックが読み取られるときに、少なくとも2つのロックをプリフェッヂする指示を含む、請求項31ないし40のいずれか1項に記載のコンピュータ読み取り可能メディア。20

【請求項 4 2】

前記処理は、さらに、

前記メモリ・デバイスに、第1の読み取られたデータ・ロックを前記ホストに提供するように指示している前記第1の読み取りコマンドを受信することと、

前記第1の読み取られたデータ・ロックを前記ホストに提供することと、

プリフェッヂ情報に基づいて続いて読み取られたデータ・ロックを決定することと、前記続いて読み取られたデータ・ロックをプリフェッヂすることと、

前記続いて読み取られたデータ・ロックをプリフェッヂした後に、

前記続いて読み取られたデータ・ロックを、前記ホストに提供するように前記メモリ・デバイスに指示する第2の読み取りコマンドを受信することと、30

プリフェッヂされた前記続いて読み取られたデータ・ロックを、前記ホストに提供することと、を含む、請求項31ないし41のいずれか1項に記載のコンピュータ読み取り可能メディア。

【請求項 4 3】

前記処理は、さらに、

前記メモリ・デバイスの少なくとも部分に対してプリフェッヂ情報を生成することをやめるコマンドを受信することと、

前記メモリ・デバイスの前記部分において、データ・ロックをアクセスするときに、プリフェッヂ情報を生成することを防止することと、を含む、請求項31に記載のコンピュータ読み取り可能メディア。40

【請求項 4 4】

前記処理は、さらに、

前記メモリ・デバイスに、前記少なくとも2つのデータ・ロックのうちの少なくとも1つにアクセスするように指示する少なくとも1つの追加アクセス・コマンドを受信することと、

前記少なくとも1つのアクセス・コマンドに応答してアクセスされたデータ・ロックの順序に基づいて、前記プリフェッヂ情報を除去することと、を含む、請求項31に記載のコンピュータ読み取り可能メディア。

【請求項 4 5】

前記メモリ・デバイスは、少なくとも1つのNANDメモリ格納デバイスを備える、請求項31ないし44のいずれか1項に記載のコンピュータ読み取り可能メディア。

【請求項46】

メモリ・デバイスにおいて、ホストから、少なくとも1つのアクセス・コマンドを受信する手段であって、該少なくとも1つのアクセス・コマンドは、前記メモリ・デバイスに、少なくとも2つのデータ・ブロックにアクセスするように指示する、手段と、

前記少なくとも2つのデータ・ブロックにアクセスする手段と、

前記メモリ・デバイスにより、前記少なくとも2つのデータ・ブロックにアクセスする順序に少なくとも部分的に基づいて、前記少なくとも2つのデータ・ブロックに対するプリフェッヂ情報を生成する手段と、を備える装置。

10

【請求項47】

前記生成する手段は、前記ホストによって提供される情報と、前記メモリ・デバイスに対するコントローラにおけるルールと、のうちの少なくとも1つのに基づいて、前記プリフェッヂ情報を生成するためのものである、請求項46に記載の装置。

【請求項48】

前記少なくとも1つのアクセス・コマンドの各々のアクセス・コマンドは、
コンテキスト識別子と、
タスク・タグと、
プリフェッヂ識別子と、
グループ番号と、のうちの少なくとも1つを含むインデックス情報に結びついている、
請求項46または47に記載の装置。

20

【請求項49】

少なくとも1つのアクセス・コマンドは、第1のアクセス・コマンドと第2のアクセス・コマンドを備え、

前記第1のアクセス・コマンドと前記第2のアクセス・コマンドとは、同一のインデックス情報を含む、請求項48に記載の装置。

【請求項50】

前記受信する手段は、
1回目に、第1のインデックス情報を含む第1のアクセス・コマンドを受信する手段と、
前記1回目の後、2回目に、前記第1のインデックス情報と異なる第2のインデックス情報を含む第2のアクセス・コマンドを受信する手段と、

30

前記2回目の後、3回目に前記第1のインデックス情報を含む第3のアクセス・コマンドを受信する手段と、を備える、請求項48に記載の装置。

【請求項51】

前記第1のアクセス・コマンドに応じてアクセスされた前記生成する手段は、最後のデータ・ブロックを前記第3のアクセス・コマンドに応じてアクセスされた第1のデータ・ブロックにリンクする手段を備える、請求項50に記載の装置。

【請求項52】

前記生成する手段は、前記第3のアクセス・コマンドに応じてアクセスされた第1のデータ・ブロックに対する新たなリンクング・データ・セッションを開始する手段であって、同一のインデックス情報を有するアクセス・コマンドに応じてアクセスされたデータ・ブロックは、リンクング・データ・セッションの間にリンクされる、手段を備える、請求項50に記載の装置。

40

【請求項53】

インデックス情報のマッチングを有するアクセス・コマンドに応じてアクセスされたデータ・ブロックは、リンクング・データ・セッションの間にリンクされ、

前記マッチング・インデックス情報を有する前のアクセス・コマンドの後の所定の時間の経過と、前記リンクング・データ・セッションが開始した後の時間の経過と、制御レジスタにおける変更と、のうちの1つに応じて、新たなリンクング・データ・セッションを

50

開始する手段をさらに含む、請求項 4 8 に記載の装置。

【請求項 5 4】

前記生成する手段は、前記少なくとも 2 つのデータ・ブロックの第 1 のデータ・ブロックを、前記少なくとも 2 つのデータ・ブロックの、次に続いてアクセスされたデータ・ブロックにリンクする手段を備える、請求項 4 6 ないし 4 9 のいずれか 1 項に記載の装置。

【請求項 5 5】

少なくとも 1 つのアクセス・コマンドは、読み取りコマンドと書き込みコマンドとの少なくとも 1 つを含む、請求項 4 6 ないし 5 4 のいずれか 1 項に記載の装置。

【請求項 5 6】

前記プリフェッヂ情報は、第 1 のブロックが読み取られるときに、少なくとも 2 つのブロックをプリフェッヂする指示を含む、請求項 4 6 ないし 5 5 のいずれか 1 項に記載の装置。

10

【請求項 5 7】

前記メモリ・デバイスに、前記ホストに第 1 の読み取られたデータ・ブロックを提供するように指示する第 1 の読み取りコマンドを受信する手段と、

前記ホストに前記第 1 の読み取られたデータ・ブロックを提供する手段と、
前記プリフェッヂ情報に基づいて、続いて読み取られたデータ・ブロックを決定する手段と、

続いて読み取られたデータ・ブロックをプリフェッヂする手段と、

前記続いて読み取られたデータ・ブロックをプリフェッヂした後に、前記続いて読み取られたデータ・ブロックを、前記ホストに提供するように前記メモリ・デバイスに指示している第 2 の読み取りコマンドを受信する手段と、

20

前記ホストに、前記プリフェッヂされた、続いて読み取られたデータ・ブロックを提供するための手段と、をさらに備える請求項 4 6 ないし 5 6 のいずれか 1 項に記載の装置。

【請求項 5 8】

前記メモリ・デバイスの少なくとも部分に対してプリフェッヂ情報を生成することをやめるコマンドを受信する手段と、

前記メモリ・デバイスの前記部分において、データ・ブロックをアクセスするときに、プリフェッヂ情報を生成することを防止する手段と、をさらに備える請求項 4 6 に記載の装置。

30

【請求項 5 9】

前記メモリ・デバイスに、前記少なくとも 2 つのデータ・ブロックのうちの少なくとも 1 つにアクセスするように指示する少なくとも 1 つの追加アクセス・コマンドを受信する手段と、

前記少なくとも 1 つのアクセス・コマンドに応答してアクセスされたデータ・ブロックの順序に基づいて、前記プリフェッヂ情報を除去する手段と、をさらに備える請求項 4 6 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本願発明の例示的で非限定的な実施形態は、一般に、メモリ・デバイスに関し、より詳細には、モバイル・メモリ・デバイスのキャッシュ読み取り最適化を提供することに関するものである。

40

【背景技術】

【0 0 0 2】

このセクションでは、特許請求の範囲において記載される本願発明についての背景および文脈を提供することを目的とする。ここでの説明は、追求することができた概念を含むかもしれないが、しかし、必ずしも、出願以前に考えられた、あるいは、追求されたものであるというわけではない。したがって、ここで、特に示されない限り、このセクションにおいて記述される内容は、本願の発明の説明と特許請求の範囲に対する先行技術でなく

50

、このセクションにおいて含まれる先行技術であると認められない。

【0003】

本願明細書や図面において見られるつぎの略語は、以下の通りに定められる。

D B	データベース
D R A M	ダイナミック・ランダム・アクセス・メモリ
E C C	誤り訂正符号
e - M M C	埋め込みマルチ・メディア・カード
e N B	E - U T R A N ノードB（進化型ノードB）
F W	ファームウェア
H W	ハードウェア
N o d e B	基地局
O S	オペレーティング・システム
P C	パソコン
S B C (- 3)	S C S I ブロック・コマンド
S C S I	小型コンピュータ・システム・インターフェース
S S D	半導体ディスク
S W	ソフトウェア
U E	移動局や移動端末などのユーザ機器
U F S	ユニバーサル・フラッシュ・ストレージ

10

20

【0004】

U Eなどモバイル・デバイスは、例えば、音楽、ピクチャ、アプリケーション、マップ、など利用者データを格納するメモリを使用することができる。モバイル・デバイスにおいて格納される利用者データの量は、増加しており、大きくなり続けるであろう。いくつかのハイエンドのデバイスは、N A N Dメモリ技術（別名フラッシュメモリ）など、不揮発性メモリに基づいて、ユーザ・データ・ストレージを提供する。N A N Dメモリ使用は、ミッドレンジ・デバイスに拡大した。

【0005】

典型的なモバイル管理N A N Dデバイスにおいて、実際のキャッシュメモリは、コストと電力最適化のために存在しない。N A N D自体において、いくつかのメモリ・コントローラS R A Mとバッファ・メモリが存在できる。しかしながら、これらは、N A N Dメモリにプログラムされるか、ホストに配信される前にデータをバッファする一時的ストレージである。いくつかP C市場において、S S Dのような管理N A N Dデバイスは、そのメモリ・デバイスにおいて含まれるキャッシュ・メモリ・ストレージ、典型的にはD R A M、を有することができる。S S Dにおいて、データを、N A N Dストレージにそれを掃き出す前により長い期間D R A Mキャッシュに格納することができる。

30

【0006】

パフォーマンスの標準化されたキャッシュ定義と改善は、主として、書き込み操作に適用される。既存の標準化されたプリフェッチ／パック・コマンド・メカニズムは、事前にそのデバイスにアドレスを提供するために、どのデータが次にフェッチされなければならないかについてホストが分かっていることに基づいている。しかしながら、これは、常に妥当であるということはない。必要であるのは、N A N Dメモリ・デバイスにおいてメモリ読み込みを改善する方法である。

40

【発明の概要】

【0007】

この発明の概要は、単に例示的、非限定的であることを意図している。

【0008】

本願発明の例示的な実施形態の使用によって、前述と他の問題は解決され、他の利点が認識される。

【0009】

その第1の態様において、この発明の例示的な実施形態は、モバイル・メモリ・デバイ

50

スのためのキャッシュ読み取り最適化を可能にする方法を提供する。この方法は、（例えば、プロセッサで）メモリ・デバイスにおいて、ホストから、1つ以上のアクセス・コマンドを受信することを含み、その1つ以上のアクセス・コマンドは、少なくとも2つのデータ・ロックにアクセスするよう、メモリ・デバイスに指示する。この少なくとも2つのデータ・ロックにアクセスすることも、また、含まれる。この方法は、このメモリ・デバイスにより、上記少なくとも2つのデータ・ロックにアクセスする順序に少なくとも部分的に基づいて、この少なくとも2つのデータ・ロックに対するプリフェッチ情報を生成することを含む。

【0010】

その更なる態様において、本願発明の例示的な実施形態は、モバイル・メモリ・デバイスのためのキャッシュ読み取り最適化を可能にする装置を提供する。この装置は、1つ以上のプロセッサと、コンピュータ・プログラム・コードを含む1つ以上のメモリとを含み、この1つ以上のメモリとコンピュータ・プログラム・コードとは、この1つ以上のプロセッサで、装置に、処理の実行をさせるように構成されている。この処理は、メモリ・デバイスにおいて、ホストから、1つ以上のアクセス・コマンドを受信することを含み、その1つ以上のアクセス・コマンドは、メモリ・デバイスに、少なくとも2つのデータ・ロックにアクセスするように指示する。この少なくとも2つのデータ・ロックはアクセスされる。この処理は、また、このメモリ・デバイスにより、上記少なくとも2つのデータ・ロックにアクセスする順序に少なくとも部分的に基づいて、この少なくとも2つのデータ・ロックに対するプリフェッチ情報を生成する。

10

20

30

40

【0011】

それとは別の態様において、本願発明の例示的な実施形態は、モバイル・メモリ・デバイスのキャッシュ読み取り最適化を可能にするためのコンピュータ読取り可能媒体を提供する。コンピュータ読取り可能媒体は、処理を実行するプロセッサによって実行可能なコンピュータ・プログラムで実体的にエンコードされる。この処理は、メモリ・デバイスにおいて、ホストから、1つ以上のアクセス・コマンドを受信することを含み、その1つ以上のアクセス・コマンドは、メモリ・デバイスに少なくとも2つのデータ・ロックにアクセスするように指示する。この少なくとも2つのデータ・ロックはアクセスされる。この処理は、また、このメモリ・デバイスにより、上記少なくとも2つのデータ・ロックにアクセスする順序に少なくとも部分的に基づいて、この少なくとも2つのデータ・ロックに対するプリフェッチ情報を生成することを含む。

30

【0012】

その更なる態様において、本願発明の例示的な実施形態は、モバイル・メモリ・デバイスのためのキャッシュ読み取り最適化を可能にする装置を提供する。この装置は、メモリ・デバイスにおいて、ホストから、一つ以上のアクセス・コマンドを受信する手段と、ここで、その1つ以上のアクセス・コマンドは、少なくとも2つのデータ・ロックにアクセスするよう、メモリ・デバイスに指示するものであり、前記少なくとも2つのデータ・ロックにアクセスする手段と、このメモリ・デバイスにより、上記少なくとも2つのデータ・ロックにアクセスする順序に少なくとも部分的に基づいて、この少なくとも2つのデータ・ロックに対するプリフェッチ情報を生成する手段と、を含む。

40

【図面の簡単な説明】

【0013】

本願発明の例示的な実施形態の前述および他の態様は、以下の「発明を実施するための形態」において、付帯した図面とともに読まれるときに、より明白になる。

【図1】図1は、本願発明の種々の例示的な実施形態の実施に使用するために適切な例示的な電子デバイスの簡略ブロック図を示す。

【図2】図2は、例えば、図1で示されるような例示的なユーザ機器のより詳しく述べられたブロック図を示す。

【図3】図3は、例えば、図1、2で示されるような例示的なメモリ・デバイスのより詳しく述べられたブロック図を示す。

50

【図4】図4は、図3で示されるような例示的なメモリ・ユニットのより詳しく述べられたブロック図を示す。

【図5】図5は、本願発明にしたがう例示的なメモリ書き込み操作を図示する。

【図6】図6は、例示的な方法における動作、および、本願発明の種々の例示的な実施形態にしたがってコンピュータ読み取り可能メモリの上で具体化されたコンピュータ・プログラム命令の実行の結果を図示する論理フロー図である。

【発明を実施するための形態】

【0014】

NAND読み取りアクセス時間は何十マイクロ秒のスケールでありえるので、次のデータを、少なくとも、NANDデバイスのバッファへ、または、誤り訂正符号（ECC）により訂正してコントローラのバッファ／キャッシュに、データの要求に先立って、ホストが次のデータを要求するときに、それをキャッシュから届けることができるよう、フェッチすることができます是有利である。これは、ホストプロセッサに負担をかけることなく読み込み操作の平均速度を上げることができる。その上に、アクセス要求がより速く満たされるので、メモリ・モジュールは、よりすぐに、電力消費最適化の手段を提供する低電力状態に至ることができる。その上、データのリンクを、正しいデータがフェッチされることを確実にするために、改善することができる。

10

【0015】

本願発明のさらに詳細な種々の例示的な実施形態を記述する前に、本願発明の例示的な実施形態の実施に適切な種々の電子デバイスや装置の簡略ブロック図を図示する図1を参考する。

20

【0016】

図1の無線システム230において、無線ネットワーク235は、NodeB（基地局）のような、より具体的にはeNB220のようなネットワーク・アクセス・ノードを介して、UE210として参照される移動通信装置のような装置で無線リンク232にわたる通信に適応する。

30

【0017】

UE210は、コンピュータやデータ・プロセッサ（DP）214などのコントローラと、コンピュータ命令（PROG）218のプログラムを格納するメモリ（MEM）216として具体化されるコンピュータ可読記憶媒体と、1つ以上のアンテナを介してeNB220との双方向無線通信のために、無線周波数（RF）トランシーバ212などの適切な無線インターフェースと、を含む。UE210は、たとえばメモリ・プロセッサー215など1つ以上の専用のプロセッサを含むこともできる。

30

【0018】

PROG218は、プログラム命令を含むとされ、結合するDP214によって実行されると、デバイスが、本願発明の例示的な実施形態に従って動作することを可能にする。これについては、以下で、より詳細に議論する。

40

【0019】

すなわち、本願発明の種々の例示的な実施形態は、少なくとも部分的には、UE210のDP214によって実行可能なコンピュータ・ソフトウェアによって、または、ハードウェアによって、または、ソフトウェアとハードウェア（および、ファームウェア）の組合せによって、インプリメントすることができる。

【0020】

一般的に、UE210の種々の実施形態は、移動電話、無線通信能力を有するパーソナル携帯情報機器（PDA）、無線通信能力を有するポータブル・コンピュータ、デジタル・カメラのような画像キャプチャー・デバイス、ゲーム・デバイス、音楽格納・再生機器、無線インターネット接続とブラウジングを可能にするインターネット機器、ならびに、そのような機能の組合せを組み込んだ携帯型ユニットまたは端末、を含むことができる。しかし、これらに制限されるものではない。

【0021】

50

コンピュータ読み取り可能MEM216は、ローカルな技術的環境に対して適切な任意のタイプであってよく、例えば、半導体ベース・メモリ素子、フラッシュ・メモリ、磁気メモリ・デバイスとシステム、光メモリ・デバイスとシステム、固定メモリと取り外し可能メモリなど、いかなる適切なデータ・ストレージ技術を使用してもインプリメントすることができる。DP214は、ローカルな技術的環境に対して適切な任意のタイプであってよく、汎用コンピュータ、専用コンピュータ、マイクロ・プロセッサ、デジタル・シグナル・プロセッサ(DSP)、マルチコア・プロセッサ・アーキテクチャに基づくプロセッサの1つ以上を、非限定的な例として、含むことができる、無線インターフェース(例えば、RFトランシーバ212)は、ローカルな技術的環境に対して適切な任意のタイプであってよく、例えば、個々の送信器、受信機、トランシーバまたはそのようなコンポーネントの組合せなど、いかなる適切な通信技術を使用してもインプリメントすることができる。

10

【0022】

図2は、平面図(左)と断面図(右)との両方において、例示的なUEに関する詳細を図示する。本願発明は、多くの機能特定コンポーネントの1つまたはいくつかの組合せにおいて、具体化することができる。図2において、UE210は、キーパッドとして図示されるグラフィック・ディスプレイ・インターフェース320とユーザ・インターフェース322を有する。しかし、また、グラフィック・ディスプレイ・インターフェース320ではタッチスクリーン技術、また、マイクロフォン324で受信される音声認識技術も含むように理解される。パワー・アクチュエータ326は、ユーザによってオン/オフされている装置を制御する。例示的なUE210は、(例えば、ビデオ通話のために)前方向きに示されるカメラ328を有することができる。しかし、代替的に、あるいは、追加的に、(例えば、ローカル・ストレージに対する画像およびビデオのキャプチャのために)後方向きであることもできる。カメラ328は、シャッター・アクチュエータ330によって制御され、選択的に、カメラ328がアクティブ・モードにないとき、スピーカ334のボリューム調整として代替的に機能することができるズーム・アクチュエータ332によって制御される。

20

【0023】

図2の断面図に、典型的にはセルラ通信に使われる複数の送信/受信アンテナ336がみられる。アンテナ336は、UEにおいて、他の無線を使用するマルチバンドでありえる。アンテナ336のための使用可能なグラウンド層は、UE筐体により封入された全スペースにわたってシェードされて示されるが、いくつかの実施形態においては、グラウンド層は、パワー・チップ338が形成されるプリント配線板の上に配置されるように、より小さな領域に限定することできる。パワー・チップ338は、送信されているチャネルや、空間ダイバーシティが用いられ同時に送信するアンテナ全体での電力増幅を制御し、受信信号を増幅する。パワー・チップ338は、増幅された受信信号をベースバンド処理のために信号を復調して、ダウンコンバートする無線周波(RF)チップ340に出力する。ベースバンド(BB)チップ342が、信号を検出し、それは、次に、ビット列に変換され、最後にデコードされる。同様の処理が、装置210において生成され、それから送信された信号にたいして逆向きに起きる。

30

【0024】

カメラ328への、および、カメラ328からの信号は、種々の画像フレームをエンコードし、デコードする画像/ビデオ・プロセッサ344を通過する。別々のオーディオ・プロセッサー346が、また、存在し、スピーカ334とマイク324へ、および、それから信号を制御することもできる。グラフィック・ディスプレイ・インターフェース320は、フレームメモリ348からレフレッシュされる。ユーザ・インターフェース・チップ350で制御されて、ユーザ・インターフェース・チップ350は、表示インターフェース320へ、および、それからの信号を処理することができ、追加的に、キーパッド322やその他からのユーザ入力を処理することができる。UE210の特定の実施形態は、また、アンテナ・オンチップを組み込むことができる、あるいは、オフ・チップ・アンテナに

40

50

結合することができる、例えば、無線ローカル・エリア・ネットワークW L A N 3 3 7 やブルートゥース無線3 3 9など、1つ以上の二次無線を含むこともできる。装置のいたるところに、例えば、ランダム・アクセス・メモリR A M 3 4 3、リード・オンリー・メモリR O M 3 4 5など種々のメモリが存在する。そして、いくつかの実施形態において、図示されたメモリーカード3 4 7のような取り外し可能メモリが存在する。種々のプログラム2 1 8は、フラッシュ3 3 3、例えば、N A N D、e M M C、U F S、S S D、などのうちの1つ以上のものに格納することができる。U E 2 1 0の中のこれらのコンポーネントの全てが、通常、例えば、バッテリー3 4 9のような携帯型電源装置によって電力供給される。

【0 0 2 5】

プロセッサ3 3 8、3 4 0、3 4 2、3 4 4、3 4 6、3 5 0は、U E 2 1 0において別々のエンティティとして具体化される場合には、メイン・プロセッサ2 1 4のスレーブの関係において動作することができ、そして、メイン・プロセッサ2 1 4は、次に、それらのマスターの関係にありえる。本願発明の実施形態は、メモリ・モジュール(3 3 3、3 4 3、3 4 5、3 4 7、3 4 8)のコントローラに、最も関連する。しかしながら、他の実施形態は、そこに配置する必要はないけれども、図2に対して上述した機能のいくつかを結合する別のプロセッサの中に示すか、配置するように、種々のチップとメモリにわたって配置することができるに留意する。図2のこれらの種々のプロセッサの一部または全部は、種々のメモリの1つ以上にアクセスし、それらのメモリは、そのプロセッサとともにオン・チップであることができ、あるいは、それとは別であることもできる。

【0 0 2 6】

上で記述された種々のチップ(例えば、3 3 8、3 4 0、3 4 2など)は、組み合わせて、記述されたものより少数のものにすることができ、最もコンパクトな場合には、単一のチップのなかに物理的に具体化することができることに留意する。

【0 0 2 7】

図3は、例えば、図1、2で示されるような、M E M 2 1 6、R A M 3 4 3、R O M 3 4 5、フラッシュ3 3 3およびメモリーカード3 4 7など、例示的なメモリ・デバイスのより詳しく述べられたブロック図を示す。M E M 4 1 0は、メモリ・コントローラ(M C)4 2 0と、図示されるように、2つの個々の記憶装置M E M 4 3 0とM E M 4 4 0を含む。別の例示的な実施形態において、1つ以上のメモリ・ユニットがあり得る。M C 4 2 0は、読み取り/書き込み要求を取り扱い、それに応じて、M E M 4 3 0とM E M 4 4 0に命令を送るように構成される。

【0 0 2 8】

M E M 4 3 0とM E M 4 4 0とは、(例えば、両方ともN A N Dメモリ技術を使用している)同じタイプのメモリ・デバイスであっても良く、あるいは、(例えば、M E M 4 3 0がN A N Dメモリ技術を使用し、M E M 4 4 0は光ドライブ・メモリ技術であっても良いなど)異なるタイプであっても良い。追加的に、メモリ・ユニット(M E M 4 3 0、4 4 0)の1つ以上を、M C 4 2 0のためのローカル・キャッシング・メモリとして、使用することができる。

【0 0 2 9】

図4は、図3で示されるような例示的なメモリ・ユニットのより詳しく述べられたブロック図を示す。M E M 4 3 0は、種々のメモリ領域(4 3 2、4 3 4、4 3 6および4 3 8)に分割される。非限定的な具体例として、4つの領域が示されている。しかしながら、(例えば、1、2、4、8など)任意数の領域があっても良い。

【0 0 3 0】

領域の分離は、物理的、あるいは、仮想的/論理的な分離であっても良い。仮想的な分離は、種々のメモリーアドレスを、領域に割り当てるによって、行うことができる。領域においてセルは、物理的に隣接しても、隣接しなくても良い。各々の領域は、M C 4 2 0によって別々に扱うことができる、あるいは、単一のエンティティに結合することもできる。

10

20

30

40

50

【0031】

非限定的な例としては、MEM430は、各々がメモリまたはメモリ・ブロック（例えば、512バイトのブロック）のページを表す多数の領域に分けられることができる。

【0032】

本願発明にしたがう第1の例示的な実施形態において、プリフェッヂ／キャッシングは、（例えば、eMMCのContextIDフィーチャなど）インデックス識別子と結びついている。ホストがインデックス識別子（例えば、インデックス#1）に書き込むときはいつでも、対応するNANDブロックにおいて書き込まれるデータは、次のインデックス#1のデータへのリンクを含むことができる。このように、ホストは、（例えば、ソフトウェア（SW）、画像／音楽データまたはデータベース情報などの）データを、単一のインデックスに書き込むように、動作することができ、データを読むときには、（例えば、いくつかの順次、あるいは、單一ブロック読み込みアクセスを使用するときでも）、次のデータは、ホストのさらなる負荷なしで、プリフェッヂすることができる。1つの非限定的な例において、eMMCのデータTAGコンセプトまたはSCSISBC-3のグループ・ナンバー・スキームは、最適化された読み取りキャッシングのためにデータを結びつけて使用することができる。10

【0033】

ホストが、メモリに新たなデータを後で書き込む場合には、それは、前に使われた同じインデックスを使用することができる（例えば、OSを書き込む生産において）。有限数の動的インデックスをサポートするために、新しいインデックスが開けられるたびに、そのインデックスに対する最新のデータだけが、一緒にリンクされる。したがって、任意の介在する書込みコマンドは、同じインデックスを有する書込みコマンドの間のプリフェッヂ・リンクを防止することができる。これらのインデックスは、同じデータに対応しても、対応しなくても良いからである。20

【0034】

代替的に、インデックスは、また、新たなデータが、以前に閉じられたインデックスへ後で書き込まれる（例えば、そのインデックスは再開される）場合に、この新たなデータが、前のものの書き込みの終わりにリンクされるように固定することができる。インデックスは、無限の時間固定しても良く、あるいは、一時的に固定しても良い（例えば、しばらくの間、コマンドに応じて、システムが所定の時間アイドル状態になるまで、等）。30

【0035】

リンク・セッションは、同じインデックス情報を有する書込みコマンドからのデータがいつリンクされるかを表すことができる。以前に使用されたインデックスが使用されるとき、新たなセッションが始まる。しかし、以前の使用からのブロックは、新たなブロックにリンクされることはない（例えば、前の使用の最後のブロックは、新たな使用の第1のブロックにリンクされない）。

【0036】

追加的に、リンク・セッションは、次の多くの状況の1つによって、終わり得る。1) そのリンク・セッション（例えば、限られたウィンドウ）を最初に始めてからの期間の後2) 最後のアクセス動作（例えば、休止期間の後のタイムアウト）からの期間の後3) メモリ・デバイスの状態（例えば、eMMCにおける遷移状態または待機状態、UFSにおける電力モードまたはアクティブLUにリンクされる等）に基づいてあるいは、4) ホストに制御された技術において挙動を変える制御レジスタ。40

【0037】

メモリ・デバイスによる実施例において、ホストは、いかなるタグまたはインデックスを利用する必要はない、むしろ、そのメモリ・デバイスは、プリフェッヂを制御する。第1の例において、メモリ・デバイスは、バッファ／キャッシングに、次の論理データまたは物理アドレス・データのプリフェッヂを実施する。これは、”書き込みマルチプル・ブロック・コマンド”（例えば、eMMCの書き込みマルチプル・ブロック・コマンド）で、シーケンシャル（論理的）アドレスに書き込まれたデータで効率的である。このデバイス50

は、また、そのようなデータを、リード・プリフェッчのためにリンクすることができる。

【0038】

代替的に、前の書き込みマルチプル・ブロック・コマンドの最終アドレスは、同じシーケンシャル・ファイルに属していると仮定して、次の書き込みマルチプル・ブロック・コマンドの先頭アドレスに結びつけることができる（例えば、メガバイトのデータ／ファイルは、典型的には、書き込みのためにより小片に切り分けられる）。

【0039】

この発明に従うさらに例示的な実施形態において、メモリ・デバイスは、同様な”ランダム”・アクセスを一緒にリンクすることができる。例えば、メディアのファイル・システムが、非常に断片化され、データは、メモリ・メディア全体を通して非常に小さな小片（小さなアクションユニット粒度）に書き込まれる場合である。

10

【0040】

メモリ・デバイスは、データの使用の間（例えば、ホストのインタラクションが制限される場合）、リンクを決定することができる。メモリ・デバイスが、2つの連続する書き込みアクセス（例えば、ブロックAとBに）をリンクする場合、そのブロックは、実際に、異なるファイル／エンティティに属することがあり得、したがって、その後プリフェッчされるとき、”キャッシュ・ミス”を発生する。これらの誤ったリンクは、使用の間に、検出することができる。例えば、メモリ・デバイスが、Aの最終アドレスの後に、AとBとの間のリンクが取り除かれることができる음을示すBの先頭アドレスに続く読み取りがないことを検出する場合である。

20

【0041】

追加的に、メモリ・デバイスが、Aの最終アドレスがアクセスされたあと、Cの先頭アドレスが読み出されることを決定するならば、このリンクは実行時の間に、つくることができる。さらに、例示的な実施形態において、1つ以上の可能性のある次のアドレスは、キャッシュにプリフェッчすることができます。例えば、どのデータを、プリフェッчするのが最も有利かはっきり分からぬ場合には、メモリ・デバイスには分からないかもしれないいくつかのルールにしたがって、続くアクセスが、定期的に変わる。

30

【0042】

第1のブロックと第2のブロックとの間のつながり情報は、種々の方法で格納することができる。例えば、リンク情報は、第2ブロックへのポインターとして、第1のブロックに保存することができる。第2ブロックは、第1のブロックへのポインターを格納することもできる。代替的に、リンク情報は、例えば、メモリ全体においてリストの一部として、別の場所において保存することができる。

【0043】

ブロックは、複数のブロックを示しているリンク情報を記録することもできる。例えば、第2のブロックが、第1のブロックの後に、すぐに書き込まれ、第3のブロックは、第1のブロックに続いて、読み出される場合、あるいは、続いて読み出す動作が、ブロックの限定されたセットの間で交替する場合である。

40

【0044】

このリンク情報は、また、追加データも含むことができる。所与のブロックが読み取られ、所与の時間内に続いてブロックが読み取られない各回のカウントは、いつ、続くブロックへのリンクを破壊（または取り除く）すべきかを決定するために、使用することができる。リンクされたブロックの各々のカウントは、特定のブロックが続いて読まれる回数を表したものであることもできる。このカウントは、どのブロックをプリフェッчすべきかを決定するのに使用することができる。例えば、1つのみのブロックをプレフェッчするとき、直ぐに続いて読み取るブロックを、使用することができる。

【0045】

いくつか実施形態において、アクセス時間対電力を最適化するために、書き込みフェーズにおいて、または、読み取りフェーズにおいて（例えば、陽なシグナリングを通して）

50

、ホストは、リンク・アドレスを有効または無効にすることができます。（例えば、ホストによって）プリフェッチ動作は、有効または無効にすることができます、または、メディアの全体、または、パーティション毎、または論理ユニット毎に、固定された設定によって確立することができます。

【0046】

ホストは、また、メモリ・デバイスに、例えば、メッセージにおいてビットフラグを変更することによって、プリフェッチ動作を停止するように指示することもできる。非限定的な例において、ビットフラグは、アポート・プリフェッチ（A B P F）ビットである。

【0047】

追加的に、ホストは、メモリ・デバイスに、物理的なメモリ・デバイス全体にわたりデータをリンク（またはプリフェッチ）すべきか否かを指示することができます。したがって、メモリ・デバイスは、1つの設定において、別々の物理的デバイス（例えば、2つの異なるNANDメモリ）に書き込まれたデータ・ブロックをリンクすることができ、第2の設定において、リンク情報は生成されない。

【0048】

図5は、本願発明にしたがう例示的なメモリ書き込み操作を図示する。

【0049】

第1の例（1）において、ホストは、第1の書き込みマルチプル・ブロック・コマンド（例えば、CMD23とCMD25との組み合わせ）を発行し、メモリは、応答（RESP）を返す。このシナリオにおいて、コンテキストID、TAG、または特定のルールは、ホストによって提供されない。第1の書き込みコマンドは、2つの512バイト・ブロック（またはページ）をメモリに書き込むようにメモリに指示する。ブロックは、巡回冗長検査（CRC）を含むことができる、あるいは、対応するCRCを、別の場所へ書き込むことができる。書き込み手続きは第1の指標、A（プリフェッチ・リンク）、を作成し、直近に書き込まれたブロック（第1のブロック）を第2のブロックにリンクする。同様に、ホストが第3のブロックをつくる第2の書き込みコマンドを発行するとき、メモリ・デバイスは、第2の指標、B、を作成し、直近に書き込まれたブロック（第2のブロック）を第3のブロックにリンクする。

【0050】

第2の例（2）において、ホストは、コンテキストIDまたはTAGを提供する。第1の部分において、第1の書き込みコマンドは、メモリに、2つの512バイト・ブロック（またはページ）を第1の識別子（例えば、#ID=1、TAG=X、等）を用いるメモリに書き込むように指示する。ホストが同一の識別子を用いる第2の書き込みコマンドを発行するとき、メモリ・デバイスは、指標、C、を作成し、同一の識別子を有する直近に書き込まれたブロック（第2のブロック）を第3のブロックにリンクする。第2の部分（点線の右に）において、それらが識別子を共有するか否かを問わず各々の書き込みコマンドは、別々のプログラム・セッションである。図示されるように、識別子（例えば、#ID=2、TAG=Y、等）に書くとき、識別子、D、は、閉じられているプログラム・セッションのために、プリフェッチ・リンクにおいて、ブレークをつくって、省略される。

【0051】

第3の例（3）において、ホストは、コンテキストIDまたはTAGを再び提供する。例2のように、識別子、C、は、つくられ、同一の識別子を有する直近に書き込まれたブロック（第2のブロック）を、第3ブロックにリンクする。この手続きは、異なる識別子を有する他の書き込みコマンドが（例えば、第3の書き込みコマンド）実行されるとても、ブロック間のリンクをつくることができる。したがって、ホストが、最初の2つの書き込みコマンドと同一の識別子を用いた第4の書き込みコマンドを発行するとき、メモリ・デバイスは、識別子、Eをつくり、同一の識別子を有する直近に書き込まれたブロック（第4のブロック）を第7のブロックにリンクする。

【0052】

例2と3に示されていないが、单一の書き込みコマンドに応じて書き込まれる2つのブ

10

20

30

40

50

ロックは、それらをリンクしている識別子を有しても、いなくても良い。これらの識別子は、異なる書き込みコマンドによって書き込まれるブロックをリンクしているものと異なることができる。

【0053】

前述に基づいて、本願発明の例示的な実施形態が、携帯メモリ・デバイスのキャッシュ読み取り最適化を提供する方法、装置とコンピュータ・プログラムを提供することが明らかである。

【0054】

図6は、それは、本願発明の例示的な実施形態にしたがう方法の動作、コンピュータ・プログラム命令の実行の結果を図示する論理フロー図である。これらの例示的な実施形態に従って、この方法は、ブロック610において、メモリ・デバイスにおいて、ホストから少なくとも1つの書き込みコマンドを受信するステップを実行する。少なくとも1つの書き込みコマンドは、メモリ・デバイスに、少なくとも2つのデータ・ブロックを格納するように指示する。この少なくとも2つのデータ・ブロックは、ブロック620で格納される。ブロック630において、メモリ・デバイスは、少なくとも2つのデータ・ブロックを格納する順序に、少なくとも部分的に基づいて、少なくとも2つのデータ・ブロックに対するプリフェッч情報を作成する。

10

【0055】

図6において示される種々のブロックは、方法のステップとして見ることができ、あるいは、コンピュータ・プログラム・コードの動作の結果の動作としても見ることができる。および／または、関係する機能を実行するために構築された複数の連結した論理回路素子として見ることもできる。

20

【0056】

一般に、種々の例示的な実施形態は、ハードウェア、または、専用回路、ソフトウェア、論理またはそれらの組合せにおいてインプリメントすることができる。例えば、いくつかの態様は、ハードウェアにおいてインプリメントされることができ、他の態様が、コントローラ、マイクロ・プロセッサまたは他のコンピューティング装置によって実行することができるファームウェアまたはソフトウェアにおいてインプリメントすることができる。しかしながら、本願発明がそれらに制限されるものではない。本願発明の例示的な実施形態の種々の態様が図示され、ブロック図、フローチャートとして、または、いくつかの他の図表現を使用して記載されているが、ここに記述されたこれらのブロック、装置、システム、技術または方法は、非限定的な例として、ハードウェア、ソフトウェア、ファームウェア、専用回路または論理、汎用ハードウェアまたはコントローラまたは他のコンピューティング装置、または、それらのいくつかの組合せにおいてインプリメントすることは十分に理解される。

30

【0057】

本願発明にしたがう例示的な実施形態において、方法が、モバイル・メモリ・デバイスのキャッシュ読み取り最適化を可能にするために提供される。この方法は、メモリ・デバイスにおいて、ホストから、1つ以上のアクセス・コマンドを受信（例えば、プロセッサにおいて）することを含む。この1つ以上のアクセス・コマンドは、メモリ・デバイスに、少なくとも2つのデータ・ブロックにアクセスするように指示する。少なくとも2つのデータ・ブロックにアクセスする（例えば、プロセッサによって）ことも、含まれる。この方法は、このメモリ・デバイスにより、少なくとも2つのデータ・ブロックにアクセスする順序に少なくとも部分的に基づいて、この少なくとも2つのデータ・ブロックに対するプリフェッч情報を生成する（例えば、プロセッサによって）ことを含む。

40

【0058】

上記の方法のさらに例示的な実施形態において、プリフェッч情報を生成することは、ホストによって提供される情報および／または、前記メモリ・デバイスに対するコントローラにおけるルールに、さらに基づく、

【0059】

50

上記の方法のいかなる一つの別の例示的な実施形態において、その1つ以上のアクセス・コマンドの各々のアクセス・コマンドは、コンテキスト識別子と、タスク・タグと、プリフェッヂ識別子と、および／または、グループ番号と、を含むインデックス情報に結びついている。インデックス情報は、アクセス・コマンドとともに、または、別々のメッセージにおいて送ることができる。

【0060】

上記の方法のさらに例示的な実施形態において、その1つ以上のアクセス・コマンドは、第1のアクセス・コマンドと第2のアクセス・コマンドを含む。第1のアクセス・コマンドと第2のアクセス・コマンドは、同一のインデックス情報を含む。

【0061】

上記の方法の別の例示的な実施形態において、この1つ以上のアクセス・コマンドを受信することは、第1回目に、第1のインデックス情報を含む第1のアクセス・コマンドを受信することと、第1回目のあと、第2回目に第2のアクセス・コマンドを受信することと、ここで、第2のアクセス・コマンドは、第1のインデックス情報と異なる第2のインデックス情報を含み、第2回目のあと、第3回目に、第1のインデックス情報を含む第3のアクセス・コマンドを受信することを含む。

【0062】

上記の方法のさらに例示的な実施形態において、プリフェッヂ情報を生成することは、第1のアクセス・コマンドに応じてアクセスされた最後のデータ・ロックを、第3のアクセス・コマンドに応じてアクセスされた第1のデータ・ロックにリンクすることを含む。

10

20

30

【0063】

上記の方法の別の例示的な実施形態において、プリフェッヂ情報を生成することは、第3のアクセス・コマンドに応じてアクセスされた第1のデータ・ロックに対する新たなリンク・データ・セッションを開始することを含む。同一のインデックス情報を有するアクセス・コマンドに応じて、アクセスされたデータ・ロックは、リンク・データ・セッションの間にリンクされる。

【0064】

上記の方法のさらに例示的な実施形態において、マッチング・インデックス情報を有するアクセス・コマンドに応じて、アクセスされたデータ・ロックは、リンク・データ・セッションの間にリンクされ、この方法は、また、マッチング・インデックス情報を有する前のアクセス・コマンドのとの所定の時間の経過、リンク・データ・セッションが開始した後の時間の経過、または、制御レジスタにおける変更に応じて、新たなリンク・データ・セッションを開始することを含む。

40

【0065】

上記の方法のいかなる一つの別の例示的な実施形態において、プリフェッヂ情報を生成することは、少なくとも2つのデータ・ロックの第1のデータ・ロックを、少なくとも2つのデータ・ロックの、次に続いてアクセスされたデータ・ロックにリンクすることを含む。

【0066】

上述の方法の任意の1つの、さらに例示的な実施形態において、その1つ以上のアクセス・コマンドは、読み取りコマンドや書き込みコマンドを含む。

【0067】

上記の方法のいかなる一つの別の例示的な実施形態において、プリフェッヂ情報は、第1のロックが読み取られるときに、少なくとも2つのロックをプリフェッヂする命令を含む。

【0068】

上述の方法の任意の1つの、さらに例示的な実施形態において、この方法は、また、第1の読み取られたデータ・ロックを前記ホストに提供するようにメモリ・デバイスに指示する第1の読み取りコマンドを受信することと、第1の読み取られたデータ・ロック

50

をホストに提供することと、プリフェッч情報に基づいて続いて読み取られたデータ・ブロックを決定することと、続いて読み取られたデータ・ブロックをプリフェッчすることと、前記続いて読み取られたデータ・ブロックをプリフェッчした後に、続いて読み取られたデータ・ブロックを、ホストに提供するようにメモリ・デバイスに指示する第2の読み取りコマンドを受信することと、プリフェッчされた、続いて読み取られたデータ・ブロックを、ホストに提供することと、を含む。

【0069】

上記の方法の別の例示的な実施形態において、この方法は、また、メモリ・デバイスの少なくとも部分に対してプリフェッч情報を生成するのを停止するコマンドを受信することと、メモリ・デバイスの前記部分において、データ・ブロックをアクセスするときに、プリフェッч情報を生成することを防止することと、を含む。10

【0070】

さらに、この方法の例示的な実施形態において、この方法は、また、メモリ・デバイスに2つ以上のデータ・ブロックの1つ以上にアクセスするように指示する1つ以上の追加アクセス・コマンドを受信することと、1つ以上のアクセス・コマンドに応じてアクセスされるデータ・ブロックの順序に基づいて、前記プリフェッч情報を除去することと、を含む。

【0071】

上記の方法のいかなる一つの別の例示的な実施形態において、メモリ・デバイスは、1つ以上のNANDメモリ格納デバイスを含む。20

【0072】

本願発明に従う別の例示的な実施形態において、この装置は、モバイル・メモリ・デバイスのキャッシュ読み取り最適化を可能にするために提供される。この装置は、1つ以上のプロセッサと、コンピュータ・プログラム・コードを含む1つ以上のメモリとを含み、この1つ以上のメモリとコンピュータ・プログラム・コードとは、この1つ以上のプロセッサで、この装置に、処理の実行をさせるように構成されている。この処理は、メモリ・デバイスにおいて、ホストから、1つ以上のアクセス・コマンドを受信することを含み、ここで、その1つ以上のアクセス・コマンドは、メモリ・デバイスに少なくとも2つのデータ・ブロックにアクセスするように指示する。この少なくとも2つのデータ・ブロックはアクセスされる。この処理は、また、このメモリ・デバイスにより、少なくとも2つのデータ・ブロックにアクセスする順序に少なくとも部分的に基づいて、この少なくとも2つのデータ・ブロックに対するプリフェッч情報を生成する。30

【0073】

上の装置の別の例示的な実施形態において、プリフェッч情報を生成することは、さらに、ホストによって提供される情報、および／または、メモリ・デバイスに対するコントローラにおけるルールに基づいている。

【0074】

上述の装置の任意の1つのさらに例示的な実施形態において、その1つ以上のアクセス・コマンドの各々のアクセス・コマンドは、コンテキスト識別子と、タスク・タグと、プリフェッч識別子と、および／または、グループ番号と、を含むインデックス情報に結びついている。40

【0075】

上の装置の別の例示的な実施形態において、その1つ以上のアクセス・コマンドは、第1のアクセス・コマンドと第2のアクセス・コマンドを含み、第1のアクセス・コマンドと第2のアクセス・コマンドは、同一のインデックス情報を含む。

【0076】

上の装置のさらに例示的な実施形態において、1つ以上のアクセス・コマンドを受信するとき、1つ以上のメモリとコンピュータ・プログラム・コードとは、前記装置に、第1回目に、第1のインデックス情報を含む第1のアクセス・コマンドを受信させ、第1回目のあと、第2回目に第2のアクセス・コマンドを受信させ、ここで、第2のアクセス・コ50

マンドは、第1のインデックス情報と異なる第2のインデックス情報を含み、第2回目のあと、第3回目に、第1のインデックス情報を含む第3のアクセス・コマンドを受信させるように構成されており、

【0077】

上の装置の別の例示的な実施形態において、プリフェッチ情報を生成するとき、この1つ以上のメモリとコンピュータ・プログラム・コードとは、前記装置に、第1のアクセス・コマンドに応じてアクセスされる最後のデータ・ブロックを、第3のアクセス・コマンドに応じてアクセスされる第1のデータ・ブロックにリンクするように構成されており、

【0078】

上の装置のさらに例示的な実施形態において、プリフェッチ情報を生成するとき、この1つ以上のメモリとコンピュータ・プログラム・コードとは、前記装置に、第3のアクセス・コマンドに応じてアクセスされる第1のデータ・ブロックに対して新たなリンクング・データ・セッションを開始するように構成されており、同一のインデックス情報を有するアクセス・コマンドに応じて、アクセスされたデータ・ブロックは、リンクング・データ・セッションの間にリンクされる。

【0079】

上の装置の別の例示的な実施形態において、マッチング・インデックス情報を有するアクセス・コマンドに応じて、アクセスされたデータ・ブロックは、リンクング・データ・セッションの間にリンクされ、この1つ以上のメモリとコンピュータ・プログラム・コードとは、前記装置に、前記マッチング・インデックス情報を有する前のアクセス・コマンドのあと所定の時間の経過、リンク・データ・セッションが開始した後の時間の経過、または、制御レジスタにおける変更に応じて、新たなリンクング・データ・セッションを開始するように構成されている。

【0080】

上述の装置の任意の1つのさらに例示的な実施形態において、前記プリフェッチ情報を生成するときに、この1つ以上のメモリとコンピュータ・プログラム・コードとは、前記装置に、前記少なくとも2つのデータ・ブロックの第1のデータ・ブロックを、少なくとも2つのデータ・ブロックの、次に続いてアクセスされたデータ・ブロックにリンクするように構成されている。

【0081】

上記の装置の任意の1つの別の例示的な実施形態において、その1つ以上のアクセス・コマンドは、読み取りコマンドや書き込みコマンドを含む。

【0082】

上述の装置の任意の1つのさらに例示的な実施形態において、プリフェッチ情報は、第1のブロックが読み取られるときに、少なくとも2つのブロックをプリフェッチする命令を含む。

【0083】

上記の装置の任意の1つの別の例示的な実施形態において、この1つ以上のメモリとコンピュータ・プログラム・コードとは、前記装置に、第1の読み取られたデータ・ブロックを前記ホストに提供するようにメモリ・デバイスに指示する第1の読み取りコマンドを受信させ、前記第1の読み取られたデータ・ブロックを、前記ホストに提供させ、前記プリフェッチ情報に基づいて、続いて読み取られたデータ・ブロックを決定させ、前記続いて読み取られたデータ・ブロックをプリフェッチさせ、前記続いて読み取られたデータ・ブロックをプリフェッチした後に、続いて読み取られたデータ・ブロックを、ホストに提供するようにメモリ・デバイスに指示する第2の読み取りコマンドを受信させ、前記ホストに前記プリフェッチされた、続いて読み取られたデータ・ブロックを提供するように構成されており、

【0084】

上の装置のさらに例示的な実施形態において、この1つ以上のメモリとコンピュータ・

10

20

30

40

50

プログラム・コードとは、前記装置に、メモリ・デバイスの少なくとも部分に対してプリフェッヂ情報を生成することをやめるコマンドを受信させ、メモリ・デバイスの前記部分において、データ・ブロックをアクセスするときに、プリフェッヂ情報を生成することを防止させるように構成されている。

【0085】

上記の装置の任意の1つの別の例示的な実施形態において、この1つ以上のメモリとコンピュータ・プログラム・コードとは、前記装置に、メモリ・デバイスに、2つ以上のデータ・ブロックの1つ以上にアクセスするように指示する1つ以上の追加アクセス・コマンドを受信させ、1つ以上のアクセス・コマンドに応じてアクセスされるデータ・ブロックの順序に基づいて、プリフェッヂ情報を削除せるように構成されており、10

【0086】

上述の装置の任意の1つのさらに例示的な実施形態において、前記装置は、集積回路において実現される。

【0087】

本願発明に従う別の例示的な実施形態において、コンピュータ読み取り可能媒体は、モバイル・メモリ・デバイスのキャッシュ読み取り最適化を可能にするために提供される。コンピュータ読み取り可能媒体は、プロセッサによって実行可能なコンピュータ・プログラムで実体的にエンコードされる。この処理は、メモリ・デバイスにおいて、ホストから、1つ以上のアクセス・コマンドを受信することを含み、ここで、その1つ以上のアクセス・コマンドは、メモリ・デバイスに少なくとも2つのデータ・ブロックにアクセスするように指示する。この少なくとも2つのデータ・ブロックは、アクセスされる。この処理は、また、このメモリ・デバイスにより、少なくとも2つのデータ・ブロックにアクセスする順序に少なくとも部分的に基づいて、この少なくとも2つのデータ・ブロックに対するプリフェッヂ情報を生成することを含む。20

【0088】

コンピュータ読み取り可能媒体のさらに例示的な実施形態において、前記プリフェッヂ情報を生成するステップは、ホストによって提供される情報、および／または、メモリ・デバイスに対するコントローラにおけるルールにさらに基づく。

【0089】

コンピュータ読み取り可能メディアの任意の1つの別の例示的な実施形態において、その1つ以上のアクセス・コマンドの各々のアクセス・コマンドは、コンテキスト識別子と、タスク・タグと、プリフェッヂ識別子と、および／または、グループ番号と、を含むインデックス情報に結びついている。30

【0090】

コンピュータ読み取り可能媒体のさらに例示的な実施形態において、その1つ以上のアクセス・コマンドは、第1のアクセス・コマンドと第2のアクセス・コマンドを含み、第1のアクセス・コマンドと第2のアクセス・コマンドとは、同一のインデックス情報を含む。

【0091】

上のコンピュータ読み取り可能媒体の別の例示的な実施形態において、上の1つ以上のアクセス・コマンドを受信することは、第1回目に、第1のインデックス情報を含む第1のアクセス・コマンドを受信することと、第1回目の後に、第2回目に第2のアクセス・コマンドを受信することと、ここで、第2のアクセス・コマンドが、第1のインデックス情報と異なる第2のインデックス情報含み、第2回目のあと、第3回目に、第1のインデックス情報を含む第3のアクセス・コマンドを受信することを含み、40

【0092】

コンピュータ読み取り可能媒体のさらに例示的な実施形態において、プリフェッヂ情報を生成することは、第1のアクセス・コマンドに応じてアクセスされた最後のデータ・ブロックを、第3のアクセス・コマンドに応じてアクセスされた第1のデータ・ブロックにリンクすることを含む。

10

20

30

40

50

【0093】

上のコンピュータ読み取り可能媒体の別の例示的な実施形態において、プリフェッチ情報を生成することは、第3のアクセス・コマンドに応じてアクセスされる第1のデータ・ブロックに対して、新たなリンクング・データ・セッションを開始することを含む。同一のインデックス情報を有するアクセス・コマンドに応じて、アクセスされたデータ・ブロックは、リンクング・データ・セッションの間にリンクされる。

【0094】

コンピュータ読み取り可能媒体のさらに例示的な実施形態において、インデックス情報をマッチングを有するアクセス・コマンドに応じてアクセスされたデータ・ブロックは、リンクング・データ・セッションの間にリンクされ、この処理は、更に、マッチング・インデックス情報を有する前のアクセス・コマンドのとの所定の時間の経過、リンク・データ・セッションが開始した後の時間の経過、または、制御レジスタにおける変更に応じて、新たなリンクング・データ・セッションを開始することを含む。10

【0095】

コンピュータ読み取り可能メディアの任意の1つの別の例示的な実施形態において、プリフェッチ情報を生成することは、少なくとも2つのデータ・ブロックの第1のデータ・ブロックを、少なくとも2つのデータ・ブロックの、次に続いてアクセスされたデータ・ブロックにリンクすることを含む。

【0096】

上述のコンピュータ可読メディアの任意の1つの、さらに例示的な実施形態において、その1つ以上のアクセス・コマンドは、読み取りコマンドや書き込みコマンドを含む。20

【0097】

コンピュータ読み取り可能メディアの任意の1つの別の例示的な実施形態において、第1のブロックが読みられるとき、少なくとも2つが妨害するプリフェッチに、プリフェッチ情報は、命令を含む。

【0098】

上述のコンピュータ可読メディアの任意の1つの、さらに例示的な実施形態において、この処理は、更に、前記メモリ・デバイスに、前記ホストに、第1の読み取られたデータ・ブロックを提供するように指示する第1の読み取りコマンドを受信するステップと、第1の読み取られたデータ・ブロックをホストに提供することと、前記プリフェッチ情報に基づいて、続いて読み取られたデータ・ブロックを決定することと、続いて読み取られたデータ・ブロックをプリフェッチすることと、前記続いて読み取られたデータ・ブロックをプリフェッチした後に、メモリ・デバイスに、続いて読み取られたデータ・ブロックを、ホストに提供するように指示する第2の読み取りコマンドを受信することと、プリフェッチされた、続いて読み取られたデータ・ブロックを、ホストに提供することと、を含む。30

【0099】

上のコンピュータ読み取り可能媒体の別の例示的な実施形態において、この処理は、更に、メモリ・デバイスの少なくとも部分に対してプリフェッチ情報を生成するのを停止するコマンドを受信することと、メモリ・デバイスの前記部分において、データ・ブロックをアクセスするときに、プリフェッチ情報を生成することを防止することと、を含む。40

【0100】

コンピュータ読み取り可能媒体のさらに例示的な実施形態において、この処理は、更に、メモリ・デバイスに、2つ以上のデータ・ブロックの1つ以上にアクセスするように指示する1つ以上の追加アクセス・コマンドを受信することと、1つ以上のアクセス・コマンドに応じてアクセスされるデータ・ブロックの順序に基づいて、前記プリフェッチ情報を除去することと、を含む。

【0101】

コンピュータ読み取り可能メディアの任意の1つの別の例示的な実施形態において、メモリ・デバイスは、1つ以上のNANDメモリ格納デバイスを含む。50

【 0 1 0 2 】

上述のコンピュータ可読メディアの任意の 1 つの、さらに例示的な実施形態において、コンピュータ読み取り可能媒体は、一時的でないコンピュータ読み取り可能媒体（例えば、RAM、ROM、CD-ROM、フラッシュ・メモリ、等）である。

【 0 1 0 3 】

本願発明に従う別の例示的な実施形態において、装置は、モバイル・メモリ・デバイスのキャッシュ読み取り最適化を可能にするために提供される。この装置は、メモリ・デバイスにおいて、ホストから、1つ以上のアクセス・コマンドを受信（例えば、プロセッサにおいて）するための手段と、ここで、この1つ以上のアクセス・コマンドは、メモリ・デバイスに、少なくとも2つのデータ・ブロックにアクセスするよう、指示し、この少なくとも2つのデータ・ブロックにアクセスするための手段（例えば、プロセッサ）と、少なくとも2つのデータ・ブロックにアクセスする順序に少なくとも部分的に基づいて、少なくとも2つのデータ・ブロックに対するプリフェッチ情報をメモリ・デバイスにより生成する手段（例えば、プロセッサ）と、を含む。10

【 0 1 0 4 】

上の装置のさらに例示的な実施形態において、この生成手段は、ホストによって提供される情報、および／または、メモリ・デバイスに対するコントローラにおけるルールに基づいて、プリフェッチ情報を生成するためのものである。

【 0 1 0 5 】

上記の装置の任意の1つの別の例示的な実施形態において、その1つ以上のアクセス・コマンドの各々のアクセス・コマンドは、コンテキスト識別子と、タスク・タグと、プリフェッチ識別子と、および／または、グループ番号と、を含むインデックス情報を結びついている。20

【 0 1 0 6 】

上の装置のさらに例示的な実施形態において、その1つ以上のアクセス・コマンドは、第1のアクセス・コマンドと第2のアクセス・コマンドを含み、第1のアクセス・コマンドと第2のアクセス・コマンドは、同一のインデックス情報を含む。

【 0 1 0 7 】

上の装置の別の例示的な実施形態において、この受信手段は、第1回目に、第1のインデックス情報を含む第1のアクセス・コマンドを受信するための手段と、第1回目のあと、第2回目に第2のアクセス・コマンドを受信するための手段と、ここで、第2のアクセス・コマンドは、第1のインデックス情報と異なる第2のインデックス情報を含むものであり、第2回目のあと、第3回目に、第1のインデックス情報を含む第3のアクセス・コマンドを受信するための手段とを含む。30

【 0 1 0 8 】

上の装置のさらに例示的な実施形態において、この生成手段は、第1のアクセス・コマンドに応じてアクセスされる最後のデータ・ブロックを、第3のアクセス・コマンドに応じてアクセスされる第1のデータ・ブロックにリンクするための手段を含む。

【 0 1 0 9 】

上の装置の別の例示的な実施形態において、この生成手段は、第3のアクセス・コマンドに応じてアクセスされる第1のデータ・ブロックに対して新たなリンク・データ・セッションを開始する手段を含む。同一のインデックス情報を有するアクセス・コマンドに応じてアクセスされたデータ・ブロックは、リンク・データ・セッションの間にリンクされる。40

【 0 1 1 0 】

上の装置のさらに例示的な実施形態において、マッチング・インデックス情報を有するアクセス・コマンドに応じて、アクセスされたデータ・ブロックは、リンク・データ・セッションの間にリンクされ、この装置は、また、マッチング・インデックス情報を有する前のアクセス・コマンドとの所定の時間の経過、リンク・データ・セッションが開始した後の時間の経過、または、制御レジスタにおける変更に応じて、新たなリンク50

グ・データ・セッションを開始する手段を含む。

【0111】

上記の装置の任意の 1 つの別の例示的な実施形態において、この生成手段は、少なくとも 2 つのデータ・ブロックの第 1 のデータ・ブロックを、少なくとも 2 つのデータ・ブロックの、次に続いてアクセスされたデータ・ブロックにリンクする手段を含む。

【0112】

上述の装置の任意の 1 つのさらに例示的な実施形態において、その 1 つ以上のアクセス・コマンドは、読み取りコマンドや書き込みコマンドを含む。

【0113】

上記の装置の任意の 1 つの別の例示的な実施形態において、このプリフェッチ情報は、
10
第 1 のブロックが読まれるとき、少なくとも 2 つのブロックをプリフェッチする命令を含む。

【0114】

上述の装置の任意の 1 つのさらに例示的な実施形態において、この装置は、また、メモリ・デバイスに、第 1 の読み取られたデータ・ブロックを前記ホストに提供するように指示する第 1 の読み取りコマンドを受信するための手段と、ホストに第 1 の読み取られたデータ・ブロックを提供する手段と、前記プリフェッチ情報に基づいて、続いて読み取られたデータ・ブロックを決定する手段と、続いて読み取られたデータ・ブロックをプリフェッチする手段と、前記続いて読み取られたデータ・ブロックをプリフェッチした後に、メモリ・デバイスに、続いて読み取られたデータ・ブロックを、ホストに提供するように指示する第 2 の読み取りコマンドを受信する手段と、ホストに、プリフェッチされた、続いて読み取られたデータ・ブロックを提供するための手段と、を含む。
20

【0115】

上の装置の別の例示的な実施形態において、この装置は、また、メモリ・デバイスの少なくとも部分に対してプリフェッチ情報を生成するのを停止するコマンドを受信するための手段と、メモリ・デバイスの前記部分において、データ・ブロックをアクセスするときに、プリフェッチ情報を生成することを防止する手段と、を含む。

【0116】

上の装置のさらに例示的な実施形態において、この装置は、また、メモリ・デバイスに、2 つ以上のデータ・ブロックの 1 つ以上にアクセスするように指示する 1 つ以上の追加アクセス・コマンドを受信するための手段と、1 つ以上のアクセス・コマンドに応じてアクセスされるデータ・ブロックの順序に基づいて、プリフェッチ情報を取り除くための手段とを含む。
30

【0117】

したがって、本願発明の例示的な実施形態の少なくともいくつかの態様は、例えば、集積回路チップとモジュールのような種々のコンポーネントにおいて実施することができ、本願発明の例示的な実施形態は、集積回路として具体化される装置において実現できるよう理解すべきである。この集積回路または回路は、本願発明の例示的な実施形態に従って動作するように構成可能である、データ・プロセッサ、デジタル信号プロセッサ、ベースバンド回路、無線周波回路の 1 つ以上を具体化するための回路（ならびにおそらくファームウェア）を備えることができる。
40

【0118】

本願発明の前述の例示的な実施形態への種々の修正と適合化は、添付の図面とともに読まれるときに、前述の説明を考慮して、当業者に明らかになり得る。しかしながら、すべての修正は、まだ、本願発明の非限定的で例示的な実施形態の範囲に入る。

【0119】

「接続した」、「結合した」という用語、あるいは、それらの変形は、2 つ以上の要素の間での直接的または間接的な、いかなる接続または結合をも意味し、一緒に「接続された」、あるいは、「結合された」2 つの素子の間での、1 つ以上の中間要素の存在を含むことができることに留意する。要素間の結合または接続は、物理的なもの、論理的なもの
50

、あるいは、その組合せであり得る。ここで用いられるように、2つの要素は、一つ以上のワイヤー、ケーブルや印刷された電気的接続、ならびに、ラジオ周波数領域、マイクロ波領域および（可視および非可視）光学領域において波長を有している電磁エネルギーのような、電磁エネルギーを用いて、の使用によって、「つながれる」か、一緒に「結合する」と考えることができる。ただし、これらは非限定的、非網羅的な例としてあげたものである。

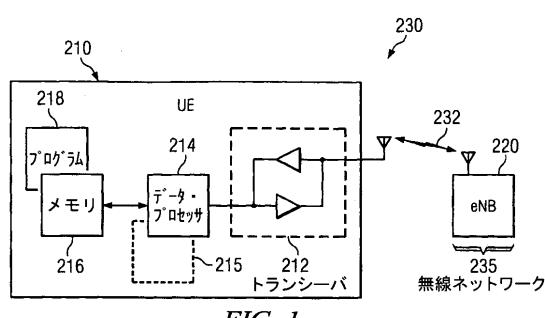
【0120】

さらに、記述されたパラメータに使われる種々の名前（例えば、ID、TAGなど）は、これらパラメータはいかなる適切な名前によつても識別することができるものであるで、いかなる点においても制限することを意図するものではない。10

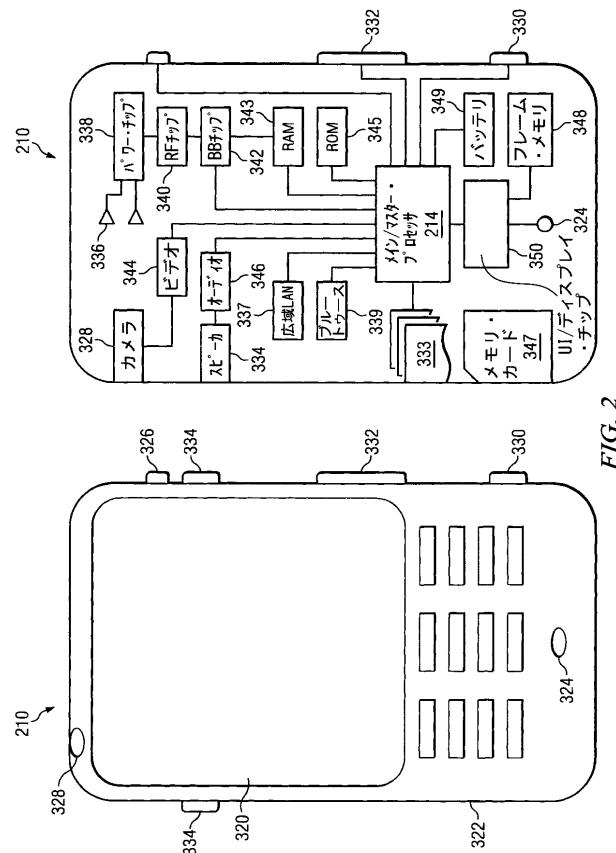
【0121】

さらにまた、本願発明の種々の非限定的な例示的実施形態の特徴のいくつかは、他の特徴を使用するようにしなくとも、有効に使用することができる。したがつて、前述の説明は、本願発明の原理、教示、例示的な実施形態の図解的なものにすぎないと考えるべきであつて、それらに制限するものではない。

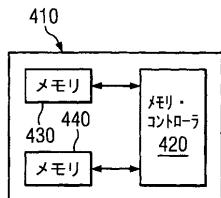
【図1】



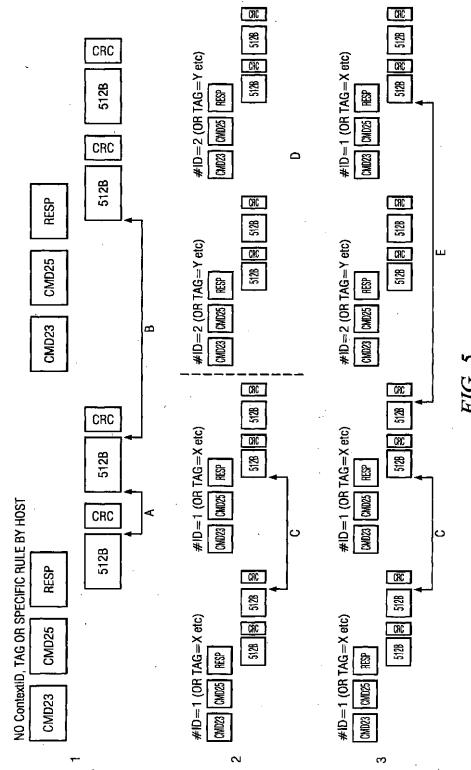
【図2】



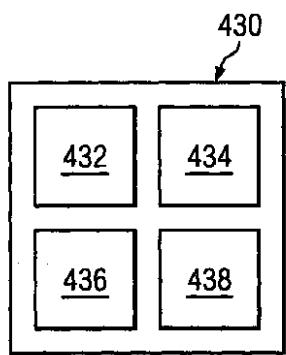
【図3】



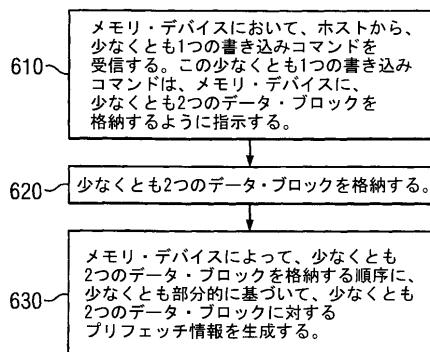
【図5】



【図4】



【図6】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/FI2012/050592
A. CLASSIFICATION OF SUBJECT MATTER		
See extra sheet		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched FI, SE, NO, DK		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006031635 A1 (ZOHAR OFIR et al.) 09 February 2006 (09.02.2006) paragraphs [0035]-[0036], [0041], and [0065]-[0066]; Figure 4	1, 2, 9-12, 15-17, 24-27, 30-32, 39-42, 45-47, and 54-57
X	US 5778436 A (KEDEM GERSHON et al.) 07 July 1998 (07.07.1998) abstract; column 3, lines 37-51; Figure 6	1-3, 9, 10, 12, 16-18, 24, 25, 27, 30-33, 39, 40, 42, 45-48, 54, 55, and 57
X	US 2009198904 A1 (ARIMILLI RAVI K et al.) 06 August 2009 (06.08.2009) paragraphs [0022],[0024], [0031]-[0032] and [0037]-[0038]; Figures 1 and 4	1-3, 9, 10, 16-18, 24, 25, 30-33, 39, 40, 46-48, 54, and 55
X	US 2006112232 A1 (ZOHAR OFIR et al.) 25 May 2006 (25.05.2006) paragraphs [0003] and [0048]; Figures 2 and 3A-C	1-3, 9-11, 16-18, 24-26, 30-33, 39-41, 46-48, and 54-56
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier application or patent but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search 14 December 2012 (14.12.2012)	Date of mailing of the international search report 18 December 2012 (18.12.2012)	
Name and mailing address of the ISA/FI National Board of Patents and Registration of Finland P.O. Box 1160, FI-00101 HELSINKI, Finland Facsimile No. +358 9 6939 5328	Authorized officer Mari Komulainen Telephone No. +358 9 6939 500	

INTERNATIONAL SEARCH REPORT
Information on patent family membersInternational application No.
PCT/FI2012/050592

Patent document cited in search report	Publication date	Patent family members(s)	Publication date
US 2006031635 A1	09/02/2006	US 2006112232 A1 US 2006031633 A1	25/05/2006 09/02/2006
US 5778436 A	07/07/1998	None	
US 2009198904 A1	06/08/2009	None	
US 2006112232 A1	25/05/2006	US 2006143395 A1 US 2006294301 A1 US 2006143383 A1 US 2006031635 A1 US 2006031633 A1	29/06/2006 28/12/2006 29/06/2006 09/02/2006 09/02/2006

INTERNATIONAL SEARCH REPORT

International application No.
PCT/FI2012/050592

CLASSIFICATION OF SUBJECT MATTER

Int.Cl.

G06F 12/08 (2006.01)**G06F 12/02** (2006.01)

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,QA,RO,RS,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA

(72)発明者 キンモ ミリ

フィンランド国,エフィー-33480 ユロヤルビ,リーサンニーティンティエ 20

(72)発明者 マティ フロマン

フィンランド国,エフィー-36220 カンガサラ,スオラマンティエ 25

F ターム(参考) 5B005 JJ12 MM01 NN22 NN66