

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2018년 11월 1일 (01.11.2018)



WIPO | PCT



(10) 국제공개번호

WO 2018/199526 A1

(51) 국제특허분류: *H03M 1/14* (2006.01) *H03M 1/18* (2006.01)
H03M 3/00 (2006.01)

(21) 국제출원번호: PCT/KR2018/004387

(22) 국제출원일: 2018 년 4 월 16 일 (16.04.2018)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보: 10-2017-0052900 2017 년 4 월 25 일 (25.04.2017) KR

(71) 출원인: 서울대학교산학협력단 (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) [KR/KR]; 08826 서울시 관악구 관악로 1 940-311, Seoul (KR).

(72) 발명자: 김수환 (KIM, Suhwan); 05502 서울시 송파구 올림픽로 135 262-1102, Seoul (KR). 이주열 (RHEE, Cyuyeol); 28707 충청북도 청주시 서원구 수영로47번길 19 가-507, Chungcheongbuk-do (KR).

(74) 대리인: 김선종 (KIM, Sunjong); 06620 서울시 서초구 강남대로 375 1002, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE,

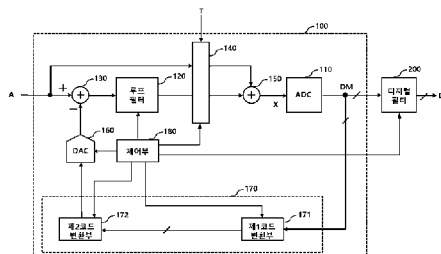
LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: ANALOG/DIGITAL CONVERSION DEVICE

(54) 발명의 명칭: 아날로그 디지털 변환 장치



120 .. Loop filter
171 .. First code conversion unit
172 .. Second code conversion unit
180 .. Control unit
200 .. Digital filter

(57) Abstract: An analog/digital conversion device according to the present technology comprises: an analog/digital converter; a digital/analog converter for converting an output of the analog/digital converter into an analog signal; a first calculation unit for calculating an output of the digital/analog converter and an input signal; a loop filter for filtering an output of the first calculation unit; a switching circuit for providing an input signal as an input of the analog/digital converter in a first mode and providing an output of the loop filter as an input of the analog/digital converter in a second mode; and a digital filter for filtering the output of the analog/digital converter.

(57) **요약서:** 본 기술에 의한 아날로그 디지털 변환 장치는 아날로그 디지털 변환기; 아날로그 디지털 변환기의 출력을 아날로그 신호로 변환하는 디지털 아날로그 변환기; 입력 신호와 디지털 아날로그 변환기의 출력을 연산하는 제 1 연산부; 제 1 연산부의 출력을 필터링하는 루프 필터; 제 1 모드에서 입력 신호를 아날로그 디지털 변환기의 입력으로 제공하고 제 2 모드에서 루프 필터의 출력을 아날로그 디지털 변환기의 입력으로 제공하는 스위칭 회로; 및 아날로그 디지털 변환기의 출력을 필터링하는 디지털 필터를 포함한다.

WO 2018/199526 A1

명세서

발명의 명칭: 아날로그 디지털 변환 장치

기술분야

- [1] 본 발명은 아날로그 디지털 변환 장치에 관한 것으로서 보다 구체적으로는 모드에 따라 서로 다른 방식의 아날로그 디지털 변환 동작을 수행하는 아날로그 디지털 변환 장치에 관한 것이다.

배경기술

- [2] 도 1은 시그마 델타(SD: Sigma Delta) 변조 방식의 아날로그 디지털 변환 장치(ADC: Analog to Digital Converter)를 나타내는 블록도이다.
- [3] 시그마 델타 방식의 아날로그 디지털 변환 장치는 오버 샘플링과 노이즈 셰이핑을 수행하는 시그마 델타 변조기(SDM: Sigma Delta Modulator, 10)와 데시메이터(20)를 포함하며 상대적으로 높은 해상도의 디지털 신호를 얻을 수 있다.
- [4] 시그마 델타 변조기(10)는 아날로그 입력 신호(A)를 입력받아 디지털 변조 신호(DM)를 출력한다.
- [5] 이때 노이즈에 해당하는 주파수 성분은 신호 밴드 외부로 셰이핑된다.
- [6] 데시메이터(20)는 디지털 변조 신호(DM)에서 신호 밴드 외부의 노이즈 성분을 필터링을 통해 제거하여 디지털 신호(D)를 출력한다.
- [7] 도 2는 도 1의 시그마 델타 변조기를 나타내는 블록도이다.
- [8] 시그마 델타 변조기(10)는 연산부(11), 루프필터(12), 아날로그 디지털 변환기(13), 디지털 아날로그 변환기(14, DAC: Digital to Analog Converter)를 포함한다.
- [9] 연산부(11)는 아날로그 신호(A)에서 디지털 아날로그 변환기(14)의 출력을 뺄셈하여 출력한다.
- [10] 루프필터(12)는 연산부(11)의 출력을 필터링하여 출력한다.
- [11] 아날로그 디지털 변환기(13)는 루프필터(12)의 출력을 디지털 신호로 변환하여 디지털 변조 신호(DM)를 출력한다.
- [12] 디지털 아날로그 변환기(14)는 아날로그 디지털 변환기(13)에서 출력된 디지털 변조 신호(DM)를 아날로그 신호로 변환하여 출력한다.
- [13] 이러한 구조의 시그마 델타 아날로그 디지털 변환 장치는 고해상도의 디지털 변환이 가능한 점에서 유리하나 상대적으로 전력 소비가 많은 단점이 있다.
- [14] 이에 따라 고해상도의 디지털 변환이 불필요한 경우에는 시그마 델타 방식 대신에 다른 방식을 사용하는 아날로그 디지털 변환 장치를 사용하는 것이 바람직하다.
- [15] 종래에는 필요한 성능에 따라 서로 다른 방식의 아날로그 디지털 변환 장치를 별도로 사용해야 하므로 시스템의 면적이 증가하고 비용이 증가하는 문제가

있다.

발명의 상세한 설명

기술적 과제

- [16] 본 발명은 동작 방식을 선택적으로 변경할 수 있는 범용의 아날로그 디지털 변환 장치를 제공한다.

과제 해결 수단

- [17] 본 발명의 일 실시예에 의한 디지털 아날로그 변환 장치는 아날로그 디지털 변환기; 아날로그 디지털 변환기의 출력을 아날로그 신호로 변환하는 디지털 아날로그 변환기; 입력 신호와 디지털 아날로그 변환기의 출력을 연산하는 제 1 연산부; 제 1 연산부의 출력을 필터링하는 루프 필터; 제 1 모드에서 입력 신호를 아날로그 디지털 변환기의 입력으로 제공하고 제 2 모드에서 루프 필터의 출력을 아날로그 디지털 변환기의 입력으로 제공하는 스위칭 회로; 및 아날로그 디지털 변환기의 출력을 필터링하는 디지털 필터를 포함한다.

발명의 효과

- [18] 본 발명에 의한 아날로그 디지털 변환 장치는 동작 방식을 선택적으로 변경할 수 있는 범용의 아날로그 디지털 변환 장치를 제공한다.
- [19] 이에 따라 동작 방식에 따라 별도의 칩을 장착할 필요가 없어 시스템의 면적을 줄이고 시스템 제작 비용을 줄일 수 있다.
- [20] 본 발명에 의한 아날로그 디지털 변환 장치는 고해상도의 신호가 필요한 경우 델타 시그마 방식의 아날로그 디지털 변환 장치로서 동작하고 고해상도의 신호가 필요하지 않은 동작에서는 저해상도의 아날로그 디지털 변환 장치로서 동작하여 소비 전력을 줄일 수 있다.

도면의 간단한 설명

- [21] 도 1은 종래의 시그마 델타 변조 방식의 아날로그 디지털 변환 장치를 나타내는 블록도.
- [22] 도 2는 델타 시그마 변조기의 구조를 나타내는 블록도.
- [23] 도 3은 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치의 블록도.
- [24] 도 4는 온도 신호를 제공하는 온도 센서의 회로도.
- [25] 도 5는 도 4의 온도 신호를 입력 받는 아날로그 디지털 변환기의 상세 블록도.
- [26] 도 6은 노이즈 셰이핑을 수행하는 아날로그 디지털 변환기를 나타낸 블록도.
- [27] 도 7은 도 6의 아날로그 디지털 변환기의 특성을 나타낸 그래프.
- [28] 도 8은 도 3의 시그마 델타 변조기의 특성을 나타낸 그래프.

발명의 실시를 위한 형태

- [29] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.
- [30] 도 3은 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치를 나타낸 블록도이다.
- [31] 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치는 시그마 델타

- 변조기(100)와 디지털 필터(200)를 포함한다.
- [32] 시그마 델타 변조기(100)는 아날로그 디지털 변환기(110), 루프 필터(120), 제 1 연산부(130), 스위칭 회로(140), 제 2 연산부(150), 디지털 아날로그 변환기(160), 코드 변환부(170), 제어부(180)를 포함할 수 있다.
- [33] 본 실시예에서 시그마 델타 변조기(100)는 제 1 모드 또는 제 2 모드에 따라 아날로그 디지털 변환 동작을 수행한다.
- [34] 제 1 모드는 상대적으로 저해상도의 디지털 신호를 얻는데 적합한 동작으로서 에너지 소모량이 상대적으로 적다.
- [35] 제 1 모드에서는 루프 필터(120)의 동작 없이 아날로그 디지털 변환기(110)에 의해 입력 신호(A) 또는 온도 신호(T)를 디지털로 변환한다.
- [36] 온도 신호(T)는 상대적으로 저해상도의 디지털 신호로 변환하여도 충분한 신호의 일례로서 제 2 입력 신호로 지칭할 수 있다.
- [37] 도시된 실시예에서는 온도 신호(T)와 입력 신호(A)가 별개의 입력 포트를 통해 스위칭 회로(140)에 입력되는 경우를 가정하였으나 온도 신호(T)는 입력 신호(A)가 입력되는 포트를 통해 입력될 수도 있다.
- [38] 제 2 모드는 상대적으로 고해상도의 디지털 신호를 얻는데 적합한 동작으로서 에너지 소모량이 상대적으로 많다.
- [39] 제 2 모드에서는 루프 필터(120)를 포함하는 시그마 델타 변조기(100)의 전체 구성을 이용하여 입력 신호(A)를 디지털 신호로 변환한다.
- [40] 본 실시예에서 시그마 델타 변조기(100)는 제 1 모드에서 제어부(180)의 제어에 따라 입력 신호(A) 또는 온도 신호(T)를 아날로그 디지털 변환기(110)에서 디지털로 변환하여 디지털 변조 신호(DM)를 출력할 수 있다.
- [41] 이때 제어부(180)는 입력 신호(A) 또는 온도 신호(T)가 직접 아날로그 디지털 변환기(110)에 입력되도록 스위칭 회로(140)를 제어한다.
- [42] 또한 제어부(180)는 아날로그 디지털 변환부(110), 스위칭 회로(140), 제 2 연산부(150)를 제외한 루프 필터(120), 코드 변환부(170), 디지털 아날로그 변환기(160) 등을 비활성화할 수 있다.
- [43] 이때 디지털 필터(200)는 제어부(180)의 제어에 따라 디지털 변조 신호(DM)를 필터링하거나 바이패스하여 디지털 신호(D)를 출력할 수 있다.
- [44] 본 실시예에서 시그마 델타 변조기(110)는 제 2 모드에서 제어부(160)의 제어에 따라 입력 신호(A)를 제 1 연산부(130)에 제공한다.
- [45] 제 1 연산부(130)는 입력 신호(A)와 디지털 아날로그 변환기(160)의 출력 신호의 차이를 루프 필터(120)에 제공한다.
- [46] 루프 필터(120)는 제 1 연산부(130)의 출력을 필터링하여 출력한다.
- [47] 스위칭 회로(140)는 루프 필터(120)의 출력을 제 2 연산부(150)에 제공한다.
- [48] 스위칭 회로(140)는 입력 신호(A)를 추가로 제 2 연산부(150)에 제공할 수 있다.
- [49] 제 2 연산부(150)는 제 2 연산부(150)에 입력된 신호들을 연산하여 출력한다.
- [50] 입력 신호(A)가 스위칭 회로(140)를 통해 제 2 연산부(150)에 추가로 제공되지

않는 경우 제 2 연산부(150)는 생략될 수 있으며 루프 필터(120)에서 제공된 신호는 스위칭 회로(140)를 경유하여 직접 아날로그 디지털 변환기(110)에 입력될 수 있다.

- [51] 아날로그 디지털 변환기(110)는 입력된 아날로그 신호(X)를 디지털로 변환하여 디지털 변조 신호(DM)를 출력한다.
- [52] 제 2 모드에서 디지털 변조 신호(DM)는 노이즈 셰이핑된 오버 샘플링 신호로서 디지털 필터(200)에 제공된다.
- [53] 디지털 필터(200)는 데시메이션 동작을 통해 노이즈 성분을 제거한 디지털 신호(D)를 출력한다.
- [54] 디지털 변조 신호(DM)는 직접 디지털 아날로그 변환기(160)에 제공되거나 코드 변환부(170)를 경유하여 디지털 아날로그 변환기(160)에 입력될 수 있다.
- [55] 코드 변환부(170)는 디지털 변조 신호(DM)를 인코딩하여 출력할 수 있다.
- [56] 본 실시예에서 아날로그 디지털 변환기(110)는 이진 코드 형태의 멀티 비트 신호를 출력한다.
- [57] 본 실시예에서 디지털 아날로그 변환기(160)는 써모미터(thermometer) 코드 형태의 멀티 비트의 디지털 값을 아날로그 값으로 변환한다.
- [58] 예를 들어 아날로그 디지털 변환기(110)에서 4비트의 이진 코드가 출력되는 경우 디지털 아날로그 변환기(160)는 15비트의 써모미터 코드를 입력받는다.
- [59] 써모미터 코드에서 1의 개수는 4비트 이진 코드를 십진수로 변환한 값과 동일하다.
- [60] 본 실시예에서 디지털 아날로그 변환기(160)는 15개의 유닛을 포함하여 각각의 유닛은 15비트의 써모미터 코드에서 대응하는 비트를 입력받는다.
- [61] 각각의 유닛은 대응하는 비트의 값에 따라 아날로그 전압을 출력하고 디지털 아날로그 변환기(160)는 전체 유닛의 출력 전압을 합하여 최종 아날로그 전압을 출력한다.
- [62] 본 실시예에서 코드 변환부(170)는 이진 코드 형태의 디지털 신호를 써모미터 코드로 변환할 수 있다.
- [63] 본 실시예에서 코드 변환부(170)는 직렬 연결된 제 1 코드 변환부(171)와 제 2 코드 변환부(172)를 포함한다.
- [64] 본 실시예에서 제 1 코드 변환부(171)는 아날로그 디지털 변환기(110)에서 출력되는 이진 코드 형태의 디지털 변조 신호(DM)를 써모미터 코드 형태로 변환한다.
- [65] 본 실시예에서 제 2 코드 변환부(172)는 디지털 아날로그 변환기(160)에 존재하는 다수의 디지털 아날로그 변환 유닛 사이의 미스매치를 줄이기 위하여 제 1 코드 변환부(171)에서 입력된 써모미터 코드에서 1과 0의 위치를 임의로 변경하여 출력한다.
- [66] 이에 따라 동일한 이진 코드가 코드 변환부(170)에 입력되더라도 입력 시점에 따라 출력되는 써모미터 코드의 형태는 달라질 수 있다.

- [67] 이와 같이 제어부(180)는 제 1 모드 또는 제 2 모드의 동작이 선택되는 경우에 대응하는 동작을 수행할 수 있도록 시그마 델타 변조기(100)의 각 구성을 제어한다.
- [68] 제어부(180)는 모드에 따라 디지털 필터(200)의 동작을 제어할 수 있다.
- [69] 디지털 필터(200)는 제 2 모드에서 테시메이션 필터의 기능을 수행한다.
- [70] 디지털 필터(200)는 제 1 모드에서 아날로그 디지털 변환기(110)의 종류에 따라 디지털 변조 신호(DM)를 그대로 디지털 신호(D)로 출력하거나 디지털 변조 신호(DM)를 필터링하여 디지털 신호(D)를 출력할 수 있다.
- [71] 아날로그 디지털 변환기(110)가 노이즈 셰이핑을 수행하는 SAR(Successive Approximation Register) 형태의 아날로그 디지털 변환기인 경우 디지털 필터(200)는 테시메이션 필터의 동작을 수행하여 디지털 신호(D)를 출력할 수 있다.
- [72] 아날로그 디지털 변환기(110)가 일반적인 SAR 형태의 아날로그 디지털 변환기인 경우 디지털 필터(200)는 입력된 디지털 변조 신호(DM)를 바이패스하여 디지털 신호(D)로 출력할 수 있다.
- [73] 도 4는 온도 신호를 출력하는 온도 센서의 일 예를 나타낸 회로도이다.
- [74] 본 실시예에서 온도 센서는 채널 폭의 비가 1:K(K는 실수)이고 게이트가 공통 연결된 제 1 PMOS 트랜지스터(P1)와 제 3 PMOS 트랜지스터, 채널 폭의 비가 1:K이고 게이트가 공통 연결된 제 2 PMOS 트랜지스터(P2)와 제 4 PMOS 트랜지스터(P4), 베이스가 공통 접지된 제 1 PNP 트랜지스터(Q0)와 제 2 PNP 트랜지스터(Q1)를 포함한다.
- [75] 제 1 PMOS 트랜지스터(P1)와 제 3 PMOS 트랜지스터(P3)의 소스에는 전원 전압(VDD)이 인가된다.
- [76] 제 1 PMOS 트랜지스터(P1)의 드레인은 제 2 PMOS 트랜지스터(P2)의 소스와 연결되고, 제 3 PMOS 트랜지스터(P3)의 드레인은 제 4 PMOS 트랜지스터(P4)의 소스와 연결된다.
- [77] 제 1 PNP 트랜지스터(Q0)의 에미터는 제 2 PMOS 트랜지스터(P2)의 드레인에 연결되고 제 2 PNP 트랜지스터(Q1)의 에미터는 제 4 PMOS 트랜지스터(P4)의 드레인에 연결되며 제 1 PNP 트랜지스터(Q0)의 콜렉터와 제 2 PNP 트랜지스터(Q1)의 콜렉터는 공통 접지된다.
- [78] 본 실시예에서 제 1 PNP 트랜지스터(Q0)와 제 2 PNP 트랜지스터(Q1)의 크기는 동일하게 설계되어 각각의 콜렉터에 흐르는 전류의 비는 1:K가 된다.
- [79] 이에 따라 제 1 PNP 트랜지스터(Q0)의 베이스-에미터 전압(VBE0)과 제 2 PNP 트랜지스터(Q1)의 베이스-에미터 전압(VBE1)에는 차이가 발생한다.
- [80] 본 실시예에서 온도 신호(T)는 제 1 PNP 트랜지스터(Q0)의 에미터에서 출력되는 제 1 온도 신호(VBE0)와 제 2 PNP 트랜지스터(Q1)의 에미터에서 출력되는 제 2 온도 신호(VBE1)를 포함한다.
- [81] 제 1 온도 신호(VBE0)와 제 2 온도 신호(VBE1)는 온도 변화에 따라 공통

전압을 중심으로 진동하는 차동 신호 형태를 가진다.

[82] 도 5는 도 4의 온도 신호를 디지털로 변환하는 아날로그 디지털 변환기(110)를 나타내는 블록도이다.

[83] 본 실시예에서 아날로그 디지털 변환기(110)는 SAR ADC(111), SAR 제어부(112), 제 1 스위칭부(113), 제 2 스위칭부(114), 오프셋부(115)를 포함한다.

[84] 오프셋부(115)는 회로에 내재하는 오프셋 전압(VOS)을 반영하는 가상의 회로 요소이다.

[85] 본 실시예에서 도 3의 제어부(180)는 제 1 모드에서 온도 센싱 동작 시 경로 제어 신호(CHOP)를 출력한다.

[86] 경로 제어 신호(CHOP)는 온도 센싱 수행 시 "0"과 "1"이 번갈아 가며 출력된다.

[87] 경로 제어 신호(CHOP)가 "1"로 출력되는 경우 제 1 스위칭부(113)와 제 2 스위칭부(114)는 입력 신호의 경로를 바꾸지 않고 그대로 출력한다.

[88] 이때 SAR 제어부(112)에서 출력되는 디지털 변조 신호(DM1)는 수학식 1과 같이 표현될 수 있다. 이때 함수 f 는 아날로그 디지털 변환기(110)의 기능을 나타낸다.

[89] [수식1]

$$DM1 = f(VBE1 - VBE0 + VOS)$$

[90] 경로 제어 신호(CHOP)가 "0"으로 출력되는 경우 제 1 스위칭부(113)와 제 2 스위칭부(114)는 입력 신호를 바꾸어 출력한다.

[91] 이에 따라 SAR 제어부(112)에서 출력되는 디지털 변조 신호(DM0)는 수학식 2와 같이 표현될 수 있다.

[92] [수식2]

$$DM0 = f(VBE0 - VBE1 - VOS)$$

[93] 디지털 필터(200)는 제어부(180)의 제어에 따라 수학식 1과 수학식 2에서 얻은 신호의 평균 값을 통해 온도 신호에 대응하는 디지털 신호를 출력한다.

[94] 이에 따라 오프셋(VOS)의 영향이 제거된 디지털 신호가 출력될 수 있다.

[95] 도 5의 SAR ADC(111), SAR 제어부(112)는 차동 신호를 입력받는 아날로그 디지털 변환기로서 종래에 알려진 회로 기술을 통해 구현될 수 있다.

[96] 이에 따라 SAR ADC(111), SAR 제어부(112)의 상세 회로에 대해서는 개시를 생략한다.

[97] 도 3에서 아날로그 디지털 변환기(110)는 노이즈 셰이핑 기능을 수행하는 아날로그 디지털 변환기로 구현될 수 있다.

[98] 도 6은 노이즈 셰이핑 기능을 수행하는 아날로그 디지털 변환기(110)의 블록도이다.

[99] 아날로그 디지털 변환기(110)는 양자화부(1101), 제 3 연산부(1102), 지연부(1103), 제 4 연산부(1104), 증폭부(1105)를 포함한다.

- [100] 제 3 연산부(1102)는 양자화부(1101)의 입출력 신호로부터 양자화 에러를 출력한다.
- [101] 지연부(1103)는 이전의 아날로그 신호를 변환하는 과정에서 발생한 양자화 에러를 저장한다.
- [102] 제 4 연산부(1104)는 현재 입력된 아날로그 신호와 지연부(1103)에서 출력되는 이전 신호에 대한 양자화 에러를 더하여 출력한다. 이러한 제 4 연산부(1104)의 동작에 의해 노이즈 셰이핑 동작이 수행된다.
- [103] 증폭부(1105)는 제 4 연산부(1104)의 출력을 증폭할 수 있다. 이때 증폭비는 실시예에 따라 다양하게 조절될 수 있다.
- [104] 양자화부(1101)는 증폭부(1105)의 출력을 양자화하여 디지털 변조 신호(DM)로 출력한다.
- [105] 도 6의 아날로그 디지털 변환기(110)에서 출력되는 디지털 변조 신호(DM)는 신호 밴드 외곽으로 셰이핑된 노이즈 성분을 포함한다.
- [106] 이에 따라 제 1 모드에서 동작하는 디지털 필터(200)는 데시메이션 기능을 수행할 수 있다.
- [107] 도 7은 아날로그 디지털 변환기(110)의 PSD(Power Spectral Density) 그래프이다.
- [108] 이는 제 1 모드에서 동작하는 시그마 델타 변조기(100)의 PSD 그래프로 볼 수 있다.
- [109] 도 7의 그래프에서 아날로그 디지털 변환기(110)는 노이즈 셰이핑 기능을 수행한다.
- [110] 1KHz 이상의 노이즈 영역에서 노이즈는 주파수가 10배 증가할 때마다 PSD는 20dB씩 증가한다.
- [111] 즉 아날로그 디지털 변환기(110)는 1차 노이즈 셰이핑을 수행한다.
- [112] 도 8은 제 2 모드에서 동작하는 시그마 델타 변조기(100)의 PSD 그래프이다.
- [113] 100Hz 이상의 노이즈 영역에서 노이즈는 주파수가 10배 증가할 때마다 PSD는 60dB씩 증가한다.
- [114] 이 경우 루프 필터(120)가 2차 노이즈 셰이핑을 수행하고 디지털 변환기(110)가 1차 노이즈 셰이핑을 수행하여 시그마 델타 변조기(100)는 전체적으로 3차 아날로그 셰이핑을 수행한다.
- [115] 도 7의 실험과 같이 제 1 모드에서 유효 비트수(ENOB: Effective Number of Bits)가 10.75비트이고 도 8의 실험과 같이 제 2 모드에서 유효 비트수는 20.5비트이다.
- [116] 이와 같이 상대적으로 저해상도의 디지털 신호가 필요한 경우에는 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치를 제 1 모드로 동작시킬 수 있고, 상대적으로 고해상도의 디지털 신호가 필요한 경우에는 본 발명의 일 실시예에 의한 아날로그 디지털 변환 장치를 제 2 모드로 동작시킬 수 있다.
- [117] 이상에서는 도면을 참조하여 본 발명의 실시예를 개시하였다. 본 발명의

권리범위는 이상의 개시에 의해 한정되는 것이 아니라 특허청구범위에
문언적으로 기재된 범위와 그 균등범위에 의해 정해진다.

청구범위

- [청구항 1] 아날로그 디지털 변환기;
 상기 아날로그 디지털 변환기의 출력을 아날로그 신호로 변환하는
 디지털 아날로그 변환기;
 입력 신호와 상기 디지털 아날로그 변환기의 출력을 연산하는 제 1
 연산부;
 상기 제 1 연산부의 출력을 필터링하는 루프 필터;
 상기 입력 신호 또는 상기 루프 필터의 출력 중 어느 하나를 선택하여
 상기 아날로그 디지털 변환기의 입력으로 제공하되 제 1 모드에서 상기
 입력 신호를 선택하고 제 2 모드에서 상기 루프 필터의 출력을 선택하는
 스위칭 회로; 및
 상기 아날로그 디지털 변환기의 출력을 필터링하는 디지털 필터
 를 포함하되,
 상기 제 1 모드에서 상기 디지털 아날로그 변환기, 상기 루프 필터 또는
 상기 제 1 연산부 중 적어도 하나는 전력을 소비하지 않도록 제어되는
 아날로그 디지털 변환 장치.
- [청구항 2] 청구항 1에 있어서, 상기 스위칭 회로는 상기 제 1 모드에서 상기 입력
 신호 또는 제 2 입력 신호를 상기 아날로그 디지털 변환기의 입력으로
 제공하는 아날로그 디지털 변환 장치.
- [청구항 3] 청구항 1에 있어서, 상기 아날로그 디지털 변환 장치는 제 2 연산부를 더
 포함하고, 상기 스위칭 회로는 상기 제 2 모드에서 상기 루프 필터의 출력
 및 상기 입력 신호를 출력하고, 상기 제 2 연산부는 상기 제 2 모드에서
 상기 스위칭 회로를 경유하여 출력된 상기 입력 신호 및 상기 루프 필터의
 출력을 연산하여 그 출력을 상기 아날로그 디지털 변환기의 입력으로
 제공하는 아날로그 디지털 변환 장치.
- [청구항 4] 청구항 1에 있어서, 상기 아날로그 디지털 변환 장치는 상기 아날로그
 디지털 변환기의 출력된 디지털 값을 변환하여 상기 디지털 아날로그
 변환기의 입력으로 제공하는 코드 변환부를 더 포함하는 아날로그
 디지털 변환 장치.
- [청구항 5] 청구항 4에 있어서, 상기 코드 변환부는 이진 코드 형태의 디지털 값을
 씨모미터 코드 형태의 디지털 값으로 변환하는 제 1 코드 변환부를
 포함하는 아날로그 디지털 변환 장치.
- [청구항 6] 청구항 5에 있어서, 상기 코드 변환부는 상기 제 1 코드 변환부에서
 출력된 씨모미터 코드 형태의 디지털 값에서 0과 1의 위치를 임의로
 변경하여 상기 디지털 아날로그 변환기의 입력으로 제공하는 제 2 코드
 변환부를 더 포함하는 아날로그 디지털 변환 장치.
- [청구항 7] 청구항 1에 있어서, 상기 아날로그 디지털 변환기는 노이즈 셰이핑을

수행하고 상기 디지털 필터는 상기 제 1 모드에서 테시메이션 필터링을 수행하는 아날로그 디지털 변환 장치.

[청구항 8] 청구항 1에 있어서, 상기 아날로그 디지털 변환기는 노이즈 셰이핑을 수행하지 않고 상기 디지털 필터는 상기 제 1 모드에서 입력된 신호와 동일한 신호를 출력하는 아날로그 디지털 변환 장치.

[청구항 9] 청구항 1에 있어서, 상기 루프 필터는 노이즈 셰이핑을 수행하고 상기 디지털 필터는 상기 제 2 모드에서 테시메이션 필터링을 수행하는 아날로그 디지털 변환 장치.

[청구항 10] 청구항 1에 있어서, 상기 제 1 모드 및 상기 제 2 모드에서 상기 스위칭 회로, 상기 루프 필터, 및 상기 디지털 아날로그 변환기를 제어하는 제어부를 더 포함하는 아날로그 디지털 변환 장치.

[청구항 11] 청구항 2에 있어서, 상기 제 1 모드에서 온도 신호가 상기 입력 신호 또는 상기 제 2 입력 신호로 제공되는 아날로그 디지털 변환 장치.

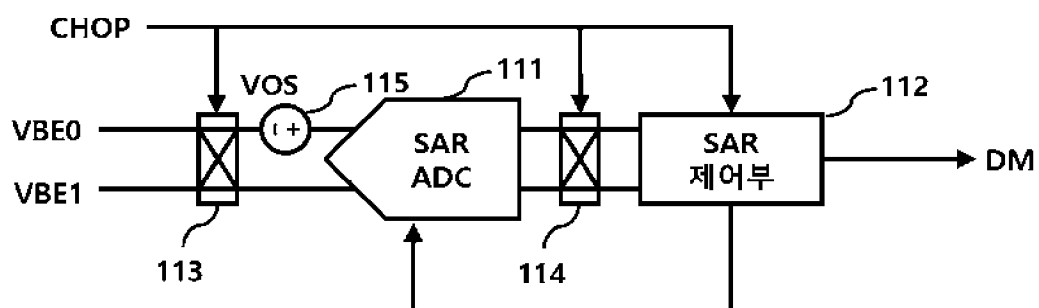
```

graph LR
    A --> 10[시그마 델타 변조기]
    10 -- DM --> 20[데시메이터]
    20 --> D
  
```

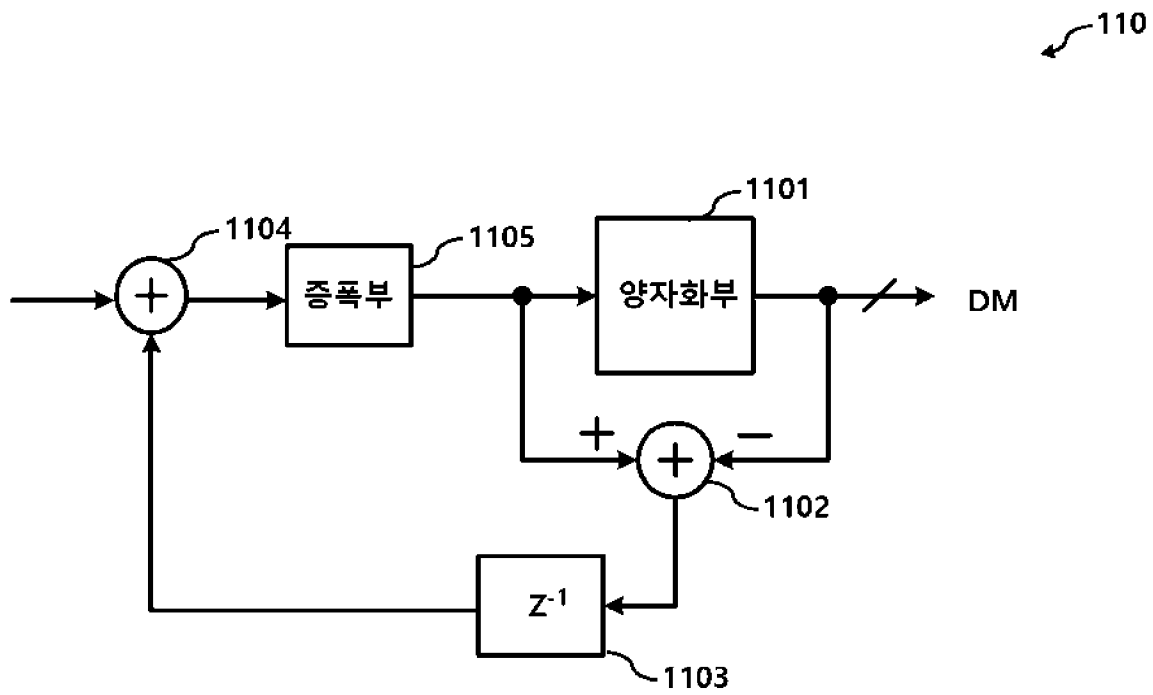
Figure 1 is a block diagram of a digital control system 10. The system includes an input signal A, a summing junction 11, a low-pass filter 12, an ADC 13, a DAC 14, and a feedback loop. The input signal A is fed into the summing junction 11. The output of the summing junction 11 is fed into the low-pass filter 12. The output of the low-pass filter 12 is fed into the ADC 13. The output of the ADC 13 is the digital output DM. A feedback path branches off from the output of the ADC 13, goes through the DAC 14, and is fed back to the summing junction 11 with a negative sign (-).

[illegible]

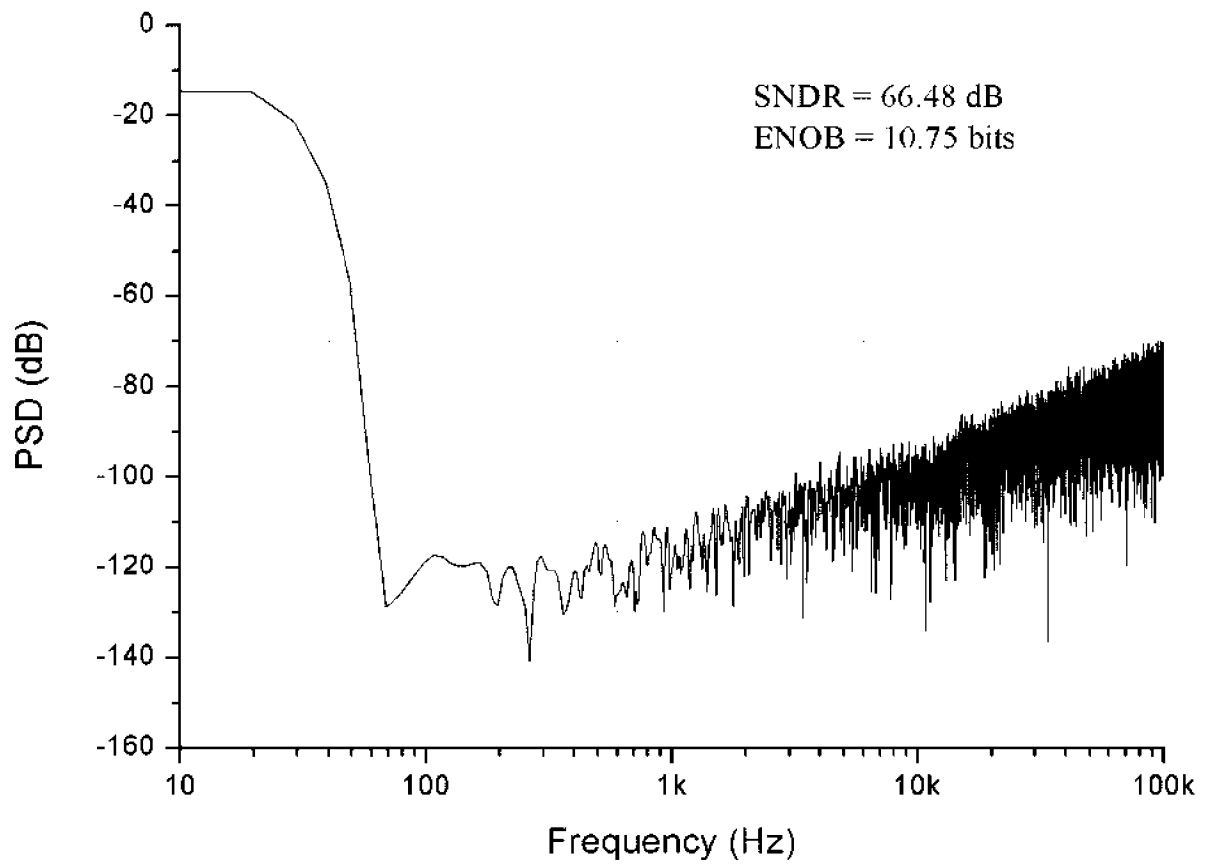
110



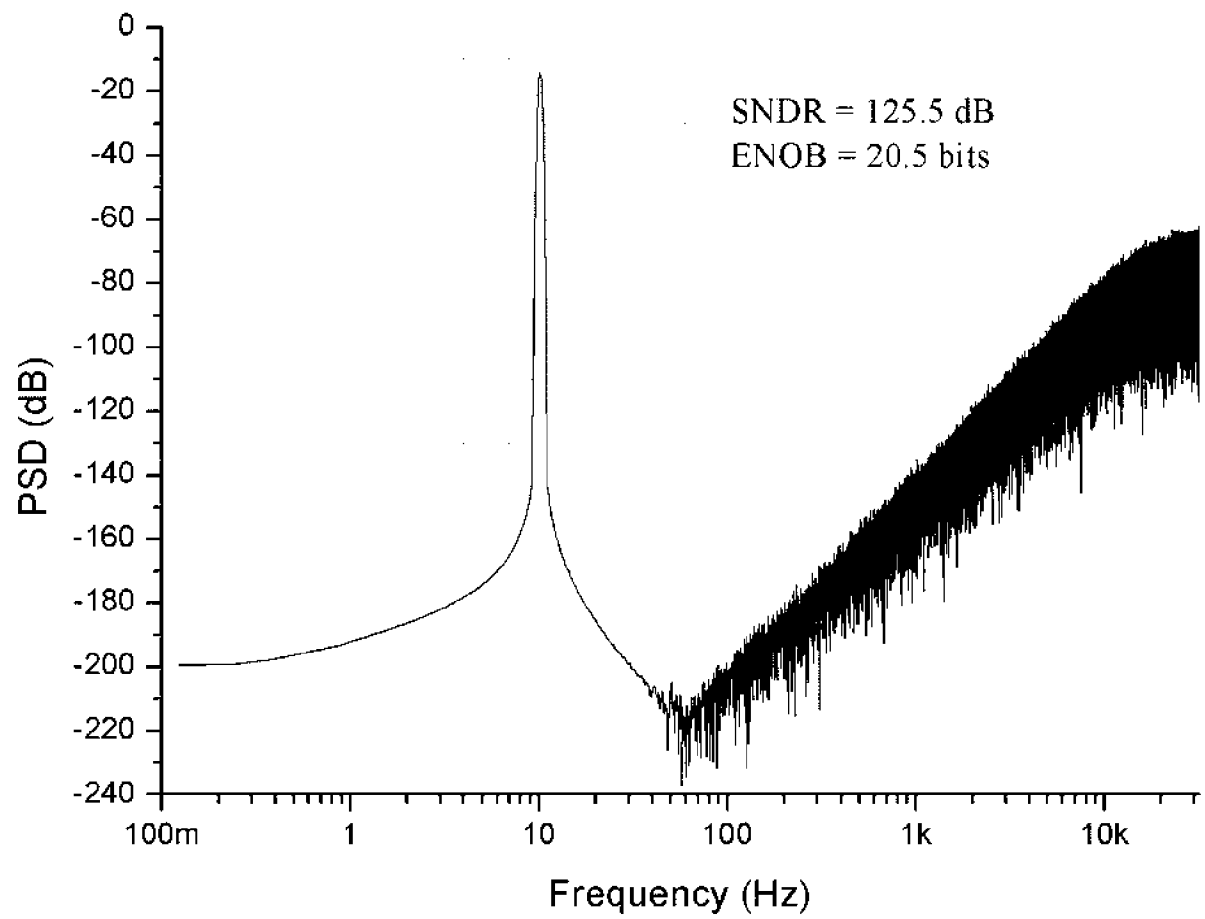
[도6]



[도7]



[도8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2018/004387

A. CLASSIFICATION OF SUBJECT MATTER

H03M 1/14(2006.01)i, H03M 3/00(2006.01)i, H03M 1/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M 1/14; H03M 3/02; H03M 3/00; H03M 1/12; H03M 1/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: analogue digital converter, mode conversion, loop filter, power, control

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2009-0121952 A (SAMSUNG ELECTRONICS CO., LTD. et al.) 26 November 2009 See paragraphs [0024]-[0039]; and figure 3.	1-11
A	US 2007-0052570 A1 (SWERLEIN, Ronald L. et al.) 08 March 2007 See paragraphs [0038]-[0058]; and figure 3.	1-11
A	KR 10-1214976 B1 (POSTECH ACADEMY-INDUSTRY FOUNDATION) 24 December 2012 See paragraphs [0032]-[0048]; and figures 3-6.	1-11
A	US 2003-0067404 A1 (RUHA, Antti et al.) 10 April 2003 See paragraphs [0034]-[0040]; and figure 3.	1-11
A	KR 10-2011-0090884 A (MICROCHIP TECHNOLOGY INC.) 10 August 2011 See paragraphs [0029]-[0030]; and figure 2.	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

30 JULY 2018 (30.07.2018)

Date of mailing of the international search report

31 JULY 2018 (31.07.2018)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2018/004387

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2009-0121952 A	26/11/2009	US 2009-0289823 A1 US 7773018 B2	26/11/2009 10/08/2010
US 2007-0052570 A1	08/03/2007	CN 1929309 A JP 2007-074714 A US 7176819 B1	14/03/2007 22/03/2007 13/02/2007
KR 10-1214976 B1	24/12/2012	US 2013-0106633 A1 US 8421661 B1	02/05/2013 16/04/2013
US 2003-0067404 A1	10/04/2003	AU 2001-13430 A1 AU 2001-13430 B2 AU 2002-328126 A1 CA 2389104 A1 CA 2389104 C CN 1561578 A EP 1230511 A2 EP 1230511 B1 EP 1433259 A2 JP 2003-512912 A KR 10-0923480 B1 KR 10-2004-0037216 A US 2003-0136403 A1 US 2005-0098174 A1 US 2008-0066471 A1 US 6575159 B1 US 6577258 B2 US 6843247 B2 US 7296569 B2 US 7766009 B2 WO 01-33136 A2 WO 01-33136 A3 WO 03-030369 A2 WO 03-030369 A3	14/05/2001 24/11/2005 14/04/2003 10/05/2001 14/10/2008 05/01/2005 14/08/2002 01/06/2005 30/06/2004 08/04/2003 27/10/2009 04/05/2004 24/07/2003 12/05/2005 20/03/2008 10/06/2003 10/06/2003 18/01/2005 20/11/2007 03/08/2010 10/05/2001 24/01/2002 10/04/2003 05/06/2003
KR 10-2011-0090884 A	10/08/2011	CN 102119489 A CN 102119489 B CN 102165697 A CN 102165697 B EP 2351228 A2 EP 2351228 B1 EP 2425534 A2 EP 2425534 B1 KR 10-1651261 B1 KR 10-2011-0085877 A TW 201027935 A TW 201106636 A US 2010-0103003 A1 US 2010-0103013 A1	06/07/2011 05/10/2016 24/08/2011 20/08/2014 03/08/2011 18/01/2017 07/03/2012 07/12/2016 26/08/2016 27/07/2011 16/07/2010 16/02/2011 29/04/2010 29/04/2010

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2018/004387

Patent document cited in search report	Publication date	Patent family member	Publication date
		US 2011-0169672 A1	14/07/2011
		US 7961125 B2	14/06/2011
		US 7961126 B2	14/06/2011
		US 8085176 B2	27/12/2011
		WO 2010-048360 A2	29/04/2010
		WO 2010-048360 A3	24/06/2010
		WO 2010-048362 A2	29/04/2010
		WO 2010-048362 A3	17/06/2010

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H03M 1/14(2006.01)i, H03M 3/00(2006.01)i, H03M 1/18(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H03M 1/14; H03M 3/02; H03M 3/00; H03M 1/12; H03M 1/18

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드:아날로그 디지털 변환기, 모드 변환, 루프 필터, 전력, 제어

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2009-0121952 A (삼성전자주식회사 등) 2009.11.26 단락 [0024]-[0039]; 및 도면 3 참조.	1-11
A	US 2007-0052570 A1 (RONALD L. SWERLEIN 등) 2007.03.08 단락 [0038]-[0058]; 및 도면 3 참조.	1-11
A	KR 10-1214976 B1 (포항공과대학교 산학협력단) 2012.12.24 단락 [0032]-[0048]; 및 도면 3-6 참조.	1-11
A	US 2003-0067404 A1 (ANTTI RUHA 등) 2003.04.10 단락 [0034]-[0040]; 및 도면 3 참조.	1-11
A	KR 10-2011-0090884 A (마이크로칩 테크놀로지 인코포레이티드) 2011.08.10 단락 [0029]-[0030]; 및 도면 2 참조.	1-11

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2018년 07월 30일 (30.07.2018)

국제조사보고서 발송일

2018년 07월 31일 (31.07.2018)

ISA/KR의 명칭 및 우편주소



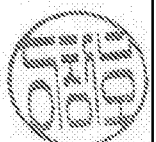
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이창호

전화번호 +82-42-481-8288



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2009-0121952 A	2009/11/26	US 2009-0289823 A1 US 7773018 B2	2009/11/26 2010/08/10
US 2007-0052570 A1	2007/03/08	CN 1929309 A JP 2007-074714 A US 7176819 B1	2007/03/14 2007/03/22 2007/02/13
KR 10-1214976 B1	2012/12/24	US 2013-0106633 A1 US 8421661 B1	2013/05/02 2013/04/16
US 2003-0067404 A1	2003/04/10	AU 2001-13430 A1 AU 2001-13430 B2 AU 2002-328126 A1 CA 2389104 A1 CA 2389104 C CN 1561578 A EP 1230511 A2 EP 1230511 B1 EP 1433259 A2 JP 2003-512912 A KR 10-0923480 B1 KR 10-2004-0037216 A US 2003-0136403 A1 US 2005-0098174 A1 US 2008-0066471 A1 US 6575159 B1 US 6577258 B2 US 6843247 B2 US 7296569 B2 US 7766009 B2 WO 01-33136 A2 WO 01-33136 A3 WO 03-030369 A2 WO 03-030369 A3	2001/05/14 2005/11/24 2003/04/14 2001/05/10 2008/10/14 2005/01/05 2002/08/14 2005/06/01 2004/06/30 2003/04/08 2009/10/27 2004/05/04 2003/07/24 2005/05/12 2008/03/20 2003/06/10 2003/06/10 2005/01/18 2007/11/20 2010/08/03 2001/05/10 2002/01/24 2003/04/10 2003/06/05
KR 10-2011-0090884 A	2011/08/10	CN 102119489 A CN 102119489 B CN 102165697 A CN 102165697 B EP 2351228 A2 EP 2351228 B1 EP 2425534 A2 EP 2425534 B1 KR 10-1651261 B1 KR 10-2011-0085877 A TW 201027935 A TW 201106636 A US 2010-0103003 A1 US 2010-0103013 A1	2011/07/06 2016/10/05 2011/08/24 2014/08/20 2011/08/03 2017/01/18 2012/03/07 2016/12/07 2016/08/26 2011/07/27 2010/07/16 2011/02/16 2010/04/29 2010/04/29

국제조사보고서에서
인용된 특허문헌

공개일

대응특허문헌

공개일

US 2011-0169672 A1	2011/07/14
US 7961125 B2	2011/06/14
US 7961126 B2	2011/06/14
US 8085176 B2	2011/12/27
WO 2010-048360 A2	2010/04/29
WO 2010-048360 A3	2010/06/24
WO 2010-048362 A2	2010/04/29
WO 2010-048362 A3	2010/06/17