



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년03월31일
(11) 등록번호 10-2234881
(24) 등록일자 2021년03월26일

- (51) 국제특허분류(Int. Cl.)
H03F 3/30 (2006.01) H03F 1/02 (2006.01)
- (52) CPC특허분류
H03F 3/3022 (2013.01)
H03F 1/0216 (2013.01)
- (21) 출원번호 10-2015-7032094
- (22) 출원일자(국제) 2014년04월11일
심사청구일자 2019년03월26일
- (85) 번역문제출일자 2015년11월09일
- (65) 공개번호 10-2015-0140795
- (43) 공개일자 2015년12월16일
- (86) 국제출원번호 PCT/EP2014/057429
- (87) 국제공개번호 WO 2014/167114
국제공개일자 2014년10월16일
- (30) 우선권주장
1306621.2 2013년04월11일 영국(GB)
- (56) 선행기술조사문헌
US06433637 B1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
스냅트랙 인코포레이티드
미국 95212 캘리포니아 샌디에이고 모어하우스 드
라이브 5775
- (72) 발명자
월슨 마틴
영국 씨비23 6디피 캠브리지셔 캠브리지 캠퍼스
본 비즈니스 파크 빌딩 1010 누지라 리미티드 씨
/오
- (74) 대리인
특허법인코리아나

전체 청구항 수 : 총 20 항

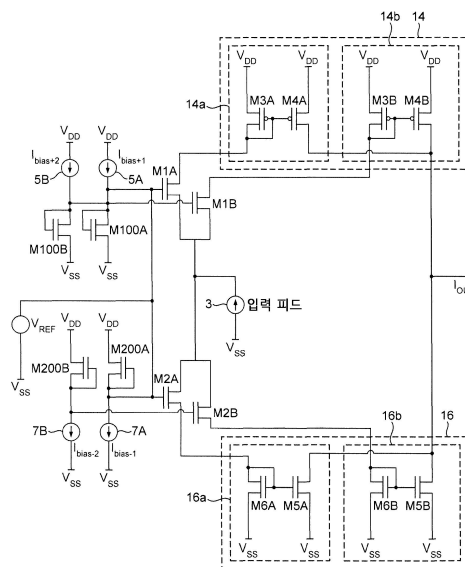
심사관 : 이준건

(54) 발명의 명칭 클래스 AB 증폭기에 대한 출력 스테이지

(57) 요약

본 발명은, 입력 전류를 수신하고 증폭된 출력 전류를 생성하며 출력 전류를 제공하도록 접속된 제 1 및 제 2 출력 트랜지스터들을 갖는 클래스 AB 증폭기에 관한 것이고, 입력 전류가 임계 미만이면, 제 1 출력 트랜지스터가 인에이블되고 제 2 출력 트랜지스터가 디스에이블되고, 입력 전류가 임계를 초과하면, 제 2 출력 트랜지스터가 인에이블된다.

대표도 - 도3



명세서

청구범위

청구항 1

입력 전류를 수신하고 증폭된 출력 전류를 생성하며 상기 출력 전류를 제공하도록 접속된 제 1, 제 2, 제 3 및 제 4 출력 트랜지스터들을 갖는 클래스 AB 증폭기로서,

상기 입력 전류가 임계 미만이면, 상기 제 1 및 제 3 출력 트랜지스터들이 인에이블되고 상기 제 2 및 제 4 출력 트랜지스터들이 디스에이블되며,

상기 입력 전류가 임계를 초과하면, 상기 제 2 및 제 4 출력 트랜지스터들이 인에이블되는, 클래스 AB 증폭기.

청구항 2

제 1 항에 있어서,

상기 제 2 출력 트랜지스터는 상기 제 1 출력 트랜지스터보다 물리적으로 더 큰, 클래스 AB 증폭기.

청구항 3

제 1 항에 있어서,

상기 제 1 및 제 2 출력 트랜지스터들은 제 1 및 제 2 전류 미러들의 부분을 형성하는, 클래스 AB 증폭기.

청구항 4

제 3 항에 있어서,

상기 입력 전류에 따라 상기 제 1 및 제 2 전류 미러들을 제어하는 제 1 및 제 2 입력 트랜지스터들을 더 포함하는, 클래스 AB 증폭기.

청구항 5

제 4 항에 있어서,

상기 제 1 입력 트랜지스터가 상기 임계 미만의 입력 전류들에 응답하고 상기 제 2 입력 트랜지스터가 상기 임계를 초과하는 입력 전류들에 응답하도록, 상기 제 1 및 제 2 입력 트랜지스터들의 임계 전압들이 상이한, 클래스 AB 증폭기.

청구항 6

제 4 항에 있어서,

상기 제 1 및 제 2 입력 트랜지스터들의 제어 노드들에서의 전압이 고정되는, 클래스 AB 증폭기.

청구항 7

제 6 항에 있어서,

상기 제 1 및 제 2 입력 트랜지스터들의 상기 제어 노드들에서의 전압은 전류 소스 및 다이오드 접속된 트랜지스터에 의해 설정되는, 클래스 AB 증폭기.

청구항 8

제 1 항에 있어서,

상기 제 1 및 제 2 트랜지스터들은 캐스캐이드 트랜지스터들을 통해 상기 출력 전류를 제공하도록 개별적으로 접속되는, 클래스 AB 증폭기.

청구항 9

제 1 항에 있어서,
 상기 제 1 및 제 2 출력 트랜지스터들은 제 1 극성의 공급 전압에 접속되고,
 상기 제 3 및 제 4 출력 트랜지스터들은 제 2 극성의 공급 전압에 접속되는, 클래스 AB 증폭기.

청구항 10

제 9 항에 있어서,
 상기 제 4 출력 트랜지스터는 상기 제 3 출력 트랜지스터보다 물리적으로 더 큰, 클래스 AB 증폭기.

청구항 11

제 9 항에 있어서,
 상기 제 3 및 제 4 출력 트랜지스터들은 제 3 및 제 4 전류 미러들의 부분을 형성하는, 클래스 AB 증폭기.

청구항 12

제 11 항에 있어서,
 상기 입력 전류에 따라 상기 제 3 및 제 4 전류 미러들을 제어하는 제 3 및 제 4 입력 트랜지스터들을 더 포함하는, 클래스 AB 증폭기.

청구항 13

제 12 항에 있어서,
 상기 제 3 입력 트랜지스터가 상기 임계 미만의 입력 전류들에 응답하고 상기 제 4 입력 트랜지스터가 상기 임계 미만의 입력 전류들에 응답하도록, 상기 제 3 및 제 4 입력 트랜지스터들의 임계 전압이 상이한, 클래스 AB 증폭기.

청구항 14

제 12 항에 있어서,
 상기 제 3 및 제 4 입력 트랜지스터들의 제어 노드들에서의 전압이 고정되는, 클래스 AB 증폭기.

청구항 15

제 14 항에 있어서,
 상기 제 3 및 제 4 입력 트랜지스터들의 상기 제어 노드들에서의 전압은 전류 소스들 및 다이오드 접속된 트랜지스터들에 의해 설정되는, 클래스 AB 증폭기.

청구항 16

제 11 항에 있어서,
 상기 제 3 및 제 4 트랜지스터들은 캐스케이스 트랜지스터들을 통해 상기 출력 전류를 제공하도록 개별적으로 접속되는, 클래스 AB 증폭기.

청구항 17

입력 전류를 수신하고 증폭된 출력 전류를 생성하며 상기 출력 전류를 제공하도록 접속된 제 1, 제 2, 제 3 및 제 4 출력 트랜지스터들을 갖는 클래스 AB 증폭기를 제어하는 방법으로서,
 상기 입력 전류가 임계 미만이면 상기 제 1 및 제 3 출력 트랜지스터들이 인에이블되고 상기 제 2 및 제 4 출력 트랜지스터들이 디스에이블되며,
 상기 입력 전류가 임계를 초과하면 상기 제 2 및 제 4 출력 트랜지스터들이 인에이블되는, 클래스 AB 증폭기를

제어하는 방법.

청구항 18

제 17 항에 있어서,

제 4 항에 기재된 클래스 AB 증폭기를 더 포함하고,

상기 제 1 입력 트랜지스터가 상기 임계 미만의 입력 전류들에 응답하고 상기 제 2 입력 트랜지스터가 상기 임계를 초과하는 입력 전류들에 응답하도록, 상기 제 1 및 제 2 입력 트랜지스터들의 임계 전압이 상이한, 클래스 AB 증폭기를 제어하는 방법.

청구항 19

제 17 항에 있어서,

제 1 항 내지 제 16 항 중 어느 한 항에 기재된 클래스 AB 증폭기를 더 포함하고,

상기 제 1 및 제 2 출력 트랜지스터들은 제 1 극성의 공급 전압에 접속되고,

상기 제 3 및 제 4 출력 트랜지스터들은 제 2 극성의 공급 전압에 접속되는, 클래스 AB 증폭기를 제어하는 방법.

청구항 20

제 17 항에 있어서,

제 12 항에 기재된 클래스 AB 증폭기를 더 포함하고,

상기 제 3 입력 트랜지스터가 상기 임계 미만의 입력 전류들에 응답하고 상기 제 4 입력 트랜지스터가 상기 임계 미만의 입력 전류들에 응답하도록, 상기 제 3 및 제 4 입력 트랜지스터들의 임계 전압들이 상이한, 클래스 AB 증폭기를 제어하는 방법.

발명의 설명

기술 분야

[0001] 본 발명은 클래스 AB 증폭기들, 및 특히 전적으로는 아니지만 클래스 AB 증폭기들을 통합하는 엔벨로프 추적 전력 공급기들에 관한 것이다.

배경 기술

[0002] 엔벨로프 추적 애플리케이션들은 고 주파수에서 넓은 범위의 출력 전류들을 출력하기 위한 능력을 갖는 에러 증폭기를 요구할 수도 있다. 엔벨로프 추적의 구현에는 원하는 신호 에너지의 대부분을 제공하기 위해 스위칭된 공급기, 및 신호 에너지의 나머지를 제공하는 원하지 않는 스위칭 인공물들을 제거하기 위해 에러 증폭기를 갖는 엔벨로프 추적 전력 공급기이다. 이러한 증폭기는 높은 효율성을 갖고, 선형적이어야 하며, 고 대역폭 신호들을 핸들링할 수 있어야 한다.

[0003] 통상적으로, 이러한 구현들의 에러 증폭기들은 클래스 AB 증폭기들이고, 높은 피크-대-평균 전류 스윙들을 핸들링하도록 요구된다. 그러나, 큰 피크-대-평균 전류 스윙들을 핸들링하도록 정확하게 크기가 정해지면, 종래의 클래스 AB 증폭기는 통상적으로 큰 휴지 전류를 요구한다.

[0004] 엔벨로프 추적 전력 공급기에서 클래스 AB 에러 증폭기에 대한 통상적인 종래 기술의 접근은, 파형의 포지티브 및 네거티브 과도출력 (excursion) 들을 각각 핸들링하는 2 개의 트랜지스터들을 제공하는 것이다. 통상의 클래스 AB 증폭기는 입력 스테이지 및 출력 스테이지를 갖는다. 통상적으로, 입력 스테이지는 클래스 A 에서 구동된다. 이와 같이, 기존의 클래스 AB 어레인지먼트는 통상적으로, 입력에서 스플릿을 포함하는, 출력 스테이지로 공급되는 단일 출력을 갖는 입력 스테이지로 이루어진다. 이 어레인지먼트는, 통상적으로 많은 고 대역폭 증폭기들에서 관측되는 높은 스탠딩 (standing) 전력 손실을 고려한다. 전류 증폭의 사용은, 최대 대역폭이 트랜지스터들로부터 추출되는 것을 허용한다.

[0005] 종래 기술의 예시적인 클래스 AB 증폭기의 출력 스테이지는 도 1 에 예시되고, 제 1 스테이지 (10) 및 제 2 스테이지

페이지 (12) 를 포함한다. 클래스 AB 증폭기의 입력 스테이지로 공급된 단일 라인은 참조 부호 3 으로 지정된 전류 입력 (I_{input}) 을 갖는 입력 피드 전류 소스로 표현된다.

[0006] 제 1 스테이지 (10) 는 제 1 쌍의 트랜지스터들 (M1 및 M100) 을 포함하고, 이 트랜지스터들은 포지티브 과도출력 상에서 단일 입력 전류 (I_{input}) 로부터의 입력 신호들을 핸들링한다. 트랜지스터들 (M100 및 M1) 은, 트랜지스터 (M100) 가 다이오드와 접속되는, 전류 미러 어레인지먼트에서 접속된다. 참조 부호 5 로 표기된 바이어스 전류 (I_{bias+}) 가 포지티브 공급 레일 (V_{DD}) 로부터 트랜지스터 (M100) 에 대해 제공되어, 트랜지스터들 (M100 및 M1) 을 스위치 온으로 유지한다. 입력 피드 전류 (I_{input}) 는 트랜지스터 (M1) 에 접속된다.

[0007] 제 1 스테이지 (10) 는 추가적으로, 네거티브 과도출력 상의 단일 입력 전류 (I_{input}) 로부터의 입력 신호들을 핸들링하는 제 2 쌍의 트랜지스터들 (M2 및 M200) 을 포함한다. 트랜지스터들 (M200 및 M2) 은, 트랜지스터 (M200) 가 다이오드와 접속되는, 전류 미러 어레인지먼트에서 접속된다. 참조 부호 7 로 표기된 바이어스 전류 (I_{bias-}) 가 네거티브 공급 레일 (V_{SS}) 로부터 트랜지스터 (M200) 에 대해 제공되어, 트랜지스터들 (M200 및 M2) 을 스위치 온으로 유지한다. 입력 피드 전류 (I_{input}) 는 트랜지스터 (M2) 에 접속된다.

[0008] 참조 부호 9 로 표기된 DC 정전압 (V_{ref}) 은 제 1 스테이지 (10) 의 트랜지스터들 (M100 및 M200) 의 공통 커넥션에 인가된다. DC 정전압 (V_{ref}) 은 트랜지스터들 (M1 및 M2) 이 스위치 온하는 전압을 결정한다. DC 정전압 (V_{ref}) 소스는 트랜지스터 (M100 및 M200) 의 공통 커넥션과 네거티브 공급 레일 (V_{SS}) 사이에 접속된다.

[0009] 제 1 스테이지 (10) 의 트랜지스터들 (M1 및 M2) 은 입력 피드 (I_{input}) 에 의해 공급된 입력 신호를 스플릿한다. 트랜지스터 (M1) 은 라인 (11) 상에 입력 신호의 포지티브 부분 (I_{input+}) 을 제공하고, 트랜지스터 (M2) 는 라인 (13) 상에 입력 신호의 네거티브 부분 (I_{input-}) 을 제공한다.

[0010] 제 1 스테이지 (10) 는 따라서, 하나의 입력 (I_{input}) 및 2 개의 출력들 (I_{input+} 및 I_{input-}) 을 갖는다.

[0011] 제 2 스테이지 (12) 는 트랜지스터들 (M3 및 M4) 에 의해 제공된 하이-사이드 (또는 포지티브) 전류 미러 어레인지먼트 (14) 를 포함한다. 하이-사이드 (또는 포지티브) 전류 미러 어레인지먼트 (14) 는 신호의 포지티브 부분 (I_{input+}) 을 수신한다. 하이-사이드 (또는 포지티브) 전류 미러 어레인지먼트 (14) 는 상위 공급기 (V_{DD}) 로부터, 포지티브 출력 전류 ($I_{output+}$) 로서 표기된 출력 전류 (I_{out}) 로 전류를 제공한다.

[0012] 제 2 스테이지 (12) 는 또한, 트랜지스터들 (M5 및 M6) 에 의해 제공된 로우-사이드 (또는 네거티브) 전류 미러 어레인지먼트 (16) 를 포함한다. 로우-사이드 (또는 네거티브) 전류 미러 어레인지먼트 (16) 는 입력 신호의 네거티브 부분 (I_{input-}) 을 수신한다. 로우-사이드 (또는 네거티브) 전류 미러 어레인지먼트 (16) 는 네거티브 출력 전류 ($I_{output-}$) 로서 표기된, 출력 전류 (I_{out}) 로부터 하위 공급기 (V_{SS}) 로 전류를 리턴한다.

[0013] 포지티브 출력 전류 ($I_{output+}$) 및 네거티브 출력 전류 ($I_{output-}$) 는 결합되어, 라인 (15) 상에서 출력 전류 (I_{out}) 를 형성한다.

[0014] 크로스오버 포인트에서 이득의 손실을 방지하기 위해, 트랜지스터들 (M4 및 M5) 양자 모두는 동시에 크로스오버 영역에서 전도성이다. 트랜지스터들 양자 모두를 전도하게 함으로써, 저 전류들에서 개별의 트랜지스터들 (M4 또는 M5) 의 이득에서의 손실을 오프셋하는 것이 가능하다.

[0015] 그러나, 엔벨로프 추적 어레인지먼트 (예컨대, 엔벨로프 추적 전력 공급기) 에서 여러 증폭기의 부분으로서 사용되는 경우, 제 2 스테이지 (12) 는 광범위한 전류들을 핸들링해야 하지만, 유감스럽게도 필요한 전류들의 분배의 대부분이, 크로스오버 영역이 위치되고 전류들이 상대적으로 작은 출력 파형의 센터 주변에서 정확하게 발생한다. 따라서, 어레인지먼트는 큰 전류를 핸들링하도록 크기가 정해지지만, 대부분의 시간에서 어레인지먼트는 작은 전류들을 핸들링한다.

- [0016] 크로스오버 영역을 통과한 이득을 유지하는 클래스 AB 기준을 만족시키기 위해 필요한 최대 전류를 출력하도록 트랜지스터들이 정확하게 크기가 정해지면, 큰 휴지 바이어스 전류가 요구된다. 큰 휴지 바이어스 전류는 통상적으로, 특히 백-오프된 출력 전력들에서 엔벨로프 추적을 사용하는 것으로부터 효율성 이득을 크게 오프셋한다. 동작의 대부분이 크로스오버 영역에서 더 작은 전류들에 대한 것이더라도, 이 큰 휴지 전류는 큰 전류들에 대한 동작 요건들을 만족시키도록 요구된다.
- [0017] 발생하는 다른 이슈는 Gm/C 팩터에 관한 것이다. Gm/C 팩터는, 출력 트랜지스터들 (M4 및 M5) 의 고 주파수 응답을 결정한다. 개선된 선형성 및 낮은 출력 임피던스를 위해, Gm/C 팩터가 높은 것이 바람직하다. 그러나, Gm/C 팩터는 전류에 따라 변한다. 이 변동은, 높은 Gm/C 팩터가 가장 요구되는 동작 포인트들에서, 즉 크로스오버 영역에서의 낮은 전류들에서 낮은 Gm/C 팩터로 트랜지스터들이 동작하는 것을 초래한다. 고 전류들에서, Gm/C 팩터가 가장 높지만, (크로스오버 영역 밖의) 이 동작 영역은 드물게 액세스되기 때문에, 이들 전류들에서 저 출력 임피던스 및 개선된 선형성으로부터 획득되는 이익은 없다.
- [0018] 고 전류들에 대한 높은 Gm/C 팩터는, 피드백의 루프 이득이 고 주파수 불안정의 위험을 떨어내기 때문에, 잠재적으로 문제를 더 발생시킬 수도 있다.
- [0019] 도 2 는 클래스 AB 출력 스테이지의 이 타입을 동작하는 것에 대한 이득의 예시적인 효과를 나타낸다. 그 목적은 하이 사이드 출력 트랜지스터 (M4) 의 이득에서의 상승에 의해 로우-사이드 출력 트랜지스터 (M5) 의 Gm에서의 롤-오프 (roll-off) 가 보상되는 것을 얻는 것이다. 스탠딩 전류 (I_0) 는 이득들이 오버랩하는 포인트에 배치되고, 따라서 각각은 6dB 아래이다. 통상의 CMOS 출력 스테이지로, I_0 는 풀 출력 전류의 20% 만큼일 수 있다.
- [0020] 참조 부호 200 은 하이-사이드 (포지티브 과도출력) 와이드 전류 범위 출력 스테이지 동안 전류에 대한 이득의 플롯을 나타낸다. 참조 부호 202 는 로우-사이드 (네거티브 과도출력) 출력 스테이지 동안 이득의 플롯을 나타낸다. 참조 부호 204 는 결합된 이득의 플롯을 나타낸다. 참조 부호 206 은 플롯들의 x-축 상의 제로 전류를 나타내고, 참조 부호 208 은 플롯들의 x-축 상의 휴지 전류를 나타내며, 참조 부호 210 은 플롯들의 x-축 상의 최대 전류를 나타낸다.

발명의 내용

해결하려는 과제

과제의 해결 수단

- [0021] 본 발명은 유리하게, 낮은 과도출력 전류에서 최소의 크로스오버 왜곡 및 광범위한 동작 범위를 갖는 클래스 AB 증폭기를 제공한다.
- [0022] 본 발명에 따르면, 입력 전류를 수신하고 증폭된 출력 전류를 생성하며 출력 전류를 제공하도록 접속된 제 1 및 제 2 출력 트랜지스터들을 갖는 클래스 AB 증폭기가 제공되고, 입력 전류가 임계 미만이면, 제 1 출력 트랜지스터가 인에이블되고 제 2 출력 트랜지스터가 디스에이블되며, 입력 전류가 임계를 초과하면, 제 2 출력 트랜지스터가 인에이블된다.
- [0023] 바람직하게, 오프셋 전압을 갖는 캐스캐이드로부터 구동된 2 개의 출력 스테이지들이 제공된다. 제 1 작은 출력 스테이지는 대다수의 출력 스윙들에 대해 동작한다. 이 스테이지 이득이 더 높은 전류들에서 떨어지기 시작할 때, 제 2 더 큰 스테이지가 상승하는 이 제 2 스테이지 이득이 테이크 오버하기 시작한다. 여러 신호들의 통계들로 인해, 제 2 더 큰 스테이지는 전류를 드물게 전달하도록 촉구될 것이다. 이것은, 2 개의 이득 경로들 간의 트랜스퍼에 의해 도입된 임의의 비-선형성이 원하는 신호를 상당히 열화시키지 않는다는 것을 의미한다.
- [0024] 최대 대역폭 및 선형성을 위해, 출력 스테이지는 바람직하게 전류 구동된다. 따라서, 출력 스테이지에는 바람직하게 상부 및 하부에서 전류 미러가 제공된다.
- [0025] 이 출력 스테이지는 증폭기 체인에서 더 빨리 다른 전류 미러들로부터 공급될 수도 있다.
- [0026] 캐스캐이드 스테이지는 미러들의 입력 측 상에 배치될 수도 있다. 이 캐스캐이드 스테이지의 기능은 이전

스테이지에서 헤드룸 전압을 고정하고 이전 스테이지로부터 전류를 수신하는 것이다. 캐스케이드 스테이지가 2 개로 스플릿되고 트랜지스터 게이트들이 오프셋되면, 저 전류들에서 사실상 모든 전류가 최고 게이트 전압을 갖는 트랜지스터를 통과한다. 그러나 출력 전류가 상승함에 따라, 더 낮은 게이트 전압을 갖는 트랜지스터는 전도성이 되기 시작한다. 이것 때문에, 전류는 이제 이득 하락들로 스플릿된다. 이것은 더 높은 전류에서 이득을 오프셋하고, 출력 스테이지의 동작 범위 전체에 걸쳐 이득에서의 변화를 제한한다.

[0027] 전류의 스플릿은 더 낮은 전류 출력 스테이지와 병렬도 존재하는 더 크고 높은 전류 출력 스테이지에 대한 전류를 제공하는데 사용된다.

[0028] 바람직하게, 본 발명은 또한, 입력 전류를 수신하고 증폭된 출력 전류를 생성하며 출력 전류를 제공하도록 접속된 제 1 및 제 2 출력 트랜지스터들을 갖는 클래스 AB 증폭기를 제어하는 방법을 제공하고, 입력 전류가 임계 미만이면 제 1 출력 트랜지스터가 인에이블되고 제 2 출력 트랜지스터는 디스에이블되며, 입력 전류가 임계를 초과하면 제 2 출력 트랜지스터가 인에이블된다.

도면의 간단한 설명

[0029] 본 발명은 이제 다음의 도면들을 참조하여 설명될 것이고, 여기서:

도 1 은 클래스 AB 출력 스테이지의 종래 기술의 예를 예시한다.

도 2 는 도 1 의 종래 기술의 어레인지먼트의 이득 플롯을 예시한다.

도 3 은 본 발명에 따른 클래스 AB 출력 스테이지에 대한 개선의 예시적인 실시형태를 예시한다.

도 4 는 본 발명에 따른 개선된 클래스 AB 출력 스테이지의 이득 플롯을 예시한다.

도 5 는 이득 플롯을 예시한다.

도 6 은 예시적인 예에 따른 도 3 의 어레인지먼트에 대한 개선을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0030] 본 발명의 다음의 설명은 예시적인 실시형태들 및 구현들을 참조하여 설명된다. 본 발명은, 본 발명을 이해하기 위해 제공되는, 설정된 바와 같은 임의의 어레인지먼트들의 특정 상세들에 제한되지 않는다.

[0031] 일반적으로, 클래스 AB 증폭기는 입력 전류를 수신하고 증폭된 출력 전류를 생성하기 위해 제공된다. 클래스 AB 증폭기는 출력 전류를 제공하기 위해 접속된 제 1 및 제 2 출력 송신기들을 갖는다. 설명된 어레인지먼트에 따르면, 입력 전류가 임계 미만이면, 제 1 출력 트랜지스터가 인에이블되고 제 2 출력 트랜지스터가 디스에이블된다. 입력 전류가 임계를 초과하면, 제 2 출력 트랜지스터가 인에이블된다.

[0032] 이 방식에서, 클래스 AB 증폭기의 출력 전류는 임계에 대한 출력 전류의 크기에 따라 물리적으로 작거나 물리적으로 큰 출력 트랜지스터들 중 어느 하나로부터 제공된다. 임계는 출력 트랜지스터들의 상대적인 크기에 따라 의존적으로 구현될 수도 있다. 임계는 입력 전류 신호에 비교될 수도 있다.

[0033] 일반적으로, 임계는, 출력 신호가 더 작은 경우 물리적으로 더 작은 출력 트랜지스터들이 사용되고, 출력이 더 큰 경우 물리적으로 더 큰 출력 트랜지스터들이 사용되도록 설정된다. 실제로, 임계는 값들의 범위일 수도 있는데, 이 값들의 범위의 하한 (bottom) 에 도달할 때 더 큰 트랜지스터가 스위치 온된다.

[0034] 일 실시형태에 따른 변경된 클래스 AB 증폭기가 도 3 에 도시된다.

[0035] 도 3을 도 1 과 비교하면, 하이-사이드 (또는 포지티브) 전류 미러 어레인지먼트 (14) 는 2 개의 전류 미러 어레인지먼트들 (14a 및 14b) 을 포함하도록 구성된다. 전류 미러 어레인지먼트들 (14a 및 14b) 각각은 도 1 의 전류 미러 어레인지먼트 (14) 를 복제하는 전류 미러 어레인지먼트를 포함한다. 하이-사이드 (또는 포지티브) 전류 미러 어레인지먼트 (14a) 는 전류 미러 어레인지먼트에서 트랜지스터들 (M3A 및 M4A) 을 포함하고, 하이-사이드 (또는 포지티브) 전류 미러 어레인지먼트 (14b) 는 전류 미러 어레인지먼트에서 트랜지스터들 (M3B 및 M4B) 을 포함한다.

[0036] 로우-사이드 (또는 네거티브) 전류 미러 어레인지먼트 (16) 는 2 개의 전류 미러 어레인지먼트들 (16a 및 16b) 을 포함하도록 구성된다. 전류 미러 어레인지먼트들 (16a 및 16b) 각각은 도 1 의 전류 미러 어레인지먼트 (16) 를 복제하는 전류 미러 어레인지먼트를 포함한다. 로우-사이드 (또는 네거티브) 전류 미러 어레인지먼트

트 (16a) 는 전류 미러 어레인지먼트에서 트랜지스터들 (M5A 및 M6A) 을 포함하고, 로우-사이드 (또는 네거티브) 전류 미러 어레인지먼트 (16b) 는 전류 미러 어레인지먼트에서 트랜지스터들 (M5B 및 M6B) 을 포함한다.

- [0037] 도 1 어레인지먼트의 트랜지스터 (M1) 는 도 3 어레인지먼트에서 2 개의 트랜지스터들 (M1A 및 M1B) 로 스플릿된다. 도 1 어레인지먼트의 트랜지스터 (M100) 는 도 3 어레인지먼트에서 2 개의 트랜지스터들 (M100A 및 M100B) 로 스플릿된다.
- [0038] 도 1 어레인지먼트의 트랜지스터 (M2) 는 도 3 어레인지먼트에서 2 개의 트랜지스터들 (M2A 및 M2B) 로 스플릿된다. 도 1 어레인지먼트의 트랜지스터 (M200) 는 도 3 어레인지먼트에서 2 개의 트랜지스터들 (M200A 및 M200B) 로 스플릿된다.
- [0039] 트랜지스터들 (M100A 및 M100B) 각각은 참조 부호들 (5A 및 5B) 로 표기된 상이한 바이어스 전류, I_{bias+1} 및 I_{bias+2} 각각에 접속된다. 이는, 그 각각의 바이어스 전류들에 따라, 트랜지스터들 (M100A 및 M100B) 각각의 드레인 단자들 상에 형성되는 상이한 전압을 초래한다. 또한, 이는 트랜지스터들 (M1A 및 M1B) 의 게이트 단자들 상에 상이한 전압을 제공한다. 트랜지스터 (M1A) 의 게이트는 참조 전압 (V_{ref}) 을 수신하고, 트랜지스터 (M1B) 의 게이트 상의 전압은 트랜지스터들 (M100A 와 M100B) 의 드레인들 간의 전압차 플러스 참조 전압 (V_{ref}) 이다. 이 방식에서, 트랜지스터들 (M1A 및 M1B) 의 임계 전압은 효과적으로 상이해서, 이들이 입력 전류에 대해 상이한 응답들을 갖는다.
- [0040] 트랜지스터 (M1A) 는 전류 미러 쌍 (M3A 및 M4A) 을 제어하고, 트랜지스터 (M1B) 는 전류 미러 쌍 (M3B 및 M4B) 을 제어한다.
- [0041] 낮은 입력 전류들에서 (M1A, M3A 및 M4A) 만이 활성화된다. M1B 는 전도성이 아니고, 따라서 M3B 및 M4B 의 형성된 전류 미러 어레인지먼트는 디스에이블된다. 이것은, M4A 가, 크로스오버 영역에서의 저 전류들에서 발생하는, 신호 다이내믹스의 대부분을 핸들링하기에 단지 충분한 크기일 수도 있다.
- [0042] 입력 전류 신호가 그 피크를 향해 증가함에 따라, M1B 는 턴 온하기 시작하고 M1A 주변에서 전류를 분류 (shunt) 하기 시작하며, 이것은 M4B 를 출력에 기여하기 시작하게 할 수도 있다. 이와 같이, 전류 M4A 의 이러한 더 높은 레벨들은 포화 및 이득 강화들에 접근하기 시작한다. 이 포인트에서, 이득은 주로 M4B 에 의해 기여된다.
- [0043] 따라서, 입력 전류가 임계에 접근하고 초과함에 따라, 더 큰 출력 트랜지스터가 턴 온하여 더 큰 출력 전류를 제공한다.
- [0044] 전술된 바와 같이 확장된 클래스 AB 증폭기의 동작을 나타내는 도 4 를 참조할 수 있다.
- [0045] 도 4 의 참조 부호 302 는 트랜지스터 M4A 에 의해 제공된, 도 3 의 작은 출력 스테이지의 이득의 플롯을 표기한다. 참조 부호 304 는 트랜지스터 M4B 에 의해 제공된, 도 3 의 큰 출력 스테이지의 이득의 플롯을 표기한다.
- [0046] 또한, 참조 부호 300 으로 도 4 에 표기된 것은, 예시적인 증폭기가 스위칭된 엔벨로프 추적기에서 여러 증폭기로서 사용되는 경우 조우되는 신호들의 통상적인 분배이다. 이것은, 더 큰 스테이지에 대해 체인지오버에 의해 기여된 임의의 비-선형성이 무시할 정도라는 것을 의미한다. 더 작은 스테이지의 이 많이 감소된 크기 때문에, 크로스오버 휴지 전류는 더 낮아질 수 있고, 전체 최대 출력 전류의 2% 만큼 낮출 수 있다.
- [0047] 참조 부호 306 으로 표기된 점선은 (대수 스케일 상에서) 여러 증폭기 신호 분배를 나타낸다. 참조 부호 301 로 표기된 바와 같이, 다수의 활동은 도면의 좌측 편 상에 있다.
- [0048] 상기 설명은 클래스 AB 증폭기 출력의 하이-사이드의 동작을 설명한다. 소정 어레인지먼트들에서, 단지 하이-사이드가 제공될 수도 있지만, 더 실제적으로 하이-사이드 및 로우-사이드 어레인지먼트 양자 모두가 제공될 수도 있다.
- [0049] 제 1 및 제 2 출력 트랜지스터들은 따라서, 제 1 복수의 공급 전압에 접속될 수도 있다. 제 3 및 제 4 출력 트랜지스터는 제 2 복수의 공급 전압에 접속되어 제공될 수도 있다. 입력 전류가 임계 미만이면, 제 1 및 제 3 출력 트랜지스터들이 인에이블될 수도 있고, 입력 전류가 임계를 초과하면, 제 2 및 제 4 출력 트랜지스터들이 인에이블될 수도 있다.

- [0050] 기술된 하이-사이드에 대한 동작 원리는 로우-사이드에 대해 동일하게 적용한다.
- [0051] 트랜지스터들 (M200A 및 M200B) 각각은 참조 부호들 (7A 및 7B) 로 표기된 상이한 바이어스 전류, I_{bias-1} 및 I_{bias-2} 각각에 접속된다. 이는, 그 각각의 바이어스 전류들에 따라, 트랜지스터들 (M200A 및 M200B) 각각의 드레인 단자들 상에 형성되는 상이한 전압을 초래한다. 또한, 이는 트랜지스터들 (M2A 및 M2B) 의 게이트 단자들 상에 상이한 전압을 제공한다. 트랜지스터 (M2A) 의 게이트는 참조 전압 (V_{ref}) 을 수신하고, 트랜지스터 (M1B) 의 게이트 상의 전압은 트랜지스터들 (M200A 와 M200B) 의 드레인들 간의 전압차 플러스 참조 전압 (V_{ref}) 이다.
- [0052] 트랜지스터 (M2A) 는 전류 미러 쌍 (M6A 및 M5A) 을 제어하고, 트랜지스터 (M2B) 는 전류 미러 쌍 (M6B 및 M5B) 을 제어한다.
- [0053] 낮은 입력 전류들에서, M2A, M6A 및 M5A 만이 활성화된다. M2B 는 전도성이 아니고, 따라서 M6B 및 M5B 의 형성된 전류 미러 어레인지먼트는 디스에이블된다. 이것은, M5A 가, 크로스오버 영역에서의 저 전류들에서 발생하는, 신호 다이내믹스의 대부분을 핸들링하기에 단지 충분한 크기일 수도 있다는 것을 의미한다.
- [0054] 입력 전류 신호가 그 피크를 향해 증가함에 따라, M2B 는 턴 온하기 시작하고 M2A 주변에서 전류를 분류하기 시작하며, 이것은 M5B 를 출력에 기여하기 시작하게 할 수도 있다. 이와 같이, 전류 M5A 의 이러한 더 높은 레벨들은 포화 및 이득 강화들에 접근하기 시작한다. 이 포인트에서, 이득은 주로 M5B 에 의해 기여된다.
- [0055] 따라서, 동작의 주요 영역-출력 전류들이 상대적으로 낮은 크로스오버 영역-에서, 출력 트랜지스터들 (M4A 및 M5A) 이 사용되어 작은 전류들에 대해 적합하게 크기가 정해지는 출력 전류를 제공하는 것으로 이해될 수 있다. 더 높은 전류들이 요구되는 동작의 영역들에서, 더 큰 전류들을 핸들링하기에 적합하게 크기가 정해진 상이한 출력 트랜지스터들 (M4B 및 M5B) 이 사용된다.
- [0056] M1A 과 M1B (및 M2A 과 M2B) 간에 정확한 게이트 전압을 제공하는 일부 수단이 바람직하게 요구되고, 이것은 바람직하게 프로세스 및 온도에서의 변화들을 고려하도록 배열된다. 이것은, 도 1 에서의 트랜지스터 (M1) 에 비해 감소된 크기이지만 도 1 의 M1 과 동일한 지오메트리인, 트랜지스터들 (M1A 및 M1B) 에 대한 레플리카 트랜지스터들의 사용에 의해 달성될 수도 있다. 트랜지스터들 (M2A 및 M2B) 에 대해서도 동일하게 적용된다.
- [0057] 전류 드라이브들에서 분할 (segmentation) 을 생성하는데 필요한 오프 전압은, 하이 사이드에서 I_{bias+1} 및 I_{bias+2} 로 표기되는, 각 사이드에서 2 개의 상이한 바이어스 전류들을 제공함으로써 획득된다. 전류 (I_{bias+1}) 는 바람직하게, 의도된 크로스오버 전류에 비례하는 반면에, I_{bias+2} 는 더 높은 전류 세그먼트로의 트랜지션 전류를 나타낸다.
- [0058] 드라이브 전류들의 분할은 일부 다른 수단에 의해 획득될 수도 있고, 도 3 에 예시된 실시형태는 단지 예시적인 것으로 이해될 수 있다.
- [0059] 도 3 의 클래스 AB 증폭기의 대역폭에 대한 효과는 도 5 에 대하여 예시된다. 각각의 스테이지 (포지티브 측 상의 M3A/M4A 및 M3B/M4B) 가 동일한 이득을 갖는다고 가정함으로써 분석이 단순화된다.
- [0060] 전류 미러 어레인지먼트들 (M3A/M4A 및 M5A/M6A) 에 의해 제공된 작은 스테이지는 참조 부호 502 로 표기된 β 에서의 폴 (pole) 및 이득 플롯 (510) 을 갖는다. 전류 미러 어레인지먼트들 (M3B/M4B 및 M5B/M6B) 에 의해 제공된 큰 스테이지는, 더 큰 트랜지스터들이 더 낮은 전류 밀도를 갖기 때문에 이득 플롯 (508) 및 참조 부호 506 으로 표기된 저 주파수 폴 α 를 갖는다.
- [0061] 도 5 의 이득 플롯 (512) 에 도시된 바와 같이 2 개의 폴들의 합이 팩터링되는 경우, 저 주파수 폴은 출력에서 나타나지만 $(\alpha + \beta)/2$ 에서 0 에 의해 소거된다. 고 주파수 응답은 따라서, β 에서의 폴에 의해 우세해지고, 완전한 증폭기의 위상 여유 (phase margin) 에 대한 네거티브 충격이 거의 없다.
- [0062] 종래 기술 및 확장된 출력 스테이지의 위상은 도 5 에서 비교된다. 저 주파수들에서 확장된 스테이지가 여분의 래그 (lag) 를 갖지만, 증폭기 통합 (amplifier unity) 이득이 달성되는 경우 더 높은 주파수들에서는 2 개의 스테이지들 간에 차이가 거의 없다. 전류가 증가하면, α 에서의 폴이 우세해지기 시작할 것이지만 그 포인트에서 폴은 출력 대역폭을 포함하는 것을 회피하기 위해 높은 충분한 주파수에 있을 것이다.
- [0063] 도 6 을 참조하면, 도 3 의 어레인지먼트에 대한 추가의 선택적 강화가 예시된다.

[0064] 캐스캐이드 트랜지스터 (M7) 는 트랜지스터 (M4A) 와 전류 출력 사이에 접속되고, 캐스캐이드 트랜지스터 (M8) 는 트랜지스터 (M4B) 와 전류 출력 사이에 접속되고, 캐스캐이드 트랜지스터 (M9) 는 트랜지스터 (M5A) 와 전류 출력 사이에 접속되며, 캐스캐이드 트랜지스터 (M10) 는 트랜지스터 (M5B) 와 전류 출력 사이에 접속된다. 트랜지스터들 (M7 및 M8) 의 게이트들은 게이트들과 VDD 간에 접속된 전압 소스 (V^+) (602) 로부터 전압을 수신한다. 트랜지스터들 (M9 및 M10) 의 게이트들은 게이트들과 V_{SS} 간에 접속된 전압 소스 (V^-) (604) 로부터 전압을 수신한다.

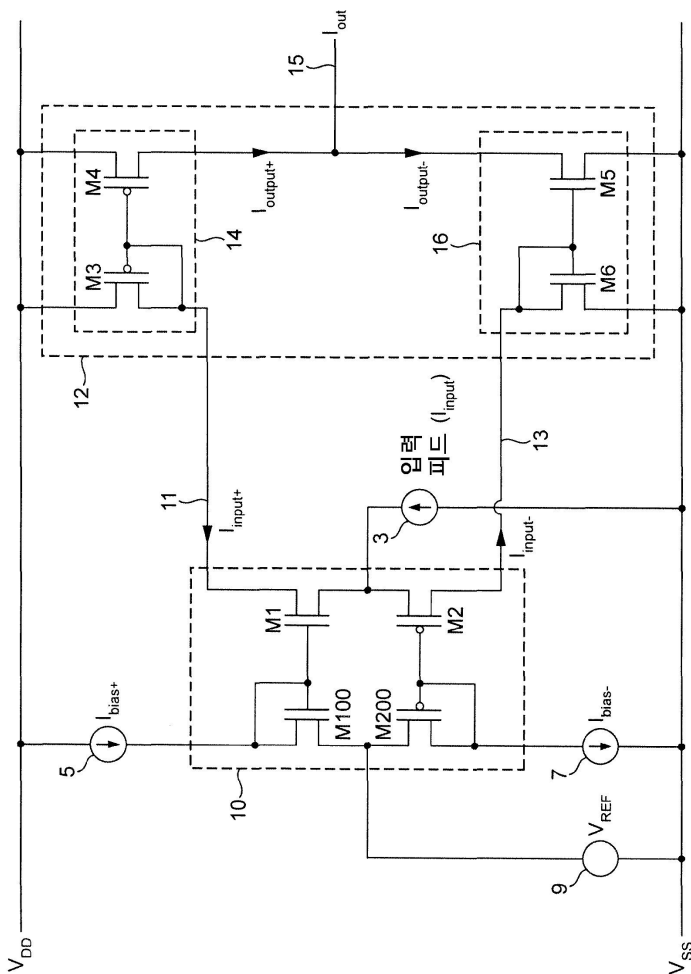
[0065] 이들 추가의 캐스캐이드 트랜지스터들 (M7, M8, M9, M10) 은 각각의 출력 트랜지스터에서 폴들을 분리하고, 따라서 대역폭을 유지하는 이점을 도입한다.

[0066] 트랜지스터들 (M4A 및 M5A) 이 출력 경로에서 여분의 트랜지스터를 수용하도록 더 커져야 한다는, 이러한 캐스캐이드 어레인지먼트를 사용하는데 있어서 단점이 연관된다. 그러나, 설명된 어레인지먼트들에 제시된 병렬 경로들의 존재에서, 이것은 중요한 이슈가 아니고 캐스캐이드 스테이지의 이점들이 충분히 실현될 수 있다.

[0067] 본 발명은 실시형태들을 참조하여 예로서 본원에 설명되어 있다. 본 발명은 설명된 실시형태들에 제한되지도 않고, 실시형태들에서 피쳐들의 특정 조합들에 제한되지도 않는다. 본 발명의 범위 내에서 실시형태들에 대한 변형들이 이루어질 수도 있다. 본 발명의 범위는 첨부된 청구항들에 의해 정의된다.

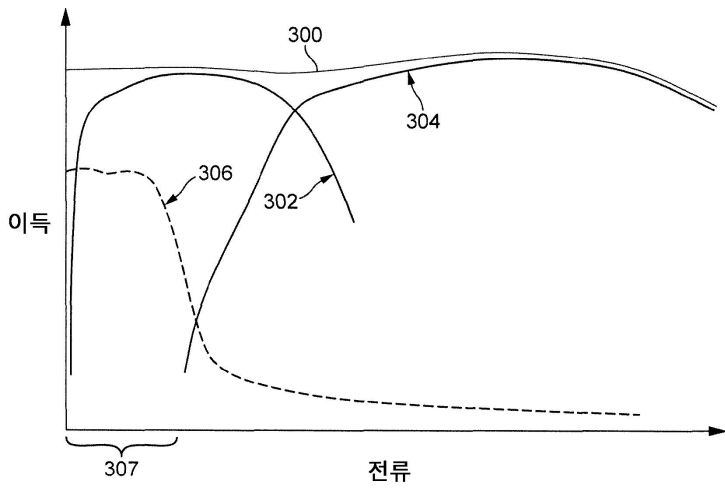
도면

도면1

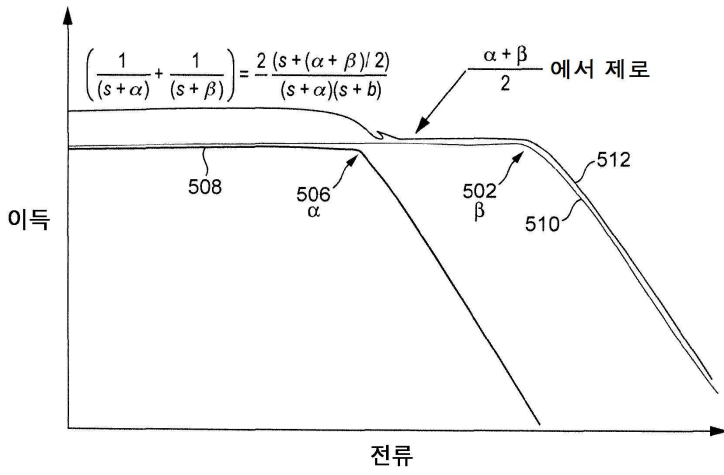


종래 기술

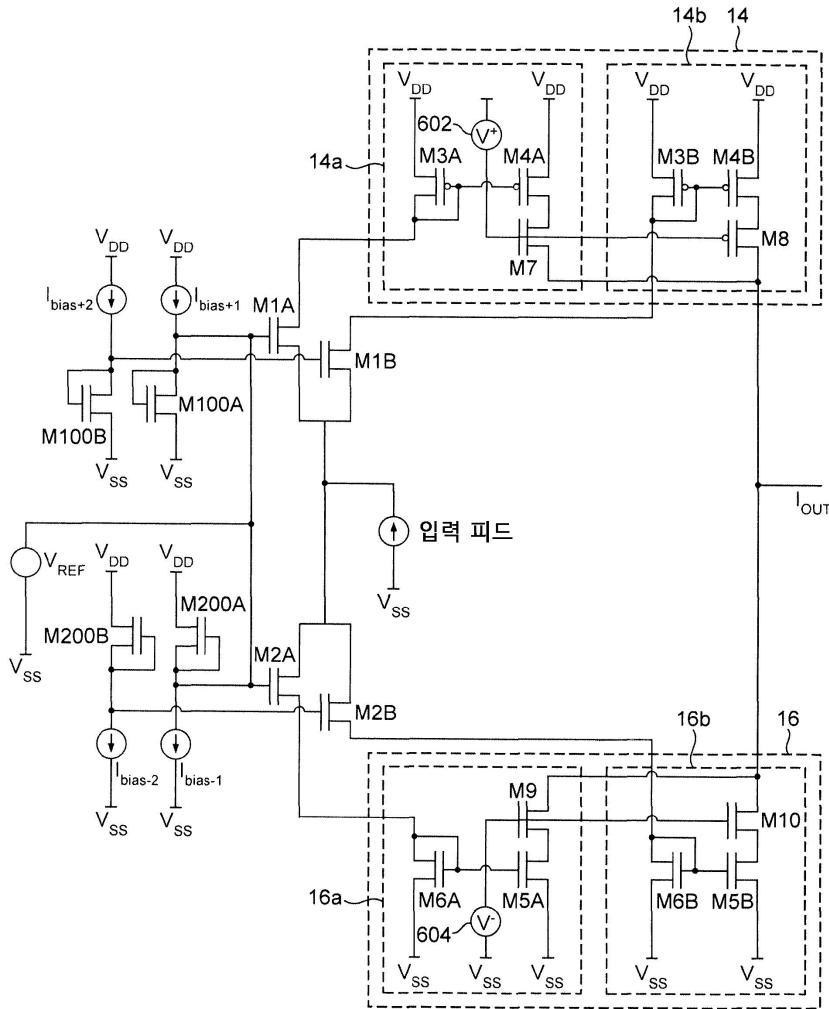
도면4



도면5



도면6



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 20

【변경전】

제 17 항에 있어서,

제 12 항에 기재된 클래스 AB 증폭기를 더 포함하고,

상기 제 3 입력 트랜지스터가 상기 임계 미만의 입력 전류들에 응답하고 상기 제 4 입력 트랜지스터가 상기 임계 미만의 입력 전류들에 응답하도록, 상기 제 3 및 제 4 입력 트랜지스터들의 상기 임계 전압들이 상이한, 클래스 AB 증폭기를 제어하는 방법.

【변경후】

제 17 항에 있어서,

제 12 항에 기재된 클래스 AB 증폭기를 더 포함하고,

상기 제 3 입력 트랜지스터가 상기 임계 미만의 입력 전류들에 응답하고 상기 제 4 입력 트랜지스터가 상기 임계 미만의 입력 전류들에 응답하도록, 상기 제 3 및 제 4 입력 트랜지스터들의 임계 전압들이 상이한, 클래스 AB 증폭기를 제어하는 방법.