

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5107036号
(P5107036)

(45) 発行日 平成24年12月26日(2012.12.26)

(24) 登録日 平成24年10月12日(2012.10.12)

(51) Int.Cl.

F I

G 1 1 C 27/00 (2006.01)

G 1 1 C 27/00 I O 1 Z

H O 1 L 21/822 (2006.01)

H O 1 L 27/04 B

H O 1 L 27/04 (2006.01)

H O 1 L 27/04 F

請求項の数 19 (全 12 頁)

(21) 出願番号 特願2007-520504 (P2007-520504)
(86) (22) 出願日 平成17年7月6日(2005.7.6)
(65) 公表番号 特表2008-506218 (P2008-506218A)
(43) 公表日 平成20年2月28日(2008.2.28)
(86) 国際出願番号 PCT/US2005/024137
(87) 国際公開番号 W02006/014558
(87) 国際公開日 平成18年2月9日(2006.2.9)
審査請求日 平成20年4月14日(2008.4.14)
(31) 優先権主張番号 60/585,610
(32) 優先日 平成16年7月6日(2004.7.6)
(33) 優先権主張国 米国(US)

(73) 特許権者 506422308
ケネット・インコーポレーテッド
K E N E T , I N C .
アメリカ合衆国, マサチューセッツ州 O
1 8 0 1 , ウォバーン, ユニコーン パー
ク 3 0 0
(74) 代理人 100087941
弁理士 杉本 修司
(74) 代理人 100086793
弁理士 野田 雅士
(74) 代理人 100112829
弁理士 堤 健郎

最終頁に続く

(54) 【発明の名称】 電圧ランダムアクセスメモリ (VRAM)

(57) 【特許請求の範囲】

【請求項 1】

メモリ位置にデジタル値を記憶し、このメモリ位置がアクセスされると特定の電圧が出力されるようにするアナログ電圧ランダムアクセスメモリ(VRAM)であって、

直列に接続された複数の抵抗を有し、少なくとも1つの電圧基準に結合された抵抗ラダー回路であって、この回路内の前記複数の抵抗の間にそれぞれ位置する複数のノードにおける複数の基準アナログ電圧を提供する抵抗ラダー回路と、

複数のセルの小型アレイであって、各セルが記憶デバイスおよび付随するアナログ基準電圧スイッチを有する複数のセルの小型アレイとを備え、

前記記憶デバイスが前記セル内のアナログ基準の状態を制御するように接続され、

前記各スイッチが、前記複数の基準アナログ電圧の事前選択されたもののいずれか1つに対応する前記抵抗ラダー回路内のノードと、アナログ電圧出力点との間に接続されて、これにより、各スイッチの出力端が前記アナログ電圧出力点に共に接続される、アナログ電圧ランダムアクセスメモリ。

【請求項 2】

請求項 1 において、前記ラダーが直列に接続された第1の一連の抵抗を備えて、前記一連の基準アナログ電圧を提供する、アナログ電圧ランダムアクセスメモリ。

【請求項 3】

請求項 2 において、追加の抵抗が前記第1の一連の抵抗のうちの1つ以上に並列に配置されて、1つ以上の間隔の小さい基準アナログ電圧を提供する、アナログ電圧ランダムア

10

20

クセメモリ。

【請求項 4】

請求項 1 において、少なくとも 1 つのセル内の記憶デバイスが単一のデジタルビットを記憶する、アナログ電圧ランダムアクセスメモリ。

【請求項 5】

請求項 4 において、前記単一のビットを記憶する記憶デバイスが、一対のクロスカップル・インバータゲートである、アナログ電圧ランダムアクセスメモリ。

【請求項 6】

請求項 1 において、複数のセルが前記抵抗ラダー回路内の同一ノードに接続されて、多重アナログ出力電圧の生成を可能にしている、アナログ電圧ランダムアクセスメモリ。

10

【請求項 7】

請求項 1 において、前記セルアレイ内の各記憶デバイスがアドレス指定可能である、アナログ電圧ランダムアクセスメモリ。

【請求項 8】

請求項 7 において、前記セルアレイ内の各記憶デバイスが、行デコーダおよび列デコーダによってアドレス指定可能である、アナログ電圧ランダムアクセスメモリ。

【請求項 9】

請求項 1 において、さらに、

間隔の大きいアナログ電圧を生成するように、内部にデジタル情報を記憶している第 1 セルと、

20

間隔の小さいアナログ電圧を生成するように、内部にデジタル情報を記憶している第 2 セルと、

前記間隔の大きいアナログ電圧および間隔の小さいアナログ電圧を受け取り、これら電圧の差としてアナログ出力電圧を生成する差動増幅器とを備えた、アナログ電圧ランダムアクセスメモリ。

【請求項 10】

請求項 1 において、電荷 / デジタル変換器に複数の基準電圧を提供するように接続されている、アナログ電圧ランダムアクセスメモリ。

【請求項 11】

出力ノードにおいてアナログ電圧を提供する装置であって、

30

直列に接続された抵抗のセットの抵抗の間における接続点に位置する、基準ノードのセットであって、各基準ノードは隣接する抵抗間の接続点にそれぞれ形成され、各アナログ基準電圧のセットを提供する基準ノードのセットと、

デジタルビットを記憶する ビット記憶部を有するメモリセルのアレイと、

1 つ以上の前記アナログ基準電圧を前記出力ノードに選択的に接続する、スイッチのセットであって、当該セットのスイッチは、それぞれ、前記メモリセルにおいて、対応する 基準ノードおよび前記出力ノードの間に配置され、そのメモリセルの対応するビット記憶部に記憶されたデジタルビットによって、その開閉状態が制御される、スイッチのセットとを備えた、装置。

【請求項 12】

40

請求項 11 において、前記抵抗のセットが、さらに、抵抗性電圧ラダーを備えた、装置。

【請求項 13】

請求項 11 において、前記メモリセルは、アドレス指定可能なメモリセルのアレイとして構成されている、装置。

【請求項 14】

請求項 13 において、前記メモリセルに記憶された前記デジタルビットは、対応するスイッチの所望の状態を表す、装置。

【請求項 15】

請求項 11 において、当該装置は、追加的に、複数の選択可能なアナログ出力電圧を出

50

力するものであり、

前記メモリセルは、各基準ノードおよび複数の出力ノードのうちの対応する1つの出力ノードの間に配置された2つ以上のスイッチの開閉状態を制御する、装置。

【請求項16】

請求項12において、前記抵抗性電圧ラダーは、追加的に、直列接続の抵抗の第1セットとして配置され、これにより基準アナログ電圧のセットを提供する、装置。

【請求項17】

請求項16において、追加的に、前記抵抗性電圧ラダーは、さらに、前記第1セットにおける1つ以上の抵抗に対して並列に配置された追加の抵抗を備え、これにより、間隔の小さい基準アナログ電圧を1つ以上提供する、装置。

10

【請求項18】

請求項11において、追加的に、

第1メモリセルがデジタルビットを記憶し、これにより、間隔の大きいアナログ電圧を生成し、かつ、第2メモリセルがデジタルビットを記憶し、これにより、間隔の小さいアナログ電圧を生成し、

前記間隔の大きいアナログ電圧および前記間隔の小さいアナログ電圧を受けるように接続された差動増幅器が、前記アナログ出力を生成する、装置。

【請求項19】

電荷をデジタル値に変換する逐次近似式の電荷/デジタル変換器であって、

第1段および第2段を有する直列パイプラインレジスタであって、電圧ラダーにおけるノードの第1の組合せによって提供される第1基準電圧に対する、電荷パケットの電荷に対応する電圧を比較するように接続された、直列パイプラインレジスタと、

20

請求項1から10のいずれか一項に記載のアナログ電圧ランダムアクセスメモリとを備え、

前記直列パイプラインレジスタは、さらに、前記第1段から前記第2段に前記電荷パケットを転送するように接続されており、

前記第2段は、前記第1基準電圧を生成するために用いられた電圧ラダーのノードの第2の組合せによって提供される第2基準電圧に対する、前記電荷パケットの電荷に対応する電圧を比較するように接続されており、

前記第1基準電圧および第2基準電圧を生成するために用いられるノードの前記第1の組合せおよび前記第2の組合せは、それぞれ、前記アナログ電圧ランダムアクセスメモリの前記複数のセルのうちの対応するセルの前記記憶デバイスに記憶されたデジタルビットの値に応じて選択される、直列パイプライン変換器。

30

【発明の詳細な説明】

【関連出願】

【0001】

本出願は、2004年7月6日出願の米国仮出願第60/585,610号の利益を主張する。上記出願の全内容は参照により本明細書に引用したものとする。

【背景技術】

【0002】

40

複数の異なるタイプの回路が、デジタル入力信号に一致する多重アナログ出力電圧の生成を必要とする。このような回路では、通常は、必要とされる各出力電圧に対して個別のデジタル/アナログ変換器を使用してこの機能を実現している。

【0003】

この方法は、少数のアナログ電圧のみを生成する場合に適する。しかし、電荷/デジタル変換器のようなある種の回路は、多くのアナログ電圧の生成を必要とする。集積回路を用いてこのような回路を実現する場合であっても、電圧生成機能が設計において大きなスペースを占有することになる。

【発明の開示】

【0004】

50

本発明は、小型アレイのデジタル／アナログ変換器を実現する、集積回路メモリセルおよび電圧ラダーの設計に関する。本発明は、実際には、アナログ電圧ランダムアクセスメモリ（VRAM）を提供する。

【0005】

VRAMによって、メモリ位置にデジタル値を記憶できる。抵抗ラダー回路および切換可能メモリセルの小型アレイが、一連の出力基準電圧を提供する。切換可能メモリセルの小型アレイはデジタルビットを記憶するように構成され、メモリセルは、スタティックランダムアクセスメモリ（SRAM）回路とほぼ同一の方法で行アドレスデコードおよび列アドレスデコードによって個々にアドレス指定できる。しかし、メモリセル内に記憶されたビットは、付随するスイッチの状態を制御するために接続されてもいる。好ましい実施形態においては、各スイッチは抵抗ラダー回路の事前に選択された点に接続されている。

10

【0006】

メモリセルにビットを相応に書き込むことによってスイッチが制御されて、ラダー回路の複数の可能な抵抗のいずれを選択して1つまたは複数の出力電圧を生成するのかを決定する。

【0007】

ラダーは単に直列に接続された一連の抵抗を有し、これにより一連の選択可能な間隔の大きい抵抗を提供できる。

【0008】

20

しかし、好ましい実施形態においては、1つまたは複数の間隔の大きい抵抗に並列に配置された1つまたは複数の抵抗によって、1つまたは複数の間隔の小さい抵抗段階（resistance step（抵抗値の差））を実現できる。

【0009】

したがって、VRAMは、デジタル入力 of 制御の下で、多数の調製可能なアナログ出力電圧を提供する。この機能は、標準的なランダムアクセスメモリ回路とほぼ同等に小型にできるフォームファクタである、小型のフォームファクタで提供される。多数のラッチ方式デジタル／アナログ変換器に対する同等な機能が、極めて小さい物理領域とその結果の極めて少ない電力消費を要求することによって、実現される。

【0010】

30

本発明の前述およびその他の目的、特徴、および利点は、添付図面に示す本発明の好ましい実施形態の以下の詳細な説明で明らかになるであろう。図面では、同一参照符号は異なる図面においても同一部品を指す。図面は必ずしも縮尺通りでなく、本発明の原理を示すことに重点が置かれている。

【発明を実施するための最良の形態】

【0011】

本発明の好ましい実施形態を以下に説明する。

【0012】

図1は本発明による電圧ランダムアクセスメモリ（VRAM）20を使用できる装置10のブロック図である。図の装置10は電荷／デジタル変換器（QDC）として構成されている。ただし、VRAM 20は、デジタル入力から多重アナログ電圧出力を同時に生成する必要がある、いかなる応用回路においても使用できる。

40

【0013】

この特定のQDC 10は、直列パイプラインレジスタとして配置された多数の電荷蓄積段を用いる、いわゆる逐次近似式の変換器である。図示の回路においては、2つのパイプライン24-p（「正（プラス）」パイプライン）、24-m（「負（マイナス）」パイプライン）が存在し、これらのパイプラインは電荷を相補的な電荷対として運ぶ。基準電荷発生器22-p、22-m、入力サンプラ23-p、23-m、およびデジタル／アナログ変換器（DAC）27-p、27-mが、それぞれ直列パイプラインレジスタ24-p、24-mに対応づけられている。基準電荷発生器および各段における電荷スプリッ

50

タが基準信号を生成し、この生成された基準信号は、パイプラインを下って移動する電荷に選択的に加えられる。比較器 25 のアレイが変換結果を一連のデジタルビットとして生成する。QDC 10 は Paul に交付された米国特許第 5,579,007 号に記載されるものと同様に実現される。

【0014】

VRAM 20 が本発明において特に重要であり、QDC 10 の各種構成要素によって用いられる複数のオフセット電圧および調整電圧を生成するのに使用することができる。VRAM 20 は、以下に詳しく説明する方法で、間隔の大きい (coarse (粗い)) 出力段階 28 もしくは間隔の小さい (fine (精細な)) 出力段階、または両方の組合せを提供するように構成できる。VRAM 20 で生成された結果の基準電圧は、例えば、DAC 27 を校正するため、スプリッタ回路のバイアス点を提供するため、比較器 25 に対して基準電荷を提供するため、またはその他の目的のために使用される。

10

【0015】

VRAM 20 のデジタルビット記憶部分を実現する方法は、スタティックランダムアクセスメモリ (SRAM) タイプの回路と類似である。当技術分野で公知のとおり、図 2A に示される SRAM は、メモリセル 36 のアレイ 35 をアドレス指定するために、行アドレスデコーダ 30 と、列アドレスデコーダ 32 と、これらにそれぞれ接続されたドライバ 31、33 とから成る。行デコーダ 30 および列デコーダ 32 は特定のセル 36 へのアクセスを提供する。これにより、読出し / 書込み回路 38 は、「データ入力 (DATA IN)」接続を介してセル 36 にデータを書き込むことも、「データ出力 (DATA OUT)」接続を介してセル 36 からデータを読み出すこともできる。

20

【0016】

図 2B に、典型的な相補型金属酸化膜半導体 (CMOS) SRAM セル 36 の詳細を示す。行アドレス・イネーブルライン (図の左側から) および列アドレス・イネーブルライン (図の下側から) がセル 36 に入力される。セル 36 は、入力ゲート 41 および出力ゲート 42、ならびに、図示された一対のクロスカップル・インバータ 43a、43b などのような、単一ビットの情報を記憶できる回路から成る。セルに結合された行および列の選択ラインをストローブすることによって、セルをイネーブルにして読出しまたは書込みを可能にする。

30

【0017】

図 3 に本発明による VRAM 20 のさらに詳細な図を示す。VRAM は抵抗アレイ 50 およびメモリセル 46 の小型記憶アレイ 45 を有する。VRAM 20 内の小型記憶アレイは一般に、メモリセル 46 のアレイ 45 を有する限りでは、SRAM 内のアレイと類似している。しかし、VRAM 内の各メモリセル 46 は、ビット記憶部分 47 のみではなく電圧スイッチ 48 も備える。

【0018】

各電圧スイッチすなわち「交差点 (cross point)」スイッチ 48 が、抵抗ラダー (resistor ladder) 50 の各部分に接続された入力端子を有する。抵抗ラダー 50 自体は、高い電圧基準 V_h および低い電圧基準 V_l との間に接続された多数の抵抗 51-1、51-2、... 51-n から成る。図 3 では、抵抗 51-1、51-2、... 51-n が単一の直列の構成で示されているが、これは単なる 1 つの可能な構成であって、並列および複数の直列などの他の抵抗の構成が可能である。

40

【0019】

メモリセル 46 に記憶されたデータビットがスイッチ 48 の状態を制御する。これにより、抵抗ラダー 50 の抵抗接続のいずれかを、各列ライン 60 への出力の提供に用いることができる。すなわち、 V_h と V_l との間の選択された電圧レベルに付随するスイッチ 48 を起動することによって、この選択された電圧レベルを、スイッチ 48 に付随するセル 46 に記憶されたデータによって決定されるとおり、任意の出力ライン 60 に提供できる。

【0020】

50

好ましくは、メモリセルはグループに構成され、典型的には、抵抗ラダーの各特定のノード52に多数のメモリセル46が接続されている。

【0021】

さらに、抵抗ラダーのノード52-1~52-nにおけるn個のスイッチ48の出力側は共に接続されて、各VRA M出力列ライン62-1、62-2、...62-mの出力60-1、60-2、...60-m(OUT_1 、 OUT_2 、... OUT_m)のうちの1つを提供する。例えば、列ライン62-2はスイッチ48-2-1、48-2-2、...48-nの出力を結合して、出力 OUT_2 を生成する。このように、所定の出力列ライン62-kに提供される電圧は、対応するスイッチ48-k-1、48-k-2、...48-k-nの内のいずれの一つが閉じて、抵抗ラダー50のある点に接続されているかに依存する。したがって、単一の電圧のみが各出力ライン62に対してラダー50から取り出される。

10

【0022】

この方法の最大精度はラダー50の抵抗51の数によってのみ制限される。好ましい一実施形態においては、図5に関して説明されるとおり、32個の抵抗51が存在する。

【0023】

図4にVRA M20のセル46の1つのさらなる詳細を示す。ラッチすなわちVRA Mの記憶ビット47部分を用いて、SRA M内のメモリセルとほぼ同一方法でデータビットを記憶する。存在するが図4では示されていない行アドレスデコード回路および列アドレスデコード回路によって各セルにアクセスが可能で、各ラッチ47に情報をアドレス指定および記憶できる。これらの回路はSRA Mにおけるものと同じである。

20

【0024】

さらに、各セル46はスイッチ48を有する。このスイッチ48は、抵抗ラダー50の各段階に接続された、図3に示されるスイッチ48に相当する。このように、基本メモリセル46のそれぞれにスイッチ48を付加することによって、多数の選択可能なアナログ出力電圧を生成するのに必要な情報を記憶するのに使用できる小型記憶アレイを実現できる。

【0025】

図5は、抵抗ラダー50が間隔の大きい抵抗で構成されずに、1つまたは複数の間隔の小さい抵抗段階も有することを示している。間隔の小さい抵抗段階によって、選択された間隔の大きい段階間に追加の電圧段階を設けることにより、出力電圧のさらに精密な制御が可能になる。例えば、多数の間隔の小さい段階を、ラダーの中心部分に設けてもよい。以下に説明されるとおり、間隔の小さい電圧結果を与えるように、間隔の大きい電圧と間隔の小さい電圧との差を選ぶことができる。

30

【0026】

具体的には、抵抗ラダー50は間隔の大きいラダー部分110および間隔の小さいラダー部分120とから成る。間隔の大きいラダー部分110には、直列に接続された16個の抵抗51が設けられている。これら抵抗のうちの14個は等しく、100オームの抵抗値Rを有する。間隔の大きいラダー内の抵抗のうちの2つは2Rオームに等しい。このようにする目的は、容易に理解されたとおり、間隔の小さいラダー部分を収容するためである。

40

【0027】

高い基準電圧 V_h が最大の選択可能な出力電圧を表し、 V_l が最小の選択可能な出力電圧を表す。したがって、図5の間隔の大きいラダー部分は、 V_h と V_l の間で、間隔を空けた16の可能な出力電圧 VC_0 、 VC_1 、... VC_{15} を提供する。

【0028】

間隔の小さいラダー部分120は16個の追加抵抗から成り、これらも直列に配置されている。これら間隔の小さい抵抗の各値は、 $R/4$ 、すなわち25オームである。これらの抵抗は16の追加の間隔の小さい段階的变化を提供する。図示された例では、間隔の小さい電圧 VF_0 、 VF_1 、... VF_{15} が、 $VC_7 \sim VC_9$ の範囲で提供される。

【0029】

50

間隔の大きいラダー部分のV C 7のすぐ下に位置するノードは、間隔の小さいラダー部分のノードV C 7に接続されている。V C 8のすぐ下に位置するノードは、間隔の小さいラダー部分の中間のV F 8のすぐ下に位置するノードに接続されている。V C 9のすぐ下に位置するノードは、V F 15の上に位置するノードに接続されている。前述のとおり、V C 7とV C 8の間、およびV C 8とV C 9との間の間隔の大きいラダー部分110の抵抗は、 $2R$ (200オーム)である。これより、図5の構成は、V C 7とV C 9の間に、16の等間隔で間隔の小さい段階的变化の段階を提供する。

【0030】

抵抗値 $2R$ および $R/4$ は、FETのような抵抗デバイスを、それぞれ、2つ直列にしたもの、および4つの抵抗を並列したものによって実現できる。これにより、同一形状を有する全く同一のデバイスを用いて、間隔の大きいアレイおよび間隔の小さいアレイのそれぞれの全構成要素を実現できる。したがって、この同一デバイスは広い範囲の動作条件にわたって同一作用を示し、これにより高精度の出力電圧が得られる。

【0031】

図5に示される特定の実施形態においては、間隔の大きいラダー部分110の16の抵抗段階が4ビットの出力分解能を提供する。16の抵抗段階から成る間隔の小さいラダー部分120は、間隔の大きいラダー部分の中間部分において2つの間隔の大きい段階にまたがっている。これにより、中間部分において全体で7ビットの実効分解能が得られる。なお、別の実施形態では、抵抗の構成は異なってもよい。例えば、16の間隔の小さい段階が間隔の大きい段階の1つのみにまたがっている場合、間隔の小さい出力分解能は8ビットになる。少なくとも2つの間隔の大きい段階にまたがる実施形態は、デジタルコード範囲に隙間がない。

【0032】

図6は、図5に示される抵抗ラダーで利用できる、32の出力電圧 V_0 、 V_1 、... V_{31} の1つの可能な範囲を表す表である。ここで、 V_h すなわちラダーの一番上の基準電圧は1.675ボルトに設定され、 V_l すなわちラダーの一番下の基準電圧は1.3ボルトに設定されている。ラダー50の間隔の大きい部分110は、0.025ボルトの間隔の大きい段階で、電圧 $V_0 \sim V_7$ および電圧 $V_{24} \sim V_{31}$ を生成する。間隔の小さいラダー部分120は、0.003125ボルトの間隔の小さい段階で、電圧 $V_8 \sim V_{23}$ を生成する。このように、ラダーは、1.5ボルトを中心にする（すなわち V_{16} において） $V_h \sim V_l$ 範囲の中間において間隔の小さいレベル調整を可能にする。

【0033】

図7は、セル出力が組み合わされている本発明のさらなる実施形態を示す。これにより、出力電圧 OUT_1 、 OUT_2 、... OUT_m の2つの間の差の電圧を生成できる。これらの出力電圧の1つの V_{coarse} は、ラダー50の間隔の大きい部分110のノードの1つに接続されたV R A Mセルのうちの選択されたセル47 - cから取得される出力 OUT_c である。出力電圧の1つの V_{fine} は、ラダー50の間隔の小さい部分120のノードの1つに接続されたV R A Mセルのうちの選択されたセル47 - fから取得される出力 OUT_f である。

【0034】

図8に示されるとおり、次に、 V_{coarse} および V_{fine} の出力電圧が出力回路150に供給される。出力回路150は一对のトランジスタ151、152であり、電流源153が差動増幅器として配置されている。

【0035】

したがって、V R A M出力68は、 V_{coarse} から V_{fine} を減じた結果 ($V_{coarse} - V_{fine}$) となる。これにより、例えば、 V_{16} のセルの1つから V_{coarse} 入力を選択して、 V_{17} の別のセルから V_{fine} 入力を選択することによって、極めて小さいが、高精度の出力電圧 (0.003125ボルト) の生成が可能になる。プログラム制御されたこのような小さい電圧を利用することによって、例えば図1に示されるQ D Cなどの回路の性能を大幅に改良できる。

10

20

30

40

50

【 0 0 3 6 】

本発明を好ましい実施形態により詳細に示し、説明してきたが、当業者には、添付の特許請求項に含まれる本発明の精神と範囲から逸脱することなく、形態または細部にさまざまな変更を加えるのが可能であることは理解されるであろう。

【 図面の簡単な説明 】

【 0 0 3 7 】

【 図 1 】 本発明による電圧ランダムアクセスメモリ（ V R A M ）を使用できる、電荷 / デジタル変換器のような回路機能のブロック図である。

【 図 2 A 】 スタティックランダムアクセスメモリ（ S R A M ）の従来技術による構成を示す図である。

10

【 図 2 B 】 スタティックランダムアクセスメモリ（ S R A M ）の従来技術による構成を示す図である。

【 図 3 】 本発明による V R A M セルアレイおよび抵抗ラダーを示す図である。

【 図 4 】 V R A M セルの詳細図であって、メモリビット記憶回路およびそのスイッチを示す図である。

【 図 5 】 間隔の大きい段階抵抗および間隔の小さい段階抵抗の両方を有する、図 3 の抵抗ラダーの 1 つの可能な構成図である。

【 図 6 】 図 5 の抵抗ラダーで選択できる出力電圧を示したチャートである。

【 図 7 】 間隔の大きい出力電圧および間隔の小さい出力電圧を提供する V R A M セルの別の実現例を示す図であって、出力分解能の向上および耐雑音性を達成する例の図である。

20

【 図 8 】 I C 設計において多数用いられる V R A M 受信回路の図であって、差動増幅器を用いて間隔の大きい電圧と間隔の小さい電圧との差の電圧を生成して出力する構成を示す図である。

【 符号の説明 】

【 0 0 3 8 】

- 2 0 V R A M
- 4 5 アレイ
- 4 6 セル
- 4 7 記憶デバイス
- 4 8 アナログ基準電圧スイッチ
- 5 0 抵抗ラダー回路

30

【図 4】

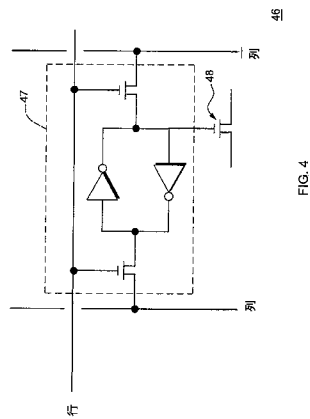


FIG. 4

【図 5】

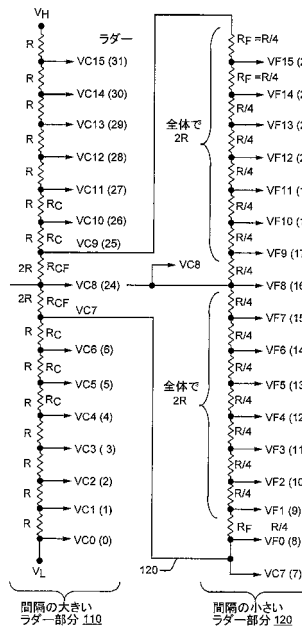
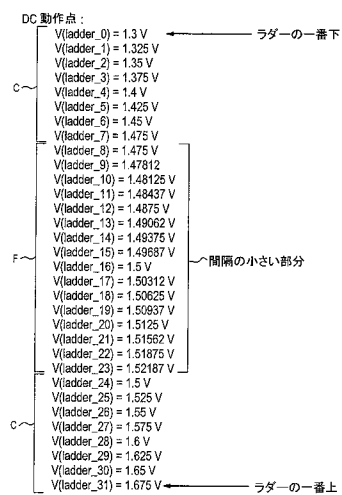


FIG. 5

【図 6】



【図 7】

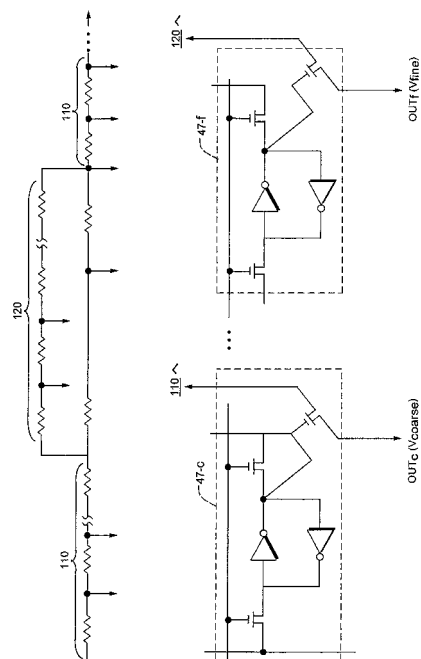


FIG. 7

【 8 】

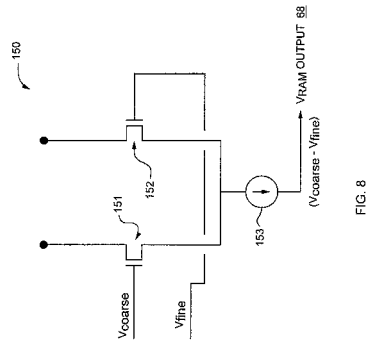


FIG. 8

フロントページの続き

(72)発明者 アンソニー・マイケル・ピー
アメリカ合衆国，マサチューセッツ州 01810，アンドーヴァー，チェスナット ストリート
38

(72)発明者 カシュナー・ローレンス・ジェイ
アメリカ合衆国，マサチューセッツ州 01810，アンドーヴァー，ブレイディ ループ 14

審査官 小林 紀和

(56)参考文献 特開昭60-037831(JP,A)
特開昭59-044125(JP,A)
特開平10-004355(JP,A)
特開平11-163730(JP,A)
特開2003-309469(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 27/00

H01L 21/822

H01L 27/04