



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201312740 A1

(43)公開日：中華民國 102 (2013) 年 03 月 16 日

(21)申請案號：101129250

(22)申請日：中華民國 101 (2012) 年 08 月 13 日

(51)Int. Cl. : *H01L27/146 (2006.01)*

H04N5/335 (2011.01)

(30)優先權：2011/08/24 日本

2011-182160

(71)申請人：夏普股份有限公司 (日本) SHARP KABUSHIKI KAISHA (JP)
日本

(72)發明人：船尾大輔 FUNAO, DAISUKE (JP)；小西武文 KONISHI, TAKEFUMI (JP)

(74)代理人：陳長文；林宗宏

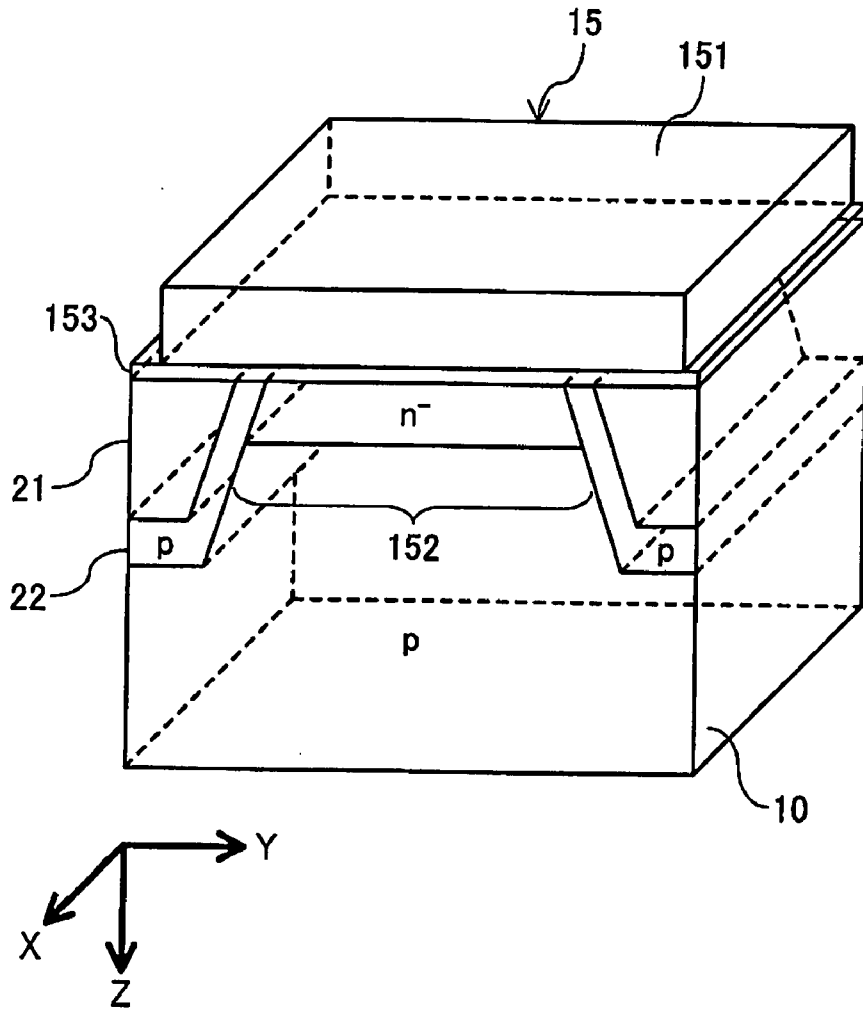
申請實體審查：有 申請專利範圍項數：13 項 圖式數：12 共 47 頁

(54)名稱

固體攝像元件

(57)摘要

本發明係提供一種自源極隨耦器電晶體所輸出之信號中有效地降低 1/f 雜訊之固體攝像元件。固體攝像元件包含：第 1 導電型之基板 10；光電二極體，其係於與第 1 導電型不同之第 2 導電型之累積區域累積載子；源極隨耦器電晶體 15，其係於累積自光電二極體讀出之載子之浮動擴散區域電性連接閘極電極 151，且形成第 2 導電型之埋設通道；及元件分離部 21，其係設置於光電二極體及源極隨耦器電晶體 15 之活性區域之周圍。源極隨耦器電晶體 15 之埋設通道係與元件分離部 21 之側壁隔離而形成。



- 10：基板
- 15：源極隨耦器電晶體
- 21：元件分離部
- 22：周圍區域
- 151：閘極電極
- 152：通道形成區域
- 153：閘極絕緣膜
- P：p型之雜質



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201312740 A1

(43)公開日：中華民國 102 (2013) 年 03 月 16 日

(21)申請案號：101129250

(22)申請日：中華民國 101 (2012) 年 08 月 13 日

(51)Int. Cl. : *H01L27/146 (2006.01)*

H04N5/335 (2011.01)

(30)優先權：2011/08/24 日本

2011-182160

(71)申請人：夏普股份有限公司 (日本) SHARP KABUSHIKI KAISHA (JP)
日本

(72)發明人：船尾大輔 FUNAO, DAISUKE (JP)；小西武文 KONISHI, TAKEFUMI (JP)

(74)代理人：陳長文；林宗宏

申請實體審查：有 申請專利範圍項數：13 項 圖式數：12 共 47 頁

(54)名稱

固體攝像元件

(57)摘要

本發明係提供一種自源極隨耦器電晶體所輸出之信號中有效地降低 1/f 雜訊之固體攝像元件。固體攝像元件包含：第 1 導電型之基板 10；光電二極體，其係於與第 1 導電型不同之第 2 導電型之累積區域累積載子；源極隨耦器電晶體 15，其係於累積自光電二極體讀出之載子之浮動擴散區域電性連接閘極電極 151，且形成第 2 導電型之埋設通道；及元件分離部 21，其係設置於光電二極體及源極隨耦器電晶體 15 之活性區域之周圍。源極隨耦器電晶體 15 之埋設通道係與元件分離部 21 之側壁隔離而形成。

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101129250

※ 申請日：101.8.13

※IPC 分類： H01L 27/146 (2006.1)
H04N 5/335 (2006.1)

一、發明名稱：(中文/英文)

固體攝像元件

二、中文發明摘要：

本發明係提供一種自源極隨耦器電晶體所輸出之信號中有效地降低1/f雜訊之固體攝像元件。固體攝像元件包含：第1導電型之基板10；光電二極體，其係於與第1導電型不同之第2導電型之累積區域累積載子；源極隨耦器電晶體15，其係於累積自光電二極體讀出之載子之浮動擴散區域電性連接閘極電極151，且形成第2導電型之埋設通道；及元件分離部21，其係設置於光電二極體及源極隨耦器電晶體15之活性區域之周圍。源極隨耦器電晶體15之埋設通道係與元件分離部21之側壁隔離而形成。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

10	基板
15	源極隨耦器電晶體
21	元件分離部
22	周圍區域
151	閘極電極
152	通道形成區域
153	閘極絕緣膜
P	p型之雜質

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種以CMOS(Complementary Metal Oxide Semiconductor：互補式金屬氧化物半導體)影像感測器為代表之固體攝像元件。

【先前技術】

CMOS影像感測器與CCD影像感測器相比，可高速動作且消耗電力小，故搭載於數位攝影機或數位相機、監控攝像頭、掃描器、傳真、可視電話機、照相手機等具備攝像功能之各種電子機器中。

CMOS影像感測器於每個像素電路具備放大器(源極隨耦器電晶體)，該源極隨耦器電晶體將利用光電二極體之光電變換所獲得之電位之信號予以放大而輸出。但藉由該源極隨耦器電晶體所放大之信號有含雜訊之情形。具體而言，有於源極隨耦器電晶體之閘極絕緣膜之界面之能階俘獲或釋放載子(電子或電洞)而使電阻不規則變動所產生之隨機雜訊，即 $1/f$ 雜訊(閃變(效應)雜訊)包含於源極隨耦器電晶體輸出之信號中之情形。

該 $1/f$ 雜訊可藉由增大源極隨耦器電晶體之閘極寬度(增大閘極電容)而降低。然而，由於像素電路之小型化等要求，增大閘極寬度直至充分減少 $1/f$ 雜訊此點較為困難。

因此，例如專利文獻1及2中，提出一種藉由在源極隨耦器電晶體中形成埋設通道，使載子通過與閘極絕緣膜隔開之位置，以此降低 $1/f$ 雜訊之固體攝像元件。

然而，像素電路中之元件之周圍，以防止寄生元件之形成等為目的，設置有隔絕各個元件之元件分離部。該元件分離部亦設置於光電二極體之周圍，但由於因於此元件分離部之界面能階連接光電二極體之空乏層而會產生暗電流，故成為問題。

該暗電流可藉由在十分遠離光電二極體之位置設置元件分離部而降低。但，由於像素電路之小型化等之要求，與光電二極體隔離而設置元件分離部直至暗電流充分降低此點較為困難。

因此，例如專利文獻3中，提出一種藉由在光電二極體之周圍設置之元件分離部之周圍形成高濃度之雜質層，而降低暗電流之固體攝像元件。

[先行技術文獻]

[專利文獻]

[專利文獻1]日本特開2005-286168號公報

[專利文獻2]日本特開2006-120679號公報

[專利文獻3]日本特開2008-91702號公報

【發明內容】

[發明所欲解決之問題]

上述之元件分離部不僅是光電二極體之周圍，亦形成於源極隨耦器電晶體之附近。元件分離部之界面由於結晶性易劣化，故易形成俘獲、釋放載子之能階。因此，若源極隨耦器電晶體之通道擴大至元件分離部之界面，則會於此界面產生俘獲、釋放載子而引起之 $1/f$ 雜訊，故成為問題。

因此，本發明之目的在於提供一種自源極隨耦器電晶體所輸出之信號有效地降低 $1/f$ 雜訊之固體攝像元件。

[解決問題之技術手段]

為達成上述目的，本發明提供一種固體攝像元件，其特徵為包含：

第1導電型之基板；

光電二極體，其係形成於上述基板，於與上述第1導電型不同之第2導電型之累積區域中，累積藉由光電轉換而產生之載子；

源極隨耦器電晶體，其係形成於上述基板，於累積自上述光電二極體讀出之上述載子之浮動擴散區域電性連接閘極電極，且形成上述第2導電型之埋設通道；及

元件分離部，其係形成於上述基板，且至少設置於上述光電二極體及上述源極隨耦器電晶體之活性區域之周圍；且

上述源極隨耦器電晶體之上述埋設通道係與上述元件分離部之側壁隔離而形成。

另，「第1導電型」及「第2導電型」係p型及n型。例如，若「第1導電型」為p型，則「第2導電型」為n型，若「第1導電型」為n型，則「第2導電型」為p型。另，「第1導電型之基板」係顯示形成基板之元件構造之局部為第1導電型者，不僅限於整體為第1導電型之基板，并為第1導電型之基板(例如，於整體為第1導電型之基板注入第1導電型之雜質而形成第1導電型之井之基板)當然亦包含在內。

再者，上述特徵之固體攝像元件，較好的是，上述源極隨耦器電晶體之上述埋設通道係形成於在上述第1導電型之上述基板之表面注入上述第2導電型之雜質而成之通道形成區域內；

於上述元件分離部之側方區域中，注入有將上述通道形成區域中所含之上述第2導電型之區域消除之濃度的上述第1導電型之雜質。

此情形下，可抑制通道形成區域之擴大。因此，可高精度地形成與元件分離部之側壁隔離之埋設通道。又，可抑制光電二極體中暗電流之產生。

此外，通道形成區域係於第1導電型之基板之表面注入第2導電型之雜質而形成之區域，包含注入有第2導電型之雜質之第2導電型之區域、與其正下方之第1導電型之區域。再者，第2導電型之區域與第1導電型之區域之邊界附近，形成有埋設通道。

再者，上述特徵之固體攝像元件，較好的是，注入於上述元件分離部之側方區域之上述第1導電型之雜質之濃度，係注入於上述源極隨耦器電晶體之上述通道形成區域中所含之上述第2導電型之區域之上述第2導電型之雜質之濃度的2倍以上。

此情形下，可進一步高精度地形成與元件分離部之側壁隔離之埋設通道。

再者，上述特徵之固體攝像元件，較好的是，上述源極隨耦器電晶體之上述通道形成區域在最表面注入有上述第

1 導電型之雜質。

此情形，基板之表面附近之導通狀態之通道位能更低，導通狀態之最大通道位能之位置更深。因此，源極隨耦器電晶體中，可形成埋設效果更好的埋設通道。

再者，上述特徵之固體攝像元件，較好的是，於上述元件分離部之下方區域中亦注入有上述第1導電型之雜質。

此構造，可藉由在元件分離部形成前注入第1導電型之雜質而獲得。

再者，上述特徵之固體攝像元件，較好的是進而包含：

傳送電晶體，其係形成於上述基板，且源極為上述累積區域，汲極為上述浮動擴散區域；及

重置電晶體，其係形成於上述基板，且源極為上述浮動擴散區域，汲極為特定之電位。

此外，上述特徵之固體攝像元件，較好的是，上述重置電晶體形成上述第2導電型之埋設通道。

重置電晶體，因對元件分離部之側方區域注入第1導電型之雜質引起之臨限電壓之變動可產生重置雜訊，但藉由與源極隨耦器電晶體相同地注入第2導電型之雜質而進行臨限電壓之調整，可抑制該重置雜訊。

此外，亦可藉由該第2導電型之雜質之注入，使重置電晶體為消耗型。此情形，藉由適當調整施加於後閘極之電位等，亦可以所期望之偏壓狀態將重置電晶體設為非導通狀態。

再者，上述特徵之固體攝像元件，較好的是，上述傳送

電晶體之源極及汲極之隔離方向與上述源極隨耦器電晶體之源極及汲極之隔離方向不同。

此情形下，藉由適當選擇對元件分離部之側方區域之第1導電型之雜質之注入方向，可局部控制傳送電晶體及源極隨耦器電晶體之各自附近注入之第1導電型之雜質之濃度。

再者，上述特徵之固體攝像元件，較好的是，進而包含汲極與上述源極隨耦器電晶體之源極共通，或源極與上述源極隨耦器電晶體之汲極共通之選擇電晶體。

再者，上述特徵之固體攝像元件，較好的是，上述選擇電晶體形成上述第2導電型之埋設通道。

再者，上述特徵之固體攝像元件，較好的是，上述元件分離部為包含氧化物或氮化物之至少一者之STI(Shallow Trench Isolation:淺溝槽隔離)。

STI由於係沿基板之深度方向延伸之構造，故抑制埋設通道之擴大之必要性較高。因此，對具有STI之固體攝像元件採用上述之特徵，可使獲得之 $1/f$ 雜訊之降低效果增大。

再者，上述特徵之固體攝像元件，較好的是，形成上述埋設通道之至少1個電晶體之閘極電極係其端部自上述元件分離部之正上方後退而形成。

此情形，由於施加於閘極電極之電位難以施加於元件分離部之附近，故形成之埋設通道難以擴大至元件分離部之附近。因此，可有效地降低 $1/f$ 雜訊。

再者，上述特徵之固體攝像元件，較好的是，設置於形成上述埋設通道之至少1個電晶體之閘極電極之正下方之閘極絕緣膜，其距上述元件分離部較近之部分之厚度大於距離該元件分離部較遠之部分之厚度。

此情形，由於施加於閘極電極之電位難以施加於元件分離部之附近，故形成之埋設通道難以擴大至元件分離部之附近。因此，可有效地降低1/f雜訊。

[發明之效果]

根據上述特徵之固體攝像元件，源極隨耦器電晶體中形成有與元件分離部之側壁隔離之埋設通道。因此，藉由抑制基板之表面(例如，閘極絕緣膜之界面)或元件分離部之界面之能階之影響，可自源極隨耦器電晶體所輸出之信號有效降低1/f雜訊。

【實施方式】

<<像素電路>>

<整體概要>

首先，參照圖式說明本發明之實施形態之固體攝像元件(CMOS影像感測器)所具備之1個像素電路之概要構成例、概要動作例及概要構造例。圖1係顯示本發明之實施形態之固體攝像元件所具備之1個像素電路之概要構成例之電路圖。

如圖1所示，像素電路1具備：光電二極體11，其陽極接地且藉由光電轉換而形成載子；傳送電晶體12，其源極連接於光電二極體11之陰極；浮動擴散區域13，其連接於傳

送電晶體之汲極；重置電晶體14，其源極連接於浮動擴散區域13且於汲極被供給電源電位VDD；源極隨耦器電晶體15，其於汲極被供給電源電位VDD且其閘極電極電性連接於浮動擴散區域13；選擇電晶體16，其汲極連接於源極隨耦器電晶體15之源極；及信號線17，其連接選擇電晶體16之源極。

以下為具體化說明，例示關於像素電路1之載子為電子之情形。具體而言，例示如下之情形：構成像素電路1之各個元件形成於p型之基板上，光電二極體11之載子(電子)之累積區域係n型，形成於傳送電晶體12、重置電晶體14、源極隨耦器電晶體15及選擇電晶體16之各者之通道係n型。

另，「p型之基板」係顯示形成元件構造之部分為p型之基板者，且不僅限於整體為p型之基板，當然，井為p型之基板(例如，於整體為n型之基板中注入p型之雜質而形成p型之井之基板)亦包含在內。惟以下之說明中所參照之各圖係以基板之整體為p型進行圖示。

另，作為基板之材料，可使用Si。此情形下，作為p型之雜質，可使用硼等。又此情形下，作為n型之雜質，可使用磷或砷等。再者，該等之雜質可例如藉由應用離子注入等之方法注入基板10內。另，以下為具體化說明，例示藉由離子注入進行雜質之注入之情形。

接著，參照圖1，說明像素電路1之概要動作例。首先，使光入射至光電二極體11，藉由光電轉換產生電子及電

洞，將電子累積於n型之累積區域。此時，傳送電晶體12藉由低位準之電位被施加於閘極電極而成為非導通狀態。

之後，當於傳送電晶體12之閘極電極被施加高位準之電位時，傳送電晶體12成為導通狀態，而將累積於光電二極體11之累積區域之電子讀出至浮動擴散區域13。藉此，浮動擴散區域13之電位成為對應從光電二極體11讀出之電子之數量(即，入射之光量)之電位。

惟在從光電二極體11向浮動擴散區域13讀出電子之前，藉由對重置電晶體14之閘極電極施加高位準之電位使重置電晶體14成為導通狀態，而將浮動擴散區域13設定(初始化)為特定之電位。藉此，從光電二極體11讀出電子後之浮動擴散區域13之電位，會自該特定之電位降低對應讀出之電子之數量之大小。

其後，當於選擇電晶體之閘極電極施加高位準之電位，使選擇電晶體13成為導通狀態時，源極隨耦器電晶體15放大施加於閘極電極之浮動擴散區域13之電位產生之信號。藉由源極隨耦器電晶體15放大後之信號經由選擇電晶體13而輸出至信號線17。

接著，參照圖2，說明上述之像素電路1之概要構造例。圖2係顯示圖1所示之像素電路之概要構造之模式性俯視圖。此外，圖2係從基板之表面側觀察之俯視圖。

圖2中，以粗實線之箭頭顯示各電晶體12、14~16中電子移動之方向(源極及汲極分離之方向)。又，圖2中，係將各電晶體12、14~16之各閘極電極121、141、151、161(例如

n型之多晶矽)作為附交叉陰影線之區域而顯示。又，圖2中，將供給重置電晶體14之汲極電源電位VDD之配線、連接重置電晶體14之源極與源極隨耦器電晶體15之閘極電極151之配線、對源極隨耦器電晶體15之汲極供給電源電位VDD之配線、及連接選擇電晶體16之源極與信號線17之配線之各者簡化並以粗實線顯示。

如圖2所示，於形成光電二極體11或各電晶體12、14~16之元件構造之活性區域20A、20B之周圍，設置有元件分離部21。具體而言，係於連接光電二極體11、傳送電晶體12、浮動擴散區域13及重置電晶體14而形成之構造所形成之活性區域20A之周圍、與連接源極隨耦器電晶體15及選擇電晶體16而形成之構造所形成之活性區域20B之周圍，設置有元件分離部21。此外，元件分離部21除活性區域20A、20B以外可於基板之整體形成，但圖2中特別是關於形成於活性區域20A、20B之附近之部分係以斜線圖示。另，圖2中，各閘極電極121、141、151、161係以僅存在於活性區域20A、20B之正上方附近之方式進行圖示，但實際中可延伸至更長。

此外，活性區域20A中包含之光電二極體11、傳送電晶體12及重置電晶體14具有共通之擴散層。具體而言，光電二極體11之累積區域係成為傳送電晶體12之源極。又，傳送電晶體12之汲極係成為浮動擴散區域13，進而成為重置電晶體14之源極。同樣，活性區域20B中包含之源極隨耦器電晶體15及選擇電晶體16亦具有共通之擴散層。具體而

言，源極隨耦器電晶體15之源極係與選擇電晶體16之汲極共通。

又，重置電晶體14、源極隨耦器電晶體15及選擇電晶體16之各者中，電子朝相同之方向(以下，為X方向)移動。另一方面，傳送電晶體12中，電子朝與X方向不同之方向(圖2所示例中，相對X方向45度傾斜之方向)移動。

元件分離部21在各個電晶體12、14~16中形成有通道之部分(圖中箭頭之部分)之附近亦有設置。此外，上述2個活性區域20A、20B係並排設置於相對X方向垂直之方向(以下，為Y方向)。其中，X方向及Y方向係相對基板之主表面平行之方向。又，以下，將相對X方向及Y方向垂直之方向(即，相對基板之主表面垂直之方向、深度方向)設為Z方向。

又，元件分離部21例如為STI，作為絕緣體至少具備氧化物或氮化物中之一者。具體舉例而言，元件分離部21係藉由在將基板從表面沿Z方向挖掘而形成之溝槽內以Si之氧化物即SiO₂填充而形成。

<源極隨耦器電晶體>

接著，關於圖2所示之源極隨耦器電晶體15與其周圍之構造之一例，參照圖式進行說明。圖3係顯示源極隨耦器電晶體與其周圍之構造之一例之主要部分剖面立體圖。另，圖3中，將源極隨耦器電晶體15及其周圍之主要部分之相對X方向垂直之剖面作為前面顯示。

源極隨耦器電晶體15具備：為導通狀態時形成通道之通

道形成區域152、上述之閘極電極151、及形成於基板10之表面上及閘極電極151之下之閘極絕緣膜153。

通道形成區域152係於p型之基板10之表面注入n型之雜質而形成之區域，包含注入有該n型之雜質之n型(n^-)之區域與其正下方之p型之區域。進而，n型(n^-)之區域與p型之區域之邊界附近形成有通道。即，源極隨耦器電晶體15係成為埋設通道型電晶體。

如上所述，元件分離部21亦設置於形成有埋設通道之部分之附近。另，元件分離部21之周圍區域22(使從元件分離部21之側壁沿Y方向擴大之側方區域、與從元件分離部21之底面沿Z方向擴大之下方區域合併之區域)係注入p型之雜質而成為p型。

元件分離部21之周圍區域22(特別是側方區域)注入之p型之雜質之濃度宜為消除通道形成區域152中包含之n型(n^-)之區域之程度。更具體而言，注入於元件分離部21之周圍區域22(特別是側方區域)中之p型之雜質之濃度宜為注入於通道形成區域152中包含之n型(n^-)之區域之n型之雜質之濃度的2倍以上。

例如，較好的是，基板10之p型之雜質之濃度為 $5 \times 10^{16} \text{ cm}^{-3}$ 以上且 $5 \times 10^{17} \text{ cm}^{-3}$ 以下，通道形成區域152中包含之n型(n^-)之區域中n型之雜質之濃度為 $1 \times 10^{17} \text{ cm}^{-3}$ 以上且 $8 \times 10^{17} \text{ cm}^{-3}$ 以下，元件分離部21之周圍區域22中p型之雜質之濃度為 $5 \times 10^{17} \text{ cm}^{-3}$ 以上且 $5 \times 10^{18} \text{ cm}^{-3}$ 以下，元件分離部21之周圍區域22之寬度(距元件分離部21之側壁之長度)

為 50 nm 左右。

接著，參照圖 4 及圖 5，說明藉由設源極隨耦器電晶體 15 為圖 3 所示之構造所獲得之效果。圖 4 係顯示相對源極隨耦器電晶體之 X 方向垂直之剖面之剖面圖。圖 5 係顯示相對源極隨耦器電晶體之 Y 方向垂直之剖面之剖面圖。

另，圖 4 及圖 5 係將顯示源極隨耦器電晶體 15 之導通狀態中沿著特定之方向(圖 4 中 Y 方向、圖 5 中 Z 方向)之通道位能之變動之圖表與剖面圖合併表示。進而，作為該圖表，不僅源極隨耦器電晶體 15 之圖表(圖中粗實線)，亦與比較用之先前之源極隨耦器電晶體(未進行通道形成區域 152 之 n 型雜質之注入，或元件分離部 21 之周圍區域 22 之 p 型之雜質之注入之構造)之圖表(圖中之虛線)合併顯示。另，導通狀態之通道位能越大(箭頭之前端側)之區域，越為電子可穩定存在(形成通道)之區域。

又，如圖 5 所示，源極隨耦器電晶體 15 包含：於閘極電極 151 之 X 方向之兩端具備之側壁 154；n 型(n^+)之擴散區域 155，其係形成於基板 10 之表面側，構成源極及汲極之各者；及 n 型薄擴散層 156，其係形成於基板 10 之表面側及側壁 154 之正下方，並連接於擴散區域 155 之各者。即，源極隨耦器電晶體 15 係為 LDD(Lightly Doped Drain: 輕微摻雜汲極)構造。

如圖 4 所示，先前之源極隨耦器電晶體中，導通狀態之通道位能不僅沿 Y 方向幾乎不變動，且在元件分離部 21 之附近略微變大。因此，形成擴大至元件分離部 21 之通道。

因此，由於受元件分離部21之界面之能階之影響，先前之源極隨耦器電晶體輸出之信號包含大量 $1/f$ 雜訊。

另一方面，如圖4所示，源極隨耦器電晶體15中，導通狀態之通道位能在元件分離部21之周圍區域22之附近降至最低，且距離元件分離部21越遠則越大。由此，與元件分離部21隔離之區域(特別是通道形成區域152之Y方向之中央部分)中形成埋設通道。因此，源極隨耦器電晶體15輸出之信號中， $1/f$ 雜訊被有效地降低。

又，如圖5所示，先前之源極隨耦器電晶體中，導通狀態之通道位能隨著沿Z方向與基板10之表面隔離，而逐漸變小。因此，於導通狀態之通道位能成為最大之閘極絕緣膜153之附近形成通道。因此，由於受閘極絕緣膜153之界面之能階之影響，先前之源極隨耦器電晶體輸出之信號含有大量 $1/f$ 雜訊。

另一方面，如圖5所示，源極隨耦器電晶體15中，導通狀態之通道位能在與基板10之表面隔開特定之距離之區域(特別是通道形成區域152中所含之n型(n^-)之區域與其正下方之p型區域之邊界附近)成為最大。因此，於與閘極絕緣膜153隔離之區域中形成埋設通道。因此，源極隨耦器電晶體15輸出之信號中， $1/f$ 雜訊被有效地降低。

如上，本發明之實施形態之固體攝像元件，在源極隨耦器電晶體15中形成有與元件分離部21之側壁隔離之埋設通道。因此，藉由抑制閘極絕緣膜153之界面或元件分離部21之界面之能階之影響，可自源極隨耦器電晶體15輸出之

信號中有效地降低 $1/f$ 雜訊。

又，較好的是，控制注入於元件分離部21之周圍區域22(特別是側方區域)之p型之雜質之濃度，消除通道形成區域152所含之n型(n^-)之區域，藉此抑制通道形成區域152之擴大。此情形下，可高精度地形成與元件分離部21之側壁隔離之埋設通道。進而，由於元件分離部21之周圍區域22中注入p型之雜質，故可抑制光電二極體11中暗電流之產生。

又，更好的是，令注入於元件分離部21之周圍區域22(特別是側方區域)之p型之雜質之濃度，為注入於通道形成區域152包含之n型(n^-)之區域之n型雜質之濃度的2倍以上。此情形，可進一步高精度地形成與元件分離部21之側壁隔離之埋設通道。

另，如上所述，若將以源極隨耦器電晶體15形成之通道設為埋設通道，則短通道效果(例如因源極及汲極之各者之空乏層接近而引起之穿通現象之發生等)顯著。因此，如圖2所示，較好為將源極隨耦器電晶體15之源極及汲極間之距離設為設計上所允許之最大限。另，如上所述， $1/f$ 雜訊係閘極電容越大越降低。因此，此構造可抑制 $1/f$ 雜訊，故令人滿意。

<相對元件分離部之周圍區域之p型雜質之注入方法>

接著，就相對上述之元件分離部21之周圍區域22之p型之雜質之注入方法之一例，參照圖式進行說明。圖6係顯示相對元件分離部之周圍區域之p型雜質之注入方法之一

例之基板之剖面圖。圖7係顯示相對元件分離部之周圍區域之p型雜質之注入方法之一例之基板之俯視圖。另，圖6所示之剖面係相對X方向垂直之剖面。又，圖7所示之平面係相對Z方向垂直之平面，且從表面側觀察圖6所示之基板10者。另，溝槽T除活性區域20A、20B以外可形成於基板之整體，圖7中特別關於活性區域20A、20B附近形成之部分以斜線進行圖示。

如圖6所示，本例中p型之雜質之注入方法，於基板10中形成溝槽T後，在以構成元件分離部21之材料填埋該溝槽T之前，進行p型雜質P之注入。此時，如圖6所示，在除形成有溝槽T之部分以外之基板10之表面，以保留用於形成溝槽T之遮罩層31或光阻膜32之狀態，進行p型之雜質P之注入。另，遮罩層31係由例如氧化物或氮化物等組成。

此情形，可相對活性區域21高精度對位(對準)，注入p型之雜質P。因此，p型之雜質P之濃度分佈急峻而使得閘極電容增大，可有效降低1/f雜訊。

又，如圖6所示，本例中p型之雜質P之注入方法，係從相對Z方向以特定之角度(例如7度以上30度以下)傾斜之注入方向進行p型之雜質P之注入。

如此，若從相對Z方向傾斜之注入方向注入p型之雜質P，則可相對元件分離部21之周圍區域22(特別是側方區域)有效地注入p型之雜質P。另，除該注入方向以外，亦可自相對Z方向平行之注入方向進行p型之雜質P之注入。此情形，可相對距基板10之表面較深之位置之側方區域或

下方區域，有效地注入p型之雜質P。如此，相對注入方向之Z方向傾斜之角度不限於1種，亦可為複數種。

進而，如圖7所示，本例之p型之雜質P之注入方法，亦使p型之雜質P之注入方向在相對Z方向垂直之平面內傾斜。例如，將p型之雜質P之注入方向設為相對X方向及Y方向各者傾斜45度之4個注入方向(圖示之箭頭i~iv)。

具體而言，相對Z方向垂直之平面內，注入方向ii係相對注入方向i傾斜90度，注入方向iii係相對注入方向ii傾斜90度且相對注入方向i傾斜180度，注入方向iv係相對注入方向iii傾斜90度且相對注入方向ii傾斜180度。

如此，相對Z方向垂直之平面內，若從複數個方向注入p型之雜質P，可對元件分離部21之周圍區域22(特別是側方區域)注入均一之p型之雜質P。另，如圖7所示，若使正反對之(180度傾斜)注入方向存在或使注入方向間之傾斜相等，則可更均一地注入p型之雜質P，故令人滿意。另，圖7所示例中設為4個注入方向，然而亦可設為除此之外之數量(例如2個、8個)。

另，如上所述，傳送電晶體12中電子之移動方向與其他電晶體14~16不同(參照圖2)。如此構造之情形，藉由適當選擇p型之雜質之注入方向，可局部抑制注入之p型之雜質P之濃度。

具體而言例如，若選擇相對傳送電晶體12中電子之移動方向平行之注入方向(參照圖7)，則可降低設置於傳送電晶體12之周圍之元件分離部21之周圍區域22(特別是側方區

域)中所注入之p型之雜質P之濃度。

傳送電晶體12係需要縮小尺寸或需要將光電二極體11產生之載子高精度地傳送至浮動擴散區域13。因此，較好的是形成不易產生短通道效果等問題之表面通道，且降低注入之p型之雜質P之濃度。

<源極隨耦器電晶體以外之電晶體>

傳送電晶體12以外之電晶體，即，重置電晶體14及選擇電晶體16亦可為與源極隨耦器電晶體15(亦包含後述之其他例)相同之構造。具體而言，關於重置電晶體14及選擇電晶體16，可藉由在閘極電極141、161之正下方之基板10之表面注入n型之雜質，而形成n型之埋設通道(參照圖3~5)。

特別是重置電晶體14中，因元件分離部21之周圍區域22中注入p型之雜質P所引起之臨限值電壓之變動，會產生重置雜訊。因此，重置電晶體14中，為抑制重置雜訊，較好為藉由與源極隨耦器電晶體15同樣地注入n型之雜質而進行臨限值電壓之調整。另，藉由該n型之雜質之注入，重置電晶體14可成為消耗型。此情形，亦可藉由適當調整施加於後閘極之電位等，以所期望之偏壓狀態使重置電晶體14為非導通狀態。

另，將重置電晶體14或選擇電晶體16設為與源極隨耦器電晶體15相同構造之情形，若同時形成該等電晶體14~16，則可使固體攝像元件之製造步驟容易化。

<<變化等>>

[1]除上述之元件分離部21之周圍區域22之p型之雜質P之注入方法(參照圖6及圖7)外(或代替),亦可進行以下說明之注入方法。關於該注入方法,參照圖8進行說明。圖8係顯示對於元件分離部之周圍區域之p型之雜質之注入方法之另一例之基板之剖面圖。此外,圖8所示之剖面係相對X方向垂直之剖面。

圖8所示之p型之雜質P之注入方法中,以構成元件分離部21之材料將溝槽T填埋後,進行p型之雜質P之注入。再者,以使端部自溝槽T(元件分離部21)之正上方後退之方式形成遮罩層41或光阻膜42,自相對Z方向平行之注入方向注入p型之雜質P。另,該遮罩層41係由例如氧化物或氮化物等構成。

該注入方法中,在注入p型之雜質P之前,由於重新形成遮罩層41或光阻膜42,故有對於活性區域21之對位(對準)之精度有略微惡化之可能性。但,可將p型之雜質P之注入移至固體攝像元件之製造步驟之後半段。由此,可抑制注入之p型之雜質P因製造步驟中包含之熱處理等而無意圖地擴散。

[2]通道形成區域152係作為藉由於p型之基板10之表面注入n型之雜質而形成者進行說明(參照圖5),但該表面亦可進而注入p型之雜質。關於該情形之構造所獲得之效果,參照圖9進行說明。圖9係顯示源極隨耦器電晶體之構造之另一例之剖面圖。另,圖9顯示之剖面係相對Y方向垂直之剖面,且本例之源極隨耦器電晶體15a係以與圖5相同之方法

表現者。但，圖9係將源極隨耦器電晶體15a之圖表(圖中之粗實線)與比較用之圖5所示之源極隨耦器電晶體15之圖表(圖中之虛線)合併而表示。

如圖9所示，源極隨耦器電晶體15a係於通道形成區域152a之表面注入有p型之雜質(圖中灰色區域)。另，關於其他之構造，由於與圖5所示之源極隨耦器電晶體15相同，故省略說明。

若成為此種構造，則基板10之表面附近之導通狀態之通道位能更低，導通狀態之最大通道位能之位置更深。即，圖9所示之源極隨耦器電晶體15a，與圖5所示之源極隨耦器電晶體15相比較，可形成更有效地埋設之埋設通道。

另，形成圖9所示之源極隨耦器電晶體15a之通道形成區域152a時，例如，較好的是將n型之雜質以70 keV以上140 keV以下之加速能注入，將p型之雜質以10 keV以上20 keV以下之加速能注入。此情形，例如，n型之雜質中濃度分佈之峰值位置為距基板10之表面之深度0.02 μm 以上0.12 μm 以下，p型之雜質中濃度分佈之峰值位置為距基板10之表面之深度0.00 μm 以上0.02 μm 以下。即，可獲得如圖9所示之理想構造。

[3]圖2~圖4中，閘極電極151之端部係以伸至元件分離部21之正上方之方式進行圖示，但該端部亦可自元件分離部21之正上方後退。關於該構造，參照圖10進行說明。圖10係顯示源極隨耦器電晶體之構造之另一例之主要部位剖面立體圖。另，圖10亦與圖3相同，將源極隨耦器電晶體15b

及其周圍之主要部位之剖面之相對X方向垂直之剖面作為前面進行顯示。

如圖10所示，源極隨耦器電晶體15b中，閘極電極151b之端部自元件分離部21之正上方後退。另，關於其他之構造，與圖3所示之源極隨耦器電晶體15相同，故省略說明。

此類之構造，由於施加於閘極電極151b之電位難以施加於元件分離部21之附近，故形成之埋設通道難以擴大至元件分離部21之附近。因此，可有效降低1/f雜訊。

[4]圖2至圖4中，係以閘極絕緣膜153之厚度相同之方式圖示，但亦可局部加厚。關於此構造，參照圖11進行說明。圖11係顯示源極隨耦器電晶體之構造之另一例之主要部位剖面立體圖。另，圖11亦與圖3相同，係將源極隨耦器電晶體15c及其周圍之主要部位之相對X方向垂直之剖面作為前面進行顯示。

如圖11所示，源極隨耦器電晶體15c中，閘極絕緣膜153c之接近元件分離部21之部分之厚度比遠離元件分離部21之部分(成為閘極電極151之正下方之部分)之厚度大。另，關於其他之構造，由於與圖3所示之源極隨耦器電晶體15相同，故省略說明。

此類之構造，由於施加於閘極電極151之電位難以施加於元件分離部21之附近，故形成之埋設通道難以擴大至元件分離部21之附近。因此，可有效降低1/f雜訊。

[5]選擇電晶體16已說明關於配置於信號線17與源極隨耦器

電晶體 15 之間之情形，但選擇電晶體 16 亦可配置於電源電位 VDD 與源極隨耦器電晶體 15 之間，或不設置。另，將選擇電晶體 16 配置於電源電位 VDD 與源極隨耦器電晶體 15 之間之情形，可於選擇電晶體 16 之汲極供給電源電位 VDD，使選擇電晶體 16 之源極與源極隨耦器電晶體 15 之汲極共通，且將源極隨耦器電晶體 15 之源極連接於信號線 17。

[6]圖 3、圖 4、圖 10 及圖 11 中，係以對構成元件分離部 21 之周圍區域 22 之側方區域及下方區域之各者注入 p 型之雜質之方式圖示，但亦可僅於側方區域注入 p 型之雜質，而不對下方區域注入 p 型之雜質。

[7]對元件分離部 21 為 STI 之情形已例示，但亦可為 LOCOS (local oxidation of silicon: 區域性矽氧化) 等其他構造。但，如 STI 般為沿基板 10 之深度方向延伸之構造，抑制埋設通道之擴大之必要性較高。因此，藉由採用上述構造所獲得之 1/f 雜訊之降低效果較大。

[8]光電二極體 11 中，亦可於 n 型之累積區域之最表面設置 p 型之固定層。藉由設置該固定層，可抑制因表面之再鍵結使作為載子之電子消滅。

[9]已例示關於 1 個像素電路 1 中具備 1 個源極隨耦器電晶體 15 之構成，但亦可為以複數個像素電路共有 1 個源極隨耦器電晶體 15 之構成。又，亦可為在 1 個像素電路中設置複數個光電二極體之構成。關於後者之像素電路之構造例，參照圖 12 進行說明。圖 12 係顯示像素電路之概要構造之另一例之模式性俯視圖。另，圖 12 係以與圖 2 相同之方法圖

示像素電路者。再者，以下為了說明之簡化，圖12所示之像素電路1d中，以關於與圖2所示之像素電路1不同之部分為中心進行說明，關於相同之部分則省略說明。

如圖12所示，像素電路1d具備2個光電二極體11Q、11R與2個傳送電晶體12Q、12R。光電二極體11Q之陰極連接傳送電晶體12Q之源極，光電二極體11R之陰極連接傳送電晶體12R之源極。又，傳送電晶體12Q、12R之各個汲極連接共通之浮動擴散區域13d。此外，像素電路1d以外之構造係與圖2所示之像素電路1相同。進而，光電二極體11Q、11R、傳送電晶體12Q、12R、浮動擴散區域13及重置電晶體14係設置於共通之活性區域20Ad中。

傳送電晶體12Q、12R係沿Y方向並排配置，各自之電子之移動方向係與X方向不同之方向且相對X方向呈對稱。圖12所示之例中，傳送電晶體12Q之電子之移動方向為相對X方向傾斜45度之方向，傳送電晶體12R之電子之移動方向為相對X方向傾斜-45度之方向(但，僅為以順時針旋轉之角度為正而定義之情形)。

像素電路1d中，分別累積於光電二極體11Q、11R之電子對浮動擴散區域13d被交替讀出。即，對於2個光電二極體11Q、11R及2個傳送電晶體12Q、12R，浮動擴散區域13、重置電晶體14、源極隨耦器電晶體15及選擇電晶體16被共有。因此，可縮小為從1個光電二極體獲得信號所需要之電路規模。因此，可增大光電二極體11Q、11R之面積。

[10]已例示傳送電晶體12與重置電晶體14藉由共有浮動擴散區域13而連接之構成，但例如亦可為以配線將重置電晶體14與浮動擴散區域13連接之構成。

[11]已例示像素電路1、1d於p型之基板10中各自設置有具有n型之累積區域之光電二極體11與形成有n型通道之電晶體12、14~16之情形(載子為電子之情形)，但亦可使該等p型及n型相反(亦可將載子作為電洞)。

[產業上之可利用性]

本發明之固體攝像元件可適當利用於例如搭載於具有攝像功能之各種電子機器之CMOS影像感測器等。

【圖式簡單說明】

圖1係顯示本發明之實施形態之固體攝像元件所具備之1個像素電路之概要構成例之電路圖。

圖2係顯示圖1所示之像素電路之概要構成例之模式性俯視圖。

圖3係顯示源極隨耦器電晶體與其周圍之構造之一例之主要部分剖面立體圖。

圖4係顯示相對源極隨耦器電晶體之X方向垂直之剖面之剖面圖

圖5係顯示相對源極隨耦器電晶體之Y方向垂直之剖面之剖面圖。

圖6係顯示對於元件分離部之周圍區域之p型雜質之注入方法之一例之基板之剖面圖。

圖7係顯示對於元件分離部之周圍區域之p型雜質之注入

方法之一例之基板之俯視圖。

圖8係顯示對於元件分離部之周圍區域之p型雜質之注入方法之另一例之基板之剖面圖。

圖9係顯示源極隨耦器電晶體之構造之另一例之剖面圖。

圖10係顯示源極隨耦器電晶體之構造之另一例之主要部分剖面立體圖。

圖11係顯示源極隨耦器電晶體之構造之另一例之主要部分剖面立體圖。

圖12係顯示像素電路之概要構造之另一例之模式性俯視圖。

【主要元件符號說明】

1	像素電路
10	基板
11	光電二極體
11Q	光電二極體
11R	光電二極體
12	傳送電晶體
12Q	傳送電晶體
12R	傳送電晶體
13	浮動擴散區域
13d	浮動擴散區域
14	重置電晶體
15	源極隨耦器電晶體

15a	源極隨耦器電晶體
15c	源極隨耦器電晶體
16	選擇電晶體
17	信號線
20	活性區域
20A	活性區域
20Ad	活性區域
20B	活性區域
21	元件分離部
22	周圍區域
31	遮罩層
32	光阻膜
41	遮罩層
42	光阻膜
121	閘極電極
121Q	閘極電極
141	閘極電極
151	閘極電極
151b	閘極電極
152	通道形成區域
152a	通道形成區域
153	閘極絕緣膜
153c	閘極絕緣膜
154	側壁

155	擴散區域
156	薄擴散區域
161	閘極電極
P	p型之雜質
T	溝槽

七、申請專利範圍：

1. 一種固體攝像元件，其特徵為包含：

第1導電型之基板；

光電二極體，其係形成於上述基板，於與上述第1導電型不同之第2導電型之累積區域中，累積藉由光電轉換而產生之載子；

源極隨耦器電晶體，其係形成於上述基板，於累積自上述光電二極體讀出之上述載子之浮動擴散區域電性連接閘極電極，且形成上述第2導電型之埋設通道；及

元件分離部，其係形成於上述基板，且至少設置於上述光電二極體及上述源極隨耦器電晶體之活性區域之周圍；且

上述源極隨耦器電晶體之上述埋設通道係與上述元件分離部之側壁隔離而形成。

2. 如請求項1之固體攝像元件，其中

上述源極隨耦器電晶體之上述埋設通道係形成於在上述第1導電型之上述基板之表面注入上述第2導電型之雜質而成之通道形成區域內；

於上述元件分離部之側方區域中，注入有將上述通道形成區域中所含之上述第2導電型之區域消除之濃度的上述第1導電型之雜質。

3. 如請求項2之固體攝像元件，其中注入於上述元件分離部之側方區域之上述第1導電型之雜質之濃度，係注入於上述源極隨耦器電晶體之上述通道形成區域中所含之

上述第2導電型之區域之上述第2導電型之雜質之濃度的2倍以上。

4. 如請求項2或3之固體攝像元件，其中上述源極隨耦器電晶體之上述通道形成區域在最表面注入有上述第1導電型之雜質。
5. 如請求項2之固體攝像元件，其中於上述元件分離部之下方區域中亦注入有上述第1導電型之雜質。
6. 如請求項1之固體攝像元件，其係進而包含：
傳送電晶體，其係形成於上述基板，且源極為上述累積區域，汲極為上述浮動擴散區域；及
重置電晶體，其係形成於上述基板，且源極為上述浮動擴散區域，汲極為特定之電位。
7. 如請求項6之固體攝像元件，其中上述重置電晶體形成上述第2導電型之埋設通道。
8. 如請求項6之固體攝像元件，其中上述傳送電晶體之源極及汲極之隔離方向與上述源極隨耦器電晶體之源極及汲極之隔離方向不同。
9. 如請求項1之固體攝像元件，其係進而包含汲極與上述源極隨耦器電晶體之源極共通，或源極與上述源極隨耦器電晶體之汲極共通之選擇電晶體。
10. 如請求項9之固體攝像元件，其中上述選擇電晶體形成上述第2導電型之埋設通道。
11. 如請求項1之固體攝像元件，其中上述元件分離部為包含氧化物或氮化物之至少一者之STI。

12. 如請求項1之固體攝像元件，其中形成上述埋設通道之至少1個電晶體之閘極電極係其端部自上述元件分離部之正上方後退而形成。
13. 如請求項1之固體攝像元件，其中設置於形成上述埋設通道之至少1個電晶體之閘極電極之正下方之閘極絕緣膜，其距離上述元件分離部較近之部分之厚度大於距離該元件分離部較遠之部分之厚度。

八、圖式：

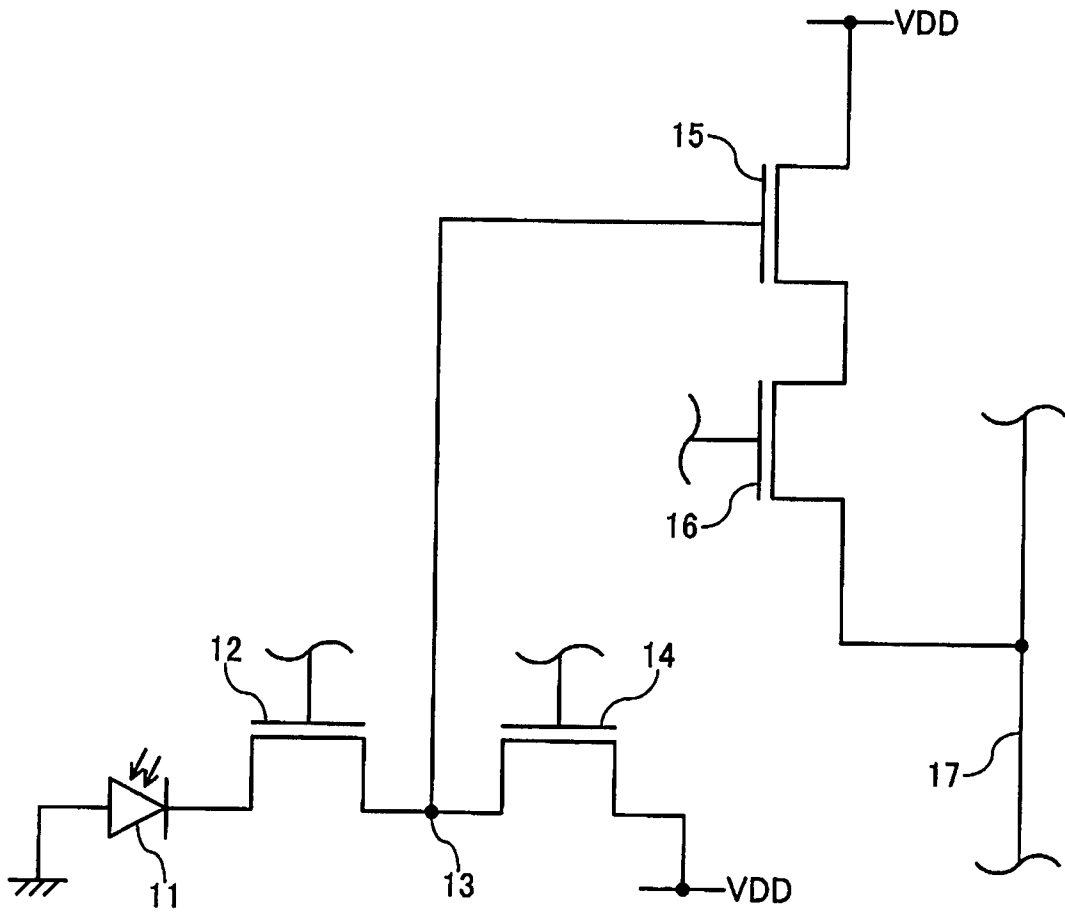


圖 1

1

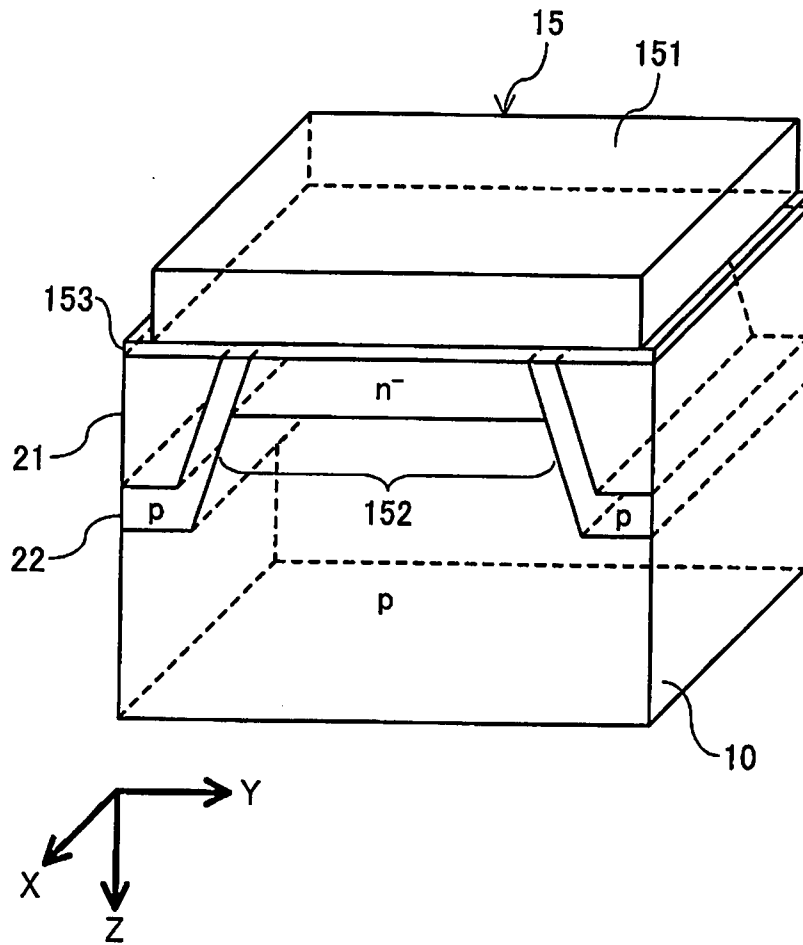


圖 3

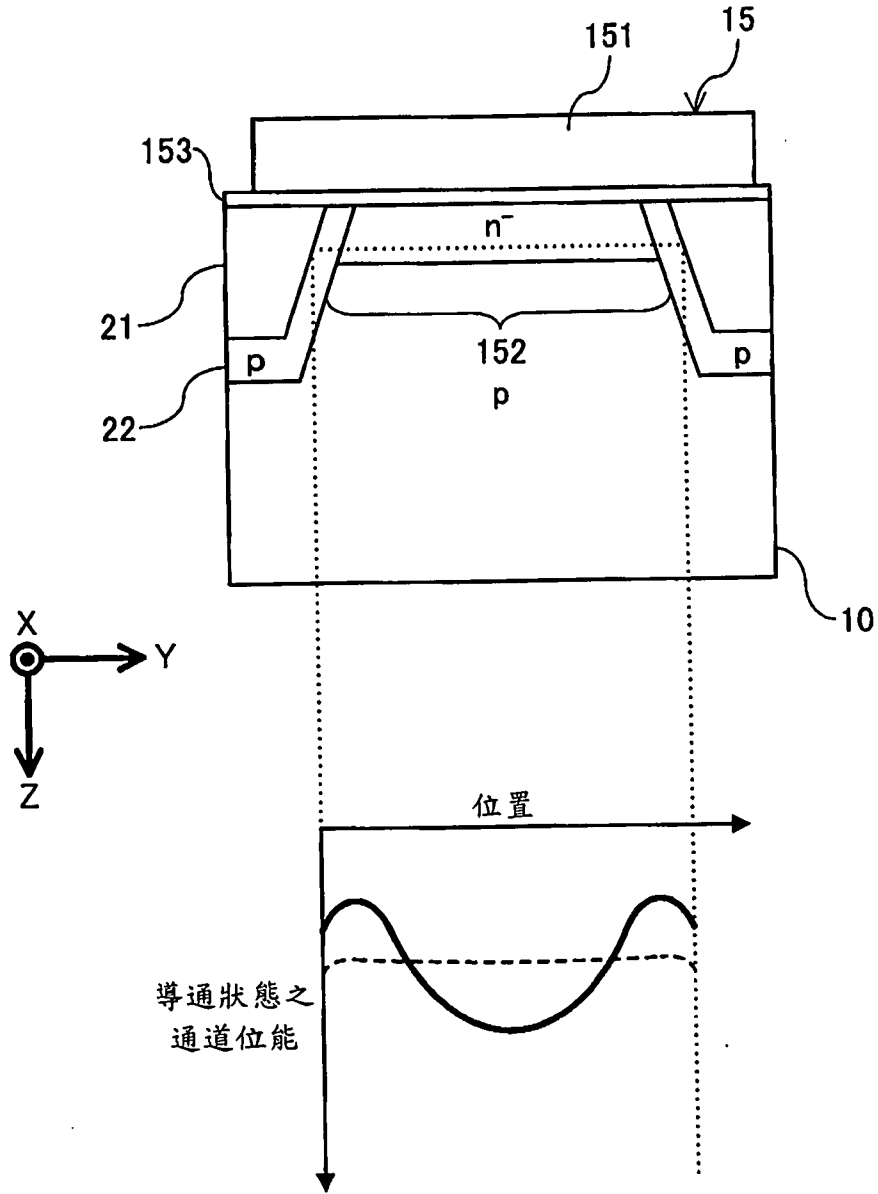


圖 4

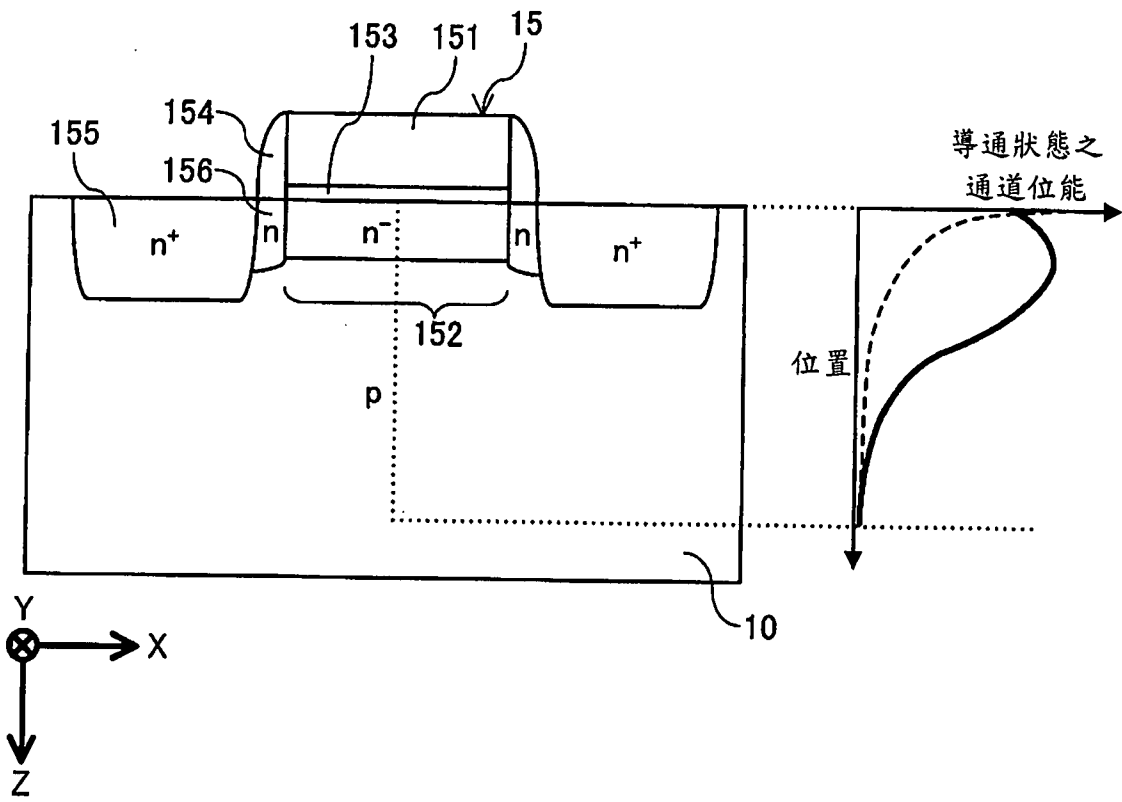


圖 5

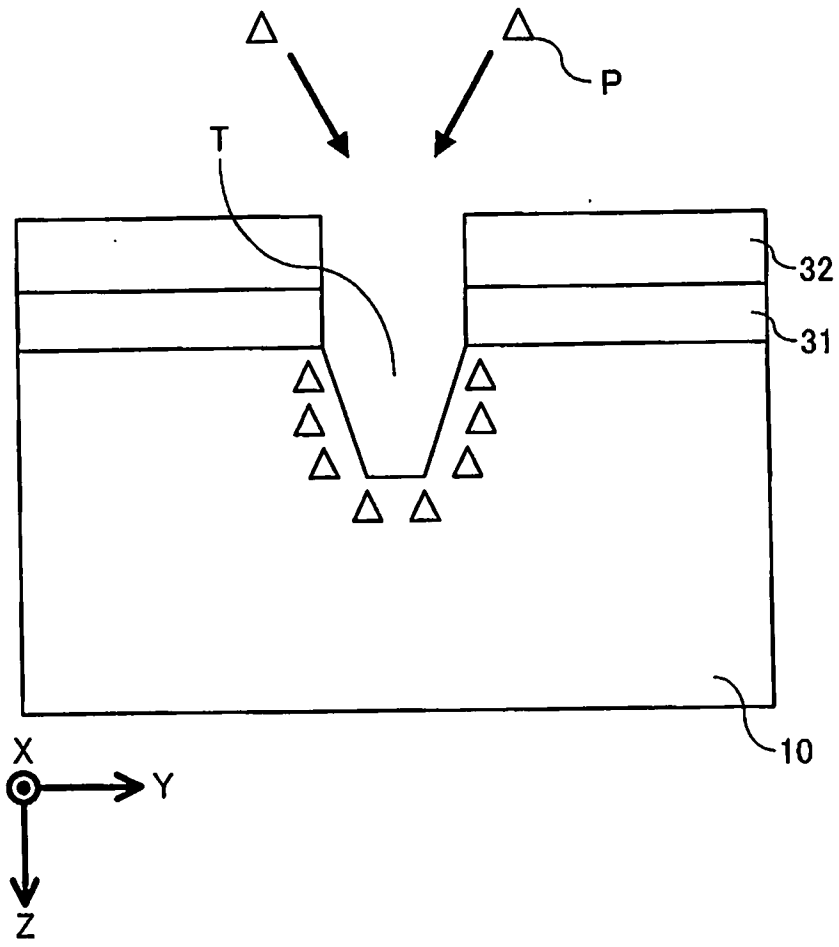


圖 6

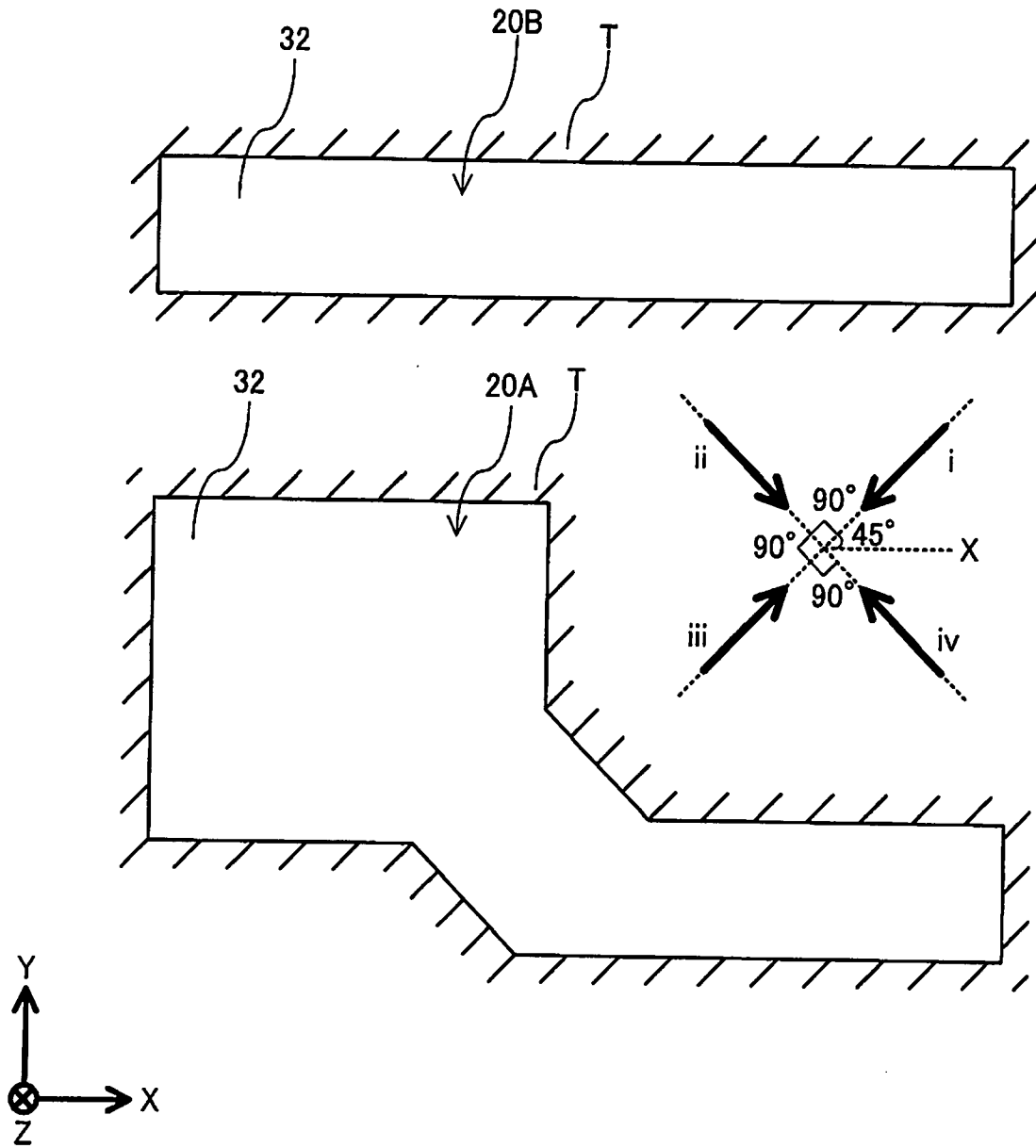


圖 7

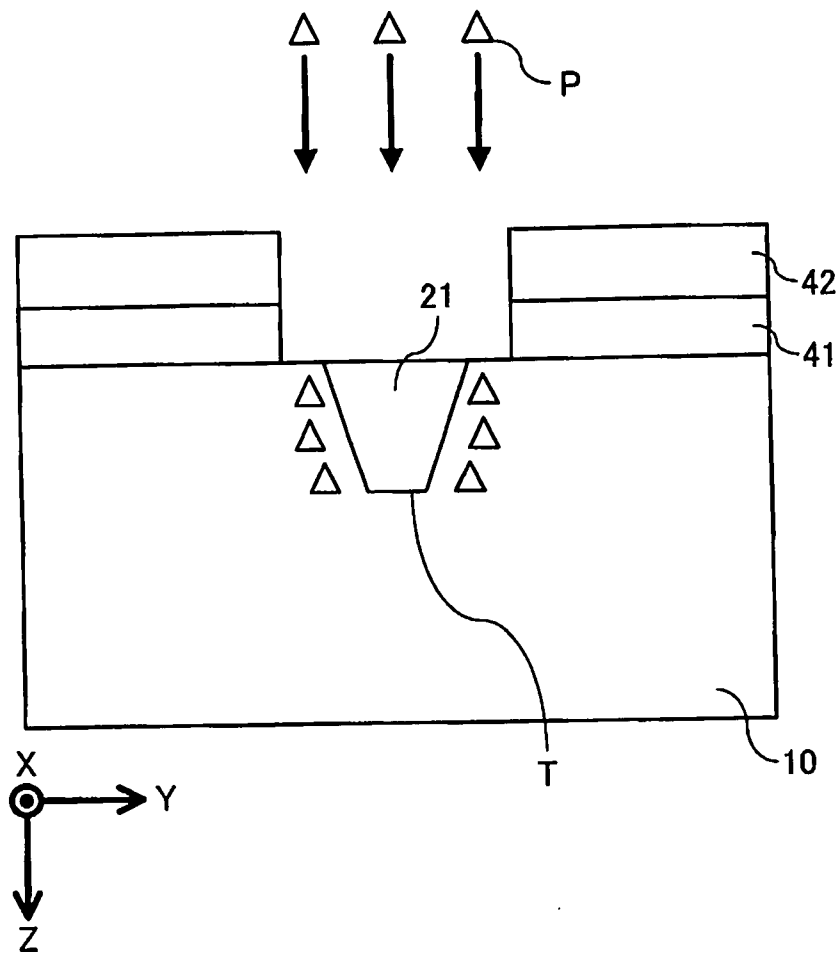


圖 8

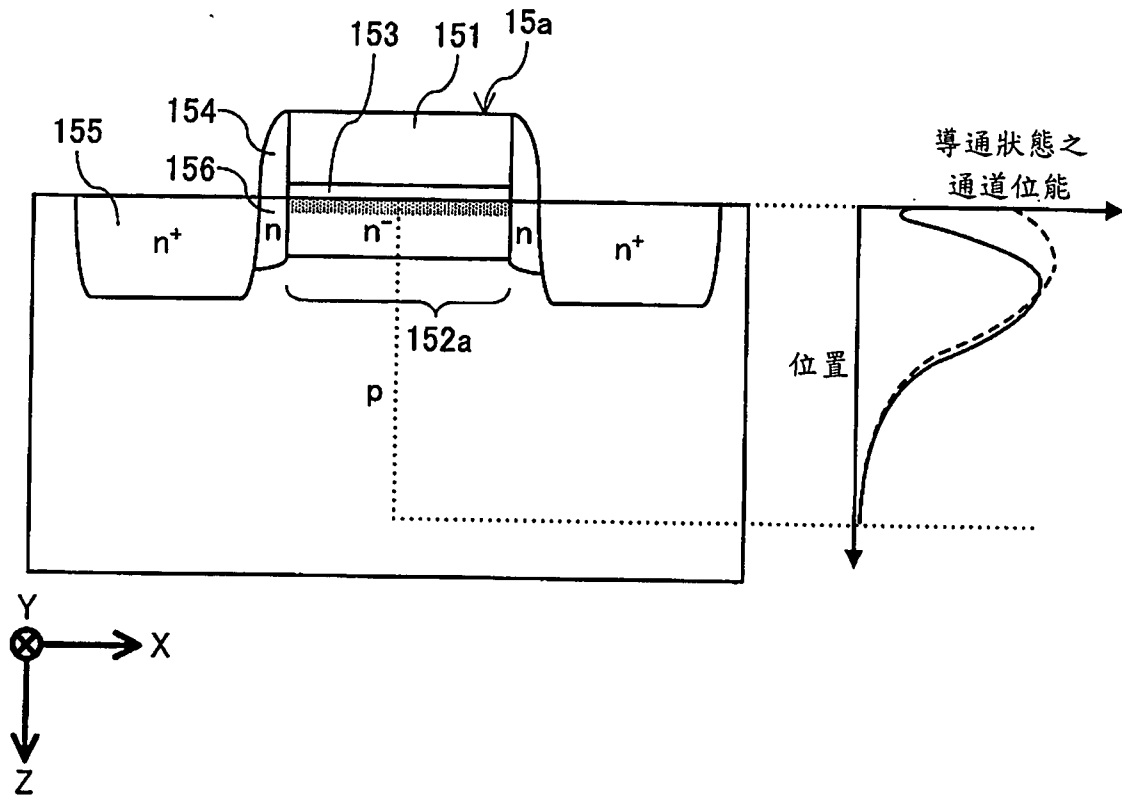


圖 9

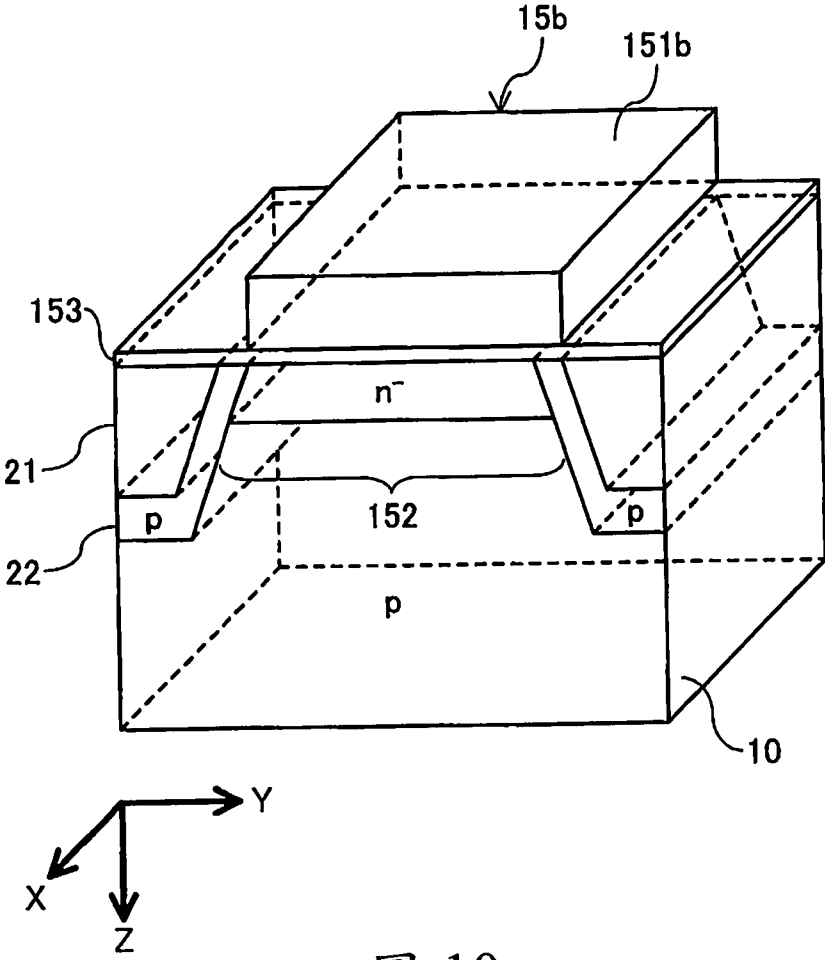


圖 10

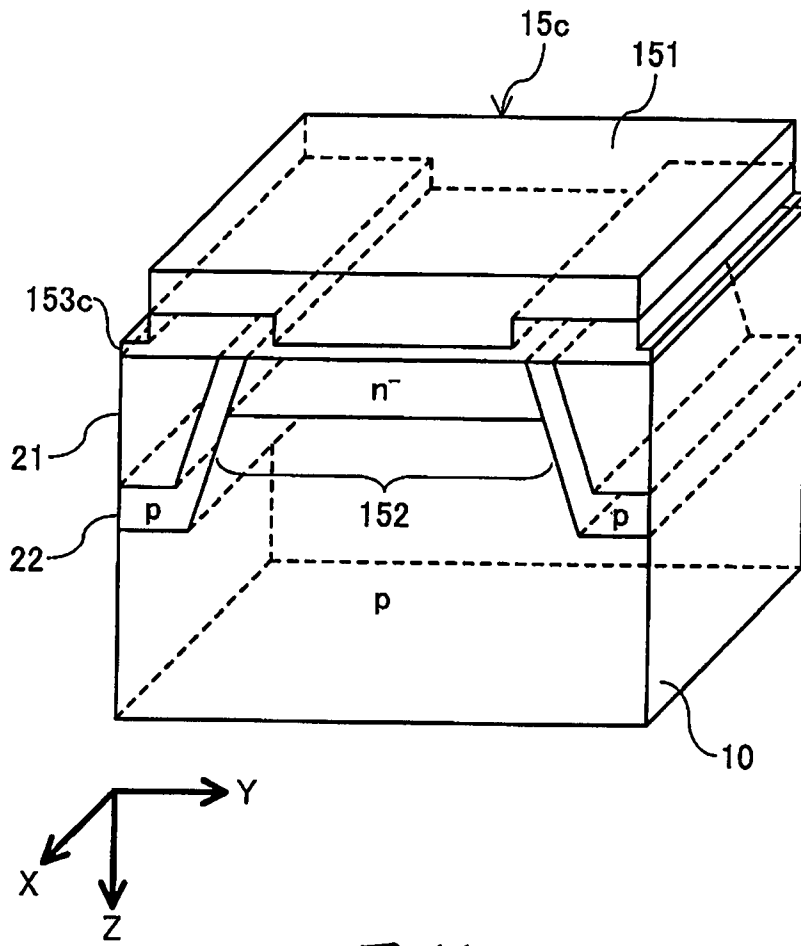


圖 11

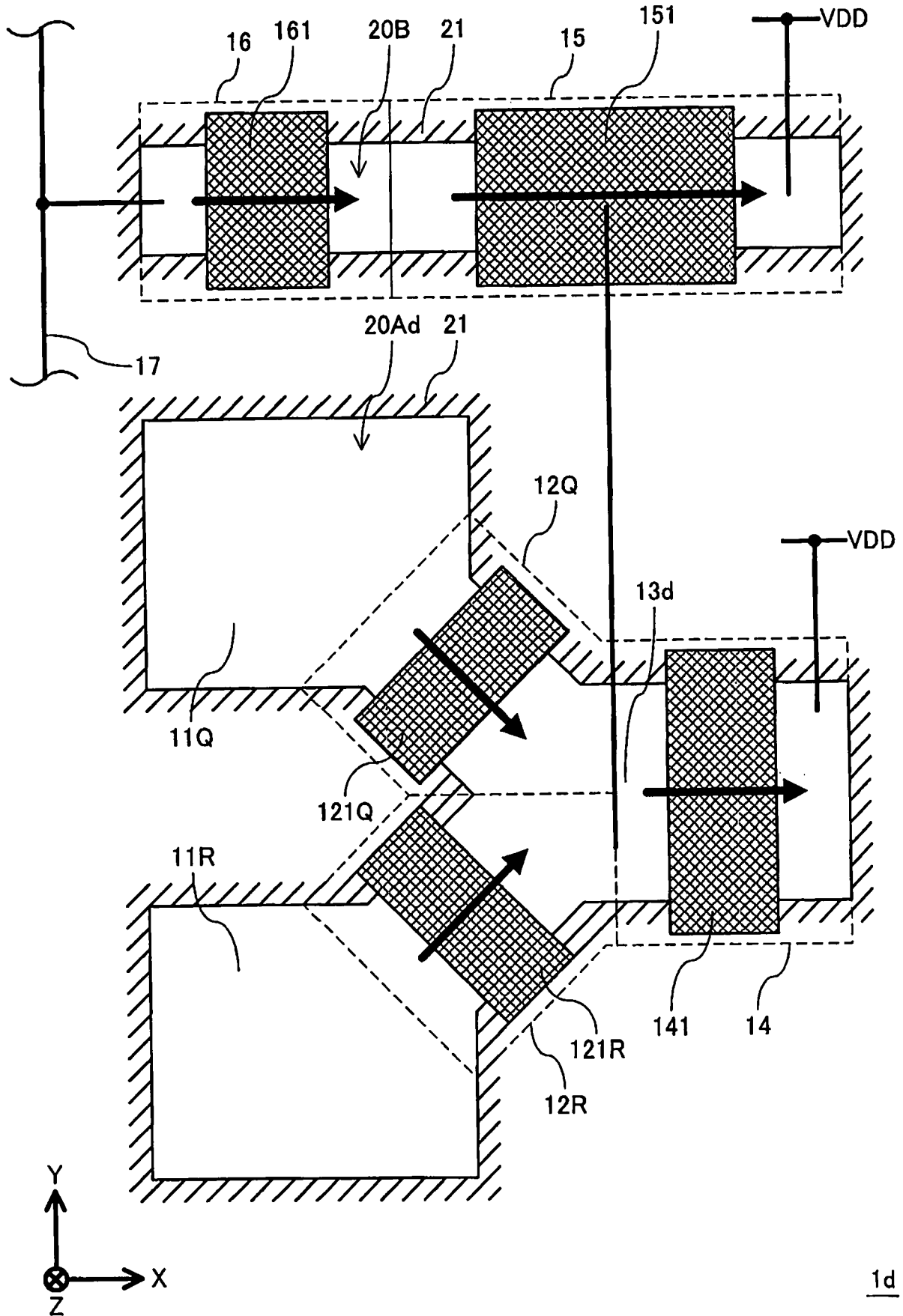


圖 12

1d