



등록특허 10-2734223



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년11월25일  
(11) 등록번호 10-2734223  
(24) 등록일자 2024년11월21일

- (51) 국제특허분류(Int. Cl.)  
*H01L 21/02* (2006.01) *C23C 16/455* (2006.01)  
*H01J 37/32* (2006.01) *H01L 21/3065* (2006.01)  
*H01L 21/67* (2006.01) *H05H 1/46* (2006.01)

- (52) CPC특허분류  
*H01L 21/0228* (2013.01)  
*C23C 16/45525* (2013.01)
- (21) 출원번호 10-2019-0071720  
(22) 출원일자 2019년06월17일  
심사청구일자 2022년03월16일  
(65) 공개번호 10-2019-0142741  
(43) 공개일자 2019년12월27일  
(30) 우선권주장  
16/010,800 2018년06월18일 미국(US)

- (56) 선행기술조사문헌  
US09716005 B1\*  
US20180061628 A1\*  
US20180166270 A1\*
- \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
도쿄엘렉트론가부시키가이샤  
일본 도쿄도 미나토구 아카사카 5초메 3반 1고  
(72) 발명자  
다바타 마사히로  
일본 981-3629 미야기켄 구로카와군 다이와쵸 테  
크노 힐즈 1 도쿄 엘렉트론 미야기 가부시키가이  
샤 나이

(74) 대리인  
김태홍, 김진희

전체 청구항 수 : 총 20 항

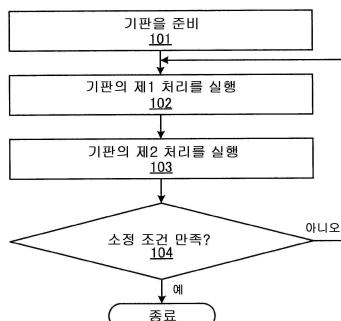
심사관 : 노병규

## (54) 발명의 명칭 기판 처리 방법 및 기판 처리 장치

**(57) 요 약**

본 발명은, 반도체 기판의 패턴을 정밀하게 제어하는 것을 목적으로 한다.

기판 처리 장치는, 챔버를 구비하는 처리 장치와, 메모리와, 상기 메모리에 접속된 프로세서를 구비하는 컨트롤러를 구비한다. 메모리는 프로세서를 제어하여 처리 장치의 처리를 제어하기 위한 컴퓨터에 의해 실행 가능한 명령을 기억한다. 처리 장치의 처리는, 화학 증착(CVD)에 의해, 챔버 내의 기판의 제1 영역 내에 제1 막을 형성하는 제1 처리를 포함한다. 또한, 처리 장치의 처리는, 원자층 퇴적(ALD)에 의해, 챔버 내의 기판의 제2 영역 내에 제2 막을 형성하는 제2 처리를 포함한다. 또한, 처리 장치는, 제1 처리 및 제2 처리를, 기판을 챔버로부터 밖으로 이동시키지 않고 실행한다.

**대 표 도**

(52) CPC특허분류

*H01J 37/32009* (2013.01)

*H01L 21/02205* (2013.01)

*H01L 21/3065* (2013.01)

*H01L 21/67017* (2013.01)

*H01L 21/67276* (2013.01)

*H05H 1/46* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기판 처리 방법으로서,

화학 증착에 의해 그리고 탄소 함유 가스로부터 생성된 플라즈마를 이용하여, 처리 장치의 챔버 내에서 상기 기판의 제1 영역 내에 제1 막을 제1 형성하는 단계, 및

상기 기판에 흡착되는 물질의 전구체를 상기 챔버 내에 도입하고, 개질 가스를 상기 챔버 내에 도입하고, 상기 개질 가스로부터 플라즈마를 생성함으로써, 상기 챔버 내에서 상기 기판의 제2 영역 내에 제2 막을 제2 형성하는 단계

를 포함하며,

상기 제1 형성하는 단계 및 상기 제2 형성하는 단계는 상기 챔버 밖에 상기 기판을 이동시키지 않고서 실행되며,

상기 제1 형성하는 단계는 플루오로카본플라즈마에 의해 상기 제1 막을 퇴적하며,

상기 제1 막은 탄소를 포함하는 것인, 기판 처리 방법.

#### 청구항 2

제1항에 있어서,

상기 기판을 예칭하는 단계를 더 포함하며,

상기 제1 형성하는 단계, 상기 제2 형성하는 단계, 및 상기 예칭하는 단계는 상기 챔버 밖에 상기 기판을 이동시키지 않고서 실행되는 것인, 기판 처리 방법.

#### 청구항 3

기판 처리 방법으로서,

화학 증착에 의해, 처리 장치의 챔버 내에서 상기 기판의 제1 영역 내에 제1 막을 제1 형성하는 단계,

상기 기판에 흡착되는 물질의 전구체를 상기 챔버 내에 도입하고, 개질 가스를 상기 챔버 내에 도입하고, 상기 개질 가스로부터 플라즈마를 생성함으로써, 상기 챔버 내에서 상기 기판의 제2 영역 내에 제2 막을 제2 형성하는 단계, 및

상기 기판을 예칭하는 단계

를 포함하며,

상기 예칭하는 단계는 원자층 예칭을 실행하고, 상기 예칭하는 단계는,

N 플라즈마와 H 플라즈마 중 한쪽에 의해 상기 기판의 표면을 개질하는 단계,

상기 챔버를 퍼지하는 단계, 및

상기 N 플라즈마와 H 플라즈마 중 한쪽에 의해 개질된 상기 표면을 할로겐 가스에 의해 제거하는 단계

를 포함하며,

상기 제1 형성하는 단계, 상기 제2 형성하는 단계, 및 상기 예칭하는 단계는 상기 챔버 밖에 상기 기판을 이동시키지 않고서 실행되는 것인, 기판 처리 방법.

#### 청구항 4

제1항에 있어서,

상기 화학 증착 중에 하부 전극에 전압을 인가하는 단계 - 상기 하부 전극은 안테나에 대향하여 배치되고 상기 기판을 위에 유지하도록 구성되며, 상기 하부 전극 및 상기 안테나는 컨트롤러에 의해 제어됨 -, 및  
상기 제2 형성하는 단계의 개질 단계에서 상기 안테나에 전압을 인가하는 단계  
를 더 포함하는 것인, 기판 처리 방법.

#### 청구항 5

제1항에 있어서,

상기 화학 증착 중에 안테나에 전압을 인가하지 않고서 하부 전극에 전압을 인가하는 단계 - 상기 하부 전극은 상기 안테나에 대향하여 배치되고 상기 기판을 위에 유지하도록 구성되며, 상기 하부 전극 및 상기 안테나는 컨트롤러에 의해 제어됨 -, 및

상기 제2 형성하는 단계의 개질 단계에서 상기 하부 전극에 전압을 인가하지 않고서 상기 안테나에 전압을 인가하는 단계

를 더 포함하는 것인, 기판 처리 방법.

#### 청구항 6

제1항에 있어서,

상기 화학 증착 중에 하부 전극 및 안테나에 전압을 인가하는 단계 - 상기 하부 전극은 상기 안테나에 대향하여 배치되고 상기 기판을 위에 유지하도록 구성되며, 상기 하부 전극 및 상기 안테나는 컨트롤러에 의해 제어됨 -, 및

상기 컨트롤러에 의해, 상기 기판의 손상을 방지할 수 있는 레벨로 상기 안테나에 인가되는 전압을 유지하는 단계

를 더 포함하는 것인, 기판 처리 방법.

#### 청구항 7

제1항에 있어서,

상기 제2 형성하는 단계의 개질 단계 중에 하부 전극 및 안테나에 전압을 인가하는 단계 - 상기 하부 전극은 상기 안테나에 대향하여 배치되고 상기 기판을 위에 유지하도록 구성되며, 상기 하부 전극 및 상기 안테나는 컨트롤러에 의해 제어됨 -, 및

상기 컨트롤러에 의해, 상기 기판의 손상을 방지하거나 또는 저이온 에너지의 플라즈마가 생성될 수 있는 레벨로 상기 하부 전극에 인가되는 전압을 유지하는 단계

를 더 포함하는 것인, 기판 처리 방법.

#### 청구항 8

제1항에 있어서,

상기 제2 형성하는 단계는, 상기 기판으로부터 상기 제1 막의 적어도 일부를 제거하는 것인, 기판 처리 방법.

#### 청구항 9

제4항 내지 제7항 중 어느 한 항에 있어서,

상기 제1 형성하는 단계는, 상기 하부 전극에 인가되는 전압을 제어함으로써, 이방성 CVD 및 등방성 CVD 중 어느 한쪽을 실행하는 것인, 기판 처리 방법.

#### 청구항 10

제1항에 있어서,

상기 제1 형성하는 단계는, 상기 기판의 요철의 꼭대기부 및 바닥부 상에 상기 제1 막을 형성하며,

상기 제2 형성하는 단계는, 상기 기판의 상기 요철의 측벽 상에 상기 제2 막을 형성하는 것인, 기판 처리 방법.

#### 청구항 11

제1항에 있어서,

상기 기판은, SiO<sub>2</sub>, SiN, Si 및 Ge 중 적어도 하나를 함유하며,

상기 제2 형성하는 단계는, 상기 제2 막으로서 실리콘 함유막을 형성하는 것인, 기판 처리 방법.

#### 청구항 12

제1항에 있어서,

상기 제1 형성하는 단계 및 상기 제2 형성하는 단계는 차례로 반복하여 실행되는 것인, 기판 처리 방법.

#### 청구항 13

제12항에 있어서,

상기 제2 형성하는 단계가 상기 제1 막을 완전히 제거하기 전에 상기 제2 형성하는 단계를 중지하는 단계, 및  
상기 기판 상에 상기 제1 막이 남아있는 채로 상기 제1 형성하는 단계를 실행하는 단계  
를 더 포함하는 것인, 기판 처리 방법.

#### 청구항 14

제1항에 있어서,

상기 제1 형성하는 단계 및 상기 제2 형성하는 단계는 유도 결합형 플라즈마 또는 용량 결합형 플라즈마를 사용  
하여 실행되는 것인, 기판 처리 방법.

#### 청구항 15

제1항에 있어서,

상기 기판은 친수성 표면 또는 친수화 처리된 표면을 갖는 것인, 기판 처리 방법.

#### 청구항 16

제1항에 있어서,

상기 기판을 예칭하는 단계를 더 포함하며,

상기 예칭하는 단계는, 상기 제1 형성하는 단계 및 상기 제2 형성하는 단계가 실행되는 상기 챔버와는 상이한  
챔버 내에서 실행되는 것인, 기판 처리 방법.

#### 청구항 17

제1항에 있어서,

상기 제1 형성하는 단계 및 상기 제2 형성하는 단계 이후 소정의 조건이 만족되었는지 여부를 판정하는 단계,  
및

상기 판정하는 단계에서 상기 소정의 조건이 만족되지 않는다고 판정된 경우 상기 제1 형성하는 단계 및 상기  
제2 형성하는 단계를 포함하는 사이클을 반복하는 단계

를 더 포함하는 것인, 기판 처리 방법.

#### 청구항 18

제1항에 있어서,

상기 탄소 함유 가스는, 플루오로카본 가스인 것인, 기판 처리 방법.

## 청구항 19

제1항에 있어서,

상기 기판의 상기 제1 영역 및 상기 기판의 상기 제2 영역은 중첩하지 않는 것인, 기판 처리 방법.

## 청구항 20

제1항에 있어서,

상기 제2 형성하는 단계는 상기 제1 형성하는 단계 이후에 수행되는 것인, 기판 처리 방법.

### 발명의 설명

#### 기술 분야

[0001]

이하에 개시하는 실시형태는, 기판 처리 방법 및 기판 처리 장치에 관한 것이다.

#### 배경 기술

[0002]

여러 가지 성막 수법이 알려져 있다. 예컨대, 화학 증착(CVD)은 가스종의 반응 또는 분해를 이용하여 기판 표면에 고체막을 형성한다. 또한 원자층 퇴적(ALD)은, CVD의 일종이라고 할 수 있지만, 본질적으로 컨포멀한 막을 형성한다고 하는 특징이 있다.

[0003]

반도체 디바이스의 집적도를 높여 미세화를 진행시키기 위해 여러 가지 수법이 개발되어 왔지만, 한층 더한 고집적도 및 미세화의 요구에 따라, 더욱 정밀하게 패턴을 제어하는 것이 요구되고 있다.

#### 선행기술문헌

##### 특허문헌

[0004]

(특허문헌 0001) [특허문헌 1] 미국 특허 제9716005호 명세서

(특허문헌 0002) [특허문헌 2] 미국 특허 출원 공개 제2017/117134호 명세서

### 발명의 내용

#### 해결하려는 과제

[0005]

본 개시는, 반도체 기판의 패턴을 정밀하게 제어할 수 있는 기술을 제공한다.

#### 과제의 해결 수단

[0006]

본 개시의 일 양태에 따른 기판 처리 장치는 처리 장치와 컨트롤러를 구비한다. 처리 장치는 챔버를 구비한다. 컨트롤러는, 메모리와, 상기 메모리에 접속된 프로세서를 구비한다. 메모리는, 프로세서를 제어하여 처리 장치에 의한 처리를 제어하기 위한, 컴퓨터에 의해 실행 가능한 명령을 기억한다. 처리 장치에 의한 처리는, 화학 증착(CVD)에 의해, 상기 챔버 내의 기판의 제1 영역 내에 제1 막을 형성하는 제1 처리를 포함한다. 또한, 처리 장치에 의한 처리는, 원자층 퇴적(ALD)에 의해, 챔버 내의 기판의 제2 영역 내에 제2 막을 형성하는 제2 처리를 포함한다. 또한, 처리 장치는, 제1 처리 및 제2 처리를, 기판을 챔버로부터 밖으로 이동시키지 않고 실행한다.

#### 발명의 효과

[0007]

본 개시에 따르면, 반도체 기판의 패턴을 정밀하게 제어할 수 있다.

#### 도면의 간단한 설명

[0008]

도 1은 일 실시형태에 따른 처리 장치의 개략 단면도이다.

도 2는 일 실시형태에 따른 처리 방법의 일례를 나타낸 흐름도이다.

도 3a는 일 실시형태에 있어서 처리되는 기판의 일례를 나타낸 도면이다.

도 3b는 일 실시형태에 있어서 처리되는 기판의 일례를 나타낸 도면이다.

도 3c는 일 실시형태에 있어서 처리되는 기판의 일례를 나타낸 도면이다.

도 4a는 일 실시형태에 있어서 처리되는 기판의 다른 예를 나타낸 도면이다.

도 4b는 일 실시형태에 있어서 처리되는 기판의 다른 예를 나타낸 도면이다.

도 4c는 일 실시형태에 있어서 처리되는 기판의 다른 예를 나타낸 도면이다.

도 5는 일 실시형태에 따른 처리의 흐름을 나타낸 타이밍도이다.

### 발명을 실시하기 위한 구체적인 내용

[0009]

이하에, 개시하는 기판 처리 방법 및 기판 처리 장치의 일 실시형태에 대해서, 도면에 기초하여 상세히 설명한다. 또한, 이하에 개시하는 예시로서의 실시형태는 어떠한 점에서도 한정적인 것은 아니다.

[0010]

(기판 처리 장치의 일례)

[0011]

도 1은 일 실시형태에 따른 처리 장치(10)의 개략 구성을 나타낸 도면이다. 처리 장치(10)는, 일 실시형태에 따른 기판 처리 장치의 일례이다. 도 1에 도시된 처리 장치(10)는, 일 실시형태에 따른 방법을 실현하기 위해 사용할 수 있다. 도 1에 도시된 처리 장치(10)는, 소위 유도 결합형 플라즈마(Inductively-coupled plasma: ICP) 장치로서, 유도 결합형 플라즈마를 생성하기 위한 플라즈마원을 갖는다. 단, 일 실시형태에 따른 기판 처리 장치는, 다른 수법으로 생성되는 플라즈마를 이용하여도 좋다. 예컨대, 일 실시형태에 따른 기판 처리 장치는, 용량 결합형 플라즈마(CCP), ECR 플라즈마(electron-cyclotron-resonanceplasma), 헬리콘파 여기 플라즈마(HWP), 또는, 표면파 플라즈마(SWP) 등을 이용하는 장치여도 좋다.

[0012]

처리 장치(10)는 챔버(12)를 구비한다. 챔버(12)는, 알루미늄 등의 금속으로 형성된다. 챔버(12)는 예컨대 대략 원통 형상이다. 챔버(12) 내에는, 처리가 실행되는 공간(12c)이 마련되어 있다.

[0013]

공간(12c)의 아래쪽에는 스테이지(14)가 배치되어 있다. 스테이지(14)는, 위에 배치되는 워크피스(W)를 유지하도록 구성되어 있다. 워크피스(W)는 예컨대 일 실시형태의 방법에 의해 처리되는 기판이다.

[0014]

스테이지(14)는, 지지 기구(13)에 의해 지지 가능하다. 지지 기구(13)는, 공간(12c) 내에서 챔버(12)의 바닥부로부터 위쪽을 향해 연장된다. 지지 기구(13)는, 대략 원통형이어도 좋다. 지지 기구(13)는 석영 등의 절연 재료로 구성할 수 있다.

[0015]

스테이지(14)는, 정전 척(16)과 하부 전극(18)을 구비한다. 하부 전극(18)은 제1 플레이트(18a)와 제2 플레이트(18b)를 포함한다. 제1 플레이트(18a) 및 제2 플레이트(18b)는, 알루미늄 등의 금속으로 구성된다. 제1 플레이트(18a) 및 제2 플레이트(18b)는 예컨대 대략 원통형이다. 제2 플레이트(18b)는, 제1 플레이트(18a) 상에 배치된다. 제2 플레이트(18b)는 제1 플레이트(18a)와 전기적으로 접속되어 있다.

[0016]

정전 척(16)은, 제2 플레이트(18b) 상에 배치된다. 정전 척(16)은, 절연층과 상기 절연층 내에 배치되는 박막 전극을 구비한다. 정전 척(16)의 박막 전극에는, 스위치(23)를 통해 직류 전원(22)이 전기적으로 접속되어 있다. 정전 척(16)은, 직류 전원(22)의 직류 전압으로부터 정전력을 생성한다. 정전 척(16)은 생성된 정전력에 의해 워크피스(W)를 흡착 유지한다.

[0017]

처리 장치(10)의 동작시, 워크피스(W)와 정전 척(16)의 외주를 둘러싸도록, 포커스 링(FR)이 제2 플레이트(18b)의 위 또한 제2 플레이트(18b)의 주위에 배치된다. 포커스 링(FR)은 프로세스의 균일성을 높이는 역할을 갖는다. 포커스 링(FR)은, 예컨대 석영으로 형성된다.

[0018]

제2 플레이트(18b) 내에는 유로(24)가 형성되어 있다. 유로(24)에는, 챔버(12) 외부에 배치되는 온도 조절부(예컨대 칠러 유닛)로부터 온도 제어를 위해 냉매 등의 열교환 매체가 공급된다. 온도 조절부는, 열교환 매체의 온도를 조절한다. 열교환 매체는 온도 조절부에서 파이프(26a)를 통해 유로(24)에 공급된다. 온도 조절부에서 파이프(26a)를 통해 유로(24)에 공급된 열교환 매체는, 그 후, 파이프(26b)를 통해 온도 조절부로 되돌려 보낸다. 열교환 매체는, 온도 조절부에 의한 온도 조절 후, 스테이지(14) 내의 유로(24)로 복귀된다. 이와 같이 하여, 스테이지(14)의 온도 즉 워크피스(W)의 온도를 조절할 수 있다.

[0019]

처리 장치(10)는 스테이지(14) 안을 통하여 정전 척(16)의 상표면까지 연장되는 기체 공급 라인(28)을 더 구

비한다. 정전 쳉(16)의 상표면과 워크피스(W)의 하표면 사이의 공간에는, 열교환 가스 공급 기구로부터 기체 공급 라인(28)을 통해 헬륨(He) 가스 등의 열교환 가스가 공급된다. 이렇게 해서, 스테이지(14)와 워크피스(W) 사이에서의 열교환이 촉진된다.

[0020] 또한, 히터(HT)가 스테이지(14) 내에 배치되어도 좋다. 히터(HT)는, 가열 장치이다. 히터(HT)는 예컨대 제2 플레이트(18b) 또는 정전 쳉(16) 내에 매립되어 있다. 히터(HT)는 히터 전원(HP)에 접속된다. 히터 전원(HP)이 히터(HT)에 전력을 공급함으로써, 스테이지(14)의 온도 내아가서는 워크피스(W)의 온도가 조정된다.

[0021] 스테이지(14)의 하부 전극(18)에는, 정합기(32)를 통해 고주파(RF) 전원(30)이 접속되어 있다. RF 전원(30)으로부터 하부 전극(18)에 RF 전류를 공급할 수 있다. RF 전원(30)은 RF 전력을 생성하고, 스테이지(14) 상에 배치되는 워크피스(W)에 이온을 인입한다. 즉, RF 전원(30)은 바이어스 전압이 되는 RF 전류를 생성한다. RF 전원(30)이 생성하는 RF 전류의 주파수는, 예컨대, 400 킬로헤르츠~40.68 메가헤르츠의 범위 내이다. 일례로는, RF 전류의 주파수는 13.56 메가헤르츠이다.

[0022] 정합기(32)는, RF 전원(30)으로부터의 출력 임피던스와 부하측 즉 하부 전극(18)측의 임피던스 사이의 매칭을 행하는 회로를 포함한다. 처리 장치(10)는, 플라즈마 생성용 RF 전류를 생성하기 위한 부가적인 플라즈마원을 사용하지 않고, 하부 전극(18)에 RF 전압을 공급함으로써 플라즈마를 생성할 수 있다.

[0023] 처리 장치(10)는 챔버(12)의 내벽에 착탈 가능하게 부착된 실드(34)를 더 구비한다. 실드(34)는 또한, 지지 기구(13)의 외주를 둘러싸도록 배치된다. 실드(34)는, 처리에 의해 생성되는 부생성물의 챔버(12)로의 부착을 방지한다. 실드(34)는,  $Y_2O_3$  등의 세라믹스로 코팅된 알루미늄 부재여도 좋다.

[0024] 스테이지(14)와 챔버(12)의 측벽 사이에는 배기로가 형성되어 있다. 배기로는, 챔버(12)의 바닥부에 형성된 배기구(12e)에 접속되어 있다. 배기구(12e)는, 파이프(36)를 통해 배기 장치(38)에 접속되어 있다. 배기 장치(38)는, 압력 조정부와, 터보 분자 펌프(TMP) 등의 진공 펌프를 포함한다. 배플판(40)은, 배기로 내, 즉, 스테이지(14)와 챔버(12)의 측벽 사이에 배치된다. 배플판(40)은 두께 방향으로 배플판(40)을 관통하는 복수의 관통 구멍을 갖는다. 배플판(40)은,  $Y_2O_3$  등의 세라믹스로 표면이 코팅된 알루미늄 부재여도 좋다.

[0025] 챔버(12)의 상측에는 개구가 형성되어 있다. 개구는 윈도우(42)에 의해 폐쇄된다. 윈도우(42)는 석영 등의 유전체로 형성된다. 윈도우(42)는 예컨대 평평한 판이다.

[0026] 챔버(12)의 측벽에는 흡기구(12i)가 형성되어 있다. 흡기구(12i)는 파이프(46)를 통해 기체 공급부(44)에 접속되어 있다. 기체 공급부(44)는 처리에 사용되는 여러 가지 가스를 공간(12c)에 공급한다. 기체 공급부(44)는, 복수의 가스원(44a), 복수의 플로우 컨트롤러(44b), 및 복수의 밸브(44c)를 구비한다. 도 1에는 명시하지 않지만, 공급하는 가스마다 상이한 복수의 흡기구를 마련하여, 가스가 섞이지 않도록 하여도 좋다.

[0027] 복수의 가스원(44a)은 후술하는 여러 가지 가스의 가스원을 포함한다. 하나의 가스원이 하나 이상의 가스를 공급하여도 좋다. 복수의 플로우 컨트롤러(44b)는, 매스 플로우 컨트롤러(MFC)여도 좋고, 플로우 컨트롤러(44b)는 압력 제어에 의해 유량 제어를 실현한다. 복수의 가스원(44a)에 포함되는 각 가스원은, 복수의 플로우 컨트롤러(44b) 중 대응하는 하나의 플로우 컨트롤러 및 복수의 밸브(44c) 중 대응하는 하나의 밸브를 통해 흡기구(12i)에 접속되어 있다. 흡기구(12i)의 위치는 특별히 한정되지 않는다. 예컨대, 흡기구(12i)는 챔버(12)의 측벽이 아닌 윈도우(42) 내에 형성되어도 좋다.

[0028] 챔버(12)의 측벽 내에는, 개구(12p)가 형성되어 있다. 개구(12p)는, 외부로부터 챔버(12)의 공간(12c)으로 반입되고, 공간(12c) 내에서 챔버(12) 밖으로 반출되는 워크피스(W)의 반입출 경로가 된다. 챔버(12)의 측벽 상에는 게이트 밸브(48)가 설치되고, 개구(12p)를 개방 및 폐쇄 가능하게 되어 있다.

[0029] 챔버(12) 및 윈도우(42) 상에는 안테나(50)와 실드(60)가 배치되어 있다. 안테나(50) 및 실드(60)는, 챔버(12)의 외측에 배치된다. 일 실시형태에 있어서는, 안테나(50)는, 내측 안테나 소자(52A)와 외측 안테나 소자(52B)를 포함한다. 내측 안테나 소자(52A)는, 윈도우(42)의 중앙에 배치되는 스파이럴 코일이다. 외측 안테나 소자(52B)는, 윈도우(42) 상 또한 내측 안테나 소자(52A)의 외주측에 배치되는 스파이럴 코일이다. 내측 안테나 소자(52A) 및 외측 안테나 소자(52B)는 각각 구리, 알루미늄, 스테인리스 스틸 등의 도전성 재료로 구성된다.

[0030] 내측 안테나 소자(52A) 및 외측 안테나 소자(52B)는, 복수의 클램프(54)에 의해 고정되고, 통합하여 유지되고 있다. 복수의 클램프(54)는 각각 막대 형상이다. 복수의 클램프(54)는, 내측 안테나 소자(52A)의 대략 중앙으로부터 외측 안테나 소자(52B)의 외주측으로 직경 방향으로 연장되어 있다.

- [0031] 안테나(50)는 실드(60)로 덮여 있다. 실드(60)는, 내측 실드벽(62A)과 외측 실드벽(62B)을 구비한다. 내측 실드벽(62A)은 원통 형상이다. 내측 실드벽(62A)은, 내측 안테나 소자(52A)와 외측 안테나 소자(52B) 사이에 배치되어, 내측 안테나 소자(52A)를 포위한다. 외측 실드벽(62B)은 원통 형상이다. 외측 실드벽(62B)은 외측 안테나 소자(52B)의 외측에 배치되어, 외측 안테나 소자(52B)를 포위한다.
- [0032] 내측 안테나 소자(52A) 상에는 원반 형상의 내측 실드판(64A)이 배치되어, 내측 실드벽(62A)의 개구를 덮고 있다. 외측 안테나 소자(52B) 위에는 평평한 링 형상의 외측 실드판(64B)이 배치되어, 내측 실드벽(62A)과 외측 실드벽(62B) 사이의 개구를 덮고 있다.
- [0033] 실드(60)에 포함되는 실드벽 및 실드판의 형상은 위에 기재한 것에 한정되지 않는다. 예컨대, 실드(60)의 실드벽은 단면 사각형의 각기둥 형상이어도 좋다.
- [0034] 내측 안테나 소자(52A) 및 외측 안테나 소자(52B)는 RF 전원(70A) 및 RF 전원(70B)에 각각 접속되어 있다. 내측 안테나 소자(52A) 및 외측 안테나 소자(52B)는, RF 전원(70A) 및 RF 전원(70B)으로부터 각각 동일 또는 상이한 주파수의 전력 공급을 받는다. RF 전력이 RF 전원(70A)으로부터 내측 안테나 소자(52A)에 공급되면, 유도 자계가 공간(12c) 내에 발생하고, 공간(12c) 내의 기체를 여기하여 워크피스(W)의 중심 위쪽에 플라즈마를 발생시킨다. 한편, RF 전력이 RF 전원(70B)으로부터 외측 안테나 소자(52B)에 공급되면, 공간(12c) 내에 유도 자계가 발생하여 공간(12c) 내의 기체를 여기하여 워크피스(W)의 외주부 위쪽에 링 형상으로 플라즈마를 발생시킨다.
- [0035] 내측 안테나 소자(52A) 및 외측 안테나 소자(52B) 각각의 전기장은, RF 전원(70A) 및 RF 전원(70B)으로부터 출력되는 주파수에 따라 조정된다. 이 때문에, 내측 실드판(64A) 및 외측 실드판(64B)의 z축 방향의 위치는, 액추에이터(68A 및 68B)에 의해 각각 독립적으로 조정된다.
- [0036] 처리 장치(10)는 컨트롤러(80)를 더 구비한다. 컨트롤러(80)는, 프로세서, 메모리 등의 기억부, 입력부, 디스플레이 등을 구비하는 계산 장치여도 좋다. 컨트롤러(80)는, 기억부에 기억된 제어 프로그램이나 레시피 데이터에 기초하여 동작하고, 처리 장치(10)의 각부를 제어한다. 예컨대, 컨트롤러(80)는, 복수의 플로우 컨트롤러(44b), 복수의 밸브(44c), 배기 장치(38), RF 전원(70A, 70B), RF 전원(30), 정합기(32), 히터 전원(HP) 등을 제어한다. 컨트롤러(80)는, 일 실시형태에 따른 방법을 실현할 때, 이러한 제어 프로그램이나 레시피 데이터에 기초하여 처리 장치(10)의 각부를 제어하여도 좋다.
- [0037] (일 실시형태에 따른 처리 흐름의 일례)
- [0038] 도 2는 일 실시형태에 따른 처리 방법의 일례를 나타낸 흐름도이다. 일 실시형태에 따른 처리 장치(10)는, 반도체 기판 등의 워크피스(W)를 처리한다.
- [0039] 단계 101에 있어서 우선, 일 실시형태에 따른 처리를 위해 기판이 준비된다. 일 실시형태에 있어서, 기판은 챔버(12) 내로 반입되고, 정전 척(16) 상에 배치되어 유지되어도 좋다. 또한, 기판에 대하여 전처리가 행해져도 좋다. 예컨대, 기판 표면의 특성이 균일하지 않은 경우에는, 균일화를 위한 처리를 행하여도 좋다. 처리 대상 기판은, 이산화실리콘(SiO<sub>2</sub>), 질화실리콘(SiN) 또는 게르마늄(Ge) 등으로 형성되어도 좋다. 단, 기판의 표면이 친수성이거나, 또는, 기판이 친수화 처리된 표면을 갖고 있는 한, 기판은 다른 재료를 함유하여도 좋다. 기판은 비아, 트렌치, 컨택트 홀 등의 요철을 가져도 좋다. 기판의 요철은, 에칭에 의해 형성된 것이여도 좋다. 기판은 실리콘 기판이여도 좋다. 에칭에 있어서는, HBr 등의 할로겐 가스를 사용할 수 있다. 예칭은, 예칭 후의 처리 예컨대 후술하는 제1 처리 및 제2 처리가 실행되는 챔버와 동일한 챔버 내에서 실행하여도 좋다. 단, 예칭을 제1 처리 및 제2 처리가 실행되는 챔버와는 상이한 챔버 내에서 실행하여도 좋다.
- [0040] 단계 102에 있어서, 컨트롤러(80)는 처리 장치(10)를 제어하여 제1 처리를 실행시킨다. 제1 처리는, 기판 상의 제1 영역에 제1 막을 형성한다. 일 실시형태에 있어서, 제1 처리는, 화학 증착(CVD) 처리이다. 제1 처리는, 플라즈마 CVD여도 좋다. 단, 제1 처리는, 플라즈마를 사용하지 않고서 실행하여도 좋다.
- [0041] 제1 처리에 있어서는, 기체 공급부(44)를 통해 챔버(12)에 제1 가스가 도입된다. 컨트롤러(80)는, RF 전원(30)을 제어하여 RF 전력을 하부 전극(18)에 공급시킨다. 이것에 의해 제1 가스가 플라즈마화하여 기판 표면 상에 제1 막이 형성된다.
- [0042] 제1 가스는 탄소를 포함하는 가스여도 좋다. 제1 가스는, 예컨대, 플루오로카본 가스, 하이드로플루오로카본 가스, 하이드로카본 가스여도 좋다. 예컨대, CF<sub>4</sub>, C<sub>4</sub>F<sub>6</sub>, C<sub>4</sub>F<sub>8</sub>, CH<sub>2</sub>F<sub>2</sub>, CHF<sub>3</sub>, CH<sub>4</sub> 등의 가스를 사용할 수 있다. 예컨대, PPFC(Plasma Polymerized Fluorocarbon)막은 소수성이며, 일 실시형태의 제1 막으로서 적당하다. 단, 기판

의 친수성 표면 상에 소수성의 막을 형성할 수 있는 것이라면, 제1 가스로서 임의의 가스를 이용할 수 있다. 또한, 제1 가스에 의해 형성되는 소수막은, 후술하는 제2 처리에 있어서 제거되는 것이 바람직하다. 제1 처리에 있어서는, 제1 가스는, 질소( $N_2$ ), 아르곤(Ar) 등의 불활성 가스를 캐리어 가스로서 포함하여도 좋다.

[0043] 제1 막은, 기판의 제1 영역 내에 형성되어도 좋다. 제1 영역의 위치는, 기판 상의 요철에 따라 결정하여도 좋다. 또한, 제1 영역의 위치는, 제1 처리의 종류에 따라 결정하여도 좋다. 예컨대, 제1 처리가 이방성 CVD인지 등방성 CVD인지에 따라, 제1 영역의 위치를 결정하여도 좋다. 도 3a는 일 실시형태에 따른 처리의 대상이 되는 기판의 개략도이다. 도 3a 중, 기판(200)은 트렌치(201)를 갖는다. 트렌치(201)의 개구는 꼭대기부와 바닥부에서 대략 동일한 크기이다. 이러한 기판(200)에 이방성 CVD를 행할 때에는, 도 3a에 도시된 바와 같이, CFx 등의 제1 막(FF)을 영역(202, 203, 204)에 퇴적한다. 예컨대, 도 3a의 제1 막(FF)은, 꼭대기부(202, 204)와 바닥부(203)에 형성되어 있지만, 측벽(205) 상에는 형성되어 있지 않다. 이방성 CVD의 경우에는, 성막 재료는 주로 일방향으로 퇴적된다. 도 3a의 예에서는, CFx는, 수직 방향으로 퇴적되어 있지만, 수평 방향으로는 퇴적되지 않는다. 또한, 수직 방향이란, 기판(200)의 표면에 직교하는 방향을 가리키고, 수평 방향이란, 기판(200)의 표면과 평행한 방향을 가리킨다. 이 때문에, 제1 막(FF)은 측벽(205) 상에는 형성되어 있지 않다. 그러나, 제1 막(FF)은, 꼭대기부(202, 204) 및 바닥부(203) 상보다도 소량, 측벽(205) 상에 퇴적되어 있어도 좋다. 또한, 제1 막(FF)은, 바닥부(203) 상에 있어서는 꼭대기부(202, 204) 상보다도 막 두께가 얇아도 좋다.

[0044] 한편, 등방성 CVD의 경우는, 도 4a에 도시된 바와 같이 제1 막(FF)이 형성되어도 좋다. 도 4a에 있어서는, 제1 막(FF)은, 꼭대기부(202, 204) 및 측벽(205)의 상부에 형성되어 있지만, 바닥부(203) 및 측벽(205)의 하부에는 형성되어 있지 않다. 제1 막(FF)의 막 두께는 대체로 균일하지 않고, 트렌치(201)의 상단에서 팽창되도록 퇴적되어 있다. 이와 같이, 제1 영역의 위치는, 기판의 요철에 의해 변화되어도 좋다.

[0045] 단계 103에 있어서, 컨트롤러(80)는 처리 장치(10)를 제어하여 제2 처리를 실행시킨다. 제2 처리는 기판 상의 제2 영역에 제2 막을 형성한다. 일 실시형태에 있어서, 제2 처리는, 원자층 퇴적(ALD) 처리여도 좋다. 단계 103에 있어서, 제2 막(SF)의 막 두께가 소정값에 도달할 때까지, 1회 이상의 ALD 처리를 반복하여 실행하여도 좋다. 또한, 여기서는, 1회의 ALD 처리에 의해 1원자층이 형성되는 것으로 한다. 제1 처리가 행해질 때마다, 1 이상의 ALD 처리가 제2 처리에 있어서 실행되는 것이 바람직하다. 제2 처리 사이에 제1 막(FF)이 완전히 또는 부분적으로 제거되었을 때, 제1 처리 즉 단계(102)를 재차 실행하여도 좋다. 제1 막(FF)이 완전히 제거되기 전에 제1 처리를 반복하여 실행하는 것이 바람직하다.

[0046] ALD 처리는 흡착 단계와 활성화 단계 즉 개질 단계를 포함한다. 흡착 단계에 있어서는, 기판(200)에 흡착되는 물질의 전구체가 챔버(12) 내에 도입된다. 다음에 활성화 단계에 있어서, 챔버(12) 내에 개질 가스의 플라즈마가 생성되고, 기판 표면 상의 흡착층을 개질하여, 표면에 흡착되어 있던 전구체로부터 제2 막이 형성된다.

[0047] 일 실시형태에 있어서는, 전구체는 히드록시기에 흡착되는 재료로부터 선택한다. 예컨대, 전구체는 실리콘 함유 전구체이고, 개질 가스는  $O_2$ , CO,  $CO_2$ , NO,  $NO_2$  등의 산소 함유 가스여도 좋다.

[0048] 제1 처리에 있어서, 제1 막은 기판의 제1 영역 상에 퇴적된다. 제1 막은 소수성 표면을 갖기 때문에, 제2 처리에 있어서 도입되는 전구체는 제1 영역에는 흡착되지 않는다. 그리고, 전구체는 기판(200) 상의 제1 영역 이외의 영역에 흡착된다. 계속되는 개질 단계에 있어서, 흡착되어 있던 전구체가 개질되어 제1 영역 이외의 영역에 제2 막을 형성한다. 제1 영역 이외의 영역을, 제2 영역이라고도 부른다.

[0049] 도 3b의 예에 도시된 바와 같이, 도 3a의 기판(200)에 대하여 제2 처리를 행하면, 도 3b 및 도 4b에 도시된 제2 막(SF)은 측벽(205) 상에 형성된다. 동시에, 꼭대기부(202, 204) 및 바닥부(203) 상의 제1 막(FF)이 제2 처리 중에 플라즈마의 영향에 의해 제거된다. 이 때문에, 제2 막(SF)은 기판(200)의 측벽(205) 상에만 형성된다. 제1 막(FF)이 제2 처리 후에도 꼭대기부(202, 204) 및 바닥부(203) 상에 잔존하고 있는 경우, 제1 막(FF)을 제거하기 위한 별개의 처리를 실행하여도 좋다. 예컨대, 제2 처리 후, 기판(200)을 아르곤 가스나 산소 가스의 플라즈마에 노출시켜도 좋다.

[0050] 도 4a에 도시된 바와 같이 기판(200)에 대하여 제2 처리를 실행하면, 도 4b에 도시된 바와 같이, 제2 막(SF)이 바닥부(203)와 측벽(205)의 하부에 형성된다. 이와 같이, 기판의 요철과 제1 처리의 종류(즉 이방성 CVD인지 등방성 CVD인지)에 따라, 처리의 결과로서 얻어지는 제2 막(SF)의 형상 및 위치가 변화된다. 도 3c에 도시된 바와 같이, 제1 처리에 있어서 이방성 CVD를 실행한 경우, 제1 영역은 꼭대기부(202, 204) 및 바닥부(203)이며, 제2 영역은 측벽(205)이다. 즉, 제1 처리가 이방성 CVD인 경우, 제1 영역은 수평 영역이고, 제2 영역은 수직 영역이다. 또한, 제1 처리가 이방성 CVD인 경우, 제1 영역은 제1 방향으로 연장되는 표면이고, 제2 영역은 제1 방향과

는 상이한 제2 방향으로 연장되는 표면이다. 제1 방향과 제2 방향이 이루는 각도는 대략 90도여도 좋다. 또한, 제1 방향은 막의 퇴적 방향에 직교하는 방향이고, 제2 방향은, 퇴적 방향과 평행한 방향이여도 좋다. 한편, 도4c에 도시된 바와 같이, 제1 처리가 등방성 CVD인 경우, 제1 영역은 꼭대기부(202, 204) 및 측벽(205)의 상부이며, 제2 영역은 바닥부(203) 및 측벽(205)의 하부이다. 예컨대, 제1 처리가 등방성 CVD인 경우, 제1 영역은, 제2 영역보다도 꼭대기부에 가까운 영역이고, 제2 영역은 제1 영역보다도 바닥부에 가까운 영역이다. 제1 영역은 제1 처리에 의해 막이 형성되는 영역이고, 제2 영역은 제2 처리에 의해 막이 형성되는 영역이다. 제1 영역 및 제2 영역은 부분적으로 중첩되어 있어도 좋다.

[0051] 도 2에 도시된 바와 같이, 단계 102 및 103 후, 단계 104에 있어서 소정의 조건이 만족되었는지 여부를 판정한다. 소정의 조건이란, 동일 기판에 대하여 실행을 마친 제1 처리 및 제2 처리의 횟수, 또는, 기판 상에 퇴적된 제2 막(SF)의 막 두께이다. 또한, 소정의 조건은, 기판(200)의 표면 상에 잔존하고 있는 제1 막(FF)의 막 두께여도 좋다.

[0052] 예컨대, 제2 처리에 있어서 실행하는 ALD 처리의 횟수를 미리 설정하고, 기억부 내에 제어 프로그램으로서 기억해 두어도 좋다. 예컨대, 1회의 제2 처리에 의해 형성되는 제2 막의 막 두께를 산출하고, 제2 막의 막 두께를 소망의 값으로 하기 위해 필요한 ALD 처리의 횟수를 설정하여도 좋다. 그리고, 단계 104에 있어서, 동일 기판에 대하여 소정수의 제2 처리가 실행을 마쳤는지 여부를 판정하여도 좋다.

[0053] 상기한 처리 대신에, 또는 상기한 처리 이외에, 단계 104에 있어서, 기판 상에 잔존하고 있는 제1 막의 막 두께가 소정값 예컨대 제로가 되었는지 여부를 판정하여도 좋다. 제2 막의 막 두께가 소정값에 도달하기 전에 제1 막이 기판 상에서 완전히 제거된 경우, 단계 102 및 103을 재차 실행한다. 또한, 이 밖에 소정의 조건이 달성되었는지 여부를 판정하는 추가 단계를 단계 102 이후에 실행하여, 제1 막의 막 두께가 소정값이 되었는지 여부를 판정하여도 좋다.

[0054] 단계 104는, 기억부에 기억된 제어 프로그램에 기초하여 컨트롤러(80)가 실행되어도 좋다. 단계 104에 있어서 소정의 조건이 만족되었다고 판정한 경우(단계 S104, Yes), 처리는 종료된다. 한편, 단계 104에 있어서 소정의 조건이 만족되지 않는다고 판정한 경우(단계 S104, No), 처리는 단계 102로 되돌아간다. 예컨대, 컨트롤러(80)는, 소정의 조건이 만족될 때까지, 단계 102 및 103을 반복하여 실행시킨다. 단계 104에 있어서 소정의 조건이 만족되지 않는다고 판정된 경우, 단계 102와 단계 103 중 어느 한쪽만을 실행하도록 제어 프로그램을 설정하여도 좋다.

[0055] (In Situ에서의 동작)

[0056] 단계 102 및 단계 103은, 기판을 챔버(12)로부터 꺼내지 않고 실행한다. 즉, 제1 처리 및 제2 처리는 챔버(12) 내의 진공 상태를 파괴하지 않고, in situ에서 실행한다. 일 실시형태에 따른 장치 예컨대 처리 장치(10)는, 기체 공급부(44)를 구비하고, 기체 공급부(44)는 챔버(12) 내에 여러 가지 가스를 공급할 수 있다. 또한, 일 실시 형태에 따른 장치는, 제1 처리 및 제2 처리를 챔버(12) 내의 진공 상태를 파괴하지 않고 실행할 수 있다. 또한, 일 실시형태에 따른 장치는, 배기로, 배기구(12e), 배기 장치(3) 등의 배기 기구를 구비하고, 상이한 종류의 가스가 챔버(12) 내에서 서로 섞이지 않도록, 퍼지 처리를 실행할 수 있다. 이 때문에, 일 실시형태의 장치는, 단계 102 및 단계 103을 in situ에서, 또는 진공 상태를 파괴하지 않고 실행할 수 있다.

[0057] (제1 처리 및 제2 처리 중의 전력 제어)

[0058] 또한, 일 실시형태에 따른 장치는, 프로세스마다 플라즈마 생성의 양태를 변경하여도 좋다. 예컨대, 컨트롤러(80)는, 안테나(50)와 하부 전극(18)을 제어하여, 제1 처리 동안에는 하부 전극(18)에만 전압이 인가되고, 제2 처리 동안에는 안테나(50)에만 전압이 인가되도록 하여도 좋다.

[0059] 컨트롤러(80)가 제1 처리 중에 안테나(50) 및 하부 전극(18) 양쪽 모두를 동작시키는 경우, 제1 가스가 과도하게 해리될 가능성이 있다. 이 경우, 제1 가스로부터 생기는 라디칼에 의해 기판에 손상이 가해질 가능성이 있다. 이 때문에, 제1 처리 중에는, 컨트롤러(80)는 처리 장치(10)를 제어하여, 하부 전극(18)에는 전력이 공급되지만 안테나(50)에는 공급되지 않도록 하여도 좋다. 또한, 제1 처리 중, 컨트롤러(80)는 처리 장치(10)를 제어하여, 하부 전극(18)과 안테나(50) 양쪽 모두에 전력이 공급되도록 하여도 좋다. 이 경우, 컨트롤러(80)는, 안테나(50)에 공급되는 전력 레벨을 기판에 손상이 가해지지 않을 정도로 억제한다. 한편, 제2 처리 중에는, 고품질의 제2 막을 형성하는 것이 바람직하다. 그래서, 제2 처리 중에는, 고전자 밀도 또한 저이온 에너지의 플라즈마를 생성하는 것이 바람직하다. 이 때문에, 제2 처리 중에는, 컨트롤러(80)는 처리 장치(10)를 제어하여, 안테나(50)에는 전력이 공급되지만 하부 전극(18)에는 공급되지 않도록 하여도 좋다. 또한, 제2 처리 중에는, 컨

트롤러(80)는 처리 장치(10)를 제어하여, 하부 전극(18) 및 안테나(50) 양쪽 모두에 전력이 공급되도록 하여도 좋다. 이 경우, 컨트롤러(80)는, 하부 전극(18)에 공급되는 전력 레벨을, 저이온 에너지의 플라즈마가 생성되도록 낮은 레벨로 억제한다.

[0060] 예컨대, 컨트롤러(80)는, 도 5에 도시된 타임 시퀀스에 기초하여, 처리 장치(10)의 각부를 제어하여도 좋다. 도 5에 도시된 바와 같이, 제1 처리(CVD 처리) 중, 컨트롤러(80)는, 기체 공급부(44)를 제어하여, 제1 가스 예컨대 CFx 가스 및 아르곤 가스를 챔버(12)에 공급시켜도 좋다. 동시에, 컨트롤러(80)는, RF 전원(30)을 제어하여, 하부 전극(18)에 전력을 공급시켜도 좋다. 제1 처리 중, 컨트롤러(80)는, (도 5 중 ICP 안테나로서 나타냄) 안테나(50)를 동작시키지 않는다.

[0061] 그리고, 제1 처리 후, 제2 처리의 흡착 단계가 시작된다. 컨트롤러(80)는, 기체 공급부(44)를 제어하여 실리콘 함유 전구체(도 5 중 「Si-Precursor」라고 표시함) 등의 전구체를 챔버(12) 내에 공급시킨다. 이 기간 중, 컨트롤러(80)는, 아르곤 가스 등의 캐리어 가스를 챔버(12) 내에 공급시켜도 좋다. 컨트롤러(80)는, 기체 공급부(44)를 제어하여, 기판 처리 동안 일관하여 소정의 유량의 캐리어 가스가 챔버(12) 내에 공급되도록 하여도 좋다. 이 기간 중에는, 안테나(50) 및 하부 전극(18)은 동작하지 않는다. 실리콘 함유 전구체가 도입되어 기판에 흡착된 후, 컨트롤러(80)는, 챔버(12)를 펴지하여 원하지 않는 가스종을 챔버(12)로부터 배출한다.

[0062] 다음에, 컨트롤러(80)는 활성화 단계 즉 개질 단계를 시작하여 흡착한 전구체를 개질한다. 활성화 단계에서는, 컨트롤러(80)는, 기체 공급부(44)를 제어하여, 산소 등의 개질 가스를 챔버(12) 내에 공급시킨다. 동시에, 컨트롤러(80)는, RF 전원(70A 및 70B)을 제어하여, 안테나(50)에 전력을 공급한다. 이 기간 중, 컨트롤러(80)는 하부 전극(18)을 동작시키지 않는다. 그 후, 컨트롤러(80)는, 다시 펴지처리를 실행한다. 흡착 단계 및 활성화 단계 후의 펴지 처리는 생략하여도 좋다. 그리고, 컨트롤러(80)는, 소정의 조건이 만족되었는지 여부에 따라, 제1 처리 및 제2 처리를 반복한다. 또한, 컨트롤러(80)는, 제1 처리 및 제2 처리 중 어느 한쪽을 개별로 반복하여 실행하여도 좋다.

#### [0063] (에칭 처리)

[0064] 일 실시형태에 따른 장치에 있어서는, 제1 처리 및 제2 처리 이외에, 다른 처리를 제3 처리로서 *in situ*에서 실행하여도 좋다. 예컨대, 일 실시형태에 따른 장치는 에칭 처리를 더 실행함으로써, 스루풋을 더욱 향상시킬 수 있다. 에칭 처리는 원자층 에칭(ALE) 처리여도 좋다.

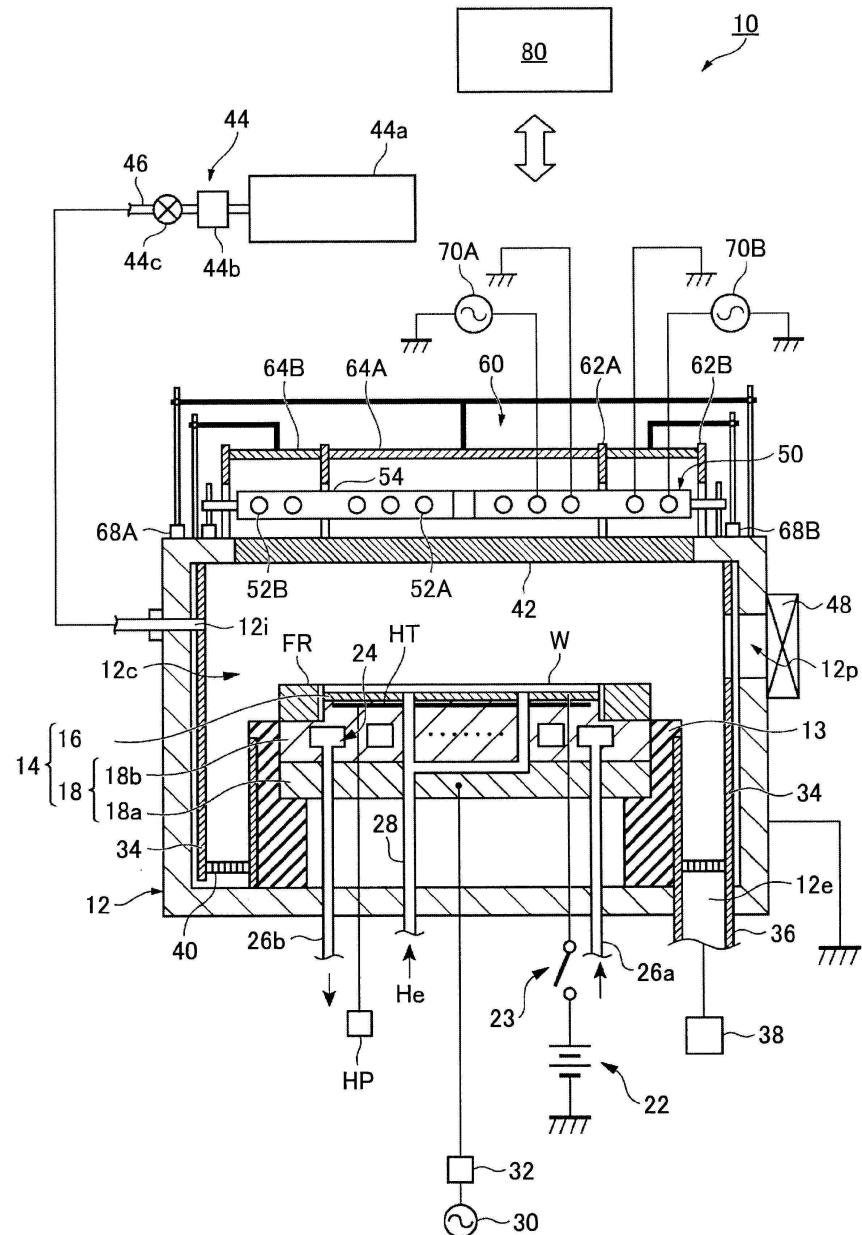
[0065] 또한, ALE 처리는, 반응층을 형성하는 개질 단계와, 개질한 반응층을 제거하는 제거 단계를 포함하여도 좋다. ALE 처리는, 개질 단계 및 제거 단계 각각의 후에 펴지 단계를 포함하여도 좋다. 개질 단계는, N 플라즈마 또는 H 플라즈마를 이용하여 실행하여도 좋다. 제거 단계는, F 등의 할로겐 플라즈마(종)를 이용하여 실행하여도 좋다.

[0066] 일 실시형태에 있어서는, 제1 처리, 제2 처리 및 제3 처리는, 이 순서로 반복하여 실행하여도 좋다. 각 처리를 반복하는 횟수는, 각각 상이하여도 좋다. 예컨대, 제1 처리를 1회 실행한 후에 제2 처리를 10회 실행하여도 좋다. 또한, 제1 처리, 제2 처리, 제3 처리의 실행 순서를 변경하여도 좋다.

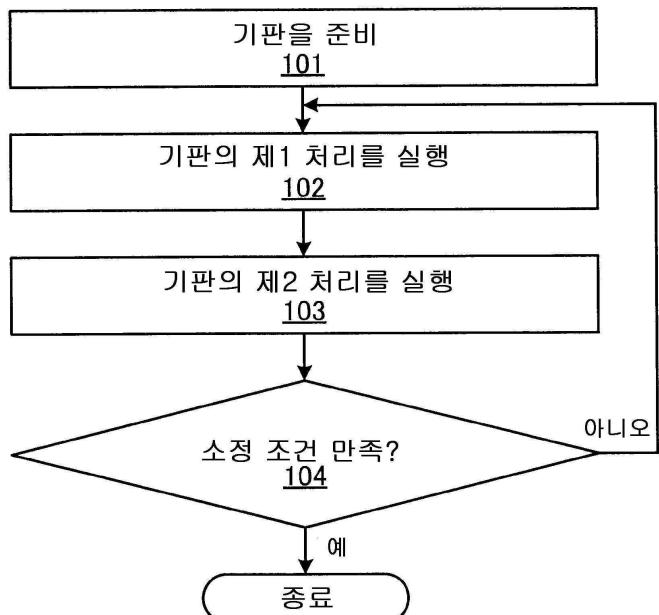
[0067] 지금까지, 완전하고 또한 명확한 개시를 위해 구체적인 실시형태에 대해 설명하였다. 단, 첨부한 특허청구범위에 기재된 청구항은 이러한 개시에 기초하여 한정적으로 해석되는 것은 아니며, 당업자가 상도 가능하고, 또한, 여기에 나타낸 기본적인 교시의 범위에 해당하는, 모든 변형례 및 대체적인 구성예를 포함하는 것이라고 해석되어야 한다.

## 도면

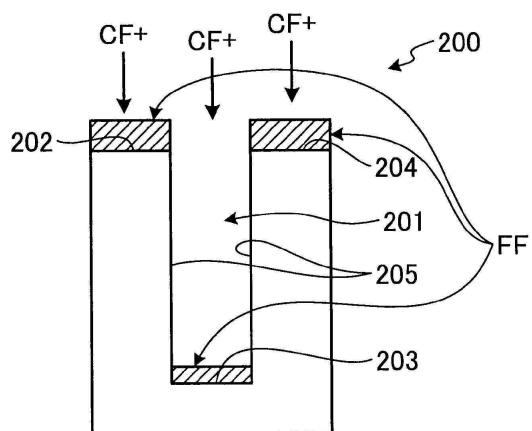
## 도면1



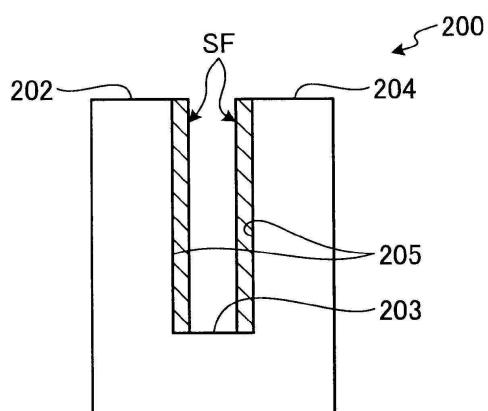
## 도면2



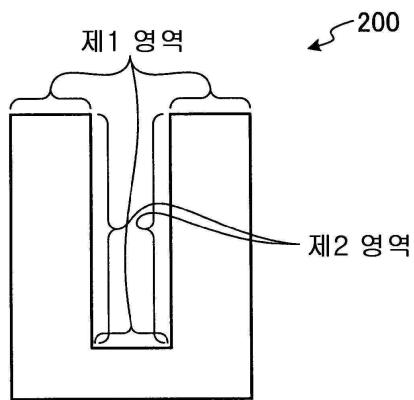
## 도면3a



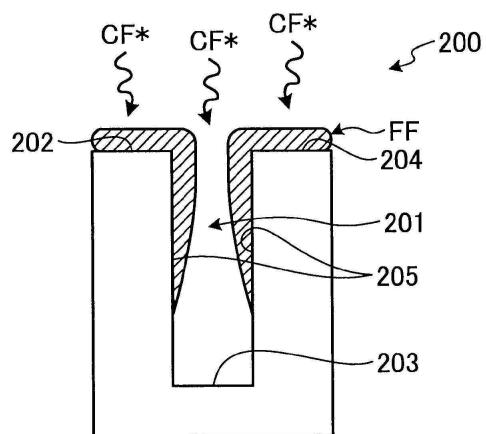
## 도면3b



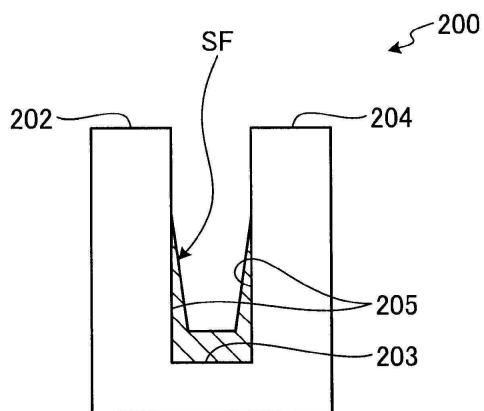
도면3c



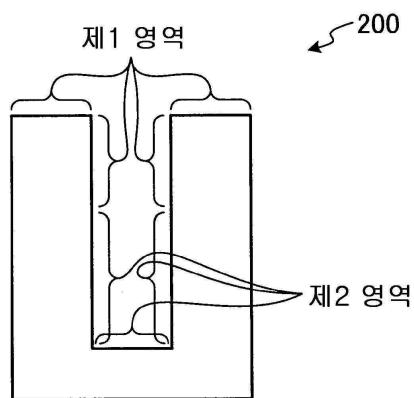
도면4a



도면4b



도면4c



도면5

