

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 21 年 4 月 23 日 (2009.4.23)

【公開番号】特開 2009-55055 (P2009-55055A)

【公開日】平成 21 年 3 月 12 日 (2009.3.12)

【年通号数】公開・登録公報 2009-010

【出願番号】特願 2008-268083 (P2008-268083)

【国際特許分類】

H 0 1 L 23/12 (2006.01)

【F I】

H 0 1 L 23/12 5 0 1 T

【手続補正書】

【提出日】平成 20 年 11 月 14 日 (2008.11.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ステンレス基板 1 の一面側に、半導体素子 S 搭載用のアイランド部 2 a および半導体素子 S の電極 L と接続される電極部 2 b を形成するための所定パターンから成るレジストパターン層 6 を形成する工程と、

上記基板 1 の露出面に対し、表面活性化処理を行った後に、実装用金属薄膜 1 1 をメッキ成長させるとともに該金属薄膜 1 1 上に電鍍工程によりリード層 1 2 を積層して成長させ一体化して、金属薄膜 1 1 とこの上面に一体に積層されるリード層 1 2 の少なくとも二層構造から成るアイランド部 2 a および電極部 2 b を独立して形成する工程と、

少なくとも電極部 2 b のリード層 1 2 上面に、メッキ工程によってボンディング用金属膜 1 3 を一体に成長形成する工程と、

基板 1 よりレジストパターン層 6 を除去する工程と、

上記アイランド部 2 a に半導体素子 S を搭載した後、半導体素子 S と電極部 2 b とを電氣的に接続する工程と、

上記基板 1 を引き剥がし除去して、アイランド部 2 a および電極部 2 b の金属薄膜 1 1 の各裏面が、樹脂層 4 の底面と同一平面で露出した状態で形成される工程

とを有する半導体装置の製造方法。

【請求項 2】

上記実装用金属薄膜 1 1 は、金、スズ、ハンダ、パラジウム等で形成し、上記リード層 1 2 は、ニッケルや銅、ニッケル - コバルト等で形成したことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

半導体素子 S と電極部 2 b とをワイヤ 3 を用いて電氣的に接続し、上記ボンディング用金属膜 1 3 は、金、銀、スズ等で形成したことを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 1

【補正方法】変更

【補正の内容】

【 0 0 0 1 】

本発明は半導体装置の製造方法に関し、小型・薄型化を図れ、かつ信頼性の高い樹脂封止型の半導体装置の製造方法に関する。

【 手続補正 3 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 0 7

【 補正方法 】 削除

【 補正の内容 】

【 手続補正 4 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 0 8

【 補正方法 】 削除

【 補正の内容 】

【 手続補正 5 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 0 9

【 補正方法 】 変更

【 補正の内容 】

【 0 0 0 9 】

この発明は、ステンレス基板 1 の一面側に、半導体素子 S 搭載用のアイランド部 2 a および半導体素子 S の電極 L と接続される電極部 2 b を形成するための所定パターンから成るレジストパターン層 6 を形成する工程と、上記基板 1 の露出面に対し、表面活性化処理を行った後に、実装用金属薄膜 1 1 をメッキ成長させるとともに該金属薄膜 1 1 上に電鍍工程によりリード層 1 2 を積層して成長させ一体化して、金属薄膜 1 1 とこの上面に一体に積層されるリード層 1 2 の少なくとも二層構造から成るアイランド部 2 a および電極部 2 b を独立して形成する工程と、少なくとも電極部 2 b のリード層 1 2 上面に、メッキ工程によってボンディング用金属膜 1 3 を一体に成長形成する工程と、基板 1 よりレジストパターン層 6 を除去する工程と、上記アイランド部 2 a に半導体素子 S を搭載した後、半導体素子 S と電極部 2 b とを電氣的に接続する工程と、上記基板 1 を引き剥がし除去して、アイランド部 2 a および電極部 2 b の金属薄膜 1 1 の各裏面が、樹脂層 4 の底面と同一平面で露出した状態で形成される工程とを有する半導体装置の製造方法にある。

【 手続補正 6 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 0

【 補正方法 】 変更

【 補正の内容 】

【 0 0 1 0 】

また、上記実装用金属薄膜 1 1 は、金、スズ、ハンダ、パラジウム等で形成し、上記リード層 1 2 は、ニッケルや銅、ニッケル - コバルト等で形成したことを特徴とする。さらに、半導体素子 S と電極部 2 b とをワイヤ 3 を用いて電氣的に接続し、上記ボンディング用金属膜 1 3 は、金、銀、スズ等で形成したことを特徴とする。

【 手続補正 7 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 1

【 補正方法 】 削除

【 補正の内容 】

【 手続補正 8 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 2

【 補正方法 】 削除

【補正の内容】

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

この発明では、ステンレス基板 1 の一面側に、半導体素子 S 搭載用のアイランド部 2 a および半導体素子 S の電極と接続される電極部 2 b を形成するための所定パターンから成るレジストパターン層 6 を形成する工程と、上記基板 1 の露出面に対し、表面活性化処理を行った後に、実装用金属薄膜 1 1 をメッキ成長させるとともに該金属薄膜 1 1 上に電鍍工程によりリード層 1 2 を積層して成長させ一体化して、金属薄膜 1 1 とこの上面に一体に積層されるリード層 1 2 の少なくとも二層構造から成るアイランド部 2 a および電極部 2 b を独立して形成する工程と、少なくとも電極部 2 b のリード層 1 2 上面に、メッキ工程によってボンディング用金属膜 1 3 を一体に成長形成する工程と、基板 1 よりレジストパターン層 6 を除去する工程と、上記アイランド部 2 a に半導体素子 S を搭載した後、半導体素子 S と電極部 2 b とを電氣的に接続する工程と、上記基板 1 を引き剥がし除去して、アイランド部 2 a および電極部 2 b の金属薄膜 1 1 の各裏面が、樹脂層 4 の底面と同一平面で露出した状態で形成される工程とを有する半導体装置の製造方法にあるので、基板 1 上でアイランド部 2 a や電極部 2 b 等の電鍍製部品を電鍍工程で形成する際に、レジストパターン形成後に、実装用の接触面となる金属薄膜 1 1 の形成とその後積層されるリード層 1 2 との形成を、連続した工程の中で行うことができ、量産性に優れ、安価な生産を行うことが可能となる。また、少なくとも電極部 2 b のリード層 1 2 上面に、ボンディング用金属膜 1 3 をメッキ工程によって一体に成長形成させているので、電極結線時の信頼性を向上させるためのボンディング用金属膜 1 3 を効率良く形成することができる。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】削除

【補正の内容】