

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 570 205

②1 N° d'enregistrement national :

85 13249

⑤1 Int Cl^a : G 06 F 3/00; H 04 L 5/14.

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 6 septembre 1985.

③0 Priorité : US, 7 septembre 1984, n° 648 869.

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 11 du 14 mars 1986.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : Société dite : *ILLINOIS TOOL WORKS
INC., constituée selon les lois de l'Etat de Delaware. —
US.*

⑦2 Inventeur(s) : Steve Dumbovic et Mark A. Dempsey.

⑦3 Titulaire(s) :

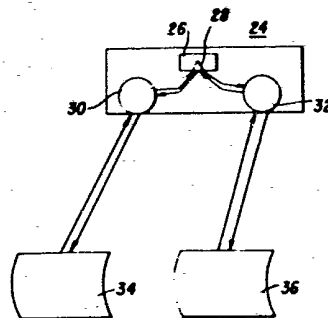
⑦4 Mandataire(s) : Rinuy, Santarelli.

⑤4 Procédé d'interruption par un seul rythmeur pour réaliser des transmissions sur plusieurs accès.

⑤7 L'invention concerne les systèmes d'entrée/sortie d'ordi-
nateurs.

Le procédé de l'invention permet d'effectuer des transmis-
sions en duplex intégral par plusieurs accès 30, 32 d'un
processeur 24 comportant un seul rythmeur 28. Le rythmeur
établit des cycles de durée égale à l'intervalle de temps de bit
et chacun des cycles est divisé en sous-bits. L'un des sous-
bits de chaque cycle est désigné comme étant un sous-bit
d'émission et lorsque l'émission pendant ce sous-bit est termi-
née, le processeur interroge tous les accès pour détecter la
présence d'un signal d'entrée. Dans les sous-bits autres que le
sous-bit d'émission, l'interrogation des accès a lieu dès le
début du sous-bit.

Application à la communication entre les ordinateurs et leurs
périphériques.



FR 2 570 205 - A1

D

La présente invention concerne un procédé d'utilisation d'un processeur dans un dispositif hôte pour réaliser des transmissions en duplex intégral par l'intermédiaire d'un ensemble de points d'accès, dans lequel le
5 processeur comporte un seul rythmeur et exécute des fonctions sous la commande d'un programme d'instructions.

Il est souhaitable qu'un dispositif de transmission soit capable d'émettre et de recevoir simultanément de l'information, c'est-à-dire d'effectuer des transmissions en duplex intégral, par chaque accès d'entrée/sortie
10 du dispositif. On peut commander les signaux de sortie du dispositif ; on ne peut cependant exercer aucune commande sur les instants d'arrivée de signaux d'entrée. Des dispositifs de l'art antérieur ont utilisé des microproces-
15 seurs, tels qu'un microprocesseur 8051, comportant deux rythmeurs et un accès d'entrée série/sortie série. Avec une telle configuration, on utilise un rythmeur en association avec un émetteur/récepteur asynchrone universel (ou UART), qui fonctionne exclusivement avec l'accès
20 d'entrée série/sortie série ; le second rythmeur fonctionne exclusivement avec l'accès restant pour commander son fonctionnement.

A l'heure actuelle, le prix d'un microprocesseur du type 8051 est près de deux fois et demie le prix d'un
25 microprocesseur du type 8048/8049. Le microprocesseur du type 8048/8049 est moins cher du fait qu'il comporte une plus petite mémoire de programme, un seul rythmeur et aucun accès d'entrée série/sortie série avec un UART associé. On ne connaît aucun dispositif ou aucun procédé
30 de l'art antérieur permettant d'utiliser le microprocesseur plus simple et moins coûteux du type 8048/8049 pour réaliser des transmissions en duplex intégral par chacun des deux accès.

L'invention procure un procédé qui permet d'utiliser
35 liser un microprocesseur ayant un seul rythmeur et un

ensemble d'accès pour réaliser des transmissions en duplex intégral par chacun de ces accès. L'utilisation de l'invention permet donc de réaliser des économies notables par rapport à des dispositifs de l'art antérieur, dans la
5 fabrication de dispositifs de transmission.

L'invention consiste en un procédé d'utilisation d'un processeur, comme un microprocesseur du type 8048/8049, ayant un seul rythmeur, dans un dispositif de calcul hôte, pour réaliser des transmissions en duplex intégral par
10 l'intermédiaire d'un ensemble d'accès. Le processeur exécute des opérations sous la dépendance d'un programme d'instructions et les transmissions ont lieu avec un débit, en bauds, qui est exprimé sous la forme d'un ensemble d'intervalles de temps de bit. On utilise le rythmeur pour
15 effectuer un ensemble d'interruptions du programme d'instructions à une fréquence appropriée pour établir un ensemble d'intervalles de temps de sous-bit dans chaque intervalle de l'ensemble d'intervalles de temps de bit, et chaque interruption de l'ensemble d'interruptions établit
20 le commencement de l'un des intervalles de l'ensemble d'intervalles de temps de sous-bit.

Le dispositif hôte code des données et introduit ces données dans une file d'attente en vue de l'émission ultérieure sous l'effet d'une instruction d'émission provenant du processeur, et ces données en file d'attente
25 sont identifiées pour l'émission ultérieure par des accès prédéterminés de l'ensemble d'accès.

On utilise le programme d'instructions pour réagir à une seule interruption de l'ensemble d'interruptions pendant chaque intervalle de l'ensemble d'intervalles de temps de bit, en passant directement à l'instruction d'émission et en effectuant l'émission des données en file d'attente, par les accès prédéterminés. A l'achèvement de l'émission des données en file d'attente, le programme
30 passe directement à une instruction de contrôle d'entrée
35

qui effectue une interrogation de chaque accès de l'ensemble d'accès, pour détecter la présence d'un signal d'entrée.

On utilise le programme d'instructions pour réagir à chaque interruption de l'ensemble d'interruptions, autre
5 que l'interruption particulière qui donne lieu à une instruction d'émission, en passant directement à l'instruction de contrôle d'entrée, pour effectuer une interrogation de chaque accès de l'ensemble d'accès, pour détecter la présence d'un signal d'entrée.

10 On utilise le programme d'instructions pour réagir à une détection initiale d'un signal d'entrée pendant un premier intervalle de temps de bit à un accès respectif d'un ensemble d'accès, en établissant l'intervalle de temps de sous-bit de l'ensemble d'intervalles de temps de sous-bit
15 qui existe simultanément à la détection initiale, en tant qu'intervalle de temps de sous-bit de données initial pour l'accès respectif auquel la détection initiale a lieu, et en établissant l'intervalle de temps de sous-bit de l'ensemble d'intervalles de temps de sous-bit qui suit immédiatement
20 l'intervalle de temps de sous-bit de données initial en tant qu'intervalle de temps de sous-bit de données confirmé pour l'accès respectif.

On utilise le programme d'instructions pour réagir à une seconde détection d'un signal d'entrée pendant
25 l'intervalle de temps de sous-bit de données confirmé pour l'accès respectif en reconnaissant cette seconde détection en tant que signal d'entrée valide pour l'accès respectif, en transférant ce signal d'entrée valide pour l'accès respectif vers le dispositif hôte, et en poursuivant le
30 transfert du signal d'entrée valide pour l'accès respectif vers le dispositif hôte, pendant des intervalles de temps de bit de l'ensemble d'intervalles de temps de bit apparaissant à la suite du premier intervalle de temps de bit, dans des intervalles de temps de sous-bit de l'ensemble
35 d'intervalles de temps de sous-bit apparaissant pendant les

intervalles de temps de bit suivants, en ordre séquentiel correspondant à l'apparition de l'intervalle de temps de sous-bit de données confirmé pendant le premier intervalle de temps de bit.

5 Dans le mode de réalisation préféré de l'invention, chacun des intervalles de temps de bit contient un nombre égal d'intervalles de temps de sous-bit, et l'interruption qui produit une instruction d'émission est la première de l'ensemble d'interruptions à apparaître
10 dans chacun des intervalles de temps de bit.

L'invention a donc pour but de procurer un procédé pour employer dans un dispositif hôte un processeur moins cher, comportant un seul rythmeur, pour réaliser des transmissions en duplex intégral par un ensemble d'accès.

15 L'invention sera mieux comprise à la lecture de la description qui va suivre d'un mode de réalisation préféré et en se référant aux dessins annexés sur lesquels :

La figure 1 est un schéma de l'utilisation de microprocesseurs conformément à l'art antérieur pour réaliser des transmissions en duplex intégral.
20

La figure 2 est un schéma d'un microprocesseur employé conjointement à l'invention pour réaliser des transmissions en duplex intégral.

La figure 3(a) représente, sous forme schématis-
25 que, une série d'intervalles de temps de bit, dans laquelle chaque intervalle de temps de bit est segmenté en un ensemble d'intervalles de temps de sous-bit.

La figure 3(b) représente, sous forme schématis-
que, une série d'intervalles de temps de bit similaire à
30 la série d'intervalles de temps de bit représentée sur la figure 3(a), avec des intervalles de temps indiqués schématiquement pendant le premier intervalle de temps de sous-bit de chaque intervalle de temps de bit, pour l'accomplissement de fonctions d'émission.

35 Les figures 3(c) et 3(d) représentent, sous forme

schématique, deux signaux entrants, légèrement décalés dans le temps, chacun de ces signaux comprenant un bit de départ et un ensemble de bits d'information.

Les figures 3(a)-3(d) sont représentées avec un
5 axe horizontal commun représentant le temps écoulé; et

La figure 4 est une représentation sous forme d'organigramme du procédé de l'invention.

On voit sur la figure 1 une représentation schématique d'un microprocesseur 10 du type 8051 qui est
10 employé pour réaliser des transmissions en duplex intégral pour plusieurs accès. Le microprocesseur 10 du type 8051 comprend une unité centrale 12 et un émetteur/récepteur asynchrone universel (ou UART) 14. Le microprocesseur 10 comporte deux rythmeurs : un premier rythmeur 16 réservé
15 à l'unité centrale 12, et un second rythmeur 18 réservé à l'UART. Des accès d'entrée/sortie 20 et 22 sont respectivement connectés fonctionnellement à l'unité centrale 12 et à l'UART 14.

Chaque accès d'entrée/sortie 20, 22 est connecté
20 fonctionnellement à un dispositif périphérique (non représenté), tel qu'un dispositif de calcul/transmission. Le microprocesseur 10 du type 8051 de la figure 1 fonctionne de la manière suivante : le rythmeur 16 est réservé à l'accès d'entrée/sortie 20 et les signaux émis par le
25 microprocesseur 10 du type 8051 ou les signaux d'entrée reçus par ce dernier passent par l'accès d'entrée/sortie 20, sous la commande du rythmeur, en direction de l'unité centrale 12, pour un transfert ultérieur vers un dispositif hôte (non représenté) ; les signaux de sortie émis par
30 le second canal, par l'intermédiaire de l'accès d'entrée/sortie 22, sont commandés par l'unité centrale 12 mais ils sont acheminés par l'UART 14 vers l'accès d'entrée/sortie 22, à la fois pour l'émission de signaux de sortie et pour le traitement de signaux d'entrée ; l'accès d'entrée/sortie
35 22 est commandé par le rythmeur 18.

La figure 2 représente schématiquement un micro-processeur 24, du type 8048/8049, comportant une section de traitement 26, un seul rythmeur 28 et des accès d'entrée/sortie 30 et 32. Le microprocesseur 24 du type 8048/8049 est représenté schématiquement en communication avec des dispositifs périphériques 34 et 36. Dans ces opérations de transmission, le microprocesseur 24 du type 8048/8049, agissant par l'intermédiaire de sa section de traitement 26 et de son rythmeur unique 28, commande l'émission de signaux sortants et la réception de signaux entrants, par les deux accès d'entrée/sortie 30, 32, pour réaliser des transmissions en duplex intégral avec des dispositifs périphériques 34 et 36, d'une manière qu'on décrira ci-après de façon plus complète.

En relation avec les figures 3(a)-3(d), il est essentiel pour la compréhension de l'explication qui suit, de noter que chaque représentation faite sur ces figures est rapportée à une échelle de temps commune, représentée le long d'un axe horizontal au bas des figures 3(a)-3(d). La figure 3(a) représente une série de bits 38, 40, 42, 44 et 46 de durée spécifiée. Conformément au procédé de l'invention, chaque bit est divisé en trois sous-bits. Dans le mode de réalisation préféré, les trois sous-bits ont pratiquement la même durée : par exemple, le bit 38 est divisé en sous-bits 381, 382 et 383. De façon similaire, le bit 40 est divisé en sous-bits 401, 402 et 403 ; le bit 42 est divisé en sous-bits 421, 422 et 423 ; le bit 44 est divisé en sous-bits 441, 442 et 443 ; et le bit 46 est divisé en sous-bits 461, 462 et 463. Les désignations de bits et de sous-bits précédentes, indiquées sur la figure 3(a), s'appliquent aux intervalles de temps similaires sur les figures 3(b), 3(c) et 3(d).

Bien qu'on puisse employer le procédé de l'invention pour diviser des bits en un nombre quelconque de sous-bits, le mode de réalisation préféré de l'invention consiste

à diviser des bits en trois sous-bits de durée pratiquement égale, comme décrit ci-dessus. Toujours conformément au procédé de l'invention, et en se référant à la figure 3(b), on note que l'un des sous-bits de l'ensemble de sous-bits 5 dans chacun des bits est appelé sous-bit d'émission. Le microprocesseur qui utilise le procédé de l'invention est capable de commander les instants auxquels des émissions doivent avoir lieu ; le problème que l'invention vise à résoudre est inhérent au fait qu'on ne peut pas commander 10 l'instant d'arrivée de signaux d'entrée entrants.

Ainsi, sur la figure 3(b), le premier sous-bit de chacun des bits, par exemple le sous-bit 381 du bit 38, est désigné comme étant un bit d'émission, ce qui fait que le microprocesseur fixe l'état de sa broche de sortie dans 15 des accès appropriés pour indiquer une émission lorsque le dispositif hôte a placé un signal de sortie en file d'attente pour une telle émission, et cette fixation correspond à un niveau de signal approprié pour l'émission d'un bit de signal de sortie par l'accès ou les accès 20 respectifs, ce signal d'émission de sortie ayant été placé en file d'attente dans un registre dans le dispositif hôte (non représenté) dans lequel est incorporé le microprocesseur employant le procédé de l'invention. Bien entendu, on pourrait désigner en tant que sous-bit d'émission l'un 25 quelconque des sous-bits d'un bit, sans dégrader le procédé de l'invention.

Conformément au mode de réalisation préféré de l'invention, pratiquement dès l'achèvement de la fixation du niveau de la broche de sortie du microprocesseur, la 30 section de traitement 26 du microprocesseur 24 interroge les accès d'entrée/sortie 30, 32 (figure 2), pour déterminer la présence d'un signal d'entrée. Dans l'exemple des figures 3(a)-3(d), la figure 3(c) représente un signal d'entrée apparaissant sur l'accès d'entrée/sortie 30 et la 35 figure 3(d) représente un signal d'entrée apparaissant

sur l'accès d'entrée/sortie 32 de la figure 2.

Ainsi, comme le montrent les figures 3(a)-3(d), lorsque la section de traitement 26 interroge l'accès d'entrée/sortie 30 à la suite de l'achèvement de l'instruction d'émission 48, aucun signal d'entrée n'est détecté sur l'accès d'entrée/sortie 30 du fait que, comme le montre la figure 3(c), il n'y a aucun signal d'entrée à détecter. Cependant, lorsque la section de traitement 26 interroge l'accès d'entrée/sortie 32 pendant le premier sous-bit du bit 38, à la suite de l'achèvement de l'instruction d'émission 48, un signal d'entrée est détecté, et ce signal d'entrée est le bit de départ S' du signal entrant représenté par la figure 3(d). Par conséquent, conformément à l'invention, le sous-bit 381 est marqué ou désigné en tant que sous-bit de données initial en ce qui concerne l'accès d'entrée/sortie 32.

Toujours conformément à l'invention, de façon pratiquement immédiate après l'instant 382, qui est le commencement du sous-bit 382 du bit 38, ce qui est établi par le rythmeur 28 du microprocesseur 24, la section de traitement 26 interroge les accès d'entrée/sortie 30, 32. En ce qui concerne l'accès d'entrée/sortie 30, il existe un signal d'entrée à détecter pendant le sous-bit 382, comme le montre la figure 3(c), et ce signal est le bit de départ S du signal représenté sur la figure 3(c). Par conséquent, en ce qui concerne l'accès d'entrée/sortie 30, la section de traitement 26 établit le sous-bit 382 en tant que sous-bit de données initial. On rappelle que le sous-bit 381 a été désigné précédemment en tant que sous-bit de données initial en ce qui concerne l'accès d'entrée/sortie 32, et la section de traitement 26 interroge l'accès d'entrée/sortie 32 pour détecter la présence d'un signal d'entrée et, sous l'effet de la détection de la présence d'un signal d'entrée (la figure 3(d) montre que ce signal est présent dans le sous-bit 382), la section de traitement

désigne le sous-bit 382 en tant que sous-bit de données confirmé en ce qui concerne l'accès d'entrée/sortie 32.

Conformément à l'invention, pendant le sous-bit 383 la section de traitement 26 interroge l'accès d'entrée/sortie 30 pour détecter la présence d'un signal d'entrée et, sous l'effet de la détection de la présence d'un signal d'entrée sur l'accès d'entrée/sortie 30, elle désigne le sous-bit 383 en tant que sous-bit de données confirmé en ce qui concerne l'accès d'entrée/sortie 30.

Bien que les instructions d'émission 50, 52, 54 et 56 continuent à être exécutées par le procédé de l'invention lorsque le dispositif hôte place des informations de sortie en file d'attente pour l'émission, pendant les sous-bits initiaux 401, 421, 441 et 461 des bits respectifs 40, 42, 44 et 46, l'interrogation d'accès d'entrée/sortie 30 et 32 pour détecter la présence de signaux d'entrée n'a pas lieu pendant chaque sous-bit, une fois que des sous-bits de données confirmés ont été établis à ces accès respectifs.

On rappelle que, comme le montre la figure 3(c), le sous-bit 383 a été désigné en tant que sous-bit de données confirmé pour l'accès d'entrée/sortie 30, et que le sous-bit 382 a été confirmé en tant que sous-bit de données confirmé pour l'accès de sortie 32. Conformément à l'invention, on effectue l'interrogation des accès respectifs dans des bits suivants, au cours de sous-bits apparaissant dans un ordre séquentiel qui correspond à l'ordre d'apparition de sous-bits confirmés dans le premier cycle dans lequel les sous-bits confirmés sont détectés.

Ainsi, en ce qui concerne l'accès d'entrée/sortie 30 (figure 3(c)), l'interrogation pour détecter la présence d'un signal d'entrée sera effectuée pendant les sous-bits 403, 423, 443 et 463 ; et l'interrogation pour détecter la présence d'un signal d'entrée sur l'accès d'entrée/sortie

32 (figure 3(d)) sera effectuée pendant les sous-bits 402, 422, 442 et 462. Lorsque l'interrogation d'un accès ne fait apparaître aucune présence d'un signal d'entrée, tous les indicateurs concernant des sous-bits de données initiaux 5 et des sous-bits de données confirmés sont effacés, et l'interrogation d'accès pendant chaque sous-bit, pour détecter la présence de signaux d'entrée, recommence jusqu'à ce qu'un nouveau signal d'entrée soit détecté, après quoi le procédé est employé pour rétablir des sous-bits de données 10 initiaux, des sous-bits de données confirmés, et ainsi de suite, de la manière appropriée.

Il existe une bonne raison qui fait que la configuration relative aux sous-bits de données initiaux et aux sous-bits de données confirmés est particulièrement 15 importante. Si par exemple l'interrogation réelle de l'accès d'entrée/sortie 30, représentée par la figure 3(c), pendant le sous-bit 382 se produisait à un instant antérieur au début du bit de départ S, la présence du signal d'entrée sur l'accès d'entrée/sortie 30 passerait 20 inaperçue, bien que le signal d'entrée ait en fait commencé dans le sous-bit 382. Dans un tel cas, le sous-bit de données initial pour l'accès d'entrée/sortie 30 serait le sous-bit 383 et le sous-bit de données confirmé serait le sous-bit 401, et l'interrogation suivante de l'accès 25 d'entrée/sortie 30 aurait lieu pendant les sous-bits 421, 441 et 461.

L'intervalle de temps occupé par chacun des bits du signal d'entrée S, B_0 , B_1 , ... B_n est égal à l'intervalle de temps occupé par les bits 38, 40, 42, 44 30 et 46 établis par le rythmeur 28 du microprocesseur 24. En désignant le sous-bit de données confirmé en tant que bit ordonné de façon séquentielle pour le contrôle ultérieur de la présence de signaux d'entrée, le procédé de l'invention procure une beaucoup plus grande probabilité d'une 35 lecture exempte d'erreur, décalée par rapport au point ini-

tial et au point final d'un bit individuel. Ainsi, s'il apparaissait un cas tel que celui décrit ci-dessus dans lequel le début d'un signal d'entrée est manqué au moment de l'interrogation de l'accès, comme pendant le sous-bit 5 382 de la figure 3(c), le contrôle dans des bits séquentiels égaux, jusqu'au sous-bit de données confirmé, évite l'apparition d'un front avant ou d'un front arrière d'un bit de données d'un signal entrant pendant les sous-bits d'interrogation suivants.

10 On va maintenant considérer la figure 4 qui représente schématiquement sous forme d'organigramme le mode de réalisation préféré de l'invention. A la suite du commencement 58 de la mise en oeuvre du procédé, qui aura probablement lieu au moment de la mise sous tension du 15 matériel associé à l'utilisation du procédé, le rythmeur 28 du microprocesseur 24 effectue la première interruption 60 qui correspondrait à l'instant T381 des figures 3(a)-3(d). Un ordre d'émission 62 est envoyé vers le dispositif hôte lorsque ce dernier a placé en file d'attente 20 une information de sortie à émettre, et l'instruction d'émission 48 (figures 3(a)-3(d)) est exécutée sous l'effet de cet ordre d'émission 62.

Le procédé passe ensuite à une case d'opération 64 correspondant à l'exécution d'un contrôle pour déterminer si un sous-bit de données confirmé a été établi. La 25 case de décision 66 représente une nature conditionnelle de la poursuite de l'utilisation du procédé de l'invention, selon qu'un sous-bit de données confirmé a été établi précédemment ou non. Si un sous-bit de données confirmé a été 30 établi précédemment, le procédé passe par la branche "oui" de la case de décision 66, pour déterminer si le sous-bit en cours de contrôle, par exemple le sous-bit 381 de la figure 3 (a) - (d), est le même sous-bit séquentiel dans son bit respectif, que le sous-bit de données confirmé, dans le 35 bit dans lequel ce sous-bit a été établi. La case d'opéra-

tion 68 représente cette détermination. Si le sous-bit courant qui est contrôlé est le même sous-bit séquentiel dans son bit respectif que le sous-bit de données confirmé, le procédé passe par la branche "oui" de la case de
5 décision 70 et par la case d'opération 72, cette dernière correspondant à l'acquisition et au transfert vers le dispositif hôte des données qui existent pendant le sous-bit courant qui est scruté.

Dans le cadre dans lequel on prévoit l'utilisa-
10 tion de ce procédé, les données sont arrangées en mots (voir les figures 3(a)-3(d)), et ces mots comprennent un bit de départ "S" et un ensemble de bits $B_0, B_1, \dots B_n$, en désignant par "n" une quantité connue et constante pour une application donnée. Ainsi, à la case d'opération
15 74 le procédé détermine si le sous-bit courant qui est scruté contient le dernier bit de données d'un mot donné, c'est-à-dire si le sous-bit courant qui est scruté contient le bit B_n d'un mot. Si le sous-bit courant qui est scruté donne un dernier bit de données B_n d'un mot, le
20 procédé passe par la branche "oui" de la case de décision 76, le sous-bit de données confirmé est effacé de la mémoire par l'opération correspondant à la case d'opération 78, et le procédé passe directement à la seconde interruption 80, pour commencer la recherche d'une nouvel-
25 le apparition d'un bit de départ "S" sur les figures 3(a)-3(d)).

Si le bit de données qui est présenté dans le sous-bit courant adressé n'est pas le dernier bit de données B_n d'un mot, le procédé passe directement vers la
30 seconde interruption 80, par la branche "non" de la case de décision 76.

Si la réponse à la question posée à la case d'opération 68 est négative, le procédé passe directement à la seconde interruption 80 par la branche "non" de la
35 case de décision 70.

Si aucun sous-bit de données confirmé n'a été établi, ce qui donne une réponse négative à la question posée à la case d'opération 64, le procédé passe par la branche "non" de la case de décision 66, et la case
5 d'opération 82 pose une question pour déterminer si un signal d'entrée est présent sur l'un quelconque des accès d'entrée/sortie 30, 32, pendant le sous-bit courant qui est contrôlé. Si un signal d'entrée est présent pendant le sous-bit courant qui est contrôlé, le procédé
10 passe par la branche "oui" de la case de décision 84 et la case d'opération 86 détermine si un sous-bit de données initial a été établi.

Si un sous-bit de données initial a été établi, ce qui indique qu'un bit de départ a été détecté précédemment, le procédé passe par la branche "oui" de la case
15 de décision 88, la case d'opération 90 établit un sous-bit de données confirmé, et le procédé passe directement à la seconde interruption 80.

Si aucun sous-bit de données initial n'a été
20 établi, ce qui indique qu'un bit de départ n'a pas été détecté précédemment, le procédé passe par la branche "non" de la case de décision 88, la case d'opération 92 établit un sous-bit de données initial, et le procédé passe de cette case à la seconde interruption 80.

25 Si aucun signal d'entrée n'est présent sur les accès d'entrée/sortie 30, 32, le procédé passe à la seconde interruption 80 par la branche "non" de la case de décision 84.

A la suite de la seconde interruption 80, qui
30 correspond par exemple à l'instant T382, sur les figures 3(a)-3(d), la case d'opération 94 détermine si un sous-bit de données confirmé a été établi. Si un sous-bit de données confirmé a été établi, le procédé passe par la branche
"oui" de la case de décision 96 et la case d'opération 98
35 détermine si le sous-bit courant qui est scruté apparaît

dans le même ordre séquentiel dans son bit respectif que le sous-bit de données confirmé dans le bit dans lequel il a été détecté. Si le sous-bit courant qui est scruté est dans le même ordre séquentiel dans son bit que le sous-bit de données confirmé dans son bit respectif, le procédé passe par la branche "oui" de la case de décision 100, la case d'opération 102 procède à l'acquisition et au transfert vers le dispositif hôte des données présentées dans le sous-bit courant qui est scruté, et la case d'opération 104 détermine si le sous-bit courant qui est scruté présente un dernier bit de données dans un mot, soit B_n sur les figures 3(a)-3(d).

Si le bit de données courant présenté est le dernier bit B_n dans un mot, le procédé passe par la branche "oui" de la case de décision 106, la case d'opération 108 efface de mémoire le sous-bit de données confirmé, et le procédé passe directement à la troisième interruption 110. Si le bit de données courant qui est présenté n'est pas le dernier bit dans un mot, le procédé passe directement à la troisième interruption 110 par la branche "non" de la case de décision 106.

Si le sous-bit courant qui est scruté n'apparaît pas dans le même ordre séquentiel dans son bit respectif que le sous-bit de données confirmé dans le bit dans lequel il a été détecté, le procédé passe à la troisième interruption 110 par la branche "non" de la case de décision 100.

Si la réponse à la case d'opération 94 indique qu'aucun sous-bit de données confirmé n'a été établi, le procédé passe par la branche "non" de la case de décision 96 et la case d'opération 112 contrôle les accès d'entrée/sortie 30, 32 pour détecter la présence d'un signal d'entrée. Si un signal d'entrée est présent sur l'un des accès d'entrée/sortie 30, 32, le procédé passe par la branche "oui" de la case de décision 114, et la case

d'opération 116 détermine si un sous-bit de données initial a été établi précédemment, ce qui indique qu'un bit de départ, "S" (figures 3(a)-3(d)), a été détecté précédemment.

5 Si un bit de départ "S" a été détecté précédemment, le procédé passe par la branche "oui" de la case de décision 118, la case d'opération 120 désigne en tant que sous-bit de données confirmé le sous-bit courant qui est contrôlé, et le procédé passe directement à la troisième
10 interruption 110.

 Si la réponse à la question posée par la case d'opération 116 indique qu'un sous-bit de données initial n'a pas été établi précédemment, c'est-à-dire qu'aucun bit de départ n'a été détecté précédemment, le procédé
15 passe par la branche "non" de la case de décision 118, et la case d'opération 122 établit en tant que sous-bit de données initial le sous-bit courant qui est scruté, puis le procédé passe directement à la troisième interruption 110.

20 Si la réponse à la case d'opération 112 indique qu'aucun signal d'entrée n'est présent pendant le sous-bit courant qui est scruté, le procédé passe directement à la troisième interruption 110 par la branche "non" de la case de décision 114.

25 A partir de la troisième interruption 110, le procédé passe à la case d'opération 124 et détermine si un sous-bit de données confirmé a été établi précédemment. Si un sous-bit de données confirmé a été établi précédemment, le procédé passe par la branche "oui" de la
30 case de décision 126 et la case d'opération 128 détermine si le sous-bit courant qui est scruté apparaît dans le même ordre séquentiel dans son bit respectif que le sous-bit de données confirmé qui est apparu dans son bit respectif.

35 Si le sous-bit courant qui est scruté est dans

le même ordre séquentiel que le sous-bit de données confirmé dans son bit respectif, le procédé passe par la branche "oui" de la case de décision 130, la case d'opération 132 procède à l'acquisition des données présentées courantes et
5 les transmet au dispositif hôte, et la case d'opération 134 détermine si le bit de données courant qui est présenté est le dernier bit, B_n (figures 3(a)-3(d)), d'un mot. Si le bit de données courant qui est présenté est le dernier bit de données B_n d'un mot, le procédé passe par la branche "oui"
10 de la case de décision 136, la case d'opération 138 efface de mémoire le sous-bit de données confirmé et le procédé passe à la première interruption 60 du bit immédiatement suivant. Si le bit de données courant qui est présenté n'est pas le dernier bit de données, B_n , d'un mot, le pro-
15 cédé passe directement par la branche "non" de la case de décision 136 à la première interruption 60 du bit immédiatement suivant à traiter.

Si le sous-bit courant qui est traité n'apparaît pas dans la même séquence dans son bit respectif que le
20 sous-bit de données confirmé dans son bit respectif, le procédé passe directement de la branche "non" de la case de décision 130 à la première interruption 60 du bit immédiatement suivant à traiter.

Si le sous-bit courant qui est scruté n'est pas
25 un sous-bit de données confirmé, le procédé passe par la branche "non" de la case de décision 126, et la case d'opération 140 détermine si un signal d'entrée est présent sur les accès d'entrée/sortie 30, 32.

Si un signal d'entrée est détecté sur les accès
30 d'entrée/sortie 30, 32, le procédé passe par la branche "oui" de la case de décision 142, et la case d'opération 144 détermine si un sous-bit de données initial a été établi précédemment, ce qui indique qu'un bit de départ "S" (figures 3(a)-3(d)) a été détecté précédemment.

35 Si un sous-bit de données initial a été établi

précédemment, le procédé passe par la branche "oui" de la case de décision 146, la case d'opération 148 établit en tant que sous-bit de données confirmé le sous-bit courant qui est traité, et le procédé passe directement à la première interruption 60 du bit immédiatement suivant à traiter.

Si aucun bit de départ "S" précédent (figures 3(a)-3(d)) n'a été détecté, une réponse négative est donnée à la question posée par la case d'opération 144, et le procédé passe par la branche "non" de la case de décision 146, la case d'opération 150 établit en tant que sous-bit de données initial le sous-bit courant qui est traité, et le procédé passe à la première interruption 60 du bit de données immédiatement suivant à traiter.

Si aucun signal d'entrée n'est détecté sur les accès d'entrée/sortie 30, 32, le procédé passe par la branche "non" de la case de décision 142 à la première interruption 60 du bit immédiatement suivant à traiter.

Il faut noter que la figure 4 est représentative du procédé de l'invention dans son application à un seul accès. On peut bien entendu appliquer le procédé à des accès multiples, mais on utilise sur la figure 4 une représentation correspondant à un seul accès, pour la simplicité de la description.

On note ainsi que la première interruption 60 sur la figure 4 correspond aux instants T381, T401, T421, T441 et T461, sur les figures 3(a)-3(d). De façon similaire, la seconde interruption 80 de la figure 4 correspond aux instants T382, T402, T422, T442 et T462, sur les figures 3(a)-3(d). La troisième interruption 110 de la figure 4 correspond aux instants T383, T403, T423, T443 et T463, sur les figures 3(a)-3(d).

Il va de soi que de nombreuses modifications peuvent être apportées au procédé décrit et représenté, sans sortir du cadre de l'invention.

REVENDECATIONS

1. Procédé d'utilisation d'un processeur (24) dans un dispositif hôte pour réaliser des transmissions en duplex intégral par l'intermédiaire d'un ensemble d'accès (30, 32), ce processeur comportant un seul
5 rythmeur (28) et exécutant des opérations sous l'effet d'un programme d'instructions, ces transmissions se déroulant à une cadence, en bauds, qui est exprimée par un ensemble d'intervalles de temps de bit (38, 40, 42,
10 44, 46) , caractérisé en ce qu'il comprend les opérations suivantes : on utilise le rythmeur (28) pour effectuer un ensemble d'interruptions du programme d'instructions, à une fréquence appropriée pour établir un ensemble d'inter-
15 403 ; ...) dans chaque intervalle de l'ensemble d'intervalles de temps de bit (38, 40, 42, 44, 46), et chaque interruption de l'ensemble d'interruptions établit le commencement de l'un particulier des intervalles de l'ensemble d'intervalles de temps de sous-bit ; le dispositif
20 hôte code des données et place ces données en file d'attente pour une émission ultérieure, sous l'effet d'une instruction d'émission (48, 50, 52, 54, 56) provenant du processeur (24), les données en file d'attente étant identifiées pour l'émission ultérieure par des accès prédéter-
25 minés de l'ensemble d'accès (30, 32) ; on utilise le programme d'instructions pour réagir à une interruption particulière de l'ensemble d'interruptions, pendant chaque intervalle de l'ensemble d'intervalles de temps de bit (38, 40, 42, 44, 46), en passant directement à l'instruc-
30 tion d'émission (48, 50, 52, 54, 56) et en émettant les données en file d'attente par l'intermédiaire des accès prédéterminés, le programme passant directement à une instruction de contrôle d'entrée à l'achèvement de l'émission des données en file d'attente, et cette instruc-

tion de contrôle d'entrée effectuant une interrogation de chaque accès de l'ensemble d'accès (30, 32), pour détecter la présence d'un signal d'entrée ; on utilise le programme d'instructions pour réagir à chaque interruption de

5 l'ensemble d'interruptions autre que l'interruption particulière, en passant directement à l'instruction de contrôle d'entrée, cette instruction de contrôle d'entrée effectuant une interrogation de chaque accès de l'ensemble d'accès (30, 32) pour détecter la présence d'un signal

10 d'entrée ; on utilise le programme d'instructions pour réagir à une détection initiale d'un signal d'entrée pendant un premier intervalle de temps de bit à un accès respectif de l'ensemble d'accès (30, 32), en établissant en tant qu'intervalle de temps de sous-bit de données

15 initial pour l'accès respectif l'intervalle de temps de sous-bit de l'ensemble d'intervalles de temps de sous-bit qui existe simultanément à la détection initiale sur l'accès respectif, et en établissant en tant qu'intervalle de temps de sous-bit de données confirmé, pour l'accès

20 respectif, l'intervalle de temps de sous-bit de l'ensemble d'intervalles de temps de sous-bit qui suit immédiatement l'intervalle de temps de sous-bit de données initial ; et on utilise le programme d'instructions pour réagir à la seconde détection d'un signal d'entrée pendant un inter-

25 valle de temps de sous-bit de données confirmé pour l'accès respectif, en reconnaissant cette seconde détection comme un signal d'entrée valide pour l'accès respectif, en transférant vers le dispositif hôte ce signal d'entrée valide pour l'accès respectif, et en poursuivant

30 le transfert du signal d'entrée valide pour l'accès respectif vers le dispositif hôte, pendant des intervalles de temps de bit de l'ensemble d'intervalles de temps de bit qui apparaissent à la suite du premier intervalle de temps de bit dans des intervalles de temps de sous-bit de

35 l'ensemble d'intervalles de temps de sous-bit apparaissant

pendant lesdits intervalles de temps de bit suivants, en ordre séquentiel correspondant à l'apparition de l'intervalle de temps de sous-bit de données confirmé dans le premier intervalle de temps de bit.

5 2. Procédé d'utilisation d'un processeur dans un dispositif hôte pour réaliser des transmissions en duplex intégral par l'intermédiaire d'un ensemble d'accès (30, 32) selon la revendication 1, caractérisé en ce que chacun
10 des intervalles de temps de bit (38, 40, 42, 44, 46) contient un nombre égal d'intervalles de l'ensemble d'intervalles de temps de sous-bit (381, 382, 383 ; 401, 402, 403 ; ...).

 3. Procédé d'utilisation d'un processeur dans un dispositif hôte pour réaliser des transmissions en duplex
15 intégral par l'intermédiaire d'un ensemble d'accès (30, 32) selon la revendication 1, caractérisé en ce que ledit intervalle particulier parmi les intervalles de temps de sous-bit est le premier des intervalles de temps de sous-bit (381, 401, 421, ...) à apparaître dans chacun des
20 intervalles de temps de bit (38, 40, 42, 44, 46).

 4. Procédé d'utilisation d'un processeur dans un dispositif hôte pour réaliser des transmissions en duplex intégral par l'intermédiaire d'un ensemble d'accès (30, 32) selon la revendication 1, caractérisé en ce que chaque
25 bit du signal d'entrée a pratiquement la même durée que chaque intervalle de l'ensemble d'intervalles de temps de bit (38, 40, 42, 44, 46).

 5. Procédé pour réaliser des transmissions par un ensemble d'accès (30, 32) d'un processeur (24) comportant un seul rythmeur (28), ces transmissions étant des
30 transmissions en duplex intégral matérialisées par des signaux de sortie émis par une broche de sortie de chaque accès de l'ensemble d'accès (30, 32), et par des signaux d'entrée reçus par une broche d'entrée sur chaque accès
35 de l'ensemble d'accès ; chacun des signaux de sortie et

chacun des signaux d'entrée étant exprimés sous la forme d'un ensemble de bits et chacun de ces bits occupant un intervalle de temps de bit (38, 40, 42, 44, 46), caractérisé en ce qu'il comprend les opérations suivantes : on

5 fait fonctionner le rythmeur (28) pour établir un fonctionnement cyclique du processeur (24), ce fonctionnement cyclique s'accomplissant en cycles de durée égale à l'intervalle de temps de bit, et chacun des cycles étant divisé en un ensemble de sous-bits (381, 382, 383 ; 401,

10 402, 403 ; ...); on désigne en tant que sous-bit d'émission un sous-bit particulier de l'ensemble de sous-bits dans chacun des cycles, de façon pratiquement immédiate au commencement du sous-bit d'émission, on fixe les broches de sortie d'accès appropriés de l'ensemble d'accès (30, 32)

15 à un niveau de signal approprié pour l'émission d'un bit de signal de sortie sur les accès appropriés et, de façon pratiquement immédiate lors de l'achèvement de cette fixation, on interroge tous les accès de l'ensemble d'accès (30, 32) pour détecter la présence des signaux d'entrée ;

20 de façon pratiquement immédiate au commencement de sous-bits de l'ensemble de sous-bits autres que le sous-bit d'émission, on interroge tous les accès de l'ensemble d'accès (30, 32), pour détecter la présence des signaux d'entrée ; on désigne en tant que sous-bits initiaux des

25 sous-bits de l'ensemble de sous-bits d'un premier cycle pendant lesquels la présence de signaux d'entrée est détectée, et on identifie en tant que sous-bits confirmés des sous-bits de l'ensemble de sous-bits qui succèdent séquentiellement de façon immédiate aux sous-bits ini-

30 tiaux, cette désignation et cette identification s'effectuant accès par accès ; on reconnaît en tant que signaux d'entrée vrais des signaux d'entrée détectés pendant les sous-bits confirmés, et on marque en tant qu'accès d'entrée vrais les accès de l'ensemble d'accès auxquels

35 on détecte les signaux d'entrée vrais ; après ce marquage,

on effectue une interrogation sélective des accès d'entrée vrais au cours de cycles faisant suite au premier cycle, pendant des sous-bits de l'ensemble de sous-bits dans ces cycles suivants, qui apparaissent dans un ordre séquentiel
5 correspondant aux sous-bits confirmés dans le premier cycle, l'interrogation sélective de chacun des accès d'entrée vrais se poursuivant jusqu'à ce que le signal d'entrée présent aux accès d'entrée vrais respectifs disparaisse, ce qui a pour conséquence de marquer en tant qu'accès normaux
10 les accès d'entrée vrais respectifs, ces accès normaux étant ensuite interrogés pendant tous les sous-bits de l'ensemble de sous-bits, pour rechercher une apparition ultérieure de l'un des signaux d'entrée.

6. Procédé de transmission par un ensemble
15 d'accès (30, 32) d'un processeur (24) ayant un seul rythmeur (28) selon la revendication 5, caractérisé en ce que le sous-bit d'émission est le premier sous-bit de l'ensemble de sous-bits (381, 382, 383 ; 401, 402, 403 ; ...) à apparaître dans chacun des cycles.

20 7. Procédé de transmission par un ensemble d'accès (30, 32) d'un processeur (24) ayant un seul rythmeur (28) selon la revendication 6, caractérisé en ce que les sous-bits de l'ensemble de sous-bits (381, 382, 383 ; 401, 402, 403 ; ...) sont égaux dans chacun des
25 cycles.

8. Procédé de transmission par un ensemble d'accès (30, 32) d'un processeur (24) ayant un seul rythmeur (28) selon la revendication 7, caractérisé en ce que l'ensemble de sous-bits comprend trois sous-bits
30 (381, 382, 383 ; 401, 402, 403 ; ...).

9. Procédé de transmission par un ensemble d'accès (30, 32) d'un processeur (24) ayant un seul rythmeur (28) selon la revendication 8, caractérisé en ce que l'ensemble d'accès comprend deux accès (30, 32).

1/3

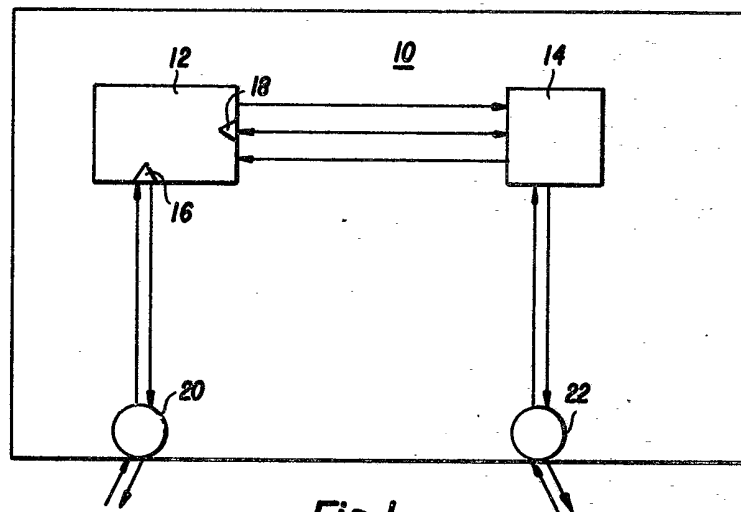
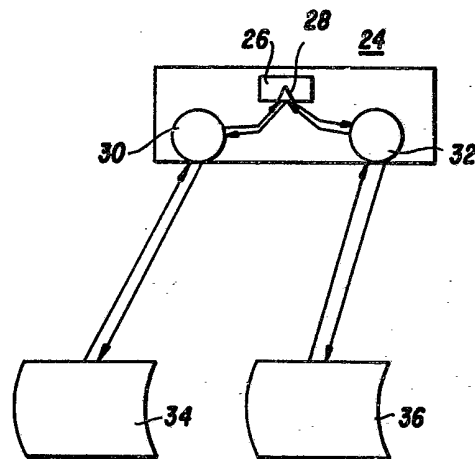
*Fig. 1**Fig. 2*

Fig.3 a

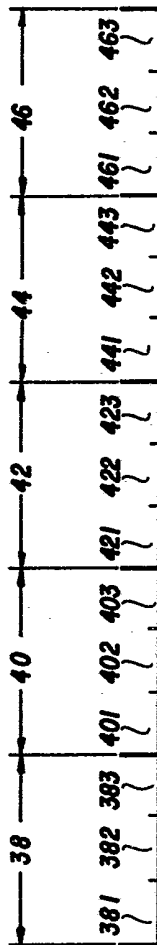


Fig.3 b

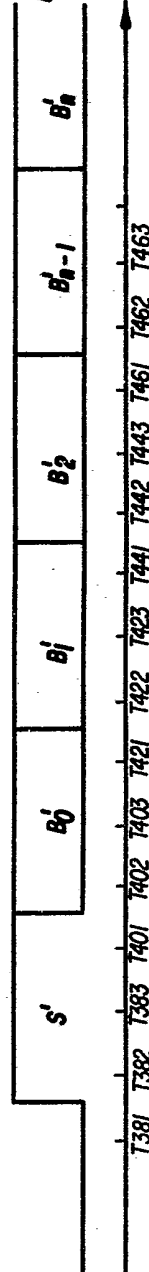


2/3

Fig.3 c



Fig.3 d



TEMPS

Fig. 4

