



등록특허 10-2705567



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년09월12일
(11) 등록번호 10-2705567
(24) 등록일자 2024년09월06일

- (51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *H01L 29/786* (2006.01)
H10K 59/00 (2023.01)
- (52) CPC특허분류
H01L 27/1225 (2013.01)
H01L 27/1248 (2013.01)
- (21) 출원번호 10-2023-7000590(분할)
- (22) 출원일자(국제) 2014년11월24일
심사청구일자 2023년02월03일
- (85) 번역문제출일자 2023년01월05일
- (65) 공개번호 10-2023-0010833
- (43) 공개일자 2023년01월19일
- (62) 원출원 특허 10-2022-7011652
원출원일자(국제) 2014년11월24일
심사청구일자 2022년05월06일
- (86) 국제출원번호 PCT/IB2014/066282
- (87) 국제공개번호 WO 2015/083034
국제공개일자 2015년06월11일
- (30) 우선권주장
JP-P-2013-249692 2013년12월02일 일본(JP)
(뒷면에 계속)
- (56) 선행기술조사문헌
KR20130030296 A*
- *는 심사관에 의하여 인용된 문헌

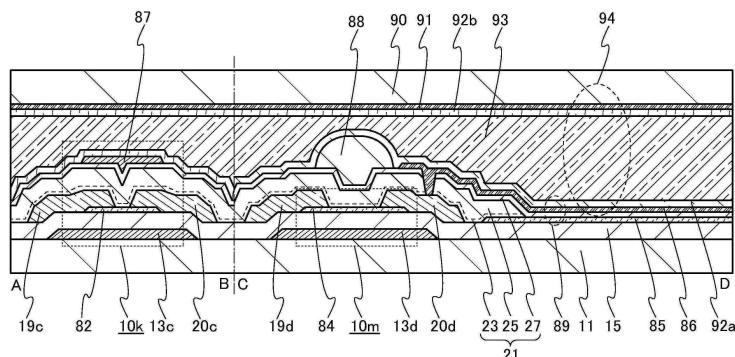
전체 청구항 수 : 총 3 항

심사관 : 장영주

(54) 발명의 명칭 표시 장치

(57) 요 약

본 발명의 목적은 하나의 기판 위에 복수 종류의 회로를 형성하고, 복수 종류의 회로의 특성에 대응하는 복수 종류의 트랜지스터를 제공한 표시 장치를 제공하는 것이다. 표시 장치는 하나의 기판(11) 위의, 화소부와 화소부를 구동하는 구동 회로를 포함한다. 화소부는 제 1 산화물 반도체막(84)을 포함하는 제 1 트랜지스터(10m)를 포함한다. (뒷면에 계속)

대 표 도

함한다. 구동 회로는 제 2 산화물 반도체막(82)을 포함하는 제 2 트랜지스터(10k)를 포함한다. 제 1 산화물 반도체막(84) 및 제 2 산화물 반도체막(82)은 하나의 질연 표면 위에 형성된다. 제 1 트랜지스터(10m)의 채널 길이는 제 2 트랜지스터(10k)의 채널 길이보다 길다. 제 1 트랜지스터(10m)의 채널 길이는 $2.5 \mu\text{m}$ 이상이다.

(52) CPC특허분류

H01L 29/7869 (2013.01)

H10K 59/1213 (2023.02)

(30) 우선권주장

JP-P-2013-249693 2013년12월03일 일본(JP)

JP-P-2013-249694 2013년12월03일 일본(JP)

명세서

청구범위

청구항 1

기판 위의 제 1 트랜지스터 및 제 2 트랜지스터와,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터 위의 제 1 절연막과,

상기 제 1 절연막 위의 제 2 절연막과,

상기 제 2 절연막 위의 제 3 절연막과,

상기 제 3 절연막 위의 화소 전극과,

상기 제 3 절연막 위의 섬 형상의 유기 절연막과,

상기 화소 전극 위의 배향막과,

상기 화소 전극과 중첩되는 대향 전극과,

상기 화소 전극 및 상기 대향 전극과 중첩되는 액정충을 갖고,

상기 제 1 트랜지스터는,

제 1 게이트 전극과,

상기 제 1 게이트 전극 위의 게이트 절연막과,

상기 게이트 절연막 위의 제 1 산화물 반도체막과,

상기 제 1 산화물 반도체막의 상면에 접하는 제 1 소스 전극 및 제 1 드레인 전극을 갖고,

상기 제 2 트랜지스터는,

제 2 게이트 전극과,

상기 제 2 게이트 전극 위의 상기 게이트 절연막과,

상기 게이트 절연막 위의 제 2 산화물 반도체막과,

상기 제 2 산화물 반도체막의 상면에 접하는 제 2 소스 전극 및 제 2 드레인 전극을 갖고,

상기 제 1 산화물 반도체막은 상기 제 1 트랜지스터의 채널 형성 영역을 갖고,

상기 섬 형상의 유기 절연막은 상기 제 1 게이트 전극, 상기 제 1 산화물 반도체막이 포함하는 상기 채널 형성 영역, 상기 제 1 소스 전극 및 상기 제 1 드레인 전극의 각각과 중첩되는 영역을 갖고,

상기 섬 형상의 유기 절연막은 상기 제 2 산화물 반도체막과 중첩되지 않고,

상기 화소 전극은 상기 제 1 절연막의 제 1 개구, 상기 제 2 절연막의 제 2 개구 및 상기 제 3 절연막의 제 3 개구를 통하여 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 한쪽에 전기적으로 접속되고,

상기 화소 전극은 상기 제 1 절연막의 상기 제 1 개구의 측면과, 상기 제 2 절연막의 상기 제 2 개구의 측면에 접하고,

상기 제 1 산화물 반도체막은 인듐, 갈륨 및 아연을 갖는 액정 표시 장치.

청구항 2

기판 위의 제 1 트랜지스터 및 제 2 트랜지스터와,

상기 제 1 트랜지스터와 상기 제 2 트랜지스터 위의 제 1 절연막과,

상기 제 1 절연막 위의 제 2 절연막과,

상기 제 2 절연막 위의 제 3 절연막과,
 상기 제 3 절연막 위의 화소 전극과,
 상기 제 3 절연막 위의 섬 형상의 유기 절연막과,
 상기 화소 전극 위의 배향막과,
 상기 화소 전극과 중첩되는 대향 전극과,
 상기 화소 전극 및 상기 대향 전극과 중첩되는 액정층을 갖고,
 상기 제 1 트랜지스터는,
 제 1 게이트 전극과,
 상기 제 1 게이트 전극 위의 게이트 절연막과,
 상기 게이트 절연막 위의 제 1 산화물 반도체막과,
 상기 제 1 산화물 반도체막의 상면에 접하는 제 1 소스 전극 및 제 1 드레인 전극을 갖고,
 상기 제 2 트랜지스터는,
 제 2 게이트 전극과,
 상기 제 2 게이트 전극 위의 상기 게이트 절연막과,
 상기 게이트 절연막 위의 제 2 산화물 반도체막과,
 상기 제 2 산화물 반도체막의 상면에 접하는 제 2 소스 전극 및 제 2 드레인 전극을 갖고,
 상기 제 1 산화물 반도체막은 상기 제 1 트랜지스터의 채널 형성 영역을 갖고,
 상기 섬 형상의 유기 절연막은 상기 제 1 게이트 전극, 상기 제 1 산화물 반도체막이 포함하는 상기 채널 형성 영역, 상기 제 1 소스 전극 및 상기 제 1 드레인 전극의 각각과 중첩되는 영역을 갖고,
 상기 화소 전극은 상기 제 1 절연막의 제 1 개구, 상기 제 2 절연막의 제 2 개구 및 상기 제 3 절연막의 제 3 개구를 통하여 상기 제 1 소스 전극 및 상기 제 1 드레인 전극 중 한쪽에 전기적으로 접속되고,
 상기 화소 전극은 상기 제 1 절연막의 상기 제 1 개구의 측면과, 상기 제 2 절연막의 상기 제 2 개구의 측면에 접하고,
 상기 제 1 산화물 반도체막은 인듐, 갈륨 및 아연을 갖는 액정 표시 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 제 1 절연막은 산화물 절연막을 갖고,
 상기 제 2 절연막은 질화물 절연막을 갖고,
 상기 제 1 게이트 전극은 구리를 갖고,
 상기 제 1 소스 전극 및 상기 제 1 드레인 전극은 각각 제 1 막, 제 2 막 및 제 3 막을 포함하는 적층 구조를 갖고, 상기 제 2 막은 구리를 갖는 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 또는 제작 방법에 관한 것이다. 또한, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명은, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법, 또는 이들의 제작 방법에 관한 것이다. 또한, 특히, 본 발명은 전계 효과 트랜지스터를 포함하는 반도체 장치에 관한 것이다.

[0002] 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용하여 기능할 수 있는 장치를 일반적으로 의미한다. 트랜지스터 등의 반도체 소자, 반도체 회로, 연산 장치, 및 기억 장치는 각각 반도체 장치의 일 형태이다. 활상 장치, 표시 장치, 액정 표시 장치, 별광 장치, 전기 광학 장치, 발전 장치(박막 태양 전지, 유기 박막 태양 전지 등을 포함함), 및 전자 기기는 각각 반도체 장치를 포함할 수 있다.

배경 기술

[0003] 다양한 금속 산화물이 다양한 용도에 사용된다. 산화 인듐은 잘 알려진 재료이며, 액정 디스플레이 등에 필요한 투명 전극 재료로서 사용된다.

[0004] 어떤 금속 산화물은 반도체 특성을 갖는다. 반도체 특성을 갖는 금속 산화물은 화합물 반도체의 일종이다. 화합물 반도체는, 2종 이상의 원자가 서로 결합하여 형성된 반도체이다. 일반적으로, 금속 산화물은 절연체로서 기능한다. 그러나, 금속 산화물은, 금속 산화물에 포함되는 원소의 조합에 따라서는 반도체로서 기능하는 것이 알려져 있다.

[0005] 예를 들어, 산화 텅스텐, 산화 주석, 산화 인듐, 및 산화 아연 등의 몇몇의 금속 산화물은 반도체 특성을 갖는 것이 알려져 있다.

[0006] 산화 아연 또는 In-Ga-Zn계 산화물을 사용하여 트랜지스터를 제작하고, 이 트랜지스터를 표시 장치의 스위칭 소자 등으로서 사용하는 기술이 개시(開示)되어 있다(특허문헌 1 및 특허문헌 2 참조).

[0007] 산화물 반도체를 포함하는 트랜지스터는 비정질 실리콘을 포함하는 트랜지스터보다 전계 효과 이동도가 높다. 따라서, 표시 장치 등의 구동 회로는, 산화물 반도체를 포함하는 트랜지스터를 사용하여 형성될 수 있다.

[0008] 표시 장치는 EL 표시 장치, 전자 종이, 및 액정 표시 장치를 포함한다. 이들 중에서, 고해상도의 화상을 표시 할 수 있는 액티브 매트릭스형 EL 표시 장치가 특히 주목을 받고 있다. 화소에 복수의 스위칭 소자(화소 트랜지스터라고도 함)가 배치되는 액티브 매트릭스형 EL 표시 장치에서, 적어도 하나의 스위칭 소자와 전기적으로 접속되는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 캐리어(전자 및 정공)가 재결합함으로써, 발광성 유기 화합물이 들뜨게 된다. 그 발광성 유기 화합물은 들뜬 상태로부터 기저 상태로 되돌아가, 발광한다. 이와 같은 메커니즘 때문에 이 발광 소자는 전류 역기형 발광 소자라고 한다.

[0009] 이런 액티브 매트릭스형 표시 장치의 사용 범위는 확대되고 있고, 큰 화면 사이즈, 고화질, 및 고개구율에 대한 요구가 높아지고 있다. 또한, 액티브 매트릭스형 표시 장치의 생산 방법에는 높은 생산성 및 저감된 생산 비용이 요구된다.

[0010] 스위칭 소자인 화소 트랜지스터는, 충분히 낮은 오프 전류(트랜지스터가 오프일 때에 흐르는 드레인 전류)를 갖는 것이 중요하다. 또한, 충분히 낮은 오프 전류는 저소비 전력에 기여한다.

[0011] 화소 트랜지스터의 반도체층을 위한 재료로서, 폴리실리콘 또는 비정질 실리콘 등의 실리콘 재료, 산화물 반도체 등이 사용된다.

[0012] 표시 모듈의 제작 비용을 저감하기 위하여, 절연 표면을 갖는 큰 사이즈의 기판(예를 들어 유리 기판 또는 플라스틱 기판)을 사용한 표시 모듈을 제작하는 것이 바람직하다.

[0013] 폴리실리콘의 결정화 공정 등에 사용되는 레이저 조사 장치는, 레이저 광원당 조사 면적 및 단위 시간당 조사 면적에 한계가 있다. 이런 한계 때문에, 절연 표면을 갖는 큰 사이즈의 기판을 짧은 시간 안에 처리하는 것이 어렵다.

[0014] 산화물 반도체를 포함하는 트랜지스터의 제작 공정에는 레이저 조사 장치를 사용하지 않는다. 또한, 산화물 반도체를 포함하는 트랜지스터는, 마찬가지로 제작 공정에 레이저 조사 장치를 사용하지 않는, 비정질 실리콘을 포함하는 트랜지스터보다 높은 전계 효과 이동도를 갖는다. 따라서, 표시 장치의 구동 회로 등은 산화물 반도체를 포함하는 트랜지스터를 사용하여 형성될 수 있다.

선행기술문헌

특허문헌

[0015] (특허문헌 0001) 일본국 특개 제2007-123861호 공보

(특허문헌 0002) 일본국 특개 제2007-096055호 공보

발명의 내용

해결하려는 과제

- [0016] 표시 장치의 제작에서, 절연 표면 위에 복수의 상이한 회로를 형성하는 경우, 예를 들어 하나의 기판 위에 화소부 및 구동 회로를 형성하는 경우에, 화소부에 사용된 트랜지스터에는 높은 온/오프비 등 뛰어난 스위칭 특성이 필요하고, 상기 구동 회로를 위하여 사용된 트랜지스터에는 빠른 동작 속도가 필요하다. 특히, 표시 장치의 선명도가 높아질수록, 표시 화상의 기록 시간이 감소되므로, 구동 회로에 사용된 트랜지스터는 고속으로 동작하는 것이 바람직하다.
- [0017] 본 발명의 일 형태의 목적은 하나의 기판 위에 복수 종류의 회로가 형성되고, 복수 종류의 회로의 특성에 대응하는 복수 종류의 트랜지스터가 제공된 표시 장치를 제공하는 것이다.
- [0018] 다른 목적은, 공정의 복잡화 및 제작 비용의 증가가 방지되면서, 하나의 기판 위에 복수 종류의 회로가 형성되고, 복수 종류의 회로의 특성에 대응하는 복수 종류의 트랜지스터가 제공된 반도체 장치를 제공하는 것이다.
- [0019] 다른 목적은 양호한 전기 특성을 갖는 고신뢰성 트랜지스터를 스위칭 소자에 사용한, 고신뢰성 표시 장치를 제작하는 것이다.
- [0020] 표시 장치에 화상을 표시하기 위하여, 다수의 화상 신호를 표시 장치에 공급할 필요가 있다. 또한 화상 신호를 공급하는 장치(예를 들어 전자 기기 본체)를 표시 장치에 접속하기 위하여, 다수의 배선이 필요하다. 예를 들어, VGA에는 640개 정도의 배선이 필요하다. 그래서, 상기 배선은 표시 장치의 일부에 체적을 차지하여, 전자 기기의 크기 및 표시 장치의 위치 등 설계의 유연성이 제한될 수 있다.
- [0021] 이와 같은 배경을 고려하여, 표시 장치에서 외부 접속 단자 수를 저감하는 것이 바람직하다.
- [0022] 표시 장치의 저소비 전력화를 추구하는 경우에도, 외부 접속 단자 수를 저감하는 것이 바람직하다.
- [0023] 또한, 표시 모듈의 선명도가 높아질수록, 외부 접속 단자 수(핀 수라고도 함) 및 신호 배선 수가 증가된다. 하나의 기판 위에 화소부 및 구동 회로를 형성한 구조를 갖지 않는 표시 모듈보다, 하나의 기판 위에 화소부 및 구동 회로를 형성한 표시 모듈이 소수의 외부 접속 단자 및 소수의 신호 배선을 가질 수 있다.

과제의 해결 수단

- [0024] 본 발명의 일 형태는 하나의 기판 위에 화소부 및 화소부를 구동하는 구동 회로를 포함하는 표시 장치이다. 화소부는 제 1 산화물 반도체막을 포함하는 제 1 트랜지스터를 포함한다. 구동 회로는 제 2 산화물 반도체막을 포함하는 제 2 트랜지스터를 포함한다. 제 1 산화물 반도체막 및 제 2 산화물 반도체막은 하나의 절연 표면 위에 형성된다. 제 1 트랜지스터의 채널 길이는 제 2 트랜지스터의 채널 길이보다 길다. 제 1 트랜지스터의 채널 길이는 $2.5 \mu\text{m}$ 이상이다.
- [0025] 본 발명의 다른 실시형태는 하나의 기판 위에 화소부 및 화소부를 구동하는 구동 회로를 포함하는 표시 장치이다. 화소부는 제 1 산화물 반도체막을 포함하는 제 1 트랜지스터를 포함한다. 구동 회로는 제 2 산화물 반도체막 및 제 3 산화물 반도체막을 포함하는 제 2 트랜지스터를 포함한다. 조성이 다른 제 1 산화물 반도체막 및 제 2 산화물 반도체막은 하나의 절연 표면 위에 형성된다. 제 1 트랜지스터의 채널 길이는 제 2 트랜지스터의 채널 길이보다 길다. 제 3 산화물 반도체막은 제 2 산화물 반도체막의 측면에 접촉된다.
- [0026] 상기 구조에서, 제 1 산화물 반도체막 및 제 3 산화물 반도체막은 같은 스텝에서 형성된다. 또한, 상기 구조에서, 제 1 트랜지스터의 채널 길이는 $2.5 \mu\text{m}$ 이상이다.
- [0027] 상기 구조에서, 제 2 트랜지스터의 채널 길이는 $2.5 \mu\text{m}$ 미만이다. 또한, 제 1 트랜지스터의 채널 길이는 $1 \mu\text{m}$ 이상 $2.1 \mu\text{m}$ 이하이다.
- [0028] 또한, 상기 구조에서, 제 2 트랜지스터는 게이트 전극층, 게이트 전극층 위의 제 2 산화물 반도체막, 제 2 산화물 반도체막 위의 절연층, 및 절연층 위의 도전층을 포함한다. 절연층은 제 2 산화물 반도체막을 덮고 게이트 절연층에 접촉된다. 제 2 트랜지스터의 제 2 산화물 반도체막의 채널 폭 방향에서, 도전층은 제 2 산화물 반도체막을 덮고 게이트 절연층에 접촉된다.

체막의 채널 형성 영역과 중첩되고 게이트 전극층에 전기적으로 접속된다.

[0029] 또한, 제 2 트랜지스터는 제 1 트랜지스터보다 높은 전계 효과 이동도를 갖는다.

[0030] 본 발명의 다른 실시형태는 하나의 기판 위에 화소부와 화소부를 구동하는 구동 회로를 포함하는 표시 장치이다. 화소부는 제 1 산화물 반도체막을 포함하는 제 1 트랜지스터를 포함한다. 구동 회로는 제 2 산화물 반도체막, 제 2 산화물 반도체막 위의 제 3 산화물 반도체막, 및 제 3 산화물 반도체막 위의 제 4 산화물 반도체막을 포함하는 제 2 트랜지스터를 포함한다. 제 1 산화물 반도체막 및 제 2 산화물 반도체막은 하나의 절연 표면 위에 형성된다. 제 1 트랜지스터의 채널 길이는 제 2 트랜지스터의 채널 길이보다 길다. 제 3 산화물 반도체막의 상면 및 측면은 제 4 산화물 반도체막으로 덮인다. 제 3 산화물 반도체막의 저면은 제 2 산화물 반도체막의 상면에 접촉된다.

[0031] 상기 구조에서, 제 1 산화물 반도체막 및 제 4 산화물 반도체막은 같은 타깃을 사용하여 같은 스텝에서 형성된다.

발명의 효과

[0032] 본 발명의 일 형태에 따라, 높은 화상 품질 및 소수의 외부 접속 단자를 갖는 표시 장치를 제공할 수 있다.

[0033] 본 발명의 일 형태의 전자 기기는 높은 화상 품질 및 소수의 외부 접속 단자를 갖는 표시 장치를 포함한다. 그래서, 전자 기기의 크기 및 전자 기기에 제공된 표시 장치의 위치 등 설계의 유연성이 높아질 수 있다. 따라서, 소형화 및 경량화되고 휴대성이 뛰어난 전자 기기를 제공할 수 있다.

[0034] 외부 접속 단자 수의 저감은 실장 비용의 저감에 기여한다. 외부 접속 단자 중 어느 하나라도 접촉 불량이 있는 제품은 결함품이다. 이 이유로, 외부 접속 단자 수의 저감은 실장 수율을 높일 수 있다.

[0035] 본 발명의 일 형태에 따라, 저소비 전력을 갖는 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따라, 신규의 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0036] 도 1은 액정 표시 장치의 일 형태를 도시한 단면도.

도 2는 발광 장치의 일 형태를 도시한 단면도.

도 3의 (A)~(C)는 트랜지스터를 제작하는 방법의 일 형태를 도시한 단면도.

도 4의 (A) 및 (B)는 트랜지스터를 제작하는 방법의 일 형태를 도시한 단면도.

도 5의 (A) 및 (B)는 트랜지스터를 제작하는 방법의 일 형태를 도시한 단면도.

도 6의 (A)~(C)는 일 형태의 표시 장치의 구조를 도시한 것.

도 7의 (A)~(D)는 CAAC-OS의 단면의 Cs 보정 고해상도 TEM 이미지 및 CAAC-OS의 단면 개략도.

도 8의 (A) 및 (B)는 산화물 반도체막의 나노빔 전자 회절 패턴을 나타낸 것이고 도 8의 (C) 및 (D)는 투과 전자 회절 측정 장치의 예를 도시한 것.

도 9의 (A)는 투과 전자 회절 측정에 의한 구조 분석의 예를 나타낸 것이고, 도 9의 (B) 및 (C)는 평면 TEM 이미지를 나타낸 것.

도 10은 표시 모듈을 도시한 것.

도 11의 (A)~(D)는 각각 일 형태의 전자 기기의 외관도.

도 12는 액정 표시 장치의 일 형태를 도시한 단면도.

도 13은 발광 장치의 일 형태를 도시한 단면도.

도 14는 액정 표시 장치의 일 형태를 도시한 단면도.

도 15는 발광 장치의 일 형태를 도시한 단면도.

도 16은 액정 표시 장치의 일 형태를 도시한 단면도.

도 17은 발광 장치의 일 형태를 도시한 단면도.

도 18은 액정 표시 장치의 일 형태를 도시한 단면도.

도 19는 발광 장치의 일 형태를 도시한 단면도.

도 20은 액정 표시 장치의 일 형태를 도시한 단면도.

도 21은 발광 장치의 일 형태를 도시한 단면도.

도 22의 (A)~(C)는 트랜지스터의 일 형태를 도시한 상면도 및 단면도.

도 23의 (A)~(C)는 트랜지스터의 일 형태를 도시한 상면도 및 단면도.

도 24의 (A)~(C)는 트랜지스터의 전기 특성을 나타낸 것.

도 25의 (A)~(C)는 트랜지스터의 전기 특성을 나타낸 것.

도 26은 액정 표시 장치의 일 형태를 도시한 단면도.

도 27은 발광 장치의 일 형태를 도시한 단면도.

도 28은 액정 표시 장치의 일 형태를 도시한 단면도.

도 29는 발광 장치의 일 형태를 도시한 단면도.

도 30의 (A)~(D)는 CAAC-OS의 평면의 Cs 보정 고해상도 TEM 이미지.

도 31의 (A)~(C)는 XRD에 의한 CAAC-OS 및 단결정 산화물 반도체의 구조 분석을 나타낸 것.

도 32의 (A) 및 (B)는 CAAC-OS의 전자 회절 패턴을 나타낸 것.

도 33은 전자 조사에 의한 In-Ga-Zn 산화물의 결정부의 변화를 나타낸 것.

도 34는 액정 표시 장치의 일 형태를 도시한 단면도.

도 35는 발광 장치의 일 형태를 도시한 단면도.

도 36의 (A)~(C)는 트랜지스터를 제작하는 방법의 일 형태를 도시한 단면도.

도 37의 (A) 및 (B)는 트랜지스터를 제작하는 방법의 일 형태를 도시한 단면도.

도 38의 (A) 및 (B)는 트랜지스터를 제작하는 방법의 일 형태를 도시한 단면도.

도 39는 트랜지스터의 전기 특성을 나타낸 것.

도 40은 트랜지스터의 전기 특성을 나타낸 것.

도 41은 트랜지스터의 전기 특성을 나타낸 것.

도 42는 트랜지스터의 전기 특성을 나타낸 것.

도 43은 액정 표시 장치의 일 형태를 도시한 단면도.

도 44는 발광 장치의 일 형태를 도시한 단면도.

도 45는 액정 표시 장치의 일 형태를 도시한 단면도.

도 46은 발광 장치의 일 형태를 도시한 단면도.

도 47은 트랜지스터의 전기 특성을 나타낸 것.

발명을 실시하기 위한 구체적인 내용

[0037] 본 발명의 실시형태들은 첨부 도면들을 참조하여 아래에서 자세히 설명한다. 또한, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하 실시형태 및 실시예의 설명에 한정하여 해석되지 말아야 한다. 또한, 이하의 실시형태 및 실시예에 있어서, 동일 부분 또는 비슷한 기능을 갖는 부분에

는 동일한 부호 또는 동일한 해치 패턴이 다른 도면 간에서 표시되고, 그 설명은 반복되지 않는다.

[0038] 또한, 본 명세서에서 설명하는 각 도면에서, 각 구성 요소의 크기, 막 두께, 또는 영역은 명료화를 위하여 과장되는 경우가 있다. 따라서, 본 발명의 실시형태들은 그 스케일에 한정되지 않는다.

[0039] 또한, 본 명세서에서의 '제 1', '제 2', 및 '제 3' 등의 용어는 구성 요소 중의 혼동을 피하기 위해서 사용되는 것이며, 그 용어는 수적으로 그 구성 요소에 한정되지 않는다. 따라서, 예를 들어, '제 1'은 용어 '제 2', '제 3' 등으로 적절히 바뀔 수 있다.

[0040] 본 명세서에 있어서, '평행'이란 용어는, 두 개의 직선 사이에서 형성된 각도가 -10° 이상 10° 이하인 것을 나타내고, 그러므로 그 각도가 -5° 이상 -5° 이하인 경우도 포함한다. 또한, '수직'이란 용어는, 두 개의 직선 사이에서 형성된 각도가 80° 이상 100° 이하인 것을 나타내고, 그러므로 그 각도가 85° 이상 95° 이하인 경우를 포함한다.

[0041] 본 명세서에 있어서, 삼방정계 또는 능면정계(rhombohedral crystal system)는 육방정계에 포함된다.

[0042] '소스' 및 '드레인'의 기능은, 예를 들어 회로 동작에서 전류의 방향이 변화되는 경우에 서로 바뀔 수 있는 경우가 있다. 따라서, 본 명세서에 있어서는 '소스' 및 '드레인'이란 용어는 서로 바뀔 수 있다.

[0043] 또한, 전압은 2점의 전위 사이의 차이를 말하고, 전위란, 정전기장에서의 어느 한 점에서의 단위 전하의 정전 에너지(전기적인 전위 에너지)를 말한다. 또한, 일반적으로, 한 점의 전위와 기준 전위(예를 들어, 접지 전위) 사이의 전위차는 전위 또는 전압이라고 단순히 불리고, 전위와 전압은 동의어로서 사용되는 경우가 많다. 따라서, 본 명세서에서는, 별도로 명시되지 않은 한, 전위를 전압으로 바꿔 말할 수 있고, 전압을 전위로 바꿔 말할 수 있다.

[0044] 또한, 산화물 반도체막을 포함하는 트랜지스터는 n채널형 트랜지스터이기 때문에, 본 명세서에서, 게이트 전압이 0V인 경우, 드레인 전류가 거기에 흐르지 않는다고 간주할 수 있는 트랜지스터를 노멀리 오프(normally-off) 특성을 갖는 트랜지스터라고 정의한다. 한편, 게이트 전압이 0V인 경우, 드레인 전류가 거기에 흐른다고 간주 할 수 있는 트랜지스터를 노멀리 온 특성을 갖는 트랜지스터라고 정의한다.

[0045] 또한, 채널 길이란, 예를 들어, 트랜지스터의 상면도에 있어서, 산화물 반도체막(또는 트랜지스터가 온일 때에 산화물 반도체막 중에서 전류가 흐르는 부분)과 게이트 전극이 서로 중첩되는 영역 또는 채널이 형성되는 영역에 있어서의, 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 하나의 트랜지스터에 있어서, 채널 길이가 모든 영역에서 반드시 동일한 것은 아니다. 즉, 한 트랜지스터의 채널 길이는 한 값으로 한정되지 않는 경우가 있다. 따라서, 본 명세서에서 채널 길이는, 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값 또는 평균값이다.

[0046] 채널 폭이란, 예를 들어, 산화물 반도체막(또는 트랜지스터가 온일 때에 산화물 반도체막 중에서 전류가 흐르는 부분)과 게이트 전극이 서로 중첩되는 영역, 또는 채널이 형성되는 영역에 있어서의, 소스와 드레인이 대향하는 부분의 길이를 말한다. 하나의 트랜지스터에 있어서, 채널 폭이 모든 영역에서 반드시 동일한 것은 아니다. 즉, 한 트랜지스터의 채널 폭은 한 값으로 정해지지 않는 경우가 있다. 따라서, 본 명세서에서 채널 폭은, 채널이 형성되는 영역에 있어서의 어느 하나의 값, 최대값, 최소값 또는 평균값이다.

[0047] 또한, 트랜지스터의 구조에 따라서는, 실제로 채널이 형성되는 영역에 있어서의 채널 폭(이하, 실효적 채널 폭이라고 함)과, 트랜지스터의 상면도에 있어서 나타난 채널 폭(이하, 외견상의 채널 폭이라고 함)이 상이한 경우가 있다. 예를 들어, 입체적인 구조를 갖는 트랜지스터에서는, 실효적 채널 폭이, 트랜지스터의 상면도에 있어서 나타난 외견상의 채널 폭보다 크고, 그 영향을 무시할 수 없게 되는 경우가 있다. 예를 들어, 입체적인 구조를 갖는 미세화된 트랜지스터에서는, 산화물 반도체막의 상면에 형성되는 채널 영역의 비율보다, 산화물 반도체막의 측면에 형성되는 채널 영역의 비율이 높은 경우가 있다. 그 경우에는, 상면도에 나타난 외견상의 채널 폭보다, 실제로 채널이 형성되는 경우에 얻어지는 실효적 채널 폭이 크다.

[0048] 입체적인 구조를 갖는 트랜지스터에 있어서는, 실효적 채널 폭은 측정이 어려운 경우가 있다. 예를 들어, 설계 값으로부터의 실효적 채널 폭의 평가는 산화물 반도체막의 형상을 알고 있다는 가정이 필요하다. 따라서, 산화 물 반도체막의 형상을 정확하게 모르는 경우에는, 실효적 채널 폭을 정확하게 측정하는 것이 어렵다.

[0049] 그래서, 본 명세서에서는, 트랜지스터의 상면도에 있어서, 산화물 반도체막과 게이트 전극이 서로 중첩되는 영역에 있어서의, 소스와 드레인이 대향하는 부분의 길이인 외견상의 채널 폭을, SCW(surrounded channel width)라고 하는 경우가 있다. 또한, 본 명세서에서는, 단순히 "채널 폭"이란 용어를 사용하는 경우에는, SCW 또는

외견상의 채널 폭을 가리킬 수 있다. 또는, 본 명세서에서 단순히 "채널 폭"이란 용어를 사용하는 경우에는, 실효적 채널 폭을 가리키는 경우가 있다. 또한, 채널 길이, 채널 폭, 실효적 채널 폭, 외견상의 채널 폭, SCW 등의 값은, 단면 TEM 이미지 등을 취득하고 분석함으로써 결정될 수 있다.

[0050] 또한, 트랜지스터의 전계 효과 이동도, 채널 폭당 전류값 등을 계산에 의하여 얻는 경우, SCW를 계산에 사용하여도 좋다. 이 경우에는, 값이 실효적 채널 폭을 사용하여 계산하는 경우와는 다를 수 있다.

[0051] (실시형태 1)

[0052] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치 및 반도체 장치의 제작 방법에 대하여 도면을 참조하여 설명한다. 여기서, 반도체 장치의 예로서 액정 표시 장치 및 발광 장치를 도 1, 도 2, 도 3의 (A)~(C), 도 4의 (A) 및 (B), 및 도 5의 (A) 및 (B)를 참조하여 설명한다. 본 실시형태에서, 반도체 장치 각각은 제 1 트랜지스터 및 제 2 트랜지스터를 포함하고, 이들은 다른 구조의 산화물 반도체막을 포함한다.

[0053] <표시 장치의 구조>

[0054] 우선, 액정 표시 장치에 대하여 설명한다.

[0055] 도 1은 액정 표시 장치의 단면도이고, 구동 회로부에 형성된 트랜지스터가 단면 A-B에 나타내어지고, 화소부에 형성된 트랜지스터가 단면 C-D에 나타내어진다.

[0056] 도 1에서의 단면 A-B에 나타낸 트랜지스터(10k)는, 기판(11) 위의 게이트 전극(13c), 기판(11) 및 게이트 전극(13c) 위의 게이트 절연막(15), 게이트 절연막(15)을 개재(介在)하여 게이트 전극(13c)과 중첩되는 산화물 반도체막(82), 및 산화물 반도체막(82)에 접촉하는 한 쌍의 전극(19c 및 20c)을 포함한다. 보호막(21)이 게이트 절연막(15), 산화물 반도체막(82), 및 한 쌍의 전극(19c 및 20c) 위에 형성된다. 도전막(87)이 보호막(21) 위에 제공되어도 좋다. 도전막(87)은 차광성을 갖는 도전막을 사용하여 형성될 때 차광막으로서도 기능한다.

[0057] 보호막(21)은 산화물 절연막(23), 화학량론적 조성에서의 산소보다 높은 비율의 산소를 포함한 산화물 절연막(25), 및 질화물 절연막(27)을 포함한다.

[0058] 도 1에서의 단면 C-D에 나타낸 트랜지스터(10m)는, 기판(11) 위의 게이트 전극(13d), 기판(11) 및 게이트 전극(13d) 위의 게이트 절연막(15), 게이트 절연막(15)을 개재하여 게이트 전극(13d)과 중첩되는 산화물 반도체막(84), 및 산화물 반도체막(84)에 접촉하는 한 쌍의 전극(19d 및 20d)을 포함한다. 보호막(21)은 게이트 절연막(15), 산화물 반도체막(84), 및 한 쌍의 전극(19d 및 20d) 위에 형성된다. 유기 절연막(88)은 보호막(21) 위에 제공되어도 좋다.

[0059] 전도성을 갖는 산화물 반도체막(85)은 게이트 절연막(15) 위에 형성된다. 전도성을 갖는 산화물 반도체막(85)은 다음과 같은 식으로 형성된다. 산화물 반도체막이 산화물 반도체막(82 및 84)과 동시에 형성되고 질화물 절연막(27)에 접촉됨으로써, 산화물 반도체막은 산소 빈자리 수 및 수소 농도가 증가되어 전도성이 높게 된다.

[0060] 또한, 화소 전극(86)은 보호막(21)에서의 개구를 통하여 트랜지스터(10m)의 전극(20d)에 접속되도록 보호막(21) 위에 제공된다. 화소 전극(86)은 투광성 도전막을 사용하여 형성될 수 있다.

[0061] 전도성을 갖는 산화물 반도체막(85), 질화물 절연막(27), 및 화소 전극(86)은 용량 소자(89)를 형성한다. 전도성을 갖는 산화물 반도체막(85) 및 화소 전극(86)은 광을 투과시킨다. 따라서, 용량 소자(89)는 광을 투과시킨다. 그러므로 화소에서 용량 소자(89)의 면적을 증대시키는 것이 가능하다. 이에 의하여, 높은 개구율을 갖고, 높은 용량 값을 갖는 용량 소자(89)가 제공되는 화소를 형성하는 것이 가능하게 된다.

[0062] 배향막(92a)이 보호막(21), 화소 전극(86), 도전막(87), 및 유기 절연막(88) 위에 제공된다.

[0063] 액정 표시 장치에서, 대향 기판(90)이 제공된다. 또한, 기판(11)과 대향 기판(90) 사이에서 대향 기판(90) 측으로부터 대향 전극(91) 및 배향막(92b)이 이 순서대로 제공된다.

[0064] 액정층(93)이 배향막(92a)과 배향막(92b) 사이에 제공된다. 화소 전극(86), 액정층(93), 및 대향 전극(91)은 액정 소자(94)를 형성한다.

[0065] 본 실시형태에 나타낸 액정 표시 장치에서, 구동 회로부에서의 트랜지스터 및 화소부에서의 트랜지스터는 다른 구조를 갖는 산화물 반도체막을 포함한다.

[0066] 본 실시형태에 나타낸 액정 표시 장치에서, 구동 회로부에서의 트랜지스터 및 화소부에서의 트랜지스터는 다른

채널 길이를 갖는다.

[0067] 대표적으로, 구동 회로부에 포함되는 트랜지스터(10k)의 채널 길이는 $2.5 \mu m$ 미만이고, 바람직하게는 $1.45 \mu m$ 이상 $2.2 \mu m$ 이하이다. 화소부에 포함되는 트랜지스터(10m)의 채널 길이는 $2.5 \mu m$ 이상이고, 바람직하게는 $2.5 \mu m$ 이상 $20 \mu m$ 이하이다.

[0068] 구동 회로부에 포함되는 트랜지스터(10k)의 채널 길이가 $2.5 \mu m$ 미만, 바람직하게는 $1.45 \mu m$ 이상 $2.2 \mu m$ 이하로 설정될 때, 전계 효과 이동도가 증가될 수 있어 온 전류가 증가될 수 있다. 그 결과, 고속 동작이 가능한 구동 회로부를 형성할 수 있다.

[0069] 또한, 구동 회로부에서의 트랜지스터(10k)는 보호막(21)을 개재하여 산화물 반도체막(82)을 덮는 도전막(87)을 포함한다. 도전막(87)의 전위는 접지 전위 또는 정해진 전위로 설정될 수 있다. 또는, 트랜지스터가 높은 전계 효과 이동도 및 높은 온 전류를 가질 수 있으며, 그 경우, 도전막(87)은 게이트 전극(13c)에 접속될 수 있다.

[0070] 산화물 반도체막(82) 및 산화물 반도체막(84)은 적어도 In을 포함하는 금속 산화물을 사용하여 형성된다; 대표적으로, In-Ga 산화물, In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 등이 사용될 수 있다.

[0071] 산화물 반도체막(82) 및 산화물 반도체막(84)의 형성에 사용된 타깃에서의 금속 원소의 원자수비의 대표적인 예는 In:M:Zn=2:1:1.5, In:M:Zn=2:1:2.3, In:M:Zn=2:1:3, In:M:Zn=3:1:2, In:M:Zn=3:1:3, In:M:Zn=3:1:4, In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=1:3:2, In:M:Zn=1:3:4, In:M:Zn=1:3:6, In:M:Zn=1:3:8, In:M:Zn=1:4:4, In:M:Zn=1:4:5, In:M:Zn=1:4:6, In:M:Zn=1:4:7, In:M:Zn=1:4:8, In:M:Zn=1:5:5, In:M:Zn=1:5:6, In:M:Zn=1:5:7, In:M:Zn=1:5:8, 및 In:M:Zn=1:6:8이다.

[0072] 산화물 반도체막(82 및 84) 각각의 두께는 $3nm$ 이상 $200nm$ 이하, 바람직하게는 $3nm$ 이상 $100nm$ 이하, 더 바람직하게는 $30nm$ 이상 $50nm$ 이하이다.

[0073] 트랜지스터의 채널 영역으로서 일부가 기능하는 산화물 반도체막(82 및 84) 각각은 에너지 캡이 $2eV$ 이상, 바람직하게는 $2.5eV$ 이상, 더 바람직하게는 $3eV$ 이상이다. 이런 넓은 에너지 캡을 갖는 산화물 반도체를 사용함으로써, 트랜지스터(10k 및 10m)의 오프 전류를 저감시킬 수 있다.

[0074] 낮은 캐리어 밀도를 갖는 산화물 반도체막이 산화물 반도체막(82 및 84)에 사용된다. 예를 들어, 캐리어 밀도가 $1 \times 10^{17} \text{ 개}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15} \text{ 개}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{13} \text{ 개}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{11} \text{ 개}/\text{cm}^3$ 이하인 산화물 반도체막을 산화물 반도체막(82 및 84)에 사용한다.

[0075] 또한, 상술한 조성 및 재료에 한정되지 않고, 적절한 조성을 갖는 재료를, 요구된 트랜지스터의 반도체 특성 및 전기 특성(예를 들어 전계 효과 이동도 및 문턱 전압)에 따라 사용될 수 있다. 또한 요구된 트랜지스터의 반도체 특성을 얻기 위하여, 산화물 반도체막(82 및 84) 각각의 캐리어 밀도, 불순물 농도, 결함 밀도, 산소에 대한 금속 원소의 원자수비, 원자간 거리, 밀도 등이 적절한 값으로 설정되는 것이 바람직하다.

[0076] 또한, 산화물 반도체막(82 및 84)으로서 불순물 농도가 낮으며 결함 상태 밀도가 낮은 산화물 반도체막을 사용할 수 있어, 이 경우 트랜지스터는 더 뛰어난 전기 특성을 가질 수 있다. 여기서 불순물 농도가 낮고 결함 상태 밀도가 낮은 상태(산소 빈자리 수가 적음)를 "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에 낮은 캐리어 밀도를 갖는 경우가 있다. 따라서 상기 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 음의 문턱 전압을 좀처럼 갖지 않는다(노멀리 음이 좀처럼 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 상태의 밀도가 낮기 때문에 트랩 상태의 밀도가 낮은 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 오프 전류가 매우 낮고; 소자가 $1 \times 10^6 \mu m$ 의 채널 폭 및 $10 \mu m$ 의 채널 길이(L)를 가지더라도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 $1V$ ~ $10V$ 일 때, 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1 \times 10^{-13} A$ 이하일 수 있다. 따라서, 채널 영역이 산화물 반도체막에 형성되는 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높다. 불순물의 예로서, 수소, 질소, 알칼리 금속, 및 알칼리 토금속을 들 수 있다.

[0077] 산화물 반도체막에 포함되는 수소는 금속 원자에 결합된 산소와 반응하여 물이 되고, 또한 산소가 방출된 격자(또는 산소가 방출된 부분)에 산소 빈자리가 형성된다. 이 산소 빈자리에 수소가 들어감으로 인하여, 캐리어로서 기능하는 전자가 발생되는 경우가 있다. 또한, 수소의 일부와 금속 원소에 결합된 산소의 결합이, 캐리어로

서 기능하는 전자를 발생시키는 경우가 있다. 따라서, 수소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다.

[0078] 따라서, 산화물 반도체막(82 및 84)에서 산소 빈자리만 아니라 수소도 가능한 한 저감되는 것이 바람직하다. 구체적으로는, 산화물 반도체막(82 및 84) 각각에서 SIMS(second ion mass spectrometry)에 의하여 측정되는 수소의 농도를 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 설정된다.

[0079] 14족에 속하는 원소 중 하나인 실리콘 또는 탄소가 산화물 반도체막(82 및 84)에 포함되면, 산화물 반도체막(82 및 84)에서 산소 빈자리가 증가되고, 산화물 반도체막(82 및 84)은 n형의 막이 된다. 따라서, SIMS에 의하여 측정되는, 산화물 반도체막(82 및 84) 각각에서의 실리콘 또는 탄소의 농도를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 설정한다.

[0080] 또한, SIMS에 의하여 측정되는, 산화물 반도체막(82 및 84) 각각에서의 알칼리 금속 또는 알칼리 토금속의 농도는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하이다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체에 결합될 때 캐리어를 생성할 수 있고, 이 경우, 트랜지스터의 오프 전류가 증가될 수 있다. 따라서, 산화물 반도체막(82 및 84)에서 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다.

[0081] 또한, 질소가 포함될 때, 산화물 반도체막(82 및 84)은 캐리어로서 기능하는 전자의 발생 및 캐리어 밀도의 증가에 의하여 n형화되기 쉽다. 질소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이 이유로, 산화물 반도체막에서의 질소는 가능한 한 저감되는 것이 바람직하고, 예를 들어 SIMS에 의하여 측정되는 질소의 농도를 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 설정하는 것이 바람직하다.

[0082] 다음에, 액정 표시 장치의 다른 구성 요소를 자세히 설명한다.

[0083] 기판(11)의 종류는 확정된 것에 한정되지 않고, 다양한 기판 중 어느 것을 기판(11)으로서 사용할 수 있다. 기판의 예에는, 반도체 기판(예를 들어 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스 스틸 기판, 스테인리스 스틸 포일을 포함하는 기판, 텅스텐 기판, 텅스텐 포일을 포함하는 기판, 가요성 기판, 부착 필름, 섬유 재료를 포함한 종이, 및 모재 필름이 포함된다. 유리 기판의 예는, 바륨보로실리케이트 유리 기판, 알루미노보로실리케이트 유리 기판, 및 소다 석회 유리 기판이다. 가요성 기판, 부착 필름, 모재 필름 등의 예는 다음과 같다: 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 및 폴리에티설폰(PES)으로 대표되는 플라스틱; 아크릴 등의 합성 수지; 폴리프로필렌; 폴리에스터; 폴리 불화 바이닐; 폴리염화 바이닐; 폴리아마이드; 폴리아미드; 아라미드; 애폐시; 무기 증착 필름; 및 종이. 구체적으로, 반도체 기판, 단결정 기판, SOI 기판 등을 사용하여 트랜지스터를 형성하면, 특성, 크기, 형상 등의 편차가 적고, 전류 공급 능력이 높고, 크기가 작은 트랜지스터를 형성할 수 있다. 이런 트랜지스터를 사용하여 회로를 형성함으로써, 회로의 소비 전력을 저감시킬 수 있거나, 또는 회로를 고집적화시킬 수 있다.

[0084] 또는, 기판(11)으로서 가요성 기판을 사용하여도 좋고 가요성 기판에 직접 트랜지스터(10k 및 10m)를 제공하여도 좋다. 또는, 기판(11)과 트랜지스터(10k 및 10m) 사이에 분리층을 제공하여도 좋다. 분리층은, 그 분리층 위에 형성된 반도체 장치의 일부 또는 전부를 기판(11)으로부터 분리하여 다른 기판으로 옮길 때 사용될 수 있다. 이 경우, 트랜지스터(10k 및 10m)는 내열성이 낮은 기판 또는 가요성 기판으로 옮겨질 수 있다. 상기 분리층에, 예를 들어 텅스텐막 및 산화 실리콘막인 무기막을 포함하는 적층, 또는 기판 위에 형성된 폴리아미드 등의 유기 수지막이 사용될 수 있다.

[0085] 트랜지스터가 옮겨지는 기판의 예로서는, 트랜지스터가 위에 형성될 수 있는 상술한 기판에 더하여, 종이 기판, 셀로판 기판, 아라미드 필름 기판, 폴리아미드 필름 기판, 석 기판, 목재 기판, 직물 기판(천연 섬유(예를 들어 비단(silk), 면(cotton), 또는 삼(hemp)), 합성 섬유(예를 들어 나일론, 폴리우레탄, 또는 폴리에스터), 재생 섬유(예를 들어 아세테이트, 큐프라, 레이온, 또는 재생 폴리에스터) 등을 포함함), 피혁 기판, 고무 기판 등을 포함한다. 이런 기판을 사용함으로써, 특성이 우수한 트랜지스터 또는 소비 전력이 낮은 트랜지스터가 형성될 수 있고, 내구성 및 내열성이 높은 장치를 제공할 수 있고, 또는 경량화 또는 박형화를 달성할 수 있다.

[0086] 베이스 절연막은 기판(11)과 게이트 전극(13c 및 13d) 사이에 제공되어도 좋다. 베이스 절연막의 예로서는, 산

화 실리콘막, 산화질화 실리콘막, 질화 실리콘막, 질화산화 실리콘막, 산화 갈륨막, 산화 하프늄막, 산화 이트륨막, 산화 알루미늄막, 및 산화질화 알루미늄막을 포함한다. 또한, 베이스 절연막에 질화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄 등이 사용될 때, 기판(11)으로부터 산화물 반도체막(82 및 84)으로의 알칼리 금속, 물, 및 수소 등 불순물의 확산을 억제할 수 있다.

[0087] 게이트 전극(13c 및 13d)은, 알루미늄, 크로뮴, 구리, 탄탈럼, 타이타늄, 몰리브데늄, 및 텉스텐으로부터 선택된 금속 원소; 이들 금속 원소 중 어느 것을 성분으로 포함하는 합금; 이들 금속 원소를 조합하여 포함한 합금 등을 사용하여 형성될 수 있다. 또한, 망가니즈 및 지르코늄으로부터 선택된 하나 이상의 금속 원소를 사용하여도 좋다. 게이트 전극(13c 및 13d)은 단층 구조를 가져도 좋고 2층 이상의 적층 구조를 가져도 좋다. 예를 들어, 실리콘을 포함한 알루미늄막의 단층 구조, 알루미늄막 위에 타이타늄막을 적층하는 2층 구조, 질화 타이타늄막 위에 타이타늄막을 적층하는 2층 구조, 질화 타이타늄막 위에 텉스텐막을 적층하는 2층 구조, 질화 탄탈럼막 또는 질화 텉스텐막 위에 텉스텐막을 적층하는 2층 구조, 타이타늄막, 알루미늄막, 및 타이타늄막을 이 순서대로 적층하는 3층 구조 등을 들 수 있다. 또는, 타이타늄, 탄탈럼, 텉스텐, 몰리브데늄, 크로뮴, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 원소 및 알루미늄을 포함하는 합금막 또는 질화물막을 사용하여도 좋다.

[0088] 게이트 전극(13c 및 13d)은 인듐 주석 산화물, 산화 텉스텐을 포함하는 인듐 산화물, 산화 텉스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘을 포함한 인듐 주석 산화물 등의 투광성의 도전성 재료를 사용하여 형성될 수도 있다. 또한, 상기 투광성의 도전성 재료와 상기 금속 원소를 사용하여 형성된 적층 구조를 가질 수도 있다.

[0089] 게이트 절연막(15)은 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨, 및 Ga-Zn계 금속 산화물 중 하나 이상을 사용한 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 또한, 산화물 반도체막(82 및 84)과의 계면의 특성을 향상시키기 위하여, 적어도 산화물 반도체막(82 및 84)에 접촉되는 영역의 게이트 절연막(15)은 산화물 절연막을 사용하여 형성되는 것이 바람직하다.

[0090] 게이트 절연막(15)은, 하프늄 실리케이트($HfSiO_x$), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$), 산화 하프늄, 또는 산화 이트륨 등의 high-k 재료를 사용하여 형성될 수 있어, 트랜지스터의 게이트 누설 전류를 저감시킬 수 있다.

[0091] 게이트 절연막(15)의 두께는 5nm 이상 400nm 이하, 바람직하게는 10nm 이상 300nm 이하, 더 바람직하게는 50nm 이상 250nm 이하이다.

[0092] 산화물 절연막(23 및 25) 각각은 게이트 절연막과 비슷한 재료를 적절히 사용하여 형성될 수 있다.

[0093] 산화물 절연막(23)은 질소를 포함하며 결함 수가 적은 산화물 절연막이어도 좋다.

[0094] 질소를 포함하며 결함 수가 적은 산화물 절연막의 대표적인 예로서는, 산화질화 실리콘막 및 산화질화 알루미늄막을 포함한다. 또한, "산화질화 실리콘막" 또는 "산화질화 알루미늄막"이란 질소보다 산소를 더 많이 포함하는 막을 말하고, "질화산화 실리콘막" 또는 "질화산화 알루미늄막"이란 산소보다 질소를 더 많이 포함하는 막을 말한다.

[0095] 결함 수가 적은 산화물 절연막의 100K 이하의 ESR 스펙트럼에서, 2.037 이상 2.039 이하의 g인자에서 나타나는 제 1 신호, 2.001 이상 2.003 이하의 g인자에서 나타나는 제 2 신호, 1.964 이상 1.966 이하의 g인자에서 나타나는 제 3 신호가 관찰된다. X 밴드를 사용한 ESR 측정에 의하여 얻어지는 제 1 신호와 제 2 신호 사이의 스플리트 폭 및 제 2 신호와 제 3 신호 사이의 스플리트 폭은 각각 약 5mT이다. 2.037 이상 2.039 이하의 g인자에서 나타나는 제 1 신호, 2.001 이상 2.003 이하의 g인자에서 나타나는 제 2 신호, 및 1.964 이상 1.966 이하의 g인자에서 나타나는 제 3 신호의 스펜 밀도의 합계가 $1 \times 10^{18} \text{ spins/cm}^3$ 미만, 대표적으로는 $1 \times 10^{17} \text{ spins/cm}^3$ 이상 $1 \times 10^{18} \text{ spins/cm}^3$ 미만이다.

[0096] 100K 이하의 ESR 스펙트럼에서, 2.037 이상 2.039 이하의 g인자에서 나타나는 제 1 신호, 2.001 이상 2.003 이하의 g인자에서 나타나는 제 2 신호, 및 1.964 이상 1.966 이하의 g인자에서 나타나는 제 3 신호는 질소 산화물 (NO_x ; x 는 0 이상 2 이하, 바람직하게는 1 이상 2 이하)에 기인한 신호에 상당한다. 질소 산화물의 대표적인 예로서는, 일산화 질소 및 이산화 질소를 포함한다. 즉, 2.037 이상 2.039 이하의 g인자에서 나타나는 제 1 신호, 2.001 이상 2.003 이하의 g인자에서 나타나는 제 2 신호, 및 1.964 이상 1.966 이하의 g인자에서 나타나는 제 3 신호의 총 스펜 밀도가 낮을수록, 산화물 절연막 내의 질소 산화물의 포함량이 적다.

- [0097] 산화물 절연막(23)에 상술한 바와 같이 질소 산화물의 양이 적게 포함될 때, 산화물 절연막(23)과 산화물 반도체막(82 및 84) 각각의 사이의 계면에서의 캐리어 트랩을 억제할 수 있다. 이 결과, 트랜지스터 각각의 문턱 전압의 시프트가 저감될 수 있고, 이에 의하여 트랜지스터의 전기 특성의 변동을 저감할 수 있다.
- [0098] 산화물 절연막(23)은 SIMS에 의하여 측정된 $6 \times 10^{20} \text{ atoms/cm}^3$ 이하의 질소 농도를 갖는 것이 바람직하다. 이 경우, 질소 산화물이 산화물 절연막(23)에 발생되기 어려워, 산화물 절연막(23)과 산화물 반도체막(82 및 84) 각각 사이의 계면에서의 캐리어 트랩을 억제할 수 있다. 또한, 반도체 장치에 포함되는 트랜지스터 각각의 문턱 전압에서의 시프트를 저감할 수 있고, 이에 의하여 트랜지스터의 전기 특성의 변동을 더 작게 할 수 있다.
- [0099] 또한, 상술한 바와 같은 질소를 포함하고 결합 수가 적은 산화물 절연막이 게이트 절연막(15)으로서 사용되어도 좋다. 이 경우, 게이트 절연막(15)과 산화물 반도체막(82 및 84) 각각 사이의 계면에서의 캐리어 트랩이 억제될 수 있다. 또한, 반도체 장치에 포함되는 트랜지스터 각각의 문턱 전압에서의 시프트를 저감할 수 있고, 이에 의하여 트랜지스터의 전기 특성의 변동을 더 저감할 수 있다.
- [0100] 산화물 절연막(25)은 화학량론적 조성에서의 산소보다 높은 비율로 산소를 포함하는 산화물 절연막을 사용하여 형성되어도 좋다. 화학량론적 조성에서의 산소보다 높은 비율로 산소를 포함하는 산화물 절연막으로부터 가열에 의하여 산소의 일부가 방출된다. 화학량론적 조성에서의 산소보다 높은 비율로 산소를 포함하는 산화물 절연막은 TDS 분석에서 산소 원자로 환산된 산소 방출량이 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물 절연막이다. 또한, TDS 분석에서의 막의 표면 온도는 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하가 바람직하다.
- [0101] 산화물 절연막(25)으로서는, 두께가 30nm 이상 500nm 이하, 바람직하게는 50nm 이상 400nm 이하의 산화 실리콘 막, 산화질화 실리콘 막 등을 사용할 수 있다. 질화물 절연막(27)으로서는, 적어도 수소 및 산소의 블로킹 효과를 갖는 막을 사용한다. 바람직하게는, 질화물 절연막(27)은 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등의 블로킹 효과를 갖는다. 질화물 절연막(27)을 제공함으로써, 산화물 반도체막(82 및 84)으로부터의 산소의 외부 확산, 외부로부터 산화물 반도체막(82 및 84)으로 수소, 물 등이 들어가는 것을 방지할 수 있다.
- [0102] 질화물 절연막(27)은 두께가 50nm 이상 300nm 이하, 바람직하게는 100nm 이상 200nm 이하인 질화 실리콘 막, 질화산화 실리콘 막, 질화 알루미늄 막, 질화산화 알루미늄 막 등을 사용하여 형성된다.
- [0103] 또한, 질화물 절연막(27) 대신에, 산소, 수소, 물 등에 대한 블로킹 효과를 갖는 산화물 절연막을 제공하여도 좋다. 산소, 수소, 물 등에 대한 블로킹 효과를 갖는 산화물 절연막으로서는, 산화 알루미늄 막, 산화질화 알루미늄 막, 산화 갈륨 막, 산화질화 갈륨 막, 산화 이트륨 막, 산화질화 이트륨 막, 산화 하프늄 막, 및 산화질화 하프늄 막을 들 수 있다.
- [0104] 화소부에서의 트랜지스터(10m)에서, 다른 화소들의 유기 절연막(88)에서 분리된 유기 절연막(88)이 보호막(21) 위에 제공되는 것이 바람직하다. 유기 절연막(88)에는, 예를 들어 폴리이미드, 아크릴, 폴리아마이드, 에폭시 등을 사용할 수 있다. 유기 절연막(88)의 두께는 500nm 이상 $10\mu\text{m}$ 이하인 것이 바람직하다.
- [0105] 외부로부터의 물이 유기 절연막(88)을 통하여 반도체 장치로 퍼지지 않도록 유기 절연막(88)이 다른 유기 절연막(88)에서 분리되는 것이 바람직하다.
- [0106] 유기 절연막(88)은 두껍기 때문에(500nm 이상), 게이트 전극(13d)으로의 음의 전압의 인가에 의하여 발생된 전계는 유기 절연막(88)의 표면에 영향을 미치지 않는다. 이 결과, 양의 전하가 유기 절연막(88)의 표면에 축적되기 어렵다. 또한, 대기에서의 양의 하전 입자가 유기 절연막(88)의 표면에 흡착되더라도, 유기 절연막(88)은 두껍기 때문에(500nm 이상), 유기 절연막(88)의 표면에 흡착된 양의 하전 입자의 전계는 산화물 반도체막(84)과 보호막(21) 사이의 계면에 영향을 미치기 어렵다. 결과적으로, 산화물 반도체막(84)과 보호막(21) 사이의 계면에 사실상 양의 바이어스가 인가되지 않는다. 따라서, 트랜지스터의 문턱 전압에서의 변화는 작다. 또한, 트랜지스터(10m)의 채널 길이는 $2.5\mu\text{m}$ 이상이어야 좋다.
- [0107] 다음에, 발광 장치의 구조에 대하여 도 2를 참조하여 설명한다.
- [0108] 도 2는 발광 장치의 단면도이고, 구동 회로부에 형성된 트랜지스터(10k)가 단면 A-B에 나타내어지고, 화소부에 형성된 트랜지스터(10m)가 단면 C-D에 나타내어진다.
- [0109] 절연막(95)이 보호막(21) 위에 제공된다. 또한, 제 1 전극(86a)은 절연막(95)에서의 개구를 통하여 트랜지스터(10m)의 전극(20d)에 접속되도록 제공된다. 제 1 전극(86a)은 투광성 도전막 또는 광 반사성을 갖는 도전막을

사용하여 형성될 수 있다.

[0110] 절연막(96)이 도전막(87), 제 1 전극(86a), 및 절연막(95) 위에 제공된다. 절연막(96)은 제 1 전극(86a)이 부분적으로 노출되는 개구를 포함한다. EL층(97)이 절연막(96) 및 제 1 전극(86a) 위에 제공되고, 제 2 전극(98)이 절연막(96) 및 EL층(97) 위에 제공된다. 제 1 전극(86a), EL층(97), 및 제 2 전극(98)은 유기 EL 소자(99)를 형성할 수 있다.

[0111] 절연막(95 및 96) 각각은 예를 들어 유기 수지 또는 무기 절연 재료를 사용하여 형성될 수 있다. 유기 수지로서, 예를 들어, 폴리아미드 수지, 폴리아마이드 수지, 아크릴 수지, 실록산 수지, 에폭시 수지, 또는 폐놀 수지를 사용할 수 있다. 무기 절연 재료로서, 산화 실리콘, 산화질화 실리콘 등을 사용할 수 있다. 특히, 감광성 수지는 절연막(95 및 96)의 형성을 쉽게 하기 위하여 사용되는 것이 바람직하다. 절연막(95 및 96)의 형성 방법에 특별한 한정은 없다. 포토리소그래피법, 스퍼터링법, 증착법, 액적 토출법(예를 들어 잉크젯법), 프린팅 법(예를 들어 스크린 프린팅법 또는 오프셋 프린팅법) 등을 이용할 수 있다.

[0112] 제 1 전극(86a)으로서, 예를 들어 가시광에 대하여 높은 광 반사성을 갖는 금속막을 사용하는 것이 바람직하다. 이 금속막으로서, 예를 들어 알루미늄, 은, 또는 이들 중 어느 것의 합금을 사용할 수 있다.

[0113] EL층(97)은 제 1 전극(86a) 및 제 2 전극(98)으로부터 주입된 정공 및 전자가 발광을 일으키도록 재결합될 수 있는 발광 재료를 사용하여 형성될 수 있다. 상기 EL층에 더하여, 정공 주입층, 정공 수송층, 전자 수송층, 또는 전자 주입층 등의 기능층을 필요에 따라 형성하여도 좋다.

[0114] 제 2 전극(98)으로서, 예를 들어 가시광을 투과시키는 도전막을 사용하는 것이 바람직하다. 예를 들어, 인듐(In), 아연(Zn), 및 주석(Sn) 중 하나를 포함하는 재료를 상기 도전막에 사용하는 것이 바람직하다. 제 2 전극(98)에는, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(ITO), 인듐 아연 산화물, 또는 산화 실리콘이 첨가된 인듐 주석 산화물 등의 투광성 도전 재료를 사용할 수 있다. 제 2 전극(98)에 산화 실리콘이 첨가되는 인듐 주석 산화물을 사용하는 것이 특히 바람직하고, 이 경우 발광 장치가 훨씬 제 2 전극(98)에 크랙 등이 생기기 어렵다.

<표시 장치 제작 방법>

[0116] 표시 장치에 포함된 트랜지스터의 제작 방법에 대하여 설명한다. 여기서, 표시 장치의 예로서 도 29에 나타낸 발광 장치를 사용하여, 트랜지스터(10k_4) 및 트랜지스터(10m_4)의 제작 방법에 대하여 도 3의 (A)~(C), 도 4의 (A) 및 (B), 및 도 5의 (A) 및 (B)를 참조하여 설명한다.

[0117] 트랜지스터(10k_4) 및 트랜지스터(10m_4)에 포함된 막(즉, 절연막, 산화물 반도체막, 금속 산화물막, 도전막 등)은 스퍼터링법, 화학 증착(CVD)법, 진공 증착법, 및 펠스 레이저 증착(PLD)법 중 어느 것을 이용하여 형성될 수 있다. 또는, 도포법 또는 프린팅법을 이용할 수 있다. 스퍼터링법 및 플라스마 화학 증착(PECVD)법이 막 형성 방법의 대표적인 예이지만, 열 CVD법을 이용하여도 좋다. 열 CVD법으로서 예를 들어 유기 금속 화학 증착(MOCVD)법 또는 원자층 증착(ALD)법을 이용하여도 좋다.

[0118] 열 CVD법에 의한 퇴적은, 채임버 내의 압력을 대기압 또는 감압으로 설정하고, 원료 가스와 산화제를 동시에 채임버에 공급하고 기판 근방 또는 기판 위에서 서로 반응시키는 식으로 수행된다. 따라서, 퇴적에서 플라스마가 발생되지 않으므로, 열 CVD법은 플라스마 대미지로 인한 결함이 생기는 일이 없다는 이점을 갖는다.

[0119] ALD법에 의한 퇴적은, 채임버 내의 압력을 대기압 또는 감압으로 설정하고, 반응을 위한 원료 가스가 연속적으로 채임버에 도입되어, 가스 도입의 순서가 반복되는 식으로 수행된다. 예를 들어, 각 스위칭 밸브(고속 밸브라고도 함)를 전환하여 2종류 이상의 원료 가스를 연속적으로 채임버에 공급한다. 이런 경우, 제 1 원료 가스를 도입하고, 원료 가스들이 섞이지 않도록 제 1 원료 가스 도입과 동시에 또는 그 후에 불활성 가스(예를 들어 아르곤 또는 질소) 등을 도입하고, 제 2 원료 가스를 도입한다. 또한, 동시에 제 1 원료 가스 및 불활성 가스를 도입하는 경우에는, 불활성 가스는 캐리어 가스로서 기능하고, 제 2 원료 가스와 동시에 불활성 가스를 도입하여도 좋다. 또는, 제 1 원료 가스는 불활성 가스의 도입 대신에 진공 배출에 의하여 배기되어도 좋고, 그리고 나서 제 2 원료 가스가 도입되어도 좋다. 제 1 원료 가스가 기판의 표면에 흡착되어 제 1 단원자층을 형성하고 나서, 제 2 원료 가스는 제 1 단원자층과 반응하도록 도입되고, 결과적으로 제 2 단원자층이 제 1 단원자층 위에 적층되어, 박막이 형성된다.

[0120] 이 가스 도입 순서를 원하는 두께가 얻어질 때까지 복수회 반복함으로써, 단차 피복성이 우수한 박막을 형성할

수 있다. 박막의 두께는 가스 도입 순서를 반복하는 횟수에 의하여 조절될 수 있기 때문에, ALD법은 정밀한 막 두께 조절을 가능하게 하여 극미한 FET를 제작하기에 적합하다.

[0121] 도 3의 (A)에 나타낸 바와 같이, 게이트 전극(13c 및 13d) 및 게이트 절연막(15)은 기판(11) 위에 형성된다. 다음에, 산화물 반도체막(83) 및 산화물 반도체막(81)의 적층막 및 산화물 반도체막(83a) 및 산화물 반도체막(81a)의 적층막이 게이트 절연막(15) 위에 형성된다.

[0122] 게이트 전극(13c 및 13d)의 형성 방법에 대하여 이하에서 제시한다. 먼저, 도전막을 스퍼터링법, 진공 증착법, 펠스 레이저 증착(PLD)법, 열 CVD법 등에 의하여 형성하고 나서, 포토리소그래피 공정에 의하여 도전막 위에 마스크를 형성한다. 다음에, 도전막을 마스크를 사용하여 부분적으로 에칭하여 게이트 전극(13c 및 13d)을 형성한다. 그 후, 마스크를 제거한다.

[0123] 또한, 게이트 전극(13c 및 13d)은 상기 형성 방법 대신에, 전해 도금법, 프린팅법, 잉크젯법 등으로 형성되어도 좋다.

[0124] 또는, ALD를 채용하는 퇴적 장치에 의하여 도전막으로서 텅스텐막을 형성할 수 있다. 이 경우에는, WF₆ 가스와 B₂H₆ 가스를 연속적으로 몇 번 도입하여 초기 텅스텐막을 형성하고, 그 후, WF₆ 가스와 H₂ 가스를 동시에 도입하여, 텅스텐막을 형성한다. 또한, B₂H₆ 가스 대신에 SiH₄ 가스를 사용하여도 좋다.

[0125] 여기서, 두께 100nm의 텅스텐막을 스퍼터링법에 의하여 형성한다. 다음에, 포토리소그래피 공정에 의하여 마스크를 형성하고, 마스크를 사용하여 텅스텐막을 건식 에칭하여, 게이트 전극(13c 및 13d)을 형성한다.

[0126] 게이트 절연막(15)은 스퍼터링법, CVD법, 진공 증착법, 펠스 레이저 증착(PLD)법, 열 CVD법 등으로 형성된다.

[0127] 게이트 절연막(15)으로서, 산화 실리콘막 또는 산화질화 실리콘막을 형성하는 경우, 원료 가스로서는 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 가스의 대표적인 예로서는, 실레인, 다이실레인, 트라이실레인, 및 불화 실레인을 포함한다. 산화성 가스의 예로서는, 산소, 오존, 일산화이질소, 및 이산화 질소를 포함한다.

[0128] 게이트 절연막(15)으로서 산화 갈륨막을 형성하는 경우, MOCVD법을 이용할 수 있다.

[0129] 게이트 절연막(15)으로서 MOCVD법 또는 ALD법 등의 열 CVD법을 이용하여 산화 하프늄막을 형성하는 경우에는, 2종류의 가스, 즉, 용매와 하프늄 전구체 화합물을 포함하는 액체(하프늄알콕사이드 용액, 대표적으로는 테트라키스(다이메틸아마이드)하프늄(TDMAH))를 기화시켜 얻어진 원료 가스와 산화제로서의 오존(O₃)을 사용한다. 또한, 테트라키스(다이메틸아미노)하프늄의 화학식은 Hf[N(CH₃)₂]₄이다. 다른 재료액의 예로서는, 테트라키스(에틸메틸아마이드)하프늄을 포함한다.

[0130] 게이트 절연막(15)으로서 MOCVD법 또는 ALD법 등의 열 CVD법을 이용하여 산화 알루미늄막을 형성하는 경우에는 용매와 알루미늄 전구체 화합물을 포함하는 액체(예를 들어 트라이메틸알루미늄(TMA))를 기화시켜 얻어진 2종류의 가스, 즉 원료 가스와, 산화제로서 H₂O를 사용한다. 또한, 트라이메틸알루미늄의 화학식은 Al(CH₃)₃이다. 또한, 다른 재료액의 예로서는, 트리스(다이메틸아마이드)알루미늄, 트라이아이소뷰틸알루미늄, 및 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵테인디오네이트)를 포함한다.

[0131] 또한, 게이트 절연막(15)으로서 MOCVD법 또는 ALD법 등의 열 CVD법을 이용하여 산화 실리콘막을 형성하는 경우에는 핵사를로로다이실레인을 퇴적 표면에 흡착시켜, 흡착물에 포함되는 염소를 제거하고, 산화성 가스(예를 들어, O₂ 또는 일산화이질소)의 라디칼을 공급하여 상기 흡착물과 반응시킨다.

[0132] 여기서, 게이트 절연막(15)으로서 플라스마 CVD법에 의하여 산화질화 실리콘막을 형성한다.

[0133] 산화물 반도체막(83) 및 산화물 반도체막(81)의 적층막 및 산화물 반도체막(83a) 및 산화물 반도체막(81a)의 적층막의 형성 방법에 대하여 이하에서 제시한다. 산화물 반도체막(83) 및 산화물 반도체막(83a)이 되는 산화물 반도체막, 및 산화물 반도체막(81) 및 산화물 반도체막(81a)이 되는 산화물 반도체막은 게이트 절연막(15) 위에, 스퍼터링법, 도포법, 펠스 레이저 증착법, 레이저 흡착법, 열 CVD법 등에 의하여 형성된다. 그리고, 포토리소그래피 공정에 의하여, 적층된 산화물 반도체막 위에 마스크를 형성한 후에, 이 적층된 산화물 반도체막을 마스크를 사용하여 부분적으로 에칭한다. 따라서, 도 3의 (B)에 도시된 바와 같이, 게이트 절연막(15) 위에 있고 게이트 전극(13c)과 부분적으로 중첩되도록 소자 분리되는 산화물 반도체막(83) 및 산화물 반도체막(81)의

적층막, 및 게이트 절연막(15) 위에 있고 게이트 전극(13d)과 부분적으로 중첩되도록 소자 분리되는 산화물 반도체막(83a) 및 산화물 반도체막(81a)의 적층막이 형성된다. 그 후, 마스크를 제거한다.

[0134] 스퍼터링법으로 산화물 반도체막을 형성하는 경우, 플라스마를 발생시키기 위한 전원 장치로서, RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 사용할 수 있다.

[0135] 스퍼터링 가스로서, 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 희가스 및 산소의 혼합 가스를 적절히 사용한다. 희가스와 산소의 혼합 가스를 사용하는 경우에, 희가스에 대한 산소의 비율이 높아지는 것이 바람직하다.

[0136] 또한, 타깃은 형성되는 산화물 반도체막의 조성에 따라 적절히 선택되어도 좋다.

[0137] 예를 들어, 산화물 반도체막을, 스퍼터링법을 이용하여 150°C 이상 750°C 이하, 바람직하게는 150°C 이상 450°C 이하, 더 바람직하게는 200°C 이상 350°C 이하의 기판 온도에서 형성하는 경우, 산화물 반도체막은 CAAC-OS막이 될 수 있다.

[0138] CAAC-OS막의 퇴적에는 이하의 조건을 사용하는 것이 바람직하다.

[0139] 퇴적 중 막에 불순물이 들어가는 것을 억제함으로써, 불순물에 의하여 결정 상태가 파괴되는 것을 억제할 수 있다. 예를 들어, 증착 체임버 내에 존재하는 불순물(예를 들어, 수소, 물, 이산화탄소, 및 질소)의 농도를 저감하면 좋다. 또한, 퇴적성 가스 내의 불순물 농도를 저감시키면 좋다. 구체적으로는, 이슬점이 -80°C 이하, 바람직하게는 -100°C 이하인 증착 가스를 사용한다.

[0140] 또한, 퇴적성 가스 내의 산소 비율을 높이고 전력을 최적화시킴으로써 퇴적 시의 플라스마 대미지를 저감시키면 바람직하다. 퇴적성 가스 내의 산소 비율은 30vol% 이상, 바람직하게는 100vol%이다.

[0141] 산화물 반도체막을 가열하면서 또는 산화물 반도체막의 형성 후에 가열을 수행하면서 산화물 반도체막을 형성함으로써, 수소 농도를 $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더더욱 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 할 수 있다.

[0142] 예를 들어, ALD를 채용하는 퇴적 장치에 의하여 산화물 반도체막, 예를 들어 InGaZnO_X(X>0)막을 형성하는 경우에는, In(CH₃)₃ 가스 및 O₃ 가스를 연속적으로 몇 번 도입하여 InO₂층을 형성하고, Ga(CH₃)₃ 가스 및 O₃ 가스를 동시에 도입하여 GaO층을 형성하고, 또한 그 후 Zn(CH₃)₂ 가스 및 O₃ 가스를 동시에 도입하여 ZnO층을 형성한다. 또한, 이들 층의 순서는 이 예에 한정되지 않는다. 이들 가스를 혼합하여 InGaO₂층, InZnO₂층, GaInO₂층, ZnInO 층, 또는 GaZnO₂층 등의 혼합 화합물층을 형성하여도 좋다. 또한, O₃ 가스 대신에, Ar 등의 불활성 가스로 베블링되어 얻어지는 H₂O 가스를 사용하여도 좋지만, H를 포함하지 않는 O₃ 가스를 사용하는 것이 바람직하다. In(CH₃)₃ 가스 대신에, In(C₂H₅)₃ 가스를 사용하여도 좋다. Ga(CH₃)₃ 가스 대신에, Ga(C₂H₅)₃ 가스를 사용하여도 좋다. 또한, Zn(CH₃)₂ 가스를 사용하여도 좋다.

[0143] 여기서, 두께 10nm의 산화물 반도체막 및 두께 35nm의 산화물 반도체막을, 각각 금속 원소의 원자수비 In:Ga:Zn=1:3:6의 타깃 및 금속 원소의 원자수비 In:Ga:Zn=3:1:2의 타깃을 사용하여 스퍼터링법을 이용하여 이 순서대로 형성하고, 상기 산화물 반도체막 위에 마스크를 형성하고 나서, 산화물 반도체막을 선택적으로 에칭한다.

[0144] 가열 처리가, 350°C보다 높고 650°C 이하, 바람직하게는 450°C 이상 600°C 이하로 수행되는 경우, 후술하는 CAAC의 비율이 70% 이상 100% 미만, 바람직하게는 80% 이상 100% 미만, 더 바람직하게는 90% 이상 100% 미만, 더욱 바람직하게는 95% 이상 98% 이하인 산화물 반도체막을 얻을 수 있다. 또한, 수소, 물 등의 포함량이 낮은 산화물 반도체막을 얻을 수 있다. 즉, 불순물 농도가 낮고 결함 상태의 밀도가 낮은 산화물 반도체막을 형성할 수 있다.

[0145] 그 다음에, 도 3의 (B)에 나타낸 바와 같이, 산화물 반도체막이 적층막 및 게이트 절연막(15) 위에 형성되고, 원하는 형태로 에칭되어, 산화물 반도체막(83) 및 산화물 반도체막(81)의 적층막을 덮는 산화물 반도체막(82), 및 산화물 반도체막(83a) 및 산화물 반도체막(81a)의 적층막을 덮는 산화물 반도체막(84)이 형성된다.

- [0146] 이 스텝에서, 산화물 반도체막(82)은 산화물 반도체막(83)의 측면 및 산화물 반도체막(81)의 상면 및 측면을 덮도록 형성되어, 한 쌍의 전극을 형성하는 나중의 스텝에서 산화물 반도체막(83) 및 산화물 반도체막(81)이 에칭되는 것을 방지한다. 이것은, 트랜지스터의 채널 폭 방향에서의 산화물 반도체막(83) 및 산화물 반도체막(81)의 길이의 변화를 저감할 수 있기 때문에 바람직하다. 마찬가지로, 산화물 반도체막(84)은 산화물 반도체막(83a)의 측면 및 산화물 반도체막(81a)의 상면 및 측면을 덮도록 형성되어, 한 쌍의 전극을 형성하는 나중의 스텝에서 산화물 반도체막(83a) 및 산화물 반도체막(81a)이 에칭되는 것을 방지한다. 이것은, 트랜지스터의 채널 폭 방향에서의 산화물 반도체막(83a) 및 산화물 반도체막(81a)의 길이의 변화를 저감할 수 있기 때문에 바람직하다.
- [0147] 다음에 가열 처리가, 산화물 반도체막을 탈수소화 또는 탈수화하기 위하여 수행되어도 좋다. 가열 처리의 온도는 대표적으로는, 150°C 이상 기판 스트레인점 미만, 바람직하게는 250°C 이상 450°C 이하, 더 바람직하게는 300°C 이상 450°C 이하이다.
- [0148] 가열 처리는, 헬륨, 네온, 아르곤, 제논, 또는 크립톤 등의 희가스, 또는 질소를 포함한 불활성 가스 분위기하에서 수행된다. 또한, 먼저 불활성 가스 분위기하에서 가열 처리를 수행하고 나서, 산소 분위기하에서 가열 처리를 수행하여도 좋다. 상기 불활성 가스 분위기 및 상기 산소 분위기에 수소, 물 등이 포함되지 않는 것이 바람직하다. 처리 시간은 3분에서 24시간이다.
- [0149] 이 가열 처리에는, 전기로, RTA 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써, 가열 처리가 단시간이라면, 기판의 스트레인점 이상의 온도에서 가열 처리를 수행할 수 있다. 따라서, 가열 처리 시간을 단축할 수 있다.
- [0150] 여기서, 가열 처리를 질소와 산소의 혼합 가스에서 450°C에서 수행하고 나서, 다른 가열 처리를 산소 분위기에서 450°C에서 수행한다.
- [0151] 또한, 상기 가열 처리 대신에, 비슷한 가열 처리를 도 3의 (A)에 나타낸 스텝 후에 수행하여도 좋다.
- [0152] 다음에, 도 3의 (C)에 도시된 바와 같이, 한 쌍의 전극(19c 및 20c) 및 한 쌍의 전극(19d 및 20d)은 산화물 반도체막(82) 및 산화물 반도체막(84) 위에 형성된다.
- [0153] 한 쌍의 전극(19c 및 20c) 및 한 쌍의 전극(19d 및 20d)의 형성 방법에 대하여 이하에서 설명한다. 먼저, 도전막이 스퍼터링법, 진공 증착법, 펄스 레이저 증착(PLD)법, 열 CVD법 등에 의하여 형성된다. 그리고, 포토리소그래피 공정에 의하여 상기 도전막 위에 마스크를 형성한다. 그리고, 도전막을 마스크를 사용하여 에칭하여, 한 쌍의 전극(19c 및 20c) 및 한 쌍의 전극(19d 및 20d)을 형성한다. 그 후, 마스크를 제거한다.
- [0154] 여기서, 두께 50nm의 구리-망가니즈 합금막, 두께 400nm의 구리막, 및 두께 100nm의 구리-망가니즈 합금막을 스퍼터링법으로 이 순서대로 적층한다. 다음에, 포토리소그래피 공정에 의하여 구리-망가니즈 합금막 위에 마스크를 형성하고 마스크를 사용하여 구리-망가니즈 합금막들 및 구리막을 건식 에칭하여, 한 쌍의 전극(19c 및 20c) 및 한 쌍의 전극(19d 및 20d)을 형성한다.
- [0155] 또한, 가열 처리는 한 쌍의 전극(19c 및 20c) 및 한 쌍의 전극(19d 및 20d)이 형성된 후에 수행되어도 좋다. 예를 들어, 이 가열 처리는 산화물 반도체막(82) 및 산화물 반도체막(84)이 형성된 후에 수행되는 가열 처리와 비슷한 식으로 수행될 수 있다.
- [0156] 한 쌍의 전극(19c 및 20c) 및 한 쌍의 전극(19d 및 20d)을 형성한 후에, 에칭 잔류물을 제거하기 위하여 세척 처리가 수행되는 것이 바람직하다. 한 쌍의 전극(19c 및 20c) 사이의 단락 및 한 쌍의 전극(19d 및 20d) 사이의 단락은 이 세척 처리에 의하여 억제될 수 있다. 이 세척 처리는 TMAH(tetramethylammonium hydroxide) 용액 등의 알칼리성 용액; 불화 수소산, 수산 용액, 또는 인산 용액 등의 산성 용액; 또는 물을 사용하여 수행될 수 있다.
- [0157] 그리고, 도 4의 (A)에 나타낸 바와 같이, 보호막(21)은 게이트 절연막(15), 산화물 반도체막(82), 산화물 반도체막(84), 한 쌍의 전극(19c 및 20c), 및 한 쌍의 전극(19d 및 20d) 위에 형성된다.
- [0158] 보호막(21)은 스퍼터링법, CVD법, 증착법 등에 의하여 형성될 수 있다.
- [0159] 보호막(21)에 포함된 산화물 절연막(23)으로서, 질소를 포함하고 결함량이 적은 산화물 절연막을 형성하는 경우, 그 산화물 절연막의 예로서 산화질화 실리콘막을 CVD법을 이용하여 형성할 수 있다. 이 경우, 원료 가스로서는, 실리콘을 포함한 퇴적성 가스, 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함한 퇴적성

가스의 대표적인 예로서는, 실레인, 다이실레인, 트라이실레인, 및 불화 실레인을 포함한다. 산화성 가스의 예로서는 일산화이질소 및 이산화질소를 포함한다.

- [0160] 퇴적성 가스에 대한 산화성 가스의 비율을 20배보다 크고 100배 미만, 바람직하게는 40배 이상 80배 이하로 하고, 처리실 내의 압력을 100Pa 미만, 바람직하게는 50Pa 이하로 하는 조건하에서 CVD법을 이용함으로써, 산화물 절연막(23)으로서 질소가 포함되며 결합량이 적은 산화물 절연막을 형성할 수 있다.
- [0161] 화학량론적 조성에서의 산소보다 많은 비율로 산소를 포함하는 산화물 절연막을, 보호막(21)에 포함된 산화물 절연막(25)으로서 형성하는 경우, 이 산화물 절연막의 예로서 산화질화 실리콘막을 CVD법을 이용하여 형성할 수 있다.
- [0162] 산화물 절연막(25)으로서는, 산화 실리콘막 또는 산화질화 실리콘막이 이하 조건하에서 형성된다: 진공 배출된 플라스마 CVD 장치의 처리실 내에 위치하는 기판을 180°C 이상 280°C 이하, 바람직하게는 200°C 이상 240°C 이하의 온도로 유지하고, 압력은 처리실에 원료 가스를 도입하여 100Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 200Pa 이하로 하고, 처리실 내에 제공되는 전극에 0.17W/cm^2 이상 0.5W/cm^2 이하, 바람직하게는 0.25W/cm^2 이상 0.35W/cm^2 이하의 고주파 전력을 공급한다.
- [0163] 질화물 절연막(27)은 스퍼터링법, CVD법 등을 이용하여 형성될 수 있다.
- [0164] 질화물 절연막(27)으로서 플라스마 CVD법에 의하여 질화 실리콘막을 형성하는 경우, 실리콘을 포함하는 퇴적성 가스, 질소, 및 암모니아를 원료 가스로서 사용한다. 원료 가스로서는, 질소의 양보다 소량의 암모니아를 사용함으로써, 암모니아가 플라스마 내에서 분리되어, 활성종이 발생된다. 상기 활성종은 실리콘을 포함한 퇴적성 가스에 포함되는 실리콘 및 수소 사이의 결합, 및 질소 분자들 사이의 삼중 결합을 파괴한다. 이 결과, 실리콘과 질소 사이의 결합이 촉진되고 실리콘과 수소 사이의 결합이 적은, 결함이 적으며 치밀한 질화 실리콘막을 형성할 수 있다. 한편, 원료 가스에 있어서, 질소의 양보다 암모니아의 양이 많으면, 실리콘을 포함하는 퇴적성 가스의 분해 및 질소의 분해가 촉진되지 않아, 실리콘과 수소 사이의 결합이 잔존하고 결함이 증가된 성긴 질화 실리콘막이 형성된다. 따라서, 원료 가스에서, 암모니아에 대한 질소의 유량비를 5 이상 50 이하, 바람직하게는 10 이상 50 이하로 하는 것이 바람직하다.
- [0165] 산화물 절연막(25)의 형성 후에 가열 처리가 수행된다. 가열 처리의 온도는 대표적으로는 150°C 이상 기판의 스트레인점 미만, 바람직하게는 200°C 이상 450°C 이하, 더 바람직하게는 300°C 이상 450°C 이하이다. 가열 처리에 의하여, 산화물 절연막(25)에 포함된 산소의 일부는 산화물 반도체막(83, 81, 82, 83a, 81a, 및 84)으로 이동할 수 있어, 이를 산화물 반도체막에 포함된 산소 빈자리 수를 줄일 수 있다.
- [0166] 여기서는, 질소 및 산소를 포함한 혼합 분위기에서, 350°C, 1시간 동안 가열 처리를 수행한다.
- [0167] 또한 가열 처리는 질화물 절연막(27)의 형성 후에 수행될 수 있어, 수소 등이 보호막(21)으로부터 방출된다.
- [0168] 여기서, 질소 및 산소를 포함한 혼합 가스 분위기에서, 350°C, 1시간 동안 가열 처리를 수행한다.
- [0169] 상술한 스텝을 거쳐, 각각 문턱 전압의 시프트가 저감되는 트랜지스터를 제작할 수 있다. 또한, 각각 전기 특성의 변화가 저감되는 트랜지스터를 제작할 수 있다.
- [0170] 다음에, 도 4의 (B)에 나타낸 바와 같이, 트랜지스터(10k_4)의 산화물 반도체막(82) 위의 보호막(21)이 부분적으로 노출되는 개구 및 트랜지스터(10m_4)의 전극(20d)이 부분적으로 노출되는 개구를 포함하는 절연막(95)을 형성한다. 그리고, 도전막(87)은 트랜지스터(10k_4)의 산화물 반도체막(82)과 중첩되도록 보호막(21) 위에 형성되고, 트랜지스터(10m_4)의 전극(20d)에 접속된 제 1 전극(86a)이 절연막(95) 위에 형성된다.
- [0171] 절연막(95)은 포토리소그래피법, 스퍼터링법, 증착법, 액적 토출법(예를 들어 잉크젯법), 프린팅법(예를 들어 스크린 프린팅법 또는 오프셋 프린팅법) 등에 의하여 형성될 수 있다.
- [0172] 여기서, 절연막(95)은 감광성 폴리이미드를 사용하여 형성된다.
- [0173] 제 1 전극(86a)은 스퍼터링법, 증착법, 액적 토출법(예를 들어 잉크젯법), 프린팅법(예를 들어 스크린 프린팅법 또는 오프셋 프린팅법) 등에 의하여 형성될 수 있다.
- [0174] 다음에, 도 5의 (A)에 나타낸 바와 같이, 절연막(96)은 절연막(95), 도전막(87), 및 제 1 전극(86a) 위에 형성된다. 절연막(96)은 절연막(95)과 비슷한 방법을 적절히 이용하여 형성될 수 있다.

- [0175] 그리고, 도 5의 (B)에 나타낸 바와 같이, EL층(97)은 절연막(96) 및 제 1 전극(86a) 위에 형성된다. EL층(97)은 증착법, 액적 토출법(예를 들어 잉크젯법), 도포법 등에 의하여 형성될 수 있다.
- [0176] 상술한 스텝을 거쳐, 고속 동작이 가능하고, 광 조사로 인하여 쉽게 악화되지 않으며 표시 품질이 높은 화소부를 갖는 표시 장치를 제작할 수 있다.
- [0177] 도 1에 나타낸 액정 표시 장치 및 도 2에 나타낸 발광 장치에서의 트랜지스터의 변형예에 대하여 이하에서 제시한다.
- [0178] <변형 예 1>
- [0179] 도 1에 나타낸 액정 표시 장치 및 도 2에 나타낸 발광 장치는 두 개의 산화물 반도체막이 적층되는 트랜지스터를 포함하여도 좋다. 여기서, 도 1에 나타낸 액정 표시 장치의 변형예에 대하여 설명한다. 구체적으로는, 도 26에 나타낸 바와 같이, 산화물 반도체막(81) 및 산화물 반도체막(82)이 게이트 절연막(15) 위에 적층되는 트랜지스터(10k_1), 및 산화물 반도체막(81a) 및 산화물 반도체막(84)이 게이트 절연막(15) 위에 적층되는 트랜지스터(10m_1)가 제공된다.
- [0180] 산화물 반도체막(81) 및 산화물 반도체막(81a)에서 In 원자의 비율이 Zn 또는 M(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 원자의 그것 이상이어도 좋다. 산화물 반도체막(81) 및 산화물 반도체막(81a)이 In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)을 포함하고, 금속 원소의 원자수비 $In:M:Zn=x_3:y_3:z_3$ 의 타깃이 산화물 반도체막(81) 및 산화물 반도체막(81a)의 형성에 사용되는 경우, x_3/y_3 은 바람직하게는 1보다 크고 6 이하이다. 타깃에서의 금속 원소의 원자수비의 대표적인 예로서는 $In:M:Zn=2:1:1.5$, $In:M:Zn=2:1:2.3$, $In:M:Zn=2:1:3$, $In:M:Zn=3:1:2$, $In:M:Zn=3:1:3$, $In:M:Zn=3:1:4$, $In:M:Zn=1:1:1$, 및 $In:M:Zn=1:1:1.2$ 이다.
- [0181] 산화물 반도체막(82) 및 산화물 반도체막(84)에서 In 원자의 비율이 Zn 또는 M(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 원자의 그것 미만이어도 좋다. 산화물 반도체막(82) 및 산화물 반도체막(84)이 In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)을 포함하고, 금속 원소의 원자수비 $In:M:Zn=x_4:y_4:z_4$ 의 타깃이 산화물 반도체막(82) 및 산화물 반도체막(84)의 형성에 사용되는 경우, x_4/y_4 는 바람직하게는 1/6 이상 1 이하이고, z_4/y_4 는 바람직하게는 1/3 이상 6 이하, 더 바람직하게는 1 이상 6 이하이다. 또한, z_4/y_4 가 1 이상 6 이하인 경우, CAAC-OS막이 산화물 반도체막(82) 및 산화물 반도체막(84)으로서 형성되기 쉽다. 타깃에서의 금속 원소의 원자수비의 대표적인 예로서는 $In:M:Zn=1:3:2$, $In:M:Zn=1:3:4$, $In:M:Zn=1:3:6$, $In:M:Zn=1:3:8$, $In:M:Zn=1:4:4$, $In:M:Zn=1:4:5$, $In:M:Zn=1:4:6$, $In:M:Zn=1:4:7$, $In:M:Zn=1:4:8$, $In:M:Zn=1:5:5$, $In:M:Zn=1:5:6$, $In:M:Zn=1:5:7$, $In:M:Zn=1:5:8$, 및 $In:M:Zn=1:6:8$ 이다.
- [0182] <변형 예 2>
- [0183] 도 1에 나타낸 액정 표시 장치 및 도 2에 나타낸 발광 장치는 세 개 이상의 산화물 반도체막이 적층되는 트랜지스터를 포함하여도 좋다. 여기서, 도 2에 나타낸 발광 장치의 변형예에 대하여 설명한다. 구체적으로는, 도 27에 나타낸 바와 같이, 산화물 반도체막(83), 산화물 반도체막(81), 및 산화물 반도체막(82)이 게이트 절연막(15) 위에 적층되는 트랜지스터(10k_2), 및 산화물 반도체막(83a), 산화물 반도체막(81a), 및 산화물 반도체막(84)이 게이트 절연막(15) 위에 적층되는 트랜지스터(10m_2)가 제공된다.
- [0184] 산화물 반도체막(83) 및 산화물 반도체막(83a)에, 산화물 반도체막(82) 및 산화물 반도체막(84)에서의 금속 원소의 원자수비의 예로서 든 원자수비 중 어느 것을 갖는 산화물 반도체막을 적절히 사용할 수 있다. 트랜지스터의 채널 영역으로서 기능하는 산화물 반도체막(81) 및 산화물 반도체막(81a) 각각은, 적층된 산화물 반도체막 중 가장 두껍다. 산화물 반도체막(81) 및 산화물 반도체막(81a) 각각의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 30nm 이상 50nm 이하이다. 산화물 반도체막(83) 및 산화물 반도체막(83a) 각각은 적층된 산화물 반도체막 중 가장 얇은 것이 바람직하다. 산화물 반도체막(83) 및 산화물 반도체막(83a) 각각의 두께는 2nm 이상 100nm 이하, 바람직하게는 2nm 이상 50nm 이하, 더 바람직하게는 3nm 이상 15nm 이하이다.
- [0185] <변형 예 3>
- [0186] 도 1에 나타낸 액정 표시 장치 및 도 2에 나타낸 발광 장치는 두 개의 산화물 반도체막이 적층되는 트랜지스터를 포함하여도 좋다. 여기서, 도 1에 나타낸 액정 표시 장치의 변형예에 대하여 설명한다. 구체적으로는, 도 28에 나타낸 바와 같이, 산화물 반도체막이 적층되는 트랜지스터를 제공한다. 상기 트랜지스터는, 게이트 절연

막(15) 위에 산화물 반도체막(81) 및 산화물 반도체막(81)의 측면 및 상면을 덮는 산화물 반도체막(82)이 적층되는 트랜지스터(10k_3), 및 게이트 절연막(15) 위에 산화물 반도체막(81a) 및 산화물 반도체막(81a)의 측면 및 상면을 덮는 산화물 반도체막(84)이 적층되는 트랜지스터(10m_3)이다.

[0187] 산화물 반도체막(82)은 산화물 반도체막(81)의 상면 및 측면을 덮도록 형성되므로, 산화물 반도체막(81)은 한 쌍의 전극을 형성하는 나중의 스텝에서 에칭되지 않는다. 이것은, 트랜지스터의 채널 폭 방향에서의 산화물 반도체막(81)의 길이의 변화를 저감할 수 있기 때문에 바람직하다. 또한, 산화물 반도체막(84)은 산화물 반도체막(81a)의 상면 및 측면을 덮도록 형성되므로, 산화물 반도체막(81a)은 한 쌍의 전극을 형성하는 나중의 스텝에서 에칭되지 않는다. 이것은, 트랜지스터의 채널 폭 방향에서의 산화물 반도체막(81a)의 길이의 변화를 저감할 수 있기 때문에 바람직하다.

[0188] <변형 예 4>

[0189] 도 1에 나타낸 액정 표시 장치 및 도 2에 나타낸 발광 장치는 세 개 이상의 산화물 반도체막이 적층되는 트랜지스터를 포함하여도 좋다. 여기서, 도 2에 나타낸 발광 장치의 변형예에 대하여 설명한다. 구체적으로는, 도 29에 나타낸 바와 같이, 산화물 반도체막이 적층되는 트랜지스터를 제공한다. 상기 트랜지스터는, 게이트 절연막(15) 위에 산화물 반도체막(83), 및 산화물 반도체막(83) 위의 산화물 반도체막(81), 및 산화물 반도체막(83)의 측면 및 산화물 반도체막(81)의 측면 및 상면을 덮는 산화물 반도체막(82)이 적층되는 트랜지스터(10k_4), 및 게이트 절연막(15) 위에 산화물 반도체막(83a), 산화물 반도체막(83a) 위의 산화물 반도체막(81a), 및 산화물 반도체막(83a)의 측면 및 산화물 반도체막(81a)의 측면 및 상면을 덮는 산화물 반도체막(84)이 적층되는 트랜지스터(10m_4)이다.

[0190] 도 28 및 도 29 각각은 도전막(87)이 제공되는 경우를 도시한 것이지만, 본 발명의 일 형태는 이에 한정되지 않는다. 어느 경우에는, 도전막(87)은 제공되지 않는다. 이 경우의 예를 도 12 및 도 13에 도시하였다.

[0191] 도 1, 도 2 등에서 산화물 반도체막(82), 산화물 반도체막(84) 등이 전극(19c, 20c, 19d, 및 20d) 등 아래에 제공되지만, 본 발명의 일 형태는 이에 한정되지 않는다. 산화물 반도체막(82), 산화물 반도체막(84) 등이 전극(19c, 20c, 19d, 및 20d) 등 위에 제공되어도 좋다. 도 14, 도 15, 도 16, 도 17, 도 18, 및 도 19는 이런 경우의 예를 도시한 것이다. 도 14는 전극(19c 및 20c) 위에 산화물 반도체막(82)의 단층이 제공되는 트랜지스터(10k)를 포함하는 액정 표시 장치의 예를 나타낸 것이고, 도 15는 전극(19c 및 20c) 위에 산화물 반도체막(82)의 단층이 제공되는 트랜지스터(10n)를 포함하는 발광 장치의 예를 나타낸 것이다. 도 16은 전극(19c 및 20c) 위에 두 개의 산화물 반도체막이 제공되는 트랜지스터(10k)를 포함하는 액정 표시 장치의 예를 나타낸 것이고, 도 17은 전극(19c 및 20c) 위에 세 개의 산화물 반도체막이 제공되는 트랜지스터(10n)를 포함하는 발광 장치의 예를 나타낸 것이다. 도 18은 전극(19c 및 20c) 위에 두 개의 산화물 반도체막이 제공되는 트랜지스터(10k)를 포함하는 액정 표시 장치의 예를 나타낸 것이고, 도 19는 전극(19c 및 20c) 위에 세 개의 산화물 반도체막이 제공되는 트랜지스터(10n)를 포함하는 발광 장치의 예를 나타낸 것이다. 또한, 도 18 및 도 19에 나타낸 구조에서도, 도전막(87)은 생략될 수 있다. 도 20은 도전막(87)이 없는 도 18의 구조를 도시한 것이고, 도 21은 도전막(87)이 없는 도 19의 구조를 도시한 것이다.

[0192] <변형 예 5>

[0193] 도 1은 채널 에치 트랜지스터를 나타낸 것이지만, 적절히 채널 보호 트랜지스터를 사용할 수 있다.

[0194] <변형 예 6>

[0195] 도 1은 보텀 게이트 트랜지스터를 나타낸 것이지만, 화소 회로 및/또는 구동 회로에 사용되는 트랜지스터는 도 22의 (A)~(C)에 나타낸 바와 같이 톱 게이트 보텀 콘택트 구조를 가져도 좋다. 도 22의 (A)는 트랜지스터의 상면도이고, 도 22의 (B) 및 (C)는 트랜지스터의 단면도이다. 도 22의 (A)의 일점 쇄선 A-B를 따른 채널 길이 방향의 단면도 및 도 22의 (A)의 일점 쇄선 C-D를 따른 채널 폭 방향의 단면도는 트랜지스터의 구조를 설명하기 위하여 사용된다. 베이스 절연막(12)이 기판(11) 위에 형성되고, 전극이 베이스 절연막(12) 위에 형성되고 패턴화되어 전극(19) 및 전극(20)이 형성된다. 산화물 반도체막(80a) 및 산화물 반도체막(80)이 전극(19) 및 전극(20) 위에 형성된다. 산화물 반도체막(80a) 및 산화물 반도체막(80)은 패턴화되어, 산화물 반도체막(80b)이 형성된다. 게이트 절연막(15)이 산화물 반도체막(80b) 위에 형성된다. 또한 게이트 전극(13)이 형성되고 패터닝이 수행된다. 그리고, 보호막(21)이 형성된다. 도 22의 (B)에서, 산화물 반도체막(80b)은 산화물 반도체막(80a) 및 산화물 반도체막(80)의 형성 및 패터닝 후에 형성되고, 또는 산화물 반도체막(80a), 산화물 반도체막(80), 및 산화물 반도체막(80b)의 형성 후에 패터닝이 수행된다. 또한, 도 22의 (B)에서는 상기 반도체막의 3

총 구조가 형성되지만, 2층 구조 또는 단층의 반도체막이 사용되어도 좋다.

[0196] <변형 예 7>

도 1은 보텀 게이트 트랜지스터를 나타낸 것이지만, 화소 회로 및/또는 구동 회로에 사용되는 트랜지스터는 도 23의 (A)~(C)에 나타낸 바와 같이 톱 게이트 톱 콘택트 구조를 가져도 좋다. 도 23의 (A)는 트랜지스터의 상면도이고, 도 23의 (B) 및 (C)는 트랜지스터의 단면도이다. 도 23의 (A)의 일점 쇄선 A-B를 따른 채널 길이 방향의 단면도를 나타낸 도 23의 (B) 및 도 23의 (A)의 일점 쇄선 C-D를 따른 채널 폭 방향의 단면도를 나타낸 도 23의 (C)는 트랜지스터의 구조를 설명하기 위하여 사용된다.

[0198] 베이스 절연막(12)이 기판(11) 위에 형성되고, 베이스 절연막(12) 위에 산화물 반도체막(80a) 및 산화물 반도체막(80)이 형성된다. 산화물 반도체막(80a) 및 산화물 반도체막(80)은 패턴화되어, 산화물 반도체막(80b)이 형성된다. 전극이 산화물 반도체막(80b) 위에 형성되고 패턴화되어 전극(19) 및 전극(20)이 형성된다. 게이트 절연막(15)이 전극(19) 및 전극(20) 위에 형성된다. 또한 게이트 전극(13)이 형성되고 패터닝이 수행된다. 그리고, 보호막(21)이 형성된다. 도 23의 (B)에서, 산화물 반도체막(80b)은 산화물 반도체막(80a) 및 산화물 반도체막(80)의 형성 및 패터닝 후에 형성되고, 또는 산화물 반도체막(80a), 산화물 반도체막(80), 및 산화물 반도체막(80b)의 형성 후에 패터닝이 수행된다. 또한, 도 23의 (B)에서는 상기 반도체막의 3층 구조가 형성되지만, 2층 구조 또는 단층의 반도체막이 사용되어도 좋다.

[0199] 또한, 본 실시형태에서 설명된 구조, 방법 등은 다른 실시형태 및 실시예에서 설명된 구조, 방법 등 중 어느 것과 적절히 조합되어 사용될 수 있다.

[0200] (실시형태 2)

[0201] 본 실시형태에서 본 발명의 일 형태의 표시 장치의 구조예에 대하여 설명한다.

[0202] <구조예>

[0203] 도 6의 (A)는 본 발명의 일 형태의 표시 장치의 상면도이다. 도 6의 (B)는 본 발명의 일 형태의 표시 장치의 화소에 액정 소자를 사용하는 경우에 사용될 수 있는 화소 회로를 도시한 회로도이다. 도 6의 (C)는 본 발명의 일 형태의 표시 장치의 화소에 유기 EL 소자를 사용하는 경우에 사용될 수 있는 화소 회로를 도시한 회로도이다.

[0204] 화소부에서의 트랜지스터는 상기 실시형태에 따라 형성될 수 있다. 또한, 상기 트랜지스터는 n채널형 트랜지스터로서 쉽게 형성될 수 있어, n채널형 트랜지스터를 사용하여 형성될 수 있는 구동 회로의 일부는 화소부에서의 트랜지스터와 같은 기판 위에 형성된다. 이와 같이, 화소부 및 구동 회로는 실시형태 1에서 설명된 구조를 갖도록 형성되고; 그 결과 고신뢰성 표시 장치를 제공할 수 있다. 또한, 고속 동작이 가능하고, 광 조사로 인하여 쉽게 악화되지 않으며 표시 품질이 높은 화소부를 갖는 표시 장치를 제공할 수 있다.

[0205] 도 6의 (A)는 액티브 매트릭스형 표시 장치의 블록도의 예를 도시한 것이다. 표시 장치의 기판(900) 위에는, 화소부(901), 제 1 주사선 구동 회로(902), 제 2 주사선 구동 회로(903), 및 신호선 구동 회로(904)가 제공된다. 화소부(901)에서, 신호선 구동 회로(904)로부터 연장된 복수의 신호선이 배치되고, 제 1 주사선 구동 회로(902) 및 제 2 주사선 구동 회로(903)로부터 연장된 복수의 주사선이 배치된다. 주사선과 신호선이 서로 교차하는 영역에는, 각각, 표시 소자를 포함하는 화소가 매트릭스로 제공된다. 표시 장치의 기판(900)은 FPC(flexible printed circuit) 등의 접속부를 통하여 타이밍 제어 회로(컨트롤러 또는 제어 IC라고도 함)에 접속된다.

[0206] 도 6의 (A)에서는, 제 1 주사선 구동 회로(902), 제 2 주사선 구동 회로(903), 및 신호선 구동 회로(904)는 화소부(901)와 같은 기판(900) 위에 형성된다. 따라서, 외부에 제공된 구동 회로 등의 부품 수가 줄어, 비용의 저감을 달성할 수 있다. 또한, 기판(900) 외부에 구동 회로를 제공하면, 배선을 연장시킬 필요가 있을 것이고, 배선의 접속 수가 증가될 것이다. 그러나, 기판(900) 위에 구동 회로를 제공함으로써, 배선의 접속 수를 줄일 수 있고 신뢰성 또는 수율을 향상시킬 수 있다.

[0207] 화소부 및 구동 회로가 실시형태 1에서 설명된 구조를 갖는 경우, 제 1 주사선 구동 회로(902), 제 2 주사선 구동 회로(903), 및 신호선 구동 회로(904)는 높은 전계 효과 이동도를 갖는 트랜지스터를 사용하여 형성될 수 있다. 따라서, 디멀티플렉서 회로가 신호선 구동 회로(904)에 형성될 수 있다. 디멀티플렉서 회로는 하나의 입력 신호를 복수의 출력으로 분배하고; 이 결과 디멀티플렉서 회로를 사용함으로써 입력 신호를 위한 입력 단자 수를 삭감하는 것이 가능하다. 예를 들어, 하나의 화소가 적색용 서브 화소, 녹색용 서브 화소, 및 청색용 서

브 화소를 포함하고 각 화소에 대응하는 디멀티플렉서 회로를 제공함으로써, 입력 신호가 디멀티플렉서 회로에 의하여 분배되어 각 서브 화소에 입력될 수 있다. 결과적으로, 입력 단자 수를 1/3로 줄임하는 것이 가능하다.

[0208] <액정 표시 장치>

도 6의 (B)는 화소의 회로 구성의 예를 도시한 것이다. 여기서, VA형 액정 표시 장치의 화소에 사용될 수 있는 화소 회로가 도시되었다.

[0210] 이 화소 회로는, 하나의 화소가 복수의 화소 전극을 포함하는 구조에 사용될 수 있다. 화소 전극은 다른 트랜지스터에 접속되고, 트랜지스터는 다른 게이트 신호로 구동될 수 있다. 따라서, 멀티도메인 화소의 각 화소 전극에 인가되는 신호를 독립적으로 제어할 수 있다.

[0211] 트랜지스터(916)의 게이트 배선(912)과 트랜지스터(917)의 게이트 배선(913)이 분리됨으로써, 다른 게이트 신호를 거기에 공급할 수 있다. 한편, 데이터선으로서 기능하는 소스 또는 드레인 전극(914)은 트랜지스터(916)와 트랜지스터(917)에서 공유된다. 트랜지스터(916)와 트랜지스터(917) 각각으로서, 상기 실시형태에서 설명된 트랜지스터 중 어느 것이 적절히 사용될 수 있다. 이와 같이 하여 신뢰성이 높은 액정 표시 장치를 제공할 수 있다.

[0212] 트랜지스터(916)와 전기적으로 접속되는 제 1 화소 전극 및 트랜지스터(917)와 전기적으로 접속되는 제 2 화소 전극의 형상에 대하여 설명한다. 제 1 화소 전극과 제 2 화소 전극은 슬릿에 의하여 분리된다. 제 1 화소 전극은 V자형을 갖고, 제 2 화소 전극은 제 1 화소 전극을 둘러싸도록 제공된다.

[0213] 트랜지스터(916)의 게이트 전극은 게이트 배선(912)과 접속되고, 트랜지스터(917)의 게이트 전극은 게이트 배선(913)과 접속된다. 게이트 배선(912)과 게이트 배선(913)에 다른 게이트 신호를 공급함으로써 트랜지스터(916)와 트랜지스터(917)의 동작 타이밍을 다르게 할 수 있다. 이 결과, 액정의 배향을 제어할 수 있다.

[0214] 또한, 용량 배선(910), 유전체로서 기능하는 게이트 절연막, 및 제 1 화소 전극 또는 제 2 화소 전극과 전기적으로 접속되는 용량 전극을 사용하여 유지 용량을 형성하여도 좋다.

[0215] 멀티도메인 화소는 제 1 액정 소자(918)와 제 2 액정 소자(919)를 포함한다. 제 1 액정 소자(918)는 제 1 화소 전극과 대향 전극과 그 사이의 액정층을 포함한다. 제 2 액정 소자(919)는 제 2 화소 전극과 대향 전극과 그 사이의 액정층을 포함한다.

[0216] 또한, 본 발명의 화소 회로는 도 6의 (B)에 나타낸 것에 한정되지 않는다. 예를 들어, 도 6의 (B)에 나타낸 화소에 스위치, 저항 소자, 용량 소자, 트랜지스터, 센서, 논리 회로 등을 추가하여도 좋다.

[0217] 여기서는 VA형 액정 표시 장치가 제시되지만, 이하 모드 중 어느 것을 적절히 채용하여도 좋다: TN 모드, VA 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, MVA 모드, PVA(patterned vertical alignment) 모드, IPS 모드, FFS 모드, 또는 TBA(transverse bend alignment) 모드 등. 또한, 본 발명은 이를 예에 한정되지 않고, 액정 소자 및 그 구동 방법에 다양한 액정 소자 및 그 구동 방법을 적용할 수 있다.

[0218] 액정 소자는 블루상(Blue Phase)을 나타내는 액정과 키랄 재료를 포함하는 액정 조성물을 사용하여 형성되어도 좋다. 블루상을 나타내는 액정은 응답 속도가 1msec 이하로 빠르고 광학적 동방성을 갖기 때문에, 배향 처리가 불필요하며 시야각 의존성이 작다.

[0219] <발광 장치>

[0220] 도 6의 (C)는 화소의 회로 구성의 다른 예를 도시한 것이다. 여기서는, 유기 EL 소자를 사용한 표시 장치의 화소 구조를 도시하였다.

[0221] 유기 EL 소자에서, 발광 소자에 전압을 인가함으로써, 한 쪽의 전극 중 한쪽으로부터 전자가, 한 쪽의 전극 중 다른 쪽으로부터 정공이, 발광성 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 전자 및 정공이 재결합함으로써 발광성 유기 화합물이 들뜨게 된다. 그 발광성 유기 화합물은 들뜬 상태가 기저 상태로 되돌아가, 발광한다. 이와 같은 메커니즘 때문에 이 발광 소자는 전류 주입 방식의 발광 소자라고 말한다.

[0222] 도 6의 (C)는, 적용 가능한 화소 회로의 예를 도시한 것이다. 여기서는 n채널형 트랜지스터를 화소에 사용하는 예를 나타낸다. 또한, 이 화소 회로에는 디지털 시간 계조 구동을 채용할 수 있다.

[0223] 적용 가능한 화소 회로의 구성 및 디지털 시간 계조 구동을 채용한 화소에 대하여 설명한다.

- [0224] 화소(920)는, 스위칭용 트랜지스터(921), 구동용 트랜지스터(922), 발광 소자(924), 및 용량 소자(923)를 포함한다. 스위칭용 트랜지스터(921)의 게이트 전극은 주사선(926)에 접속된다. 스위칭용 트랜지스터(921)의 제 1 전극(소스 전극 및 드레인 전극 중 한쪽)이 신호선(925)에 접속된다. 스위칭용 트랜지스터(921)의 제 2 전극(소스 전극 및 드레인 전극 중 다른 쪽)이 구동용 트랜지스터(922)의 게이트 전극에 접속된다. 구동용 트랜지스터(922)의 게이트 전극이 용량 소자(923)를 통하여 전원선(927)에 접속되고, 구동용 트랜지스터(922)의 제 1 전극이 전원선(927)에 접속되고, 구동용 트랜지스터(922)의 제 2 전극이 발광 소자(924)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(924)의 제 2 전극이 공통 전극(928)에 상당한다. 공통 전극(928)은 같은 기판 위에 형성되는 공통 전위선에 전기적으로 접속된다.
- [0225] 스위칭용 트랜지스터(921) 및 구동용 트랜지스터(922)로서는, 상기 실시형태에서 설명한 트랜지스터 중 어느 것을 적절히 사용할 수 있다. 이에 의하여 신뢰성이 높은 유기 EL 표시 장치를 제공할 수 있다.
- [0226] 발광 소자(924)의 제 2 전극(공통 전극(928))의 전위는 저전원 전위로 설정한다. 또한, 저전원 전위는, 전원선(927)에 공급되는 고전원 전위보다 낮다. 예를 들어, GND, OV 등을 저전원 전위로 할 수 있다. 발광 소자(924)의 순 방향의 문턱 전압 이상이 되도록 고전원 전위와 저전원 전위를 설정하고, 그 전위 차이를 발광 소자(924)에 인가함으로써, 발광 소자(924)에 전류를 공급하여 발광시킨다. 발광 소자(924)의 순 방향 전압이란, 원하는 휘도가 얻어지는 경우의 전압을 말하고, 적어도 순 방향 문턱 전압을 포함한다.
- [0227] 또한, 구동용 트랜지스터(922)의 게이트 용량은 용량 소자(923) 대신에 사용될 수 있어, 용량 소자(923)를 생략할 수 있다. 구동용 트랜지스터(922)의 게이트 용량은 반도체막과 게이트 전극 사이에 형성되어도 좋다.
- [0228] 다음에, 구동용 트랜지스터(922)에 입력되는 신호에 대하여 설명한다. 전압 입력 전압 구동 방법의 경우, 구동용 트랜지스터(922)가 충분히 온 또는 오프하는 비디오 신호를 구동용 트랜지스터(922)에 입력한다. 구동용 트랜지스터(922)를 선형 영역에서 동작시키기 위하여, 전원선(927)의 전압보다 높은 전압을 구동용 트랜지스터(922)의 게이트 전극에 인가한다. 신호선(925)에는, 전원선 전압과 구동용 트랜지스터(922)의 문턱 전압(V_{th})의 합인 전압 이상의 전압을 인가한다.
- [0229] 아날로그 계조 구동을 수행하는 경우, 구동용 트랜지스터(922)의 게이트 전극에, 발광 소자(924)의 순 방향 전압과 구동용 트랜지스터(922)의 문턱 전압(V_{th})의 합인 전압 이상의 전압을 인가한다. 구동용 트랜지스터(922)를 포화 영역에서 동작시키도록 비디오 신호를 입력하여, 발광 소자(924)에 전류를 공급한다. 구동용 트랜지스터(922)를 포화 영역에서 동작시키기 위하여, 전원선(927)의 전위를 구동용 트랜지스터(922)의 게이트 전위보다 높게 설정한다. 아날로그 비디오 신호를 사용하는 경우, 비디오 신호에 상당하는 전류를 발광 소자(924)에 공급할 수 있고, 아날로그 계조 구동을 수행할 수 있다.
- [0230] 또한, 화소 회로의 구성은, 도 6의 (C)에 나타낸 것에 한정되지 않는다. 예를 들어, 도 6의 (C)에 도시된 화소 회로에, 스위치, 저항 소자, 용량 소자, 센서, 트랜지스터, 논리 회로 등을 추가하여도 좋다.
- [0231] 도 6의 (B) 및 (C)에 나타낸 회로에, 상술한 실시형태에서 설명한 트랜지스터 중 어느 것을 사용하는 경우, 저전위 측에 소스 전극(제 1 전극), 고전위 측에 드레인 전극(제 2 전극)이 각각 전기적으로 접속된다. 또한, 제어 회로 등에 의하여 제 1 게이트 전극(및 제 3 게이트 전극)의 전위를 제어하여도 좋고, 소스 전극에 인가되는 전위보다 낮은 전위를 도시되지 않은 배선을 통하여 제 2 게이트 전극에 입력하여도 좋다.
- [0232] 본 실시형태는, 본 명세서에 기재된 다른 실시형태 중 어느 것과 적절히 조합될 수 있다.
- [0233] (실시형태 3)
- [0234] 본 실시형태에서는, 실시형태 1에 설명된 반도체 장치에 포함되어 있는 트랜지스터 중 어느 것에서의 산화물 반도체막에 적용할 수 있는 일 형태에 대하여 설명한다.
- [0235] 산화물 반도체막은 다음 것 중 하나 이상을 포함할 수 있다: 단결정 구조의 산화물 반도체(이하에서 단결정 산화물 반도체라고 함); 다결정 구조의 산화물 반도체(이하에서 다결정 산화물 반도체라고 함); 미결정 구조의 산화물 반도체(이하에서 미결정 산화물 반도체라고 함), 및 비정질 구조의 산화물 반도체(이하에서 비정질 산화물 반도체라고 함). 또한, 산화물 반도체막은, CAAC-OS막을 사용하여 형성되어도 좋다. 또한, 산화물 반도체막은 비정질 산화물 반도체 및 결정립을 갖는 산화물 반도체를 포함하여도 좋다. 이하에, CAAC-OS 및 미결정 산화물 반도체에 대하여 설명한다.
- [0236] 우선, CAAC-OS막에 대하여 설명한다. 또한, CAAC-OS는 CANC(C-Axis Aligned nanocrystals)를 포함하는 산화물

반도체라고 할 수 있다.

[0237] CAAC-OS 막은 c축 배향된 복수의 결정부(펠릿(pellet)이라고도 함)를 갖는 산화물 반도체막의 하나이다.

[0238] TEM(transmission electron microscope)을 사용하여 얻어진, CAAC-OS의 명시야상과 회절 패턴의 복합 분석 이미지(고해상도 TEM 이미지라고도 함)에서는 복수의 펠릿이 관찰될 수 있다. 그러나, 고해상도 TEM 이미지에서 펠릿들의 경계, 즉 결정립계가 명확히 관찰되지 않는다. 따라서, CAAC-OS에서는 결정립계에 기인한 전자 이동도의 저하가 일어나기 어렵다.

[0239] 이하에서 TEM으로 관찰된 CAAC-OS에 대하여 설명한다. 도 7의 (A)는 시료 표면에 실질적으로 평행한 방향으로부터 관찰한 CAAC-OS의 단면의 고해상도 TEM 이미지를 나타낸 것이다. 고해상도 TEM 이미지는 구면 수차 보정(spherical aberration corrector) 기능을 사용하여 얻어진다. 구면 수차 보정 기능을 사용하여 얻어진 고해상도 TEM 이미지를 특히 Cs 보정 고해상도 TEM 이미지라고 한다. Cs 보정 고해상도 TEM 이미지는 예를 들어, 원자 분해능 분석 전자 현미경(JEM-ARM200F, JEOL Ltd. 제조)을 사용하여 얻어질 수 있다.

[0240] 도 7의 (B)는 도 7의 (A) 중 영역(1)의 확대된 Cs 보정 고해상도 TEM 이미지이다. 도 7의 (B)는 금속 원자가 펠릿에서 층상으로 배열되는 것을 나타낸 것이다. 각 금속 원자층은, 위에 CAAC-OS가 형성되는 표면(이하에서 이 표면을 형성 표면이라고 함) 또는 CAAC-OS의 상면의 요철을 반영한 형태를 가지며, CAAC-OS의 형성 표면 또는 상면에 평행하게 배열된다.

[0241] 도 7의 (B)에 나타낸 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 도 7의 (C)에서 이 특징적인 원자 배열을 보조선으로 나타내었다. 도 7의 (B) 및 (C)는, 펠릿의 크기가 1nm~3nm 정도이고, 펠릿들의 기울기에 기인하는 공간의 크기가 0.8nm 정도임을 나타낸다. 따라서, 펠릿을 나노결정(nc)이라고 할 수도 있다.

[0242] 여기서, Cs 보정 고해상도 TEM 이미지에 따라, 기판(5120) 위의 CAAC-OS의 펠릿(5100)의 개략적인 배열을, 벽돌 또는 블록이 쌓인 구조로 도시하였다(도 7의 (D) 참조). 도 7의 (C)에서 관찰된 바와 같이 펠릿들이 기울어져 있는 부분은 도 7의 (D)에 나타낸 영역(5161)에 상당한다.

[0243] 도 30의 (A)는 시료 표면에 실질적으로 수직인 방향으로부터 관찰된 CAAC-OS의 평면의 Cs 보정 고해상도 TEM 이미지를 나타낸 것이다. 도 30의 (B), (C), 및 (D)는 각각 도 30의 (A) 중 영역(1), 영역(2), 및 영역(3)의 확대된 Cs 보정 고해상도 TEM 이미지이다. 도 30의 (B), (C), 및 (D)는, 펠릿에서 금속 원자들이 삼각형, 사각형, 또는 육각형 형태로 배열되는 것을 나타낸 것이다. 그러나, 상이한 펠릿들 사이에서 금속 원자의 배열에 규칙성은 없다.

[0244] 다음에, X선 회절(XRD)에 의하여 분석한 CAAC-OS에 대하여 설명한다. 예를 들어, out-of-plane법에 의하여 InGaZnO_4 결정을 포함하는 CAAC-OS의 구조를 분석하면, 도 31의 (A)에 나타낸 바와 같이 31° 부근의 회절각(2θ)에서 피크가 나타난다. 이 피크는 InGaZnO_4 결정의 (009)면에서 유래하며, CAAC-OS에서의 결정이 c축 배향을 가지고 c축이 CAAC-OS의 형성 표면 또는 상면에 실질적으로 수직인 방향으로 배열되는 것을 가리킨다.

[0245] 또한, out-of-plane법에 의한 CAAC-OS의 구조 분석에서, 31° 부근의 2θ 의 피크에 더하여 2θ 가 36° 부근일 때에 또 하나의 피크가 나타날 수 있다. 36° 부근의 2θ 의 피크는 CAAC-OS의 일부에 c축 배향을 갖지 않는 결정이 포함되는 것을 가리킨다. out-of-plane법에 의하여 분석한 CAAC-OS에서는, 2θ 가 31° 부근일 때 피크가 나타나고 2θ 가 36° 부근일 때 피크가 나타나지 않는 것이 바람직하다.

[0246] 한편, c축에 실질적으로 수직인 방향으로 시료에 X선을 입사하는 in-plane법에 의한 CAAC-OS의 구조 분석에서는, 2θ 가 56° 부근일 때 피크가 나타난다. 이 피크는 InGaZnO_4 결정의 (110)면에서 유래한다. CAAC-OS의 경우, 2θ 를 56° 부근에 고정하고 시료 표면의 법선 벡터를 축(ϕ 축)으로서 사용하여 시료를 회전시키면서 분석(ϕ 스캔)을 수행하는 경우, 도 31의 (B)에 나타낸 바와 같이, 피크가 명확하게 관찰되지 않는다. 한편, InGaZnO_4 의 단결정 산화물 반도체의 경우, 2θ 를 56° 부근에 고정하고 ϕ 스캔을 수행하는 경우, 도 31의 (C)에 나타낸 바와 같이, (110)면과 등가인 결정면에서 유래하는 6개의 피크가 관찰된다. 따라서, XRD를 사용한 구조 분석에 의하여, CAAC-OS에서 a축 및 b축의 방향이 상이한 것이 나타내어진다.

[0247] 다음에, 전자 회절에 의하여 분석한 CAAC-OS에 대하여 설명한다. 예를 들어, 프로브 직경이 300nm인 전자선이 시료 표면에 평행한 방향으로 InGaZnO_4 결정을 포함하는 CAAC-OS에 입사되면, 도 32의 (A)에 나타낸 회절 패턴(제한 시야 투과 전자 회절 패턴이라고도 함)이 얻어질 수 있다. 이 회절 패턴에서, InGaZnO_4 결정의 (009)면에서 유래하는 스포트이 포함된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿이 c축 배향을 가지

고 c축이 형성 표면 또는 CAAC-OS의 상면에 실질적으로 수직인 방향으로 배향된다는 것이 나타내어진다. 한편, 도 32의 (B)는 프로브 직경이 300nm인 전자선을 시료 표면에 수직인 방향으로 같은 시료에 입사시키는 식으로 얻은 회절 패턴을 나타낸 것이다. 도 32의 (B)에 나타낸 바와 같이, 고리형의 회절 패턴이 관찰된다. 그러므로, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿의 a축 및 b축이 규칙적인 배향을 갖지 않는 것이 나타내어진다. 도 32의 (B)에서의 제 1 고리는 $InGaZnO_4$ 결정의 (010)면, 및 (100)면 등에서 유래하는 것으로 생각된다. 도 32의 (B)에서의 제 2 고리는 (110)면 등에서 유래하는 것으로 생각된다.

[0248] 또한, CAAC-OS는 결합 상태의 밀도가 낮은 산화물 반도체이다. 산화물 반도체의 결합으로서는 예를 들어, 불순물로 인한 결합 및 산소 빈자리가 있다. 따라서, CAAC-OS는 불순물 농도가 낮은 산화물 반도체, 또는 산소 빈자리 수가 적은 산화물 반도체라고 할 수 있다.

[0249] 산화물 반도체에 포함되는 불순물은 캐리어 트랩 또는 캐리어 발생원으로서 기능할 수 있다. 또한, 산화물 반도체에서의 산소 빈자리는, 거기에 수소가 포획되면 캐리어 발생원으로서 기능하거나, 또는 캐리어 트랩으로서 기능한다.

[0250] 또한, 불순물이란 수소, 탄소, 실리콘, 또는 전이 금속 원소 등의, 산화물 반도체의 주성분 이외의 원소를 의미한다. 예를 들어, 산화물 반도체에 포함되는 금속 원소보다 산소와의 결합력이 높은 원소(구체적으로, 실리콘 등)는 산화물 반도체로부터 산소를 추출하고, 이 결과 산화물 반도체의 원자 배열이 흐트러지고 결정성이 저하된다. 철 또는 니켈 등의 중금속, 아르곤, 또는 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시킨다.

[0251] 결합 상태의 밀도가 낮은(산소 빈자리 수가 적은) 산화물 반도체는 낮은 캐리어 밀도를 가질 수 있다. 이런 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 한다. CAAC-OS는 불순물 농도가 낮고 결합 상태의 밀도가 낮다. 즉, CAAC-OS는 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체가 되기 쉽다. 따라서, CAAC-OS를 포함하는 트랜ジ스터는 좀처럼 음의 문턱 전압을 가지지 않는다(좀처럼 노멀리온이 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 트랩이 적다. 상기 산화물 반도체에서 캐리어 트랩에 의하여 포획된 전하는 방출될 때까지 긴 시간이 걸린다. 포획된 전하는 고정 전하처럼 행동할 수 있다. 그러므로, 불순물 농도가 높고 결합 상태의 밀도가 높은 산화물 반도체를 포함하는 트랜ジ스터는 불안정한 전기적 특성을 가질 수 있다. 그러나, CAAC-OS를 포함하는 트랜ジ스터는 전기적 특성의 변동이 작고 신뢰성이 높다.

[0252] CAAC-OS는 결합 상태의 밀도가 낮기 때문에, 광 조사 등에 의하여 발생되는 캐리어가 결합 상태에 포획되기 어렵다. 따라서, CAAC-OS를 사용한 트랜지스터에서, 가시광 또는 자외선의 조사로 인한 전기적 특성의 변동이 작다.

[0253] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.

[0254] 미결정 산화물 반도체는 고해상도 TEM 이미지에서 결정부가 관찰되는 영역, 및 결정부가 명확히 관찰되지 않는 영역을 갖는다. 대부분의 경우, 미결정 산화물 반도체에 포함되는 결정부의 크기는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하이다. 크기가 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하인 미결정인 나노결정(nc)을 포함하는 산화물 반도체를 특히 nc-OS(nanocrystalline oxide semiconductor)라고 한다. nc-OS의 고해상도 TEM 이미지에서는 예를 들어, 결정립계가 명확히 관찰되지 않는 경우가 있다. 또한, 나노결정의 기원은 CAAC-OS의 펠릿의 기원과 같을 가능성이 있다. 그러므로, 이하의 설명에서는 nc-OS의 결정부를 펠릿이라고 할 수 있다.

[0255] nc-OS에서 미세한 영역(예를 들어 크기가 1nm 이상 10nm 이하인 영역, 특히 크기가 1nm 이상 3nm 이하인 영역)은 주기적인 원자 배열을 갖는다. nc-OS에서 상이한 펠릿들 사이에 결정 배향의 규칙성은 없다. 따라서, 막 전체에서 배향이 배열하지 않는다. 따라서, 분석 방법에 따라서는, nc-OS를 비정질 산화물 반도체와 구별하지 못한다. 예를 들어, 펠릿의 크기보다 큰 직경의 X선을 사용하는 XRD 장치로 out-of-plane법에 의하여 nc-OS의 구조 분석을 수행하면, 결정면을 나타내는 피크가 나타나지 않는다. 또한, 펠릿의 크기보다 큰 프로브 직경(예를 들어, 50nm 이상)의 전자선을 사용하여 nc-OS의 전자 회절(이 전자 회절을 제한 시야 전자 회절이라고도 함)을 수행하면, 헤일로(halo) 패턴과 같은 회절 패턴이 관찰된다. 한편, 프로브 직경이 펠릿의 크기와 가깝거나 작은 전자선을 적용하면, nc-OS의 나노빔 전자 회절 패턴에 스폷이 나타난다. 또한, nc-OS의 나노빔 전자 회절 패턴에서, 휘도가 높은 환상(고리형)의 패턴을 갖는 영역이 나타나는 경우가 있다. nc-OS의 나노빔 전자 회절 패턴에서도 고리형의 영역에 복수의 스폷이 나타나는 경우가 있다.

[0256] 상술한 바와 같이 펠릿(나노결정) 사이에 결정 배향의 규칙성이 없기 때문에, nc-OS를 RANC(random aligned

nanocrystals)를 포함하는 산화물 반도체 또는 NANC(non-aligned nanocrystals)를 포함하는 산화물 반도체라고 할 수도 있다.

[0257] nc-OS는 비정질 산화물 반도체에 비하여 규칙성이 높은 산화물 반도체이다. 따라서, nc-OS는 비정질 산화물 반도체보다 결합 상태의 밀도가 낮게 되기 쉽다. 또한, nc-OS에서 상이한 펠릿들 사이에 결정 배향의 규칙성은 없다. 그러므로, nc-OS는 CAAC-OS보다 결합 상태의 밀도가 높다.

[0258] 다음에, 비정질 산화물 반도체에 대하여 설명한다.

[0259] 비정질 산화물 반도체는 흐트러진 원자 배열을 갖고 결정부를 갖지 않는 산화물 반도체이며, 석영과 같이 비정질 상태로 존재하는 산화물 반도체에 의하여 예시된다.

[0260] 비정질 산화물 반도체의 고해상도 TEM 이미지에서 결정부는 발견되지 않는다.

[0261] XRD 장치를 사용하여 out-of-plane법에 의하여 비정질 산화물 반도체의 구조 분석을 수행하면, 결정면을 나타내는 피크가 나타나지 않는다. 비정질 산화물 반도체의 전자 회절을 수행하면 헤일로 패턴이 관찰된다. 또한, 비정질 산화물 반도체의 나노빔 전자 회절을 수행하면 스폷이 관찰되지 않고 헤일로 패턴만 나타난다.

[0262] 비정질 구조에는 다양한 이해가 있다. 예를 들어 원자 배열이 전혀 질서를 갖지 않는 구조를 완전한 비정질 구조라고 부른다. 한편, 최근접 원자 거리 또는 제 2 근접 원자 거리까지 질서를 갖지만 장거리 질서를 갖지 않는 구조를 비정질 구조라고도 부른다. 따라서, 가장 엄격한 정의에 의하여, 원자 배열에 무시하여도 될 정도라도 질서가 있는 한, 산화물 반도체를 비정질 산화물 반도체라고 부를 수는 없다. 적어도 장거리 질서를 갖는 산화물 반도체를 비정질 산화물 반도체라고 부를 수는 없다. 따라서, 예를 들어 CAAC-OS 및 nc-OS는 결정부가 존재하기 때문에 비정질 산화물 반도체 또는 완전한 비정질 산화물 반도체라고 부를 수는 없다.

[0263] 또한, 산화물 반도체는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가져도 좋다. 이러한 구조를 갖는 산화물 반도체를 특히 a-like OS(amorphous-like oxide semiconductor)라고 한다.

[0264] a-like OS의 고해상도 TEM 이미지에서는 보이드(void)가 관찰될 수 있다. 또한, 고해상도 TEM 이미지에서 결정부가 명확히 관찰되는 영역, 및 결정부가 관찰되지 않는 영역이 있다.

[0265] a-like OS는 보이드를 포함하기 때문에 불안정한 구조를 갖는다. 이하에서는, a-like OS가 CAAC-OS 및 nc-OS에 비하여 불안정한 구조를 갖는다는 것을 확인하기 위하여, 전자 조사에 의하여 일어나는 구조의 변화를 설명한다.

[0266] 전자 조사를 수행하는 시료로서 a-like OS(시료 A), nc-OS(시료 B), 및 CAAC-OS(시료 C)을 준비한다. 각 시료는 In-Ga-Zn 산화물이다.

[0267] 먼저, 각 시료의 고해상도 단면 TEM 이미지를 얻는다. 고해상도 단면 TEM 이미지는, 모든 시료가 결정부를 갖는 것을 나타낸다.

[0268] 또한, 어느 부분을 결정부로 하는지에 대하여 이하에서 결정한다. InGaZnO_4 결정의 단위 격자는, 3개의 In-0층과 6개의 Ga-Zn-0층을 포함하는 9층이 c축 방향으로 적층된 구조를 갖는 것이 알려져 있다. 인접한 층들 사이의 거리는 (009)면의 격자간 거리(d 값이라고도 함)와 동등하다. 그 값은 결정 구조 분석으로부터 0.29nm 로 계산된다. 따라서, 격자 줄무늬(lattice fringe) 사이의 격자간 거리가 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO_4 의 결정부로 한다. 각 격자 줄무늬는 InGaZnO_4 결정의 a-b면에 상당한다.

[0269] 도 33은 각 시료의 결정부(22지점~45지점)의 평균 크기의 변화를 나타낸 것이다. 또한, 결정부의 크기는 격자 줄무늬의 길이와 대응한다. 도 33은, a-like OS에서의 결정부의 크기가 누적 전자 조사량의 증가에 따라 커지는 것을 나타낸다. 구체적으로는 도 33에서 (1)로 나타낸 바와 같이, TEM 관찰의 시작에서 1.2nm 정도의 결정부(초기 핵이라고도 함)가, 누적 전자 조사량 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 에서의 2.6nm 정도의 크기로 성장한다. 한편, nc-OS 및 CAAC-OS의 결정부의 크기는 전자 조사의 시작부터 누적 전자 조사량이 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 가 될 때까지의 적은 변화를 나타낸다. 구체적으로는, 도 33에서의 (2) 및 (3)으로 나타낸 바와 같이 누적 전자 조사량에 상관없이 nc-OS의 결정의 평균 크기는 1.4nm 정도이고, CAAC-OS의 결정의 평균 크기는 2.1nm 정도이다.

[0270] 이런 식으로, a-like OS에서의 결정부의 성장은 전자 조사에 의하여 유발된다. 한편, nc-OS 및 CAAC-OS에서는 결정부의 성장이 전자 조사에 의하여 거의 유발되지 않는다. 그러므로, a-like OS는 nc-OS 및 CAAC-OS에 비하

여 불안정한 구조를 갖는다.

[0271] a-like OS는 보이드를 포함하기 때문에 nc-OS 및 CAAC-OS보다 밀도가 낮다. 구체적으로, a-like OS의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. nc-OS 및 CAAC-OS 각각의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 또한, 단결정 산화물 반도체의 밀도의 78% 미만인 밀도를 갖는 산화물 반도체는 퇴적이 어렵다.

[0272] 예를 들어, 원자수비가 In:Ga:Zn=1:1:1인 산화물 반도체의 경우, 능면정 구조를 갖는 단결정 $InGaZnO_4$ 의 밀도는 6.357g/cm^3 이다. 따라서, 원자수비가 In:Ga:Zn=1:1:1인 산화물 반도체의 경우, a-like OS의 밀도는 5.0g/cm^3 이상 5.9g/cm^3 미만이다. 예를 들어, 원자수비가 In:Ga:Zn=1:1:1인 산화물 반도체의 경우, nc-OS 및 CAAC-OS 각각의 밀도는 5.9g/cm^3 이상 6.3g/cm^3 미만이다.

[0273] 또한, 특정한 조성을 갖는 산화물 반도체가 단결정 구조에서 존재할 수 없을 가능성이 있다. 이 경우, 조성이 상이한 단결정 산화물 반도체들을 적절한 비로 조합함으로써, 원하는 조성의 단결정 산화물 반도체의 밀도와 동등한 밀도를 계산할 수 있다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도는, 조성이 상이한 단결정 산화물 반도체들의 조합비에 따라 가중 평균을 사용하여 계산될 수 있다. 또한, 밀도를 계산하기 위해서는 가능한 한 적은 종류의 단결정 산화물 반도체를 사용하는 것이 바람직하다.

[0274] 상술한 바와 같이, 산화물 반도체는 다양한 구조와 다양한 특성을 갖는다. 또한, 산화물 반도체는, 예를 들어 비정질 산화물 반도체, a-like OS, 미결정 산화물 반도체, 및 CAAC-OS 중 2개 이상의 막을 포함하는 적층이어도 좋다.

[0275] 산화물 반도체막이 복수의 구조를 갖는 경우, 나노빔 전자 회절을 사용하여 그 구조를 분석할 수 있는 경우가 있다.

[0276] 도 8의 (C)에, 전자총실(310)과, 전자총실(310) 아래의 광학계(312)와, 광학계(312) 아래의 시료실(314)과, 시료실(314) 아래의 광학계(316)와, 광학계(316) 아래의 관찰실(320)과, 관찰실(320)에 설치된 카메라(318)와, 관찰실(320) 아래의 필름실(322)을 포함하는 투과 전자 회절 측정 장치를 나타내었다. 카메라(318)는 관찰실(320) 내부를 향해 제공된다. 또한, 필름실(322)은 반드시 제공되는 것은 아니다.

[0277] 또한, 도 8의 (D)는 도 8의 (C)에 도시된 투과 전자 회절 측정 장치 내부의 구조를 도시한 것이다. 투과 전자 회절 측정 장치에서는, 전자총실(310)에 설치된 전자총으로부터 방출된 전자가 광학계(312)를 통하여 시료실(314)에 배치된 물질(328)에 조사된다. 물질(328)을 통과한 전자는 광학계(316)를 통하여 관찰실(320)에 제공된 형광판(332)에 들어간다. 형광판(332)에서는 입사된 전자의 강도에 대응하는 패턴이 나타남으로써 투과 전자 회절 패턴을 측정할 수 있다.

[0278] 카메라(318)는 형광판(332)을 향해 설치되어 있고, 형광판(332)에 나타난 패턴을 촬영하는 것이 가능하다. 카메라(318)의 렌즈의 중앙 및 형광판(332)의 중앙을 통과하는 직선과 형광판(332)의 상면에 의하여 형성되는 각도는, 예를 들어, 15° 이상 80° 이하, 30° 이상 75° 이하, 또는 45° 이상 70° 이하이다. 이 각도가 작을수록, 카메라(318)로 촬영되는 투과 전자 회절 패턴은 일그러짐이 커진다. 또한, 미리 이 각도가 얻어지면, 얻어진 투과 전자 회절 패턴의 일그러짐을 보정하는 것이 가능하다. 또한, 카메라(318)를 필름실(322)에 제공하여도 좋다. 예를 들어, 카메라(318)를 필름실(322)에, 전자(324)의 입사 방향과 대향하도록 설치하여도 좋다. 이 경우, 형광판(332)의 이면으로부터 일그러짐이 적은 투과 전자 회절 패턴을 촬영할 수 있다.

[0279] 시료실(314)에는 시료인 물질(328)을 고정하기 위한 홀더가 제공된다. 홀더는 물질(328)을 통과하는 전자를 투과시킨다. 홀더는 예를 들어, 물질(328)을 X축, Y축, 및 Z축 방향으로 이동시키는 기능을 가져도 좋다. 홀더의 이동 기능은 예를 들어, 1nm 이상 10nm 이하, 5nm 이상 50nm 이하, 10nm 이상 100nm 이하, 50nm 이상 500nm 이하, 100nm 이상 1 μm 이하의 범위에서 물질을 이동시키는 정확도를 가지면 좋다. 상기 범위는, 물질(328)의 구조를 위하여 최적의 범위가 되도록 결정하는 것이 바람직하다.

[0280] 다음에, 상술한 투과 전자 회절 측정 장치에 의하여 물질의 투과 전자 회절 패턴을 측정하는 방법에 대하여 설명한다.

[0281] 예를 들어, 도 8의 (D)에 도시된 바와 같이, 물질에서의 나노빔인 전자(324)의 조사 위치를 변화시킴으로써(스캔함으로써), 물질의 구조의 변화를 관찰할 수 있다. 이때, 물질(328)이 CAAC-OS막이면, 도 8의 (A)에 나타낸 회절 패턴이 관찰된다. 물질(328)이 nc-OS막이면, 도 8의 (B)에 나타낸 회절 패턴이 관찰된다.

- [0282] 물질(328)이 CAAC-OS막이라도, 부분적으로 nc-OS막 등과 같은 회절 패턴이 관찰되는 경우가 있다. 따라서, CAAC-OS막이 양호한지 여부는 미리 결정된 범위에서 CAAC-OS막의 회절 패턴이 관찰되는 영역의 비율(CAAC의 비율이라고도 함)로 결정될 수 있다. 예를 들어, 고품질의 CAAC-OS막의 경우, CAAC의 비율은 50% 이상, 바람직하게는 80% 이상, 더 바람직하게는 90% 이상, 더욱 바람직하게는 95% 이상이다. 또한, CAAC-OS막과 다른 회절 패턴이 관찰되는 영역의 비율을 비(非)CAAC의 비율이라고 한다.
- [0283] 예를 들어, 퇴적 직후("as-sputtered"라고 함)에 얻어진 CAAC-OS막을 포함하는 시료의 상면 및 산소를 포함하는 분위기에서 450°C 가열 처리를 수행한 CAAC-OS막을 포함하는 시료의 상면을 스캔함으로써 투과 전자 회절 패턴을 얻었다. 여기서는, 5nm/초의 속도로 60초간 스캔함으로써 회절 패턴이 얻어지고 그 얻어진 회절 패턴이 0.5 초마다 정지 화상으로 변환됨으로써, CAAC의 비율을 얻었다. 또한, 전자선으로서는, 프로브 직경이 1nm인 나노빔을 사용하였다. 상기 측정을 6 시료에 대하여 수행하였다. CAAC의 비율은 6 시료의 평균값을 사용하여 계산되었다.
- [0284] 도 9의 (A)는 각 시료에서의 CAAC의 비율을 나타낸 것이다. 퇴적 직후에 얻어진 CAAC-OS막의 CAAC의 비율은 75.7%(비CAAC의 비율이 24.3%)이었다. 450°C의 가열 처리를 수행한 CAAC-OS막의 CAAC의 비율은 85.3%(비CAAC의 비율은 14.7%)이었다. 이를 결과는 450°C의 가열 처리 후에 얻어진 CAAC의 비율이 퇴적 직후에 얻어진 그것보다 높은 것을 나타낸다. 즉, 고온(예를 들면 400°C 이상)에서의 가열 처리에 의하여, 비CAAC의 비율이 저감된다(CAAC의 비율이 증가된다). 또한, 상기 결과에 의해서도, 가열 처리의 온도가 500°C 미만일 때에도 CAAC-OS막이 높은 CAAC의 비율을 가질 수 있다는 것을 제시한다.
- [0285] 여기서, CAAC-OS막과 다른 회절 패턴의 대부분은 nc-OS막과 같은 회절 패턴이다. 또한, 측정 영역에서 비정질 산화물 반도체막은 관찰될 수 없었다. 따라서, 상기 결과로부터, nc-OS막과 같은 구조를 갖는 영역이, 가열 처리에 의하여 인접한 영역의 구조의 영향 때문에 재배열되어, 그 영역이 CAAC화되는 것이 시사된다.
- [0286] 도 9의 (B) 및 (C)는 각각, 퇴적 직후에 얻어진 CAAC-OS막의 평면 TEM 이미지, 및 450°C 가열 처리가 수행된 CAAC-OS막의 평면 TEM 이미지이다. 도 9의 (B) 및 (C)의 비교는, 450°C의 가열 처리가 수행된 CAAC-OS막이 더 균일한 막질을 갖는 것을 나타낸다. 즉, 고온에서의 가열 처리는 CAAC-OS막의 막질을 향상시킨다.
- [0287] 이런 측정 방법으로, 복수의 구조를 갖는 산화물 반도체막의 구조의 분석이 가능한 경우가 있다.
- [0288] 또한, 본 실시형태에 기재된 구성 및 방법 등은 다른 실시형태 및 실시예에 기재된 구성 및 방법 등 중 어느 것과 적절히 조합하여 사용될 수 있다.
- [0289] (실시형태 4)
- [0290] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치를 사용하여 형성될 수 있는 표시 모듈 및 전자 기기에 대하여, 설명한다.
- [0291] 도 10에 도시된 표시 모듈(8000)에서, 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 장치 셀(8006), 백 라이트 유닛(8007), 프레임(8009), 프린트판(8010), 및 배터리(8011)가 제공된다. 또한, 백 라이트 유닛(8007), 배터리(8011), 터치 패널(8004) 등은 제공되지 않는 경우가 있다.
- [0292] 본 발명의 일 형태의 반도체 장치는, 예를 들어 표시 장치 셀(8006)에 사용될 수 있다.
- [0293] 상부 커버(8001) 및 하부 커버(8002)의 형태 및 크기는, 터치 패널(8004) 및 표시 장치 셀(8006)의 크기에 따라 적절히 변경될 수 있다.
- [0294] 터치 패널(8004)은, 저항성 터치 패널 또는 용량성 터치 패널이 될 수 있고 표시 장치 셀(8006)에 중첩되도록 형성될 수 있다. 또한, 표시 장치 셀(8006)의 대향 기판(밀봉 기판)이 터치 패널 기능을 가질 수 있다. 표시 장치 셀(8006)의 각 화소 내에 광 센서를 제공하여 광학식 터치 패널을 형성하여도 좋다. 표시 장치 셀(8006)의 각 화소 내에 터치 센서용 전극을 제공하여 정전 용량성 터치 패널을 형성하여도 좋다.
- [0295] 백 라이트 유닛(8007)은 광원(8008)을 포함한다. 광원(8008)을 백 라이트 유닛(8007)의 단부에 제공하여도 좋고, 광 확산판을 사용하여도 좋다.
- [0296] 프레임(8009)은 표시 장치 셀(8006)을 보호하고, 프린트판(8010)의 동작에 의하여 발생되는 전자파를 차단하기 위한 전자기 차폐로서 기능하기도 한다. 프레임(8009)은 방열판으로서 기능하여도 좋다.

- [0297] 프린트판(8010)에는 전원 회로와, 비디오 신호 및 클록 신호를 출력하기 위한 신호 처리 회로가 제공된다. 전원 회로에 전력을 공급하는 전원으로서는, 외부의 상용 전원 또는 별도로 제공된 배터리(8011)에 사용하는 전원이 사용되어도 좋다. 배터리(8011)는 상용 전원을 사용하는 경우에는 생략이 가능하다.
- [0298] 표시 모듈(8000)에는, 편광판, 위상차판, 프리즘 시트 등의 부재가 추가로 제공되어도 좋다.
- [0299] 도 11의 (A)~(D)는 본 발명의 일 형태의 반도체 장치를 각각 포함하는 전자 기기의 외관도이다.
- [0300] 전자 기기의 예로서는, 텔레비전 수상기(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라 등의 카메라, 디지털 액자, 휴대 전화 핸드셋(휴대 전화 또는 휴대 전화 장치라고도 함), 휴대용 게임기, 휴대용 정보 단말기, 음성 재생 장치, 파친코기 등의 대형 게임기 등이다.
- [0301] 도 11의 (A)는 본체(1001), 하우징(1002), 표시부(1003a), 및 표시부(1003b) 등을 포함하는 휴대용 정보 단말기이다. 표시부(1003b)는 터치 패널이다. 표시부(1003b)에 표시되는 키보드 버튼(1004)을 터치함으로써, 화면 조작이나, 문자 입력이 가능하게 된다. 물론, 표시부(1003a)를 터치 패널로 하여도 좋다. 상기 실시형태에서 제시한 트랜지스터 중 어느 것을 스위칭 소자로서 사용하여 액정 표시 장치 또는 유기 발광 패널을 제작하고, 표시부(1003a) 또는 표시부(1003b)에 사용함으로써, 신뢰성이 높은 휴대용 정보 단말기가 제공될 수 있다.
- [0302] 도 11의 (A)에 도시된 휴대용 정보 단말기는, 다양한 정보(예를 들어, 정지 화상, 동영상, 및 텍스트 화상)을 표시하는 기능, 달력, 날짜, 시간 등을 표시부에 표시하는 기능, 표시부에 표시한 정보를 조작 또는 편집하는 기능, 다양한 소프트웨어(프로그램)에 의하여 처리를 제어하는 기능 등을 갖는다. 또한, 외부 접속 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등이 하우징의 배면 또는 측면에 제공될 수 있다.
- [0303] 도 11의 (A)에 도시된 휴대용 정보 단말기는, 무선으로 정보를 송수신할 수 있다. 무선 통신을 통해, 전자책 서버로부터 원하는 서적 데이터 등을 구매 및 다운로드할 수 있다.
- [0304] 도 11의 (B)는, 본체(1021)에서, 표시부(1023), 휴대용 음악 플레이어가 귀에 장착될 수 있는 고정부(1022), 스피커, 조작 버튼(1024), 외부 메모리 슬롯(1025) 등을 포함하는 휴대용 음악 플레이어를 도시한 것이다. 상기 실시형태에서 설명한 트랜지스터 중 어느 것을 스위칭 소자로서 사용하여 액정 표시 장치 또는 유기 발광 패널이 제작되고 표시부(1023)에 사용됨으로써, 신뢰성이 높은 휴대용 음악 플레이어를 제공할 수 있다.
- [0305] 또한, 도 11의 (B)에 도시된 휴대용 음악 플레이어가 안테나, 마이크로폰의 기능, 또는 무선 통신 기능을 갖고, 휴대 전화로 사용되면, 사용자는 자동차 등을 운전하면서 핸즈프리로 무선에 의하여 통화할 수 있다.
- [0306] 도 11의 (C)는 두 개의 하우징(1030) 및 하우징(1031)을 포함하는 휴대 전화를 도시한 것이다. 하우징(1031)은, 표시 장치(1032), 스피커(1033), 마이크로폰(1034), 포인팅 디바이스(1036), 카메라 렌즈(1037), 외부 접속 단자(1038) 등을 포함한다. 하우징(1030)에는 휴대 전화의 충전을 위한 태양 전지(1040), 외부 메모리 슬롯(1041) 등이 제공된다. 또한, 하우징(1031)에는 안테나가 포함된다. 상기 실시형태에서 설명된 트랜지스터 중 어느 것을 표시 장치(1032)에 사용함으로써, 신뢰성이 높은 휴대 전화를 제공할 수 있다.
- [0307] 또한, 표시 장치(1032)는 터치 패널을 포함한다. 도 11의 (C)에서의 점선에 의하여, 화상으로서 표시되는 복수의 조작 키(1035)를 나타낸다. 또한, 태양 전지(1040)로부터 출력되는 전압을 각 회로에 대하여 충분히 높게 되도록 증가시키는 승압 회로도 포함한다.
- [0308] 표시 장치(1032)에서, 응용 형태에 따라 표시 방향이 적절히 변화된다. 또한, 휴대 전화에는 표시 장치(1032)와 같은 표면에 카메라 렌즈(1037)가 제공되기 때문에, 휴대 전화를 영상 전화로서 사용할 수 있다. 스피커(1033) 및 마이크로폰(1034)은 음성 통화에 더하여, 영상 전화 통화, 녹음, 및 재생 등에 사용될 수 있다. 또한, 도 11의 (C)에 도시된 바와 같이 펼친 상태에서의 하우징(1030)과 하우징(1031)은 슬라이드함으로써, 한쪽이 다른 쪽 위에 겹친 상태로 시프트될 수 있어, 휴대하기 적합한 휴대 전화로 할 수 있다.
- [0309] 외부 접속 단자(1038)는 AC 어댑터, 및 USB 케이블 등의 각종 케이블과 접속될 수 있으므로, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(1041)에 기록 매체를 삽입하여, 대량의 데이터 보존 및 이동이 가능하다.
- [0310] 또한, 상술한 기능에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공되어도 좋다.
- [0311] 도 11의 (D)는 텔레비전 수상기의 예를 도시한 것이다. 텔레비전 수상기(1050)에서, 표시부(1053)는 하우징(1051)에 포함된다. 표시부(1053)에 화상을 표시할 수 있다. 또한, 하우징(1051)을 지지하기 위한 스탠드(1055)에 CPU가 포함된다. 상기 실시형태에서 설명한 트랜지스터 중 어느 것이 표시부(1053) 및 CPU에 사용됨

으로써, 텔레비전 수상기(1050)는 고신뢰성을 가질 수 있다.

[0312] 텔레비전 수상기(1050)는 하우징(1051)의 조작 스위치 또는 별개의 리모트 컨트롤러(remote controller)로 조작될 수 있다. 또한, 리모트 컨트롤러에는 상기 리모트 컨트롤러로부터 출력되는 데이터를 표시하기 위한 표시부가 제공되어도 좋다.

[0313] 또한, 텔레비전 수상기(1050)에는 수신기, 모뎀 등이 제공된다. 수신기를 사용하여, 일반적인 텔레비전 방송을 수신할 수 있다. 또한, 텔레비전 수상기가 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속될 때, 일방향(송신자로부터 수신자로) 또는 양방향(송신자와 수신자 사이 또는 수신자들 사이)의 정보 통신이 수행될 수 있다.

[0314] 또한, 텔레비전 수상기(1050)에는 외부 접속 단자(1054), 기억 매체 녹화 및 재생부(1052), 및 외부 메모리 슬롯이 제공된다. 외부 접속 단자(1054)는 USB 케이블 등의 각종 케이블에 접속될 수 있고, 퍼스널 컴퓨터 등과 데이터 통신이 가능하다. 기억 매체 녹화 및 재생부(1052)에 디스크형 기억 매체가 삽입되고, 기억 매체에 저장된 데이터의 판독 및 기억 매체로의 데이터의 기록을 수행할 수 있다. 또한, 외부 메모리 슬롯에 삽입된 외부 메모리(1056)에 데이터로서 저장된 화상, 비디오 등은 표시부(1053)에 표시될 수 있다.

[0315] 또한, 상기 실시형태에서 설명한 트랜지스터의 오프 누설 전류가 매우 낮은 경우, 이 트랜지스터가 외부 메모리(1056) 또는 CPU에 사용되면, 텔레비전 수상기(1050)는 고신뢰성과 충분히 저감된 소비 전력을 가질 수 있다.

[0316] 본 실시형태는, 본 명세서에서 설명한 다른 실시형태 중 어느 것과 적절히 조합될 수 있다.

[0317] (실시형태 5)

[0318] 본 실시형태에서는, 반도체 장치의 예로서 액정 표시 장치 및 발광 장치에 대하여 도 34, 도 35, 도 36의 (A)~(C), 도 37의 (A) 및 (B), 및 도 38의 (A) 및 (B)를 참조하여 설명한다. 본 실시형태에서, 액정 표시 장치 또는 발광 장치에서, 개수가 다른 산화물 반도체막을 포함하는 제 1 트랜지스터 및 제 2 트랜지스터를 사용한다. 제 1 트랜지스터 및 제 2 트랜지스터는 다른 구조의 산화물 반도체막을 포함한다.

[0319] <표시 장치의 구조>

[0320] 먼저, 액정 표시 장치에 대하여 설명한다.

[0321] 도 34는 액정 표시 장치의 단면도이고; 구동 회로부에 형성된 트랜지스터가 단면 A-B에 나타내어지고, 화소부에 형성된 트랜지스터가 단면 C-D에 나타내어진다.

[0322] 도 34에서의 단면 A-B에 나타낸 트랜지스터(10kb)는, 기판(11) 위의 게이트 전극(13c), 기판(11) 및 게이트 전극(13c) 위의 게이트 절연막(15), 게이트 절연막(15)을 개재하여 게이트 전극(13c)과 중첩되는 제 1 산화물 반도체막(81), 제 1 산화물 반도체막(81)을 덮는 제 2 산화물 반도체막(82), 및 제 2 산화물 반도체막(82)에 접촉하는 한 쌍의 전극(19c 및 20c)을 포함한다. 보호막(21)은 게이트 절연막(15), 제 2 산화물 반도체막(82), 및 한 쌍의 전극(19c 및 20c) 위에 형성된다. 도전막(87)은 보호막(21) 위에 제공되어도 좋다.

[0323] 보호막(21)은 산화물 절연막(23), 화학량론적 조성에서의 산소보다 높은 비율의 산소를 포함한 산화물 절연막(25), 및 질화물 절연막(27)을 포함한다.

[0324] 도 34에서의 단면 C-D에 나타낸 트랜지스터(10m)는, 기판(11) 위의 게이트 전극(13d), 기판(11) 및 게이트 전극(13d) 위의 게이트 절연막(15), 게이트 절연막(15)을 개재하여 게이트 전극(13d)과 중첩되는 산화물 반도체막(84), 및 산화물 반도체막(84)에 접촉하는 한 쌍의 전극(19d 및 20d)을 포함한다. 보호막(21)은 게이트 절연막(15), 산화물 반도체막(84), 및 한 쌍의 전극(19d 및 20d) 위에 형성된다. 유기 절연막(88)은 보호막(21) 위에 제공되어도 좋다. 도 34에서의 단면 C-D에 나타낸 트랜지스터(10m)는 도 1에서의 단면 C-D에 나타낸 트랜지스터(10m)와 같다.

[0325] 본 실시형태에 나타낸 액정 표시 장치에서, 화소부에서의 트랜지스터 및 구동 회로부에서의 트랜지스터는 다른 구조를 갖는 산화물 반도체막을 포함한다.

[0326] 제 1 산화물 반도체막(81) 및 제 2 산화물 반도체막(82)은 조성이 다르고, 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)은 조성이 같다. 즉, 제 1 산화물 반도체막(81)은 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)을 형성하는 스텝과 다른 스텝에서 형성된다. 또한, 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)은 같은 스텝에서 형성된다.

- [0327] 트랜지스터(10kb)에 포함된 제 1 산화물 반도체막(81)에 채널 영역이 형성된다. 이 이유로, 제 1 산화물 반도체막(81)은 제 2 산화물 반도체막(82)보다 두껍다.
- [0328] 제 1 산화물 반도체막(81)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 30nm 이상 50nm 이하이다. 제 2 산화물 반도체막(82) 및 산화물 반도체막(84) 각각의 두께는 제 1 산화물 반도체막(81)의 그것보다 작고, 3nm 이상 100nm 이하, 바람직하게는 10nm 이상 100nm 이하, 더 바람직하게는 30nm 이상 50nm 이하이다.
- [0329] 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84)은 각각 적어도 In을 포함하는 금속 산화물을 사용하여 형성된다; 대표적으로, In-Ga 산화물, In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 등이 사용될 수 있다.
- [0330] 제 1 산화물 반도체막(81)에서 In 원자의 비율이 Zn 또는 M(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 원자의 그것보다 높다. 제 1 산화물 반도체막(81)이 In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)을 포함하고, 금속 원소의 원자수비 $In:M:Zn=x_3:y_3:z_3$ 의 타깃이 제 1 산화물 반도체막(81)의 형성에 사용되는 경우, x_3/y_3 은 바람직하게는 1보다 크고 6 이하이다. 타깃에서의 금속 원소의 원자수비의 대표적인 예로서는 $In:M:Zn=2:1:1.5$, $In:M:Zn=2:1:2.3$, $In:M:Zn=2:1:3$, $In:M:Zn=3:1:2$, $In:M:Zn=3:1:3$, 및 $In:M:Zn=3:1:4$ 이다.
- [0331] 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)에서 In 원자의 비율이 Zn 또는 M(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 원자의 그것 이하이다. 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)이 In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)을 포함하고, 금속 원소의 원자수비 $In:M:Zn=x_4:y_4:z_4$ 의 타깃이 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)의 형성에 사용되는 경우, x_4/y_4 는 바람직하게는 1/6 이상 1 이하이고, z_4/y_4 는 바람직하게는 1/3 이상 6 이하, 더 바람직하게는 1 이상 6 이하이다. z_4/y_4 가 1 이상 6 이하인 경우, CAAC-OS막이 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)으로서 형성되기 쉽다. 타깃에서의 금속 원소의 원자수비의 대표적인 예로서는 $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=1:3:2$, $In:M:Zn=1:3:4$, $In:M:Zn=1:3:6$, $In:M:Zn=1:3:8$, $In:M:Zn=1:4:4$, $In:M:Zn=1:4:5$, $In:M:Zn=1:4:6$, $In:M:Zn=1:4:7$, $In:M:Zn=1:4:8$, $In:M:Zn=1:5:5$, $In:M:Zn=1:5:6$, $In:M:Zn=1:5:7$, $In:M:Zn=1:5:8$, 및 $In:M:Zn=1:6:8$ 이다.
- [0332] 제 1 산화물 반도체막(81)으로서 사용되는, In 원자의 비율이 Zn 또는 M(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 원자의 그것보다 높은 산화물 반도체막을 포함하는 트랜지스터는 높은 전계 효과 이동도를 갖는다. 대표적으로, 그 트랜지스터는 $10\text{cm}^2/\text{V}\cdot\text{s}$ 보다 크고 $60\text{cm}^2/\text{V}\cdot\text{s}$ 미만, 바람직하게는 $15\text{cm}^2/\text{V}\cdot\text{s}$ 이상 $50\text{cm}^2/\text{V}\cdot\text{s}$ 미만의 전계 효과 이동도를 갖는다. 그러나, 트랜지스터의 오프 전류는 광 조사로 인하여 증가된다. 이 이유로, In 원자의 비율이 Zn 또는 M(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 원자의 그것보다 높은 산화물 반도체막을 포함하는 트랜지스터는 구동 회로부 등의, 차광되는 영역에 제공되고; 그 결과 트랜지스터는 높은 전계 효과 이동도 및 낮은 오프 전류를 갖는다. 결과적으로, 고속 동작이 가능한 구동 회로부를 형성할 수 있다.
- [0333] 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)으로서 사용되는, In 원자의 비율이 Zn 또는 M(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 원자의 그것 이하인 산화물 반도체막을 포함하는 트랜지스터에서는, 광 조사에 의하여 일어난 오프 전류의 증대량이 적다. 이 이유로, In 원자의 비율이 Zn 또는 M(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 원자의 그것 이하인 산화물 반도체막을 포함하는 트랜지스터가 화소부에 제공되고; 그 결과 광 조사로 인하여 쉽게 악화되지 않고 표시 품질이 높은 화소부를 형성할 수 있다. 그 결과 산화물 반도체막을 포함하는 트랜지스터는 $3\text{cm}^2/\text{V}\cdot\text{s}$ 이상 $10\text{cm}^2/\text{V}\cdot\text{s}$ 이하의 전계 효과 이동도를 갖는다.
- [0334] 또한, 구동 회로부에서의 트랜지스터(10kb)는 보호막(21)을 개재하여 제 1 산화물 반도체막(81)을 덮는 도전막(87)을 포함한다. 도전막(87)의 전위는 접지 전위 또는 정해진 전위로 설정될 수 있다. 또는, 트랜지스터가 높은 전계 효과 이동도 및 높은 온 전류를 가질 수 있는 경우, 도전막(87)은 게이트 전극(13c)에 접속될 수 있다.
- [0335] 본 실시형태에 나타낸 액정 표시 장치에서, 구동 회로부에서의 트랜지스터 및 화소부에서의 트랜지스터는 다른 채널 길이를 가져도 좋다.
- [0336] 일반적으로, 구동 회로부에 포함되는 트랜지스터(10kb)의 채널 길이는 $2.5\mu\text{m}$ 미만이고, 바람직하게는 $1.45\mu\text{m}$ 이상 $2.2\mu\text{m}$ 이하이다. 화소 회로부에 포함되는 트랜지스터(10m)의 채널 길이는 $2.5\mu\text{m}$ 이상이고, 바람직하게는 $2.5\mu\text{m}$ 이상 $20\mu\text{m}$ 이하이다.

- [0337] 구동 회로부에 포함되는 트랜지스터(10kb)의 채널 길이가 $2.5\text{ }\mu\text{m}$ 미만, 바람직하게는 $1.45\text{ }\mu\text{m}$ 이상 $2.2\text{ }\mu\text{m}$ 이하로 설정될 때, 전계 효과 이동도가 더 증가될 수 있고 온 전류가 증가될 수 있다. 그 결과, 고속 동작이 가능한 구동 회로부를 형성할 수 있다.
- [0338] 트랜지스터의 채널 영역으로서 일부 기능하는 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84) 각각은 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 이런 넓은 에너지 갭을 갖는 산화물 반도체막을 사용함으로써, 트랜지스터(10kb 및 10m)의 오프 전류를 저감시킬 수 있다.
- [0339] 낮은 캐리어 밀도를 갖는 산화물 반도체막은 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84)에 사용된다. 예를 들어, 캐리어 밀도가 각각 $1\times 10^{17}\text{ 개}/\text{cm}^3$ 이하, 바람직하게는 $1\times 10^{15}\text{ 개}/\text{cm}^3$ 이하, 더 바람직하게는 $1\times 10^{13}\text{ 개}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1\times 10^{11}\text{ 개}/\text{cm}^3$ 이하인 산화물 반도체막을 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84)에 사용한다.
- [0340] 또한, 상술한 조성 및 재료에 한정되지 않고, 적절한 조성을 갖는 재료를, 요구되는 트랜지스터의 반도체 특성 및 전기 특성(예를 들어 전계 효과 이동도 및 문턱 전압)에 따라 사용할 수 있다. 또한 요구되는 트랜지스터의 반도체 특성을 얻기 위하여, 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84) 각각의 캐리어 밀도, 불순물 농도, 결함 밀도, 산소에 대한 금속 원소의 원자수비, 원자간 거리, 밀도 등이 적절한 값으로 설정되는 것이 바람직하다.
- [0341] 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84)으로서 불순물 농도가 낮으며 결합 상태 밀도가 낮은 산화물 반도체막을 각각 사용할 수 있어, 트랜지스터는 더 뛰어난 전기 특성을 가질 수 있다. 여기서 불순물 농도가 낮고 결합 상태 밀도가 낮은(산소 빈자리 수가 적은) 상태를 "고순도 진성" 또는 "실질적으로 고순도 진성"이라고 한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에 낮은 캐리어 밀도를 갖는 경우가 있다. 따라서 상기 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 음의 문턱 전압을 좀처럼 갖지 않는다(노멀리 온이 좀처럼 되지 않는다). 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결합 상태의 밀도가 낮기 때문에 트랩 상태의 밀도가 낮은 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 오프 전류가 매우 낮고; 소자가 $1\times 10^6\text{ }\mu\text{m}$ 의 채널 폭 및 $10\text{ }\mu\text{m}$ 의 채널 길이(L)를 가지더라도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 $1\text{V}\sim 10\text{V}$ 일 때, 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1\times 10^{-13}\text{ A}$ 이하일 수 있다. 따라서, 채널 영역이 산화물 반도체막에 형성되는 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높다. 불순물의 예로서, 수소, 질소, 알칼리 금속, 및 알칼리 토금속을 들 수 있다.
- [0342] 산화물 반도체막에 포함되는 수소는 금속 원자에 결합된 산소와 반응하여 물이 되고, 또한 산소가 방출된 격자(또는 산소가 방출된 부분)에 산소 빈자리가 형성된다. 이 산소 빈자리에 수소가 들어감으로 인하여, 캐리어로서 기능하는 전자가 발생되는 경우가 있다. 또한, 수소의 일부와, 금속 원소에 결합된 산소의 결합이, 캐리어로서 기능하는 전자를 발생시키는 경우가 있다. 따라서, 수소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다.
- [0343] 따라서, 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84)에서 산소 빈자리만 아니라 수소도 가능한 한 저감되는 것이 바람직하다. 구체적으로는, 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84) 각각에서 SIMS(second ion mass spectrometry)에 의하여 측정되는 수소의 농도를 $5\times 10^{19}\text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $1\times 10^{19}\text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $5\times 10^{18}\text{ atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1\times 10^{18}\text{ atoms}/\text{cm}^3$ 이하, 더더욱 바람직하게는 $5\times 10^{17}\text{ atoms}/\text{cm}^3$ 이하, 보다 바람직하게는 $1\times 10^{16}\text{ atoms}/\text{cm}^3$ 이하로 설정한다.
- [0344] 14족에 속하는 원소 중 하나인 실리콘 또는 탄소가 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84)에 포함되면, 산소 빈자리가 증가되고, 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84)은 n형막이 된다. 따라서, SIMS에 의하여 측정되는, 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84) 각각에서의 실리콘 또는 탄소의 농도를 $2\times 10^{18}\text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $2\times 10^{17}\text{ atoms}/\text{cm}^3$ 이하로 설정한다.

- [0345] SIMS에 의하여 측정되는, 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84) 각각에서의 알칼리 금속 또는 알칼리 토금속의 농도는 1×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{16} atoms/cm³ 이하이다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체에 결합될 때 캐리어를 생성할 수 있고, 이 경우, 트랜지스터의 오프 전류가 증가될 수 있다. 따라서, 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84)에서 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다.
- [0346] 또한, 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84)은 질소가 포함될 때, 캐리어로서 기능하는 전자의 발생 및 캐리어 밀도의 증가에 의하여 n형화되기 쉽다. 질소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이 이유로, 산화물 반도체막에서의 질소는 가능한 한 저감되는 것이 바람직하고, 예를 들어 SIMS에 의하여 측정되는 질소의 농도를 5×10^{18} atoms/cm³ 이하로 설정하는 것이 바람직하다.
- [0347] 다음에, 발광 장치의 구조에 대해서 도 35를 참조하여 설명한다.
- [0348] 도 35는 발광 장치의 단면도이고, 구동 회로부에 형성된 트랜지스터(10nb)가 단면 A-B에 나타내어지고, 화소부에 형성된 트랜지스터(10m)가 단면 C-D에 나타내어진다. 도 35에서의 단면 C-D에 나타낸 트랜지스터(10m)는 도 2에서의 단면 C-D에 나타낸 트랜지스터(10m)와 같고, 같은 부분에는 같은 부호가 사용된다.
- [0349] 도 35의 단면 A-B에 나타낸 트랜지스터(10nb)는 게이트 절연막(15)과 제 1 산화물 반도체막(81) 사이의 제 3 산화물 반도체막(83)을 포함한다. 다른 구성 요소에는, 도 34에 나타낸 트랜지스터(10kb)와 비슷한 구성 요소를 적절히 사용할 수 있다. 또한, 도 34에 나타낸 트랜지스터(10kb)는 트랜지스터(10nb) 대신 적절히 사용될 수 있다.
- [0350] 트랜지스터(10nb)에서, 제 1 산화물 반도체막(81)에 채널 영역이 형성된다. 이 이유로, 제 1 산화물 반도체막(81)은 제 2 산화물 반도체막(82) 및 제 3 산화물 반도체막(83)보다 두껍다.
- [0351] 제 3 산화물 반도체막(83)에서 In 원자의 비율이 Zn 또는 M(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 원자의 그것 보다 낮다. 제 3 산화물 반도체막(83)이 In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)을 포함하고, 금속 원소의 원자수비 In:M:Zn=x₅:y₅:z₅의 타깃이 제 3 산화물 반도체막(83)의 형성에 사용되는 경우, x₅/y₅는 바람직하게는 1/6 이상 1 미만이고, z₅/y₅는 바람직하게는 1/3 이상 6 이하, 더 바람직하게는 1 이상 6 이하이다. z₅/y₅가 1 이상 6 이하인 경우, CAAC-OS막이 제 3 산화물 반도체막(83)으로서 형성되기 쉽다. 타깃에서의 금속 원소의 원자수비의 대표적인 예로서는 In:M:Zn=1:3:2, In:M:Zn=1:3:4, In:M:Zn=1:3:6, In:M:Zn=1:3:8, In:M:Zn=1:4:4, In:M:Zn=1:4:5, In:M:Zn=1:4:6, In:M:Zn=1:4:7, In:M:Zn=1:4:8, In:M:Zn=1:5:5, In:M:Zn=1:5:6, In:M:Zn=1:5:7, In:M:Zn=1:5:8, 및 In:M:Zn=1:6:8이다.
- [0352] 제 3 산화물 반도체막(83)의 두께는 제 1 산화물 반도체막(81)보다 작고 2nm 이상 100nm 이하, 바람직하게는 2nm 이상 50nm 이하, 더 바람직하게는 3nm 이상 15nm 이하이다. 제 3 산화물 반도체막(83)은 게이트 절연막(15)과 제 1 산화물 반도체막(81) 사이에 제공되므로, 트랜지스터(10nb)의 문턱 전압에서의 변화를 저감할 수 있다.
- [0353] <표시 장치의 제작 방법>
- [0354] 표시 장치에 포함된 트랜지스터의 제작 방법에 대하여 설명한다. 여기서, 표시 장치의 예로서 도 35에 나타낸 발광 장치를 사용하여, 트랜지스터(10m) 및 트랜지스터(10nb)의 제작 방법에 대하여 도 36의 (A)~(C), 도 37의 (A) 및 (B), 및 도 38의 (A) 및 (B)를 참조하여 설명한다.
- [0355] 트랜지스터(10m) 및 트랜지스터(10nb)에 포함된 막들(즉, 절연막, 산화물 반도체막, 금속 산화물막, 도전막 등)은 스팍터링법, 화학 증착(CVD)법, 진공 증착법, 및 펄스 레이저 증착(PLD)법 중 어느 것을 이용하여 형성될 수 있다. 또는, 도포법 또는 프린팅법을 이용할 수 있다. 스팍터링법 및 플라스마 화학 증착(PECVD)법이 막 형성 방법의 대표적인 예이지만, 열 CVD법을 이용하여도 좋다. 열 CVD법으로서 예를 들어 유기 금속 화학 증착(MOCVD)법 또는 원자층 증착(ALD)법을 이용하여도 좋다.
- [0356] 도 36의 (A)에 나타낸 바와 같이, 게이트 전극(13c) 및 게이트 전극(13d) 및 게이트 절연막(15)이 기판(11) 위에 형성된다. 다음에, 단면 A-B에서, 제 3 산화물 반도체막(83) 및 제 1 산화물 반도체막(81)이 게이트 절연막(15) 위에 형성된다.

- [0357] 게이트 전극(13c) 및 게이트 전극(13d)의 형성 방법 및 게이트 절연막(15)의 형성 방법은 실시형태 1에서 설명되므로 여기서는 설명하지 않는다.
- [0358] 여기서는, 게이트 절연막(15)으로서 플라스마 CVD법에 의하여 산화질화 실리콘막을 형성한다.
- [0359] 제 3 산화물 반도체막(83) 및 제 1 산화물 반도체막(81)의 형성 방법에 대하여 이하에서 제시한다. 제 1 산화물 반도체막(81)이 되는 산화물 반도체막, 및 제 3 산화물 반도체막(83)이 되는 산화물 반도체막은 게이트 절연막(15) 위에, 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 흡착법, 열 CVD법 등에 의하여 형성된다. 그리고, 포토리소그래피 공정에 의하여, 적층된 산화물 반도체막 위에 마스크를 형성한 후에, 이 적층된 산화물 반도체막을 마스크를 사용하여 부분적으로 에칭한다. 따라서, 도 36의 (B)에 도시된 바와 같이, 게이트 절연막(15) 위에 있고 게이트 전극(13c)과 부분적으로 중첩되도록, 소자 분리되는 제 3 산화물 반도체막(83) 및 제 1 산화물 반도체막(81)이 형성된다. 그 후, 마스크를 제거한다.
- [0360] 스퍼터링법으로 산화물 반도체막을 형성하는 경우, 플라스마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 사용할 수 있다.
- [0361] 스퍼터링 가스로서는, 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 희가스 및 산소의 혼합 가스를 적절히 사용한다. 희가스와 산소의 혼합 가스를 사용하는 경우에, 희가스에 대한 산소의 비율이 높아지는 것이 바람직하다.
- [0362] 또한, 타깃은 형성될 산화물 반도체막의 조성에 따라 적절히 선택될 수 있다.
- [0363] 예를 들어, 산화물 반도체막을 스퍼터링법을 이용하여, 150°C 이상 750°C 이하, 바람직하게는 150°C 이상 450°C 이하, 더 바람직하게는 200°C 이상 350°C 이하의 기판 온도로 형성하는 경우, 이 산화물 반도체막은 CAAC-OS막이 될 수 있다.
- [0364] CAAC-OS막의 퇴적에, 실시형태 1에서 설명한 조건을 이용하는 것이 바람직하다.
- [0365] 여기서, 두께 10nm의 산화물 반도체막 및 두께 35nm의 산화물 반도체막을, 각각 금속 원소의 원자수비 In:Ga:Zn=1:3:6의 타깃 및 금속 원소의 원자수비 In:Ga:Zn=3:1:2의 타깃을 사용하여 스퍼터링법을 이용하여 이 순서대로 형성하고, 상기 산화물 반도체막 위에 마스크를 형성하고 나서, 산화물 반도체막을 선택적으로 에칭한다.
- [0366] 가열 처리가, 350°C보다 높고 650°C 이하, 바람직하게는 450°C 이상 600°C 이하로 수행되는 경우, 후술하는 CAAC의 비율이 70% 이상 100% 미만, 바람직하게는 80% 이상 100% 미만, 더 바람직하게는 90% 이상 100% 미만, 더욱 바람직하게는 95% 이상 98% 이하인 산화물 반도체막을 얻을 수 있다. 또한, 수소, 물 등의 포함량이 낮은 산화물 반도체막을 얻을 수 있다. 즉, 불순물 농도가 낮고 결함 상태의 밀도가 낮은 산화물 반도체막을 형성할 수 있다.
- [0367] 다음에, 도 36의 (B)에 나타낸 바와 같이, 산화물 반도체막이 게이트 절연막(15) 및 제 1 산화물 반도체막(81) 위에 형성되고 원하는 형태로 에칭되고; 그 결과 제 1 산화물 반도체막(81) 및 제 3 산화물 반도체막(83)을 덮는 제 2 산화물 반도체막(82)이 도 36의 (B)의 단면 A-B에 형성되고, 산화물 반도체막(84)이 도 36의 (B)의 단면 C-D에 형성된다.
- [0368] 이 스텝에서, 제 2 산화물 반도체막(82)은 제 3 산화물 반도체막(83)의 측면 및 제 1 산화물 반도체막(81)의 상면 및 측면을 덮도록 형성되어, 한 쌍의 전극을 형성하는 나중의 스텝에서 제 3 산화물 반도체막(83) 및 제 1 산화물 반도체막(81)이 에칭되는 것을 방지한다. 이것은, 트랜지스터의 채널 폭 방향에서의 제 3 산화물 반도체막(83) 및 제 1 산화물 반도체막(81)의 길이의 변화를 저감할 수 있기 때문에 바람직하다.
- [0369] 다음에 가열 처리는, 산화물 반도체막을 탈수소화 또는 탈수화하기 위하여 수행되어도 좋다. 가열 처리의 온도는 대표적으로는, 150°C 이상 기판 스트레인점 미만, 바람직하게는 250°C 이상 450°C 이하, 더 바람직하게는 300°C 이상 450°C 이하이다.
- [0370] 여기서, 가열 처리를 질소와 산소의 혼합 가스에서 450°C에서 수행하고 나서, 다른 가열 처리를 산소 분위기에서 450°C에서 수행한다.
- [0371] 상기 가열 처리 대신에, 비슷한 가열 처리를 도 36의 (A)에 나타낸 스텝 후에 수행하여도 좋다.
- [0372] 다음에, 도 36의 (C)에 도시된 바와 같이, 한 쌍의 전극(19c 및 20c)이 제 2 산화물 반도체막(82) 위에 형성되

고, 한 쌍의 전극(19d 및 20d)이 산화물 반도체막(84) 위에 형성된다.

[0373] 여기서, 두께 50nm의 구리-망가니즈 합금막, 두께 400nm의 구리막, 및 두께 100nm의 구리-망가니즈 합금막을 스퍼터링법으로 이 순서대로 적층한다. 다음에, 포토리소그래피 공정에 의하여 구리-망가니즈 합금막 위에 마스크를 형성하고 마스크를 사용하여 구리-망가니즈 합금막들 및 구리막을 건식 에칭하여, 한 쌍의 전극(19c 및 20c) 및 한 쌍의 전극(19d 및 20d)을 형성한다.

[0374] 또한, 가열 처리는 한 쌍의 전극(19c 및 20c) 및 한 쌍의 전극(19d 및 20d)이 형성된 후에 수행되어도 좋다. 예를 들어, 이 가열 처리는 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)이 형성된 후에 수행되는 가열 처리와 비슷한 식으로 수행될 수 있다.

[0375] 한 쌍의 전극(19c 및 20c) 및 한 쌍의 전극(19d 및 20d)을 형성한 후에, 에칭 잔류물을 제거하기 위하여 세척 처리가 수행되는 것이 바람직하다. 한 쌍의 전극(19c 및 20c) 사이의 단락 및 한 쌍의 전극(19d 및 20d) 사이의 단락은 이 세척 처리에 의하여 억제될 수 있다. 이 세척 처리는 TMAH 용액 등의 알칼리성 용액; 불화 수소 산, 수산 용액, 또는 인산 용액 등의 산성 용액; 또는 물을 사용하여 수행될 수 있다.

[0376] 그리고, 도 37의 (A)에 나타낸 바와 같이, 보호막(21)은 게이트 절연막(15), 제 2 산화물 반도체막(82), 산화물 반도체막(84), 한 쌍의 전극(19c 및 20c), 및 한 쌍의 전극(19d 및 20d) 위에 형성된다.

[0377] 보호막(21)은 스퍼터링법, CVD법, 증착법 등에 의하여 형성될 수 있다.

[0378] 보호막(21)에 포함된 산화물 절연막(23) 및 산화물 절연막(25) 각각으로서, 산화 실리콘막 또는 산화질화 실리콘막이 이하 조건하에서 형성된다: 진공 배출된 플라스마 CVD 장치의 처리실 내에 위치하는 기판을 180°C 이상 280°C 이하, 바람직하게는 200°C 이상 240°C 이하의 온도로 유지하고, 압력은 처리실에 원료 가스를 도입하여 100Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 200Pa 이하로 하고, 처리실 내에 제공되는 전극에 0.17W/cm² 이상 0.5W/cm² 이하, 바람직하게는 0.25W/cm² 이상 0.35W/cm² 이하의 고주파 전력을 공급한다.

[0379] 질화물 절연막(27)은 스퍼터링법, CVD법 등을 이용하여 형성될 수 있다.

[0380] 여기서, 산화물 절연막(25)의 형성 후에 가열 처리가 수행된다. 가열 처리의 온도는 대표적으로는 150°C 이상 기판의 스트레인점 미만, 바람직하게는 200°C 이상 450°C 이하, 더 바람직하게는 300°C 이상 450°C 이하이다. 가열 처리에 의하여, 산화물 절연막(25)에 포함된 산소의 일부는 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 제 3 산화물 반도체막(83), 및 산화물 반도체막(84)으로 이동할 수 있어, 이를 산화물 반도체막에 포함된 산소 빈자리 수를 줄일 수 있다.

[0381] 여기서는, 질소 및 산소를 포함한 혼합 분위기에서, 350°C, 1시간 동안 가열 처리를 수행한다.

[0382] 또한 가열 처리는 질화물 절연막(27)의 형성 후에 수행될 수 있어, 수소 등은 보호막(21)으로부터 방출된다.

[0383] 여기서는, 질소 및 산소를 포함한 혼합 분위기에서, 350°C, 1시간 동안 가열 처리를 수행한다.

[0384] 상술한 스텝을 거쳐, 각각 문턱 전압의 시프트가 저감되는 트랜지스터를 제작할 수 있다. 또한, 각각 전기 특성의 변화가 저감되는 트랜지스터를 제작할 수 있다.

[0385] 도 37의 (B)에 나타낸 바와 같이, 트랜지스터(10nb)의 제 2 산화물 반도체막(82) 위의 보호막(21)이 부분적으로 노출되는 개구 및 트랜지스터(10m)의 전극(20d)이 부분적으로 노출되는 개구를 포함하는 절연막(95)을 형성한다. 그리고, 도전막(87)은 트랜지스터(10nb)의 제 2 산화물 반도체막(82)과 중첩되도록 보호막(21) 위에 형성되고, 트랜지스터(10m)의 전극(20d)에 접속된 제 1 전극(86a)이 절연막(95) 위에 형성된다.

[0386] 여기서, 절연막(95)은 감광성 폴리이미드를 사용하여 형성된다.

[0387] 다음에, 도 38의 (A)에 나타낸 바와 같이, 절연막(96)은 절연막(95), 도전막(87), 및 제 1 전극(86a) 위에 형성된다. 절연막(96)은 절연막(95)과 비슷한 방법을 적절히 이용하여 형성될 수 있다.

[0388] 다음에, 도 38의 (B)에 나타낸 바와 같이, EL충(97)이 절연막(96) 및 제 1 전극(86a) 위에 형성된다.

[0389] 상술한 스텝을 거쳐, 고속 동작이 가능하고, 광 조사로 인하여 쉽게 악화되지 않으며 표시 품질이 높은 화소부를 갖는 표시 장치를 제작할 수 있다.

[0390] 도 34, 도 35 등에서 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 제 3 산화물 반도체막(83), 산화물

반도체막(84) 등이 전극(19c, 20c, 19d, 및 20d) 등 아래에 제공되지만, 본 발명의 일 형태는 이에 한정되지 않는다.

[0391] <변형 예 8>

실시형태 5에서 설명한 트랜지스터는 채널 에치 트랜지스터이지만, 채널 보호 트랜지스터를 적절히 사용할 수 있다.

[0393] <변형 예 9>

실시형태 5에서 설명한 트랜지스터는 보텀 게이트 트랜지스터이지만, 화소 회로 및/또는 구동 회로에 사용되는 트랜지스터는 도 22의 (A)~(C)에 나타낸 바와 같이 톱 게이트 보텀 콘택트 구조를 가져도 좋다.

[0395] <변형 예 10>

실시형태 5에서 설명한 트랜지스터는 보텀 게이트 트랜지스터이지만, 화소 회로 및/또는 구동 회로에 사용되는 트랜지스터는 도 23의 (A)~(C)에 나타낸 바와 같이 톱 게이트 톱 콘택트 구조를 가져도 좋다.

또한, 본 실시형태에서 설명된 구조, 방법 등은 다른 실시형태 및 실시예에서 설명된 구조, 방법 등 중 어느 것과 적절히 조합되어 사용될 수 있다.

[0398] (실시형태 6)

본 실시형태에서는, 실시형태 1 및 실시형태 5와 일부가 다른 구조를 갖는 표시 장치에 대하여 설명한다.

도 43은 액정 표시 장치의 단면도이고, 구동 회로부에 형성된 트랜지스터는 단면 A-B에 나타낸 것이고, 화소부에 형성된 트랜지스터는 단면 C-D에 나타낸 것이다. 도 43에 나타낸 구조는 구동 회로부에 도전막(87)이 형성되지 않는 점에서 도 1 및 도 34와 다르다.

도 43에서의 단면 A-B에 나타낸 트랜지스터(10ka)는, 기판(11) 위의 게이트 전극(13c), 기판(11) 및 게이트 전극(13c) 위의 게이트 절연막(15), 게이트 절연막(15)을 개재하여 게이트 전극(13c)과 중첩되는 제 1 산화물 반도체막(81), 제 1 산화물 반도체막(81)을 덮는 제 2 산화물 반도체막(82), 및 제 2 산화물 반도체막(82)에 접촉하는 한 쌍의 전극(19c 및 20c)을 포함한다. 보호막(21)은 게이트 절연막(15), 제 2 산화물 반도체막(82), 및 한 쌍의 전극(19c 및 20c) 위에 형성된다. 도 34에서의 단면 A-B에 나타낸 트랜지스터(10kb)에서는 도전막(87)은 보호막(21) 위에 형성되고, 한편 도 43에서의 단면 A-B에 나타낸 트랜지스터(10ka)에서는 도전막(87)이 형성되지 않는다. 이 점을 제외하고는, 상기 트랜지스터들은 같은 구조를 갖는다.

보호막(21)은 산화물 절연막(23), 화학량론적 조성에서의 산소보다 높은 비율로 산소를 포함한 산화물 절연막(25), 및 질화물 절연막(27)을 포함한다.

도 43에서의 단면 C-D에 나타낸 트랜지스터(10mb)는, 기판(11) 위의 게이트 전극(13d), 기판(11) 및 게이트 전극(13d) 위의 게이트 절연막(15), 게이트 절연막(15)을 개재하여 게이트 전극(13d)과 중첩되는 산화물 반도체막(84), 및 산화물 반도체막(84)에 접촉하는 한 쌍의 전극(19d 및 20d)을 포함한다. 보호막(21)은 게이트 절연막(15), 산화물 반도체막(84), 및 한 쌍의 전극(19d 및 20d) 위에 형성된다. 유기 절연막(88)은 보호막(21) 위에 제공되어도 좋다.

전도성을 갖는 산화물 반도체막(85)은 게이트 절연막(15) 위에 형성된다. 전도성을 갖는 산화물 반도체막(85)은 다음과 같은 식으로 형성된다. 산화물 반도체막을 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)과 동시에 형성하고 질화물 절연막(27)에 접촉시킴으로써, 산화물 반도체막은 산소 빈자리 수 및 수소 농도가 증가되어 전도성이 높게 된다.

또한, 화소 전극(86)은 보호막(21)에서의 개구를 통하여 트랜지스터(10mb)의 전극(20d)에 접속되도록 보호막(21) 위에 제공된다. 화소 전극(86)은 투광성 도전막을 사용하여 형성될 수 있다.

전도성을 갖는 산화물 반도체막(85), 질화물 절연막(27), 및 화소 전극(86)은 용량 소자(89)를 형성한다. 전도성을 갖는 산화물 반도체막(85) 및 화소 전극(86)은 광을 투과시킨다. 따라서, 용량 소자(89)는 광을 투과시킨다. 그러므로 화소에서 용량 소자(89)의 면적을 증대시키는 것이 가능하다. 이에 의하여, 높은 개구율을 갖고 높은 용량 값을 갖는 용량 소자(89)가 제공되는 화소를 형성하는 것이 가능하게 된다.

[0407] 배향막(92a)이 보호막(21), 화소 전극(86), 및 유기 절연막(88) 위에 제공된다.

- [0408] 액정 표시 장치에서, 대향 기판(90)이 제공된다. 또한, 기판(11)과 대향 기판(90) 사이에서 대향 기판(90) 측으로부터 대향 전극(91) 및 배향막(92b)이 이 순서대로 제공된다.
- [0409] 액정층(93)은 배향막(92a)과 배향막(92b) 사이에 제공된다. 화소 전극(86), 액정층(93), 및 대향 전극(91)은 액정 소자(94)를 형성한다.
- [0410] 본 실시형태에 나타낸 액정 표시 장치에서, 구동 회로부에서의 트랜지스터 및 화소부에서의 트랜지스터는 다른 구조를 갖는 산화물 반도체막을 포함한다. 트랜지스터 외의 구성 요소는 도 1 및 도 34에 나타낸 것과 같고, 같은 부분에는 같은 부호를 사용한다.
- [0411] 제 1 산화물 반도체막(81) 및 제 2 산화물 반도체막(82)은 조성이 다르고, 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)은 조성이 같다. 즉, 제 1 산화물 반도체막(81)은 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)을 형성하는 스텝과 다른 스텝에서 형성된다. 또한, 제 2 산화물 반도체막(82) 및 산화물 반도체막(84)은 같은 스텝에서 형성된다.
- [0412] 트랜지스터(10ka)에 포함된 제 1 산화물 반도체막(81)에 채널 영역이 형성된다. 이 이유로, 제 1 산화물 반도체막(81)은 제 2 산화물 반도체막(82)보다 두껍다.
- [0413] 제 1 산화물 반도체막(81)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 30nm 이상 50nm 이하이다. 제 2 산화물 반도체막(82) 및 산화물 반도체막(84) 각각의 두께는 제 1 산화물 반도체막(81)의 그것보다 작고, 3nm 이상 100nm 이하, 바람직하게는 10nm 이상 100nm 이하, 더 바람직하게는 30nm 이상 50nm 이하이다.
- [0414] 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84)에 실시형태 5에서 설명한 재료 중 어느 것을 사용할 수 있다.
- [0415] 본 실시형태에 나타낸 액정 표시 장치에서, 구동 회로부에서의 트랜지스터 및 화소부에서의 트랜지스터는 다른 채널 길이를 가져도 좋다.
- [0416] 일반적으로, 구동 회로부에 포함되는 트랜지스터(10ka)의 채널 길이는 $2.5 \mu m$ 미만이고, 바람직하게는 $1.45 \mu m$ 이상 $2.2 \mu m$ 이하이다. 화소부에 포함되는 트랜지스터(10mb)의 채널 길이는 $2.5 \mu m$ 이상이고, 바람직하게는 $2.5 \mu m$ 이상 $20 \mu m$ 이하이다.
- [0417] 구동 회로부에 포함되는 트랜지스터(10ka)의 채널 길이가 $2.5 \mu m$ 미만, 바람직하게는 $1.45 \mu m$ 이상 $2.2 \mu m$ 이하로 설정될 때, 전계 효과 이동도 및 온 전류가 증가될 수 있다. 그 결과, 고속 동작이 가능한 구동 회로부를 형성할 수 있다.
- [0418] 트랜지스터의 채널 영역으로서 일부 기능하는 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 및 산화물 반도체막(84) 각각은 에너지 캡이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 이런 넓은 에너지 캡을 갖는 산화물 반도체를 사용함으로써, 트랜지스터(10ka 및 10mb)의 오프 전류를 저감시킬 수 있다.
- [0419] 다음에, 액정 표시 장치의 다른 구성 요소를 이하에서 자세히 설명한다. 실시형태 1에서 이미 설명된 액정 표시 장치의 자세한 구성 요소를 참조할 수 있다. 실시형태 1에서의 설명의 일부가 이하에서 반복된다.
- [0420] 또는, 기판(11)으로서 가요성 기판을 사용할 수 있고 가요성 기판에 직접 트랜지스터(10ka 및 10mb)를 제공하여도 좋다. 또는, 기판(11)과 트랜지스터(10ka 및 10mb) 사이에 분리층을 제공하여도 좋다. 분리층은, 그 위에 형성된 반도체 장치의 일부 또는 전부를 기판(11)으로부터 분리하여 다른 기판으로 옮길 때 사용될 수 있다. 이 경우, 트랜지스터(10ka 및 10mb)는 내열성이 낮은 기판 또는 가요성 기판에 옮겨질 수 있다. 상기 분리층에, 예를 들어 텅스텐막 및 산화 실리콘막인 무기막을 포함하는 적층, 또는 기판 위에 형성된 폴리이미드 등의 유기 수지막이 사용될 수 있다.
- [0421] 게이트 절연막(15)의 두께는 5nm 이상 400nm 이하, 바람직하게는 10nm 이상 300nm 이하, 더 바람직하게는 50nm 이상 250nm 이하이다.
- [0422] 산화물 절연막(23 및 25) 각각은 게이트 절연막과 비슷한 재료를 적절히 사용하여 형성될 수 있다.
- [0423] 산화물 절연막(23)은 질소를 포함하며 결합 수가 적은 산화물 절연막일 수 있다.
- [0424] 다음에, 발광 장치의 구조에 대해서 도 44를 참조하여 설명한다. 도 44는 도 35와 많은 부분이 같고, 이런 부

분에 대해서는 여기서 제시되지 않는다. 도 35의 단면 A-B에서의 트랜지스터(10nb)에서, 도전막(87)은 보호막(21) 위에 형성되고, 한편 도 44의 단면 A-B에서의 트랜지스터(10na)에서는 도전막(87)이 형성되지 않는다. 이 점을 제외하고, 상기 트랜지스터들은 같은 구조를 갖는다.

[0425] 도 44는 발광 장치의 단면도이고, 구동 회로부에 형성된 트랜지스터(10na)는 단면 A-B에 나타낸 것이고, 화소부에 형성된 트랜지스터(10m)는 단면 C-D에 나타낸 것이다.

[0426] <표시 장치의 제작 방법>

[0427] 표시 장치에 포함된 트랜지스터의 제작 방법에 대하여 설명한다. 도 44의 단면 A-B에서의 트랜지스터(10na)는 도전막(87)이 형성되지 않는 점을 제외하고 도 35의 단면 A-B에서의 트랜지스터(10nb)와 같은 구조를 갖고, 형성 방법은 도전막(87)이 형성되지 않으면 실시형태 5와 같다. 따라서, 상기 설명은 여기서 생략된다.

[0428] 도 43, 도 44 등에서 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 제 3 산화물 반도체막(83), 산화물 반도체막(84) 등이 전극(19c, 20c, 19d, 및 20d) 등 아래에 제공되어 있지만, 본 발명의 일 형태는 이에 한정되지 않는다. 제 1 산화물 반도체막(81), 제 2 산화물 반도체막(82), 제 3 산화물 반도체막(83), 산화물 반도체막(84) 등은 전극(19c, 20c, 19d, 및 20d) 등 위에 제공되어도 좋다. 도 45 및 도 46은 이런 경우의 예를 도시한 것이다.

[0429] <변형 예 11>

[0430] 도 43은 채널 에치 트랜지스터를 나타낸 것이지만, 채널 보호형 트랜지스터를 적절히 사용할 수 있다.

[0431] <변형 예 12>

[0432] 도 43은 보텀 게이트 트랜지스터를 나타낸 것이지만, 화소 회로 및/또는 구동 회로에 사용된 트랜지스터는 도 22의 (A)~(C)에 나타낸 바와 같은 톱 게이트 보텀 콘택트 구조를 가져도 좋다.

[0433] <변형 예 13>

[0434] 도 43은 보텀 게이트 트랜지스터를 나타낸 것이지만, 화소 회로 및/또는 구동 회로에 사용된 트랜지스터는 도 23의 (A)~(C)에 나타낸 바와 같은 톱 게이트 톱 콘택트 구조를 가져도 좋다.

[0435] 또한, 본 실시형태에서 설명된 구조, 방법 등은 다른 실시형태 및 실시예에서 설명된 구조, 방법 등 중 어느 것과 적절히 조합되어 사용될 수 있다.

[0436] [실시예 1]

[0437] 본 실시예에서는, 제작된 트랜지스터의 V_g - I_d 특성 및 신뢰성의 조사 결과에 대하여 설명한다.

[0438] <시료의 제작>

[0439] 본 실시예에서, 본 발명의 일 형태의 표시 장치의 구동 회로에 적합한 트랜지스터를 포함한 시료 1, 및 표시 장치의 화소에 적합한 트랜지스터를 포함한 시료 2를 제작하였다. 구체적으로는, 도 1에 도시된 트랜지스터(10k)에 상당하는 시료를 본 발명의 일 형태인 시료 1로서 제작하였다. 또한, 도 1에 도시된 트랜지스터(10m)에 상당하는 시료는 본 발명의 일 형태인 시료 2로서 제작되었다.

[0440] <시료 1>

[0441] 우선, 기판으로서 유리 기판을 사용하고, 기판 위에 게이트 전극을 형성하였다.

[0442] 게이트 전극은 이하와 같은 식으로 형성되었다: 스퍼터링법으로 두께 100nm의 텅스텐막을 형성하고, 포토리소그래피 공정에 의하여 텅스텐막 위에 마스크를 형성하고, 마스크를 사용하여 텅스텐막의 일부를 에칭하였다.

[0443] 다음에, 게이트 전극 위에 게이트 절연막으로서 기능하는 절연막을 형성하였다.

[0444] 게이트 절연막으로서는, 두께 400nm의 질화 실리콘막과 두께 50nm의 산화질화 실리콘막을 포함한 적층을 사용하였다.

[0445] 또한, 질화 실리콘막은, 제 1 질화 실리콘막, 제 2 질화 실리콘막, 및 제 3 질화 실리콘막의 3층 적층 구조를 갖도록 형성되었다.

[0446] 제 1 질화 실리콘막은 이하 조건하에서 두께 50nm를 갖도록 형성되었다: 유량 200sccm의 실레인, 유량 2000sccm

의 질소, 및 유량 100sccm의 암모니아 가스를 원료 가스로서 플라스마 CVD 장치의 처리실에 공급하고, 처리실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 이용하여 2000W의 전력을 공급하였다. 제 2 질화 실리콘막은 이하 조건하에서 두께 300nm를 갖도록 형성되었다: 유량 200sccm의 실레인, 유량 2000sccm의 질소, 및 유량 2000sccm의 암모니아 가스를 원료 가스로서 플라스마 CVD 장치의 처리실에 공급하고, 처리실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 이용하여 2000W의 전력을 공급하였다. 제 3 질화 실리콘막은 이하 조건하에서 두께 50nm를 갖도록 형성되었다: 유량 200sccm의 실레인 및 유량 5000sccm의 질소를 원료 가스로서 플라스마 CVD 장치의 처리실에 공급하고, 처리실 내의 압력을 100Pa로 제어하고, 27.12MHz의 고주파 전원을 이용하여 2000W의 전력을 공급하였다. 또한, 제 1 질화 실리콘막, 제 2 질화 실리콘막, 및 제 3 질화 실리콘막은 각각 350°C의 기판 온도로 형성되었다.

[0447] 산화질화 실리콘막은 이하 조건하에서 형성되었다: 유량 20sccm의 실레인 및 유량 3000sccm의 일산화이질소를 원료 가스로서 플라스마 CVD 장치의 처리실에 공급하고; 처리실 내의 압력을 40Pa로 제어하고, 27.12MHz의 고주파 전원을 이용하여 100W의 전력을 공급하였다. 또한, 산화질화 실리콘막은 350°C의 기판 온도로 형성되었다.

[0448] 다음에, 산화물 반도체막을 게이트 절연막을 개재하여 게이트 전극과 중첩되도록 형성하였다.

[0449] 여기서, 스퍼터링법으로 게이트 절연막 위에 두께 35nm의 산화물 반도체막을 형성하였다.

[0450] 산화물 반도체막은 이하 조건하에서 형성되었다: In:Ga:Zn을 원자수비 1:1:1로 포함하는 스퍼터링 타깃을 사용하고; 아르곤과 산소의 혼합 가스를 산소 비율 50%로 스퍼터링 장치의 처리실 내에 공급하고; 처리실 내의 압력을 0.6Pa로 제어하고; 2.5kW의 전력을 공급하였다. 또한, 산화물 반도체막은 170°C의 기판 온도로 형성되었다.

[0451] 다음에, 산화물 반도체막에 접촉하는 한 쌍의 전극을 형성하였다.

[0452] 우선, 게이트 절연막 및 산화물 반도체막 위에 도전막을 형성하였다. 도전막으로서, 두께 50nm의 텅스텐막 위에 두께 400nm의 알루미늄막을 형성하고, 이 알루미늄막 위에 두께 100nm의 타이타늄막을 형성하였다. 다음에, 포토리소그래피 공정에 의하여 상기 도전막 위에 마스크를 형성하고, 이 마스크를 사용하여 상기 도전막의 일부를 에칭하였다. 상기 스텝을 거쳐, 한 쌍의 전극을 형성하였다.

[0453] 그 다음에, 산화물 반도체막 및 한 쌍의 전극 위에 제 2 게이트 절연막을 형성하였다. 여기서는, 두께 50nm의 제 1 산화물 절연막, 두께 400nm의 제 2 산화물 절연막, 및 두께 100nm의 질화물 절연막의 3층 구조를 갖도록 제 2 게이트 절연막을 형성하였다.

[0454] 제 1 산화물 절연막은 이하 조건하에서 플라스마 CVD법에 의하여 형성되었다: 유량 20sccm의 실레인 및 유량 3000sccm의 일산화이질소를 원료 가스로서 사용하고; 처리실 내의 압력을 200Pa로 하고; 기판 온도를 350°C로 하고; 100W의 고주파 전력을 평행 평판 전극에 공급하였다.

[0455] 제 2 산화물 절연막은 이하 조건하에서 플라스마 CVD법에 의하여 형성되었다: 유량 160sccm의 실레인 및 유량 4000sccm의 일산화이질소를 원료 가스로서 사용하고, 처리실 내의 압력을 200Pa로 하고, 기판 온도를 220°C로 하고, 1500W의 고주파 전력을 평행 평판 전극에 공급하였다. 상기 조건하에서, 화학량론적 조성에서의 산소보다 높은 비율로 산소를 포함하고 가열에 의하여 산소의 일부가 방출되는 산화질화 실리콘막을 형성할 수 있다.

[0456] 다음에, 가열 처리를 수행함으로써, 제 1 산화물 절연막 및 제 2 산화물 절연막으로부터 물, 질소, 수소 등을 방출시키고 제 2 산화물 절연막에 포함되는 산소의 일부를 산화물 반도체막에 공급하였다. 여기서는 질소 및 산소의 혼합 분위기에서 350°C로 1시간의 가열 처리를 수행하였다.

[0457] 다음에, 제 2 산화물 절연막 위에 질화물 절연막을 형성하였다. 질화물 절연막은 이하 조건하에서 플라스마 CVD법에 의하여 형성되었다: 유량 50sccm의 실레인, 유량 5000sccm의 질소, 및 유량 100sccm의 암모니아 가스를 원료 가스로서 사용하고; 처리실 내의 압력을 100Pa로 하고; 기판 온도를 350°C로 하고; 1000W의 고주파 전력을 평행 평판 전극에 공급하였다.

[0458] 다음에, 산화물 반도체막 및 한 쌍의 전극이 제공되지 않은 영역에 있어서, 게이트 절연막 및 제 2 게이트 절연막에 게이트 전극에 도달하는 개구를 형성하였다. 상기 개구는 이하 식으로 형성되었다: 포토리소그래피 공정에 의하여 제 2 게이트 절연막 위에 마스크를 형성하고, 이 마스크를 사용하여 게이트 절연막 및 제 2 게이트 절연막의 일부를 에칭하였다.

[0459] 그 다음에, 제 2 게이트 절연막 위에 백 게이트 전극으로 기능하는 제 2 게이트 전극을 형성하였다. 백 게이트 전극은, 게이트 절연막 및 제 2 게이트 절연막에 제공된 개구를 통하여 게이트 전극과 전기적으로 접속되었다.

- [0460] 여기서는, 백 게이트 전극으로서, 스퍼터링법에 의하여, 두께 100nm의 산화 실리콘을 포함하는 산화 인듐-산화 주석 화합물(ITO-SiO₂)의 도전막을 형성하였다. 또한, 상기 도전막의 형성에 사용한 타깃의 조성은, In₂O₃:SnO₂:SiO₂=85:10:5[wt%]로 하였다. 그 후, 질소 분위기에서 250°C로 1시간의 가열 처리를 수행하였다.
- [0461] 상기 공정을 거쳐 본 실시예의 시료 1을 제작하였다.
- [0462] <시료 2>
- [0463] 시료 2는, 백 게이트 전극이 제공되지 않고 두께 1.5 μm의 아크릴 수지막이 질화물 절연막 위에 제공되는 점에서 시료 1과 다르다.
- [0464] 백 게이트 전극을 형성하는 스텝을 제외하고, 상술한 시료 1의 제작 공정을 이용하여 시료 2를 제작하였다. 시료 2를 제작하는 다른 스텝은 시료 1의 제작과 비슷하고; 그러므로 시료 1의 설명을 참조할 수 있다.
- [0465] 또한, 시료 1 및 시료 2 각각으로서, 채널 폭 W가 50 μm이고 채널 길이 L이 2 μm, 3 μm, 및 6 μm인 3종류의 트랜지스터를 제작하였다.
- [0466] < $V_g - I_d$ 특성>
- [0467] 다음에, 시료 1 및 시료 2에 포함된 트랜지스터의 초기 $V_g - I_d$ 특성을 측정하였다. 여기서, 소스와 드레인 사이에 흐르는 전류의 변화(이후는 드레인 전류: I_d 라고 함), 즉 $V_g - I_d$ 특성을 이하 조건하에서 측정하였다: 기판 온도를 25°C로 하고, 소스와 드레인 사이의 전위 차이(이후는 드레인 전압: V_d 라고 함)는 1V 또는 10V이고, 및 소스 전극과 게이트 전극 사이의 전위 차이(이후는 게이트 전압: V_g 라고 함)는 -15V로부터 15V로 변화시켰다.
- [0468] 여기서, 시료 1의 트랜지스터는 게이트 전극과 백 게이트 전극이 서로 전기적으로 접속되는 상태에서 게이트 전압이 인가되는 방법으로 구동되었다. 이런 구동 방법에서, 백 게이트 전극은 게이트 전극과 늘 같은 게이트 전압을 갖는다.
- [0469] 도 24의 (A)~(C)는 시료 2의 $V_g - I_d$ 특성을 나타낸 것이다. 도 24의 (A)~(C)는 각각, 2 μm, 3 μm, 및 6 μm의 채널 길이 L을 갖는 트랜지스터의 결과를 나타낸 것이다. 마찬가지로, 도 25의 (A)~(C)는 시료 1의 $V_g - I_d$ 특성을 나타낸 것이다.
- [0470] 도 24의 (A)~(C) 및 도 25의 (A)~(C) 각각에 있어서, 가로축은 게이트 전압 V_g 를, 제 1 세로축은 드레인 전류 I_d 를, 및 제 2 세로축은 전계 효과 이동도를 각각 나타낸다. 여기서, 포화 영역에서의 전계 효과 이동도를 나타내기 위하여, 드레인 전압 V_d 가 10V일 때 산출된 전계 효과 이동도를 나타낸다.
- [0471] 도 24의 (A)~(C)에서의 시료 2의 결과는, 채널 길이 L이 길게 될수록, 음의 방향에서의 문턱 전압의 시프트가 더 억제되는 것을 나타낸다. 특히, 문턱 전압의 음의 방향에서의 시프트의 억제 효과는 드레인 전압 V_d 가 높은 경우에서 현저하다. 또한, 채널 길이 L에 관계없이, 전계 효과 이동도는 거의 변화되지 않는다.
- [0472] 또한, 도 25의 (A)~(C)에 나타낸 바와 같이, 시료 1의 전계 효과 이동도는 채널 길이 L에 관계없이 시료 2에 비하여 향상된다. 또한, 전계 효과 이동도는 채널 길이 L이 짧게 될수록 더 향상된다. 또한, 게이트 전극과 백 게이트 전극이 서로 전기적으로 접속되는 상태에서 게이트 전압이 인가되는 구동 방법을 이용함으로써, 채널 길이 L이 짧을 때에도(즉, L이 2 μm) 드레인 전압 V_d 에 대한 문턱 전압의 변화는 극히 작게 된다.
- [0473] 상술한 결과는, 본 발명의 일 형태의 트랜지스터가, 게이트 전극과 백 게이트 전극이 서로 전기적으로 접속되는 상태에서 게이트 전압이 인가되는 구동 방법을 이용함으로써 구동될 때, 채널 길이 L이 짧을수록, 전계 효과 이동도가 더 향상된다. 따라서, 채널 길이 L이 짧게 되며(구체적으로는 L=2 μm) 상술한 구동 방법이, 높은 전계 효과 이동도를 필요로 하는 구동 회로에서의 트랜지스터에 채용되고, 노멀리 오프 특성을 필요로 하는 회로에서의 트랜지스터의 채널 길이 L은 구동 회로에서의 트랜지스터의 그것보다 길게 되는 경우, 저소비 전력으로 고속으로 동작할 수 있는 표시 장치를 제공할 수 있다.
- [0474] [실시예 2]
- [0475] 본 실시예에서는, 제작된 트랜지스터의 $V_g - I_d$ 특성 및 신뢰성의 조사 결과에 대하여 설명한다.

[0476] <시료의 제작>

[0477] 본 실시예에서, 본 발명의 일 형태의 표시 장치에 적합한 트랜지스터를 포함한 시료 3~6을 제작하였다. 구체적으로는, 도 1에 도시된 구동 회로에서의 트랜지스터(10k)에 상당하는 시료는 본 발명의 일 형태인 시료 3~6으로서 제작되었다.

[0478] 우선, 기판으로서 유리 기판을 사용하고, 기판 위에 게이트 전극을 형성하였다.

[0479] 게이트 전극은 이하와 같은 식으로 형성되었다: 스퍼터링법으로 두께 150nm의 텅스텐막을 형성하고, 포토리소그래피 공정에 의하여 텅스텐막 위에 마스크를 형성하고, 마스크를 사용하여 텅스텐막의 일부를 에칭하였다.

[0480] 다음에, 게이트 전극 위에 게이트 절연막으로서 기능하는 절연막을 형성하였다.

[0481] 게이트 절연막으로서는, 두께 400nm의 질화 실리콘막과 두께 50nm의 산화질화 실리콘막을 포함한 적층을 사용하였다. 게이트 절연막은 플라스마 CVD법으로 형성되었다.

[0482] 다음에, 산화물 반도체막을 게이트 절연막을 개재하여 게이트 전극과 중첩되도록 형성하였다.

[0483] 여기서, 스퍼터링법으로 게이트 절연막 위에 산화물 반도체막을 형성하였다.

[0484] 시료 3에 사용되는 산화물 반도체막은 이하 조건하에서 두께 35nm를 갖도록 형성되었다: In:Ga:Zn을 원자수비 1:1:1로 포함하는 스퍼터링 타깃을 사용하고; 아르곤과 산소의 혼합 가스를 산소 비율 33%로 스퍼터링 장치의 처리실 내에 공급하고; 처리실 내의 압력을 0.4Pa로 제어하였다. 또한, 산화물 반도체막은 300°C의 기판 온도로 형성되었다.

[0485] 시료 4에 사용되는 산화물 반도체막은 이하 조건하에서 두께 35nm를 갖도록 형성되었다: In:Ga:Zn을 원자수비 3:1:2로 포함하는 스퍼터링 타깃을 사용하고; 아르곤과 산소의 혼합 가스를 산소 비율 33%로 스퍼터링 장치의 처리실 내에 공급하고; 처리실 내의 압력을 0.4Pa로 제어하였다. 또한, 산화물 반도체막은 300°C의 기판 온도로 형성되었다.

[0486] 시료 5에 사용되는 산화물 반도체막은 이하 조건하에서 두께 35nm를 갖도록 형성되었다: In:Ga:Zn을 원자수비 3:1:3으로 포함하는 스퍼터링 타깃을 사용하고; 아르곤과 산소의 혼합 가스를 산소 비율 33%로 스퍼터링 장치의 처리실 내에 공급하고; 처리실 내의 압력을 0.4Pa로 제어하였다. 또한, 산화물 반도체막은 300°C의 기판 온도로 형성되었다.

[0487] 시료 6에 사용되는 산화물 반도체막은 이하 조건하에서 두께 35nm를 갖도록 형성되었다: In:Ga:Zn을 원자수비 3:1:4로 포함하는 스퍼터링 타깃을 사용하고; 아르곤과 산소의 혼합 가스를 산소 비율 33%로 스퍼터링 장치의 처리실 내에 공급하고; 처리실 내의 압력을 0.4Pa로 제어하였다. 또한, 산화물 반도체막은 300°C의 기판 온도로 형성되었다.

[0488] 다음에, 산화물 반도체막에 접촉하는 한 쌍의 전극을 형성하였다.

[0489] 우선, 게이트 절연막 및 산화물 반도체막 위에 도전막을 형성하였다. 도전막으로서, 두께 50nm의 텅스텐막 위에 두께 400nm의 알루미늄막을 형성하고, 이 알루미늄막 위에 두께 100nm의 타이타늄막을 형성하였다. 다음에, 포토리소그래피 공정에 의하여 상기 도전막 위에 마스크를 형성하고, 이 마스크를 사용하여 상기 도전막의 일부를 에칭하였다. 상기 스텝을 거쳐, 한 쌍의 전극을 형성하였다.

[0490] 그 다음에, 산화물 반도체막 및 한 쌍의 전극 위에 제 2 게이트 절연막을 형성하였다. 여기서는, 두께 50nm의 제 1 산화물 절연막, 두께 400nm의 제 2 산화물 절연막, 및 두께 100nm의 질화물 절연막의 3층 구조를 갖도록 제 2 게이트 절연막을 형성하였다.

[0491] 제 1 산화물 절연막은 이하 조건하에서 플라스마 CVD법에 의하여 형성되었다: 유량 20sccm의 실레인 및 유량 3000sccm의 일산화이질소를 원료 가스로서 사용하고; 처리실 내의 압력을 200Pa로 하고; 기판 온도를 350°C로 하고; 100W의 고주파 전력을 평행 평판 전극에 공급하였다.

[0492] 제 2 산화물 절연막은 이하 조건하에서 플라스마 CVD법에 의하여 형성되었다: 유량 160sccm의 실레인 및 유량 4000sccm의 일산화이질소를 원료 가스로서 사용하고, 처리실 내의 압력을 200Pa로 하고, 기판 온도를 220°C로 하고, 1500W의 고주파 전력을 평행 평판 전극에 공급하였다. 상기 조건하에서, 화학량론적 조성에서의 산소보다 높은 비율로 산소를 포함하고 가열에 의하여 산소의 일부가 방출되는 산화질화 실리콘막을 형성할 수 있다.

- [0493] 다음에, 가열 처리를 수행함으로써, 제 1 산화물 절연막 및 제 2 산화물 절연막으로부터 물, 질소, 수소 등을 방출시키고 제 2 산화물 절연막에 포함되는 산소의 일부를 산화물 반도체막에 공급하였다. 여기서는 질소 및 산소의 혼합 분위기에서 350°C로 1시간의 가열 처리를 수행하였다.
- [0494] 다음에, 제 2 산화물 절연막 위에 질화물 절연막을 형성하였다. 질화물 절연막은 이하 조건하에서 플라스마 CVD법에 의하여 형성되었다: 유량 50sccm의 실레인, 유량 5000sccm의 질소, 및 유량 100sccm의 암모니아 가스를 원료 가스로서 사용하고; 처리실 내의 압력을 100Pa로 하고; 기관 온도를 350°C로 하고; 1000W의 고주파 전력을 평행 평판 전극에 공급하였다.
- [0495] 다음에, 산화물 반도체막 및 한 쌍의 전극이 제공되지 않은 영역에 있어서, 게이트 절연막 및 제 2 게이트 절연막에 게이트 전극에 도달하는 개구를 형성하였다. 상기 개구는 이하 식으로 형성되었다: 포토리소그래피 공정에 의하여 제 2 게이트 절연막 위에 마스크를 형성하고, 및 이 마스크를 사용하여 게이트 절연막 및 제 2 게이트 절연막의 일부를 에칭하였다.
- [0496] 그 다음에, 제 2 게이트 절연막 위에 백 게이트 전극으로 기능하는 제 2 게이트 전극을 형성하였다. 백 게이트 전극은, 게이트 절연막 및 제 2 게이트 절연막에 제공된 개구를 통하여 게이트 전극과 전기적으로 접속되었다.
- [0497] 여기서는, 백 게이트 전극으로서, 스퍼터링법에 의하여, 두께 110nm의 산화 실리콘을 포함하는 산화 인듐-산화 주석 화합물(ITO-SiO₂)의 도전막을 형성하였다. 또한, 상기 도전막의 형성에 사용한 타깃의 조성은, In₂O₃:SnO₂:SiO₂=85:10:5[wt%]로 하였다.
- [0498] 그 후, 질소 분위기에서 250°C로 1시간의 가열 처리를 수행하였다.
- [0499] 상기 공정을 거쳐 본 실시예의 시료 3, 4, 5, 및 6을 제작하였다.
- [0500] 또한, 시료 3~6 각각으로서, 채널 폭 W 가 50 μm이고 채널 길이 L 이 3 μm, 6 μm, 및 10 μm인 3종류의 트랜지스터를 제작하였다.
- [0501] < V_g - I_d 특성>
- [0502] 다음에, 시료 3~6에 포함된 트랜지스터의 초기 V_g - I_d 특성을 측정하였다. 여기서, 소스와 드레인 사이에 흐르는 전류의 변화(이후는 드레인 전류: I_d 라고 함), 즉 V_g - I_d 특성을 이하 조건하에서 측정하였다: 기관 온도를 25°C로 하고, 소스와 드레인 사이의 전위 차이(이후는 드레인 전압: V_d 라고 함)는 1V 또는 10V이고, 및 소스와 게이트 전극 사이의 전위 차이(이후는 게이트 전압: V_g 라고 함)는 -20V로부터 20V로 변화시켰다.
- [0503] 도 39는 시료 3~6의 V_g - I_d 특성을 나타낸 것이다.
- [0504] 도 39에 있어서, 가로축은 게이트 전압 V_g 를, 제 1 세로축은 드레인 전류 I_d 를, 및 제 2 세로축은 전계 효과 이동도를 각각 나타낸다. 여기서, 포화 영역에서의 전계 효과 이동도를 나타내기 위하여, 드레인 전압 V_d 가 10V일 때 산출된 전계 효과 이동도를 나타낸다.
- [0505] 도 39에 나타낸 바와 같이, 시료 4~6의 트랜지스터의 전계 효과 이동도는 시료 3의 트랜지스터의 2~3배 정도이다. 또한 시료 4의 트랜지스터는 가장 높은 전계 효과 이동도를 갖는다.
- [0506] <신뢰성>
- [0507] 다음에, 시료 3~6의 신뢰성을 평가하였다. 이 평가는 광 조사하에서 V_g - I_d 특성을 측정함으로써 실행되었다. V_g - I_d 특성을 측정하는 방법에 대해서는, 상기 측정 방법의 설명을 참조할 수 있다.
- [0508] 또한, 광 조사에는 제논 램프를 사용하였다. 시료에는, 시료에 대하여 수직 방향으로 400nm, 450nm, 및 500nm의 파장을 갖는 광이 조사되었다.
- [0509] 도 40은 광 조사하에서 시료 3~6의 V_g - I_d 특성을 나타낸 것이다.
- [0510] 도 40에 따르면, 인듐의 비율이 높은 시료 4~6에서, 시료 3보다 광 조사하에서의 오프 전류의 증가량이 크다. 시료 3에서, 가시광 범위인 500nm의 파장을 갖는 광 조사하에서 오프 전류의 증가가 관찰되지 않는다.
- [0511] 상기 결과는, 광에 노출될 수 있는, 화소에서의 트랜지스터에 시료 3의 트랜지스터가 적합하다는 것을 나타낸다.

것이다. 또한, 이 결과는, 시료 4~6의 트랜지스터는 광 조사하에서 오프 전류의 증가가 보이면서 높은 전계 효과 이동도를 갖기 때문에, 차광이 가능한, 구동 회로에서의 트랜지스터에 시료 4~6의 트랜지스터가 적합하다는 것을 나타낸 것이다.

[0512] [실시예 3]

[0513] 본 실시예에서, 본 발명의 일 형태의 표시 장치의 화소에 적합한 트랜지스터를 포함한 시료 8, 및 표시 장치의 구동 회로에 적합한 트랜지스터를 포함한 시료 7을 제작하였다. 구체적으로는, 도 34에 도시된 화소에서의 트랜지스터(10m)에 상당하는 시료는 본 발명의 일 형태인 시료 8로서 제작되었다. 또한, 도 34에 도시된 구동 회로에서의 트랜지스터(10kb)에 상당하는 시료는 본 발명의 일 형태인 시료 7로서 제작되었다. 여기서, 트랜지스터(10kb)는 제 2 산화물 반도체막(82)을 갖지 않는다.

[0514] 우선, 기판으로서 유리 기판을 사용하고, 기판 위에 게이트 전극을 형성하였다.

[0515] 게이트 전극은 이하와 같은 식으로 형성되었다: 스퍼터링법으로 두께 100nm의 텅스텐막을 형성하고, 포토리소그래피 공정에 의하여 텅스텐막 위에 마스크를 형성하고, 마스크를 사용하여 텅스텐막의 일부를 에칭하였다.

[0516] 다음에, 게이트 전극 위에 게이트 절연막으로서 기능하는 절연막을 형성하였다.

[0517] 게이트 절연막은, 두께 50nm의 질화 실리콘막, 두께 300nm의 산화질화 실리콘막, 및 두께 50nm의 산화질화 실리콘막을 적층하여 형성되었다. 게이트 절연막은 플라스마 CVD법으로 형성되었다.

[0518] 다음에, 산화물 반도체막을 게이트 절연막을 개재하여 게이트 전극과 중첩되도록 형성하였다.

[0519] 여기서, 스퍼터링법으로 게이트 절연막 위에 산화물 반도체막을 형성하였다.

[0520] 시료 7에 사용된 산화물 반도체막은 이하 조건하에서 두께 35nm를 갖도록 형성되었다: In:Ga:Zn을 원자수비 1:1:1로 포함하는 스퍼터링 타깃을 사용하고; 아르곤과 산소의 혼합 가스를 산소 비율 50%로 스퍼터링 장치의 처리실 내에 공급하고; 처리실 내의 압력을 0.6Pa로 제어하고; 2.5kW의 직류 전력을 공급하였다. 또한, 산화물 반도체막은 170°C의 기판 온도로 형성되었다.

[0521] 시료 8에 사용되는 산화물 반도체막은 이하 조건하에서 두께 35nm를 갖도록 형성되었다: In:Ga:Zn을 원자수비 3:1:2로 포함하는 스퍼터링 타깃을 사용하고; 아르곤과 산소의 혼합 가스를 산소 비율 50%로 스퍼터링 장치의 처리실 내에 공급하고; 처리실 내의 압력을 0.6Pa로 제어하고; 5kW의 직류 전력을 공급하였다. 또한, 산화물 반도체막은 170°C의 기판 온도로 형성되었다.

[0522] 다음에, 산화물 반도체막에 접촉하는 한 쌍의 전극을 형성하였다.

[0523] 우선, 게이트 절연막 및 산화물 반도체막 위에 도전막을 형성하였다. 이 도전막으로서, 두께 50nm의 텅스텐막 위에 두께 400nm의 알루미늄막을 형성하고, 이 알루미늄막 위에 두께 100nm의 타이타늄막을 형성하였다. 다음에, 포토리소그래피 공정에 의하여 상기 도전막 위에 마스크를 형성하고, 이 마스크를 사용하여 상기 도전막의 일부를 에칭하였다. 상기 스텝을 거쳐, 한 쌍의 전극을 형성하였다.

[0524] 그 다음에, 산화물 반도체막 및 한 쌍의 전극 위에 제 2 게이트 절연막을 형성하였다. 여기서는, 두께 50nm의 제 1 산화물 절연막, 두께 400nm의 제 2 산화물 절연막, 및 두께 100nm의 질화물 절연막의 3층 구조를 갖도록 제 2 게이트 절연막을 형성하였다.

[0525] 제 1 산화물 절연막은 이하 조건하에서 플라스마 CVD법에 의하여 형성되었다: 유량 30sccm의 실레인 및 유량 4000sccm의 일산화이질소를 원료 가스로서 사용하고; 처리실 내의 압력을 200Pa로 하고; 기판 온도를 350°C로 하고; 150W의 고주파 전력을 평행 평판 전극에 공급하였다.

[0526] 제 2 산화물 절연막은 이하 조건하에서 플라스마 CVD법에 의하여 형성되었다: 유량 200sccm의 실레인 및 유량 4000sccm의 일산화이질소를 원료 가스로서 사용하고, 처리실 내의 압력을 200Pa로 하고, 기판 온도를 220°C로 하고, 1500W의 고주파 전력을 평행 평판 전극에 공급하였다. 상기 조건하에서, 화학량론적 조성에서의 산소보다 높은 비율로 산소를 포함하고 가열에 의하여 산소의 일부가 방출되는 산화질화 실리콘막을 형성할 수 있다.

[0527] 다음에, 가열 처리를 수행함으로써, 제 1 산화물 절연막 및 제 2 산화물 절연막으로부터 물, 질소, 수소 등을 방출시키고 제 2 산화물 절연막에 포함되는 산소의 일부를 산화물 반도체막에 공급하였다. 여기서는 질소 및 산소의 혼합 분위기에서 350°C로 1시간의 가열 처리를 수행하였다.

[0528] 다음에, 제 2 산화물 절연막 위에 질화물 절연막을 형성하였다. 질화물 절연막은 이하 조건하에서 플라스마

CVD법에 의하여 형성되었다: 유량 50sccm의 실레인, 유량 5000sccm의 질소, 및 유량 100sccm의 암모니아 가스를 원료 가스로서 사용하고; 처리실 내의 압력을 100Pa로 하고; 기판 온도를 350°C로 하고; 1000W의 고주파 전력을 평행 평판 전극에 공급하였다.

[0529] 다음에, 산화물 반도체막 및 한 쌍의 전극이 제공되지 않은 영역에 있어서, 게이트 절연막 및 제 2 게이트 절연막에 게이트 전극에 도달하는 개구를 형성하였다. 상기 개구는 이하 식으로 형성되었다: 포토리소그래피 공정에 의하여 제 2 게이트 절연막 위에 마스크를 형성하고, 및 이 마스크를 사용하여 게이트 절연막 및 제 2 게이트 절연막을 부분적으로 에칭하였다.

[0530] 그 다음에, 제 2 게이트 절연막 위에 백 게이트 전극으로 기능하는 제 2 게이트 전극을 형성하였다. 백 게이트 전극은, 게이트 절연막 및 제 2 게이트 절연막에 제공된 개구를 통하여 게이트 전극과 전기적으로 접속되었다.

[0531] 여기서는, 백 게이트 전극으로서, 스퍼터링법에 의하여, 두께 100nm의 산화 실리콘을 포함하는 산화 인듐-산화 주석 화합물(ITO-SiO₂)의 도전막을 형성하였다. 또한, 상기 도전막의 형성에 사용한 타깃의 조성은, In₂O₃:SnO₂:SiO₂=85:10:5[wt%]로 하였다.

[0532] 그 후, 질소 분위기에서 250°C로 1시간의 가열 처리를 수행하였다.

[0533] 상기 공정을 거쳐 본 실시예의 시료 7 및 시료 8을 제작하였다. 시료 8의 제작에서, 상술한 제작 공정에서 백 게이트 전극의 형성 스텝을 생략하였다.

[0534] 또한, 시료 7 및 시료 8 각각으로서, 채널 폭 W 가 50 μm이고 채널 길이 L 이 3 μm 및 6 μm인 2종류의 트랜지스터를 제작하였다.

[0535] <신뢰성>

[0536] 다음에, 시료 7 및 시료 8의 트랜지스터의 신뢰성에 대하여 평가하였다. 신뢰성의 평가에는, 게이트 바이어스 온도 스트레스 시험을 수행하였다.

[0537] 포지티브 게이트 BT 스트레스 시험(포지티브 BT)의 측정 방법에 대하여 설명한다. 포지티브 게이트 BT 스트레스 시험을 위한 대상 트랜지스터의 초기 상태(스트레스 인가 전의 상태)에서의 전기 특성을 측정하기 위하여, 게이트 전압(V_g)에 대한 드레인 전류(I_d)의 변화 특성, 즉 V_g - I_d 특성이 이하 조건하에서 측정되었다: 기판 온도를 60°C로 하고 드레인 전압(V_d)을 1V 또는 10V로 하였다.

[0538] 다음에, 기판 온도를 60°C로 유지하면서 트랜지스터의 드레인 전압(V_d)을 0V로 설정하였다. 그리고, +30V의 게이트 전압(V_g)을 인기하고 1시간 동안 유지하였다.

[0539] 네거티브 게이트 BT 스트레스 시험(네거티브 BT)에서, -30V의 게이트 전압(V_g)을 인가하였다.

[0540] 포지티브 게이트 BT 스트레스 시험 및 네거티브 게이트 BT 스트레스 시험은 암상태(dark)에서 수행되었다.

[0541] 도 41 및 도 42는 각각 게이트 BT 스트레스 시험 전후의 시료 7 및 시료 8의 V_g - I_d 특성을 나타낸 것이다. 실선은 시험 전의 V_g - I_d 특성을 나타낸 것이고, 점선은 시험 후의 V_g - I_d 특성을 나타낸 것이다. 또한, 표 1 및 표 2는 문턱 전압(V_{th}) 및 시프트 값($\Delta Shift$)의 변화의 양을 나타낸 것이다. 또한, 문턱 전압(V_{th})은, 채널이 형성될 때 게이트 전압(소스와 게이트 사이의 전압)을 말한다. 가로축을 게이트 전압(V_g)으로 하고 세로축을 드레인 전류(I_d)의 제곱근으로 하며 데이터를 플롯한 곡선(V_g - $\sqrt{I_d}$ 특성)에 있어서, 문턱 전압(V_{th})은, 0의 드레인 전류($I_d=0A$)을 나타내는 직선과 최대 기울기의 접선의 외삽의 교점에서의 게이트 전압(V_g)으로서 정의된다. V_g - I_d 특성을 나타낸 곡선에 있어서, 시프트 값은, $1 \times 10^{-12} A$ 의 드레인 전류(I_d)를 나타내는 직선과 최대 기울기의 접선의 외삽의 교점에서의 게이트 전압(V_g)으로서 정의된다.

[0542]

[표 1]

	포지티브 게이트 BT 스트레스 시험			
	시료 7		시료 8	
	ΔV_{th} [V]	$\Delta Shift$ [V]	ΔV_{th} [V]	$\Delta Shift$ [V]
L=3μm	1.95	1.95	-0.38	-1.07
L=6μm	2.34	2.48	0.24	0.16

[0543]

[0544]

[표 2]

	네거티브 게이트 BT 스트레스 시험			
	시료 7		시료 8	
	ΔV_{th} [V]	$\Delta Shift$ [V]	ΔV_{th} [V]	$\Delta Shift$ [V]
L=3μm	0.06	0.17	-0.26	-0.34
L=6μm	0.08	0.22	0.03	0.04

[0545]

상술한 결과는, 본 발명의 일 형태의 트랜지스터가, 게이트 전극과 백 게이트 전극이 서로 전기적으로 접속되는 상태에서 게이트 전압이 인가되는 구동 방법을 이용함으로써 구동될 때, 그 트랜지스터는 향상된 전계 효과 이동도에 더하여 고신뢰성을 갖는다.

[0546]

[실시예 4]

[0547]

본 실시예에서는, 제작된 트랜지스터의 $V_g - I_d$ 특성 및 신뢰성의 조사 결과에 대하여 설명한다.

[0548]

<시료의 제작>

[0549]

본 실시예에서, 본 발명의 일 형태의 표시 장치의 화소에 적합한 트랜지스터를 포함한 시료 9, 및 표시 장치의 구동 회로에 적합한 트랜지스터를 포함한 시료 10을 제작하였다. 구체적으로는, 도 43에 도시된 화소에서의 트랜지스터(10mb)에 상당하는 시료는 본 발명의 일 형태인 시료 9로서 제작되었다. 또한, 도 43에 도시된 구동 회로에서의 트랜지스터(10ka)에 상당하는 시료는 본 발명의 일 형태인 시료 10으로서 제작되었다.

[0550]

우선, 기판으로서 유리 기판을 사용하고, 기판 위에 게이트 전극을 형성하였다.

[0551]

게이트 전극은 이하와 같은 식으로 형성되었다: 스퍼터링법으로 두께 100nm의 텅스텐막을 형성하고, 포토리소그래피 공정에 의하여 텅스텐막 위에 마스크를 형성하고, 마스크를 사용하여 텅스텐막의 일부를 에칭하였다.

[0552]

다음에, 게이트 전극 위에 게이트 절연막으로서 기능하는 절연막을 형성하였다.

[0553]

게이트 절연막으로서는, 두께 50nm의 질화 실리콘막과 두께 200nm의 산화질화 실리콘막을 포함한 적층을 사용하였다. 게이트 절연막은 플라스마 CVD법으로 형성되었다.

[0554]

다음에, 산화물 반도체막을 게이트 절연막을 개재하여 게이트 전극과 중첩되도록 형성하였다.

[0555]

여기서, 스퍼터링법으로 게이트 절연막 위에 산화물 반도체막을 형성하였다.

[0556]

시료 9는 산화물 반도체막이 단층 구조를 갖는 시료이다. 시료 9에서, 산화물 반도체막은 이하 조건하에서 두께 35nm를 갖도록 형성되었다: In:Ga:Zn을 원자수비 1:1:1로 포함하는 스퍼터링 타깃을 사용하고; 아르곤과 산소의 혼합 가스를 산소 비율 50%로 스퍼터링 장치의 처리실 내에 공급하고; 처리실 내의 압력을 0.6Pa로 제어하고, 2.5kW의 직류 전력을 공급하였다. 또한, 산화물 반도체막은 170°C의 기판 온도로 형성되었다.

[0557]

시료 10은 산화물 반도체막이 적층 구조를 갖는 시료이다. 시료 10에서, 산화물 반도체막으로서 두께 10nm의 제 1 층 및 두께 10nm의 제 2 층이 형성되었다. 제 1 층은 이하 조건하에서 형성되었다: In:Ga:Zn을 원자수비 3:1:2로 포함하는 스퍼터링 타깃을 사용하고; 아르곤과 산소의 혼합 가스를 산소 비율 50%로 스퍼터링 장치의 처리실 내에 공급하고; 처리실 내의 압력을 0.6Pa로 제어하고; 2.5kW의 직류 전력을 공급하였다. 제 2 층은 이하 조건하에서 형성되었다: In:Ga:Zn을 원자수비 1:1:1로 포함하는 스퍼터링 타깃을 사용하고; 아르곤과 산소의 혼합 가스를 산소 비율 50%로 스퍼터링 장치의 처리실 내에 공급하고; 처리실 내의 압력을 0.6Pa로 제어하고;

5kW의 직류 전력을 공급하였다. 또한, 산화물 반도체막은 170°C의 기판 온도로 형성되었다.

[0559] 다음에, 산화물 반도체막에 접촉하는 한 쌍의 전극을 형성하였다.

[0560] 우선, 게이트 절연막 및 산화물 반도체막 위에 도전막을 형성하였다. 이 도전막으로서, 두께 50nm의 텅스텐막 위에 두께 400nm의 알루미늄막을 형성하고, 이 알루미늄막 위에 두께 100nm의 타이타늄막을 형성하였다. 다음에, 포토리소그래피 공정에 의하여 상기 도전막 위에 마스크를 형성하고, 이 마스크를 사용하여 상기 도전막의 일부를 에칭하였다. 상기 스텝을 거쳐, 한 쌍의 전극을 형성하였다.

[0561] 그 다음에, 산화물 반도체막 및 한 쌍의 전극 위에 보호 절연막을 형성하였다. 여기서는, 이 보호 절연막은 두께 10nm의 제 1 산화물 절연막 및 두께 390nm의 제 2 산화물 절연막의 2층 구조를 갖는다.

[0562] 제 1 산화물 절연막은 이하 조건하에서 플라스마 CVD법에 의하여 형성되었다: 유량 20sccm의 실레인 및 유량 3000sccm의 일산화이질소를 원료 가스로서 사용하고, 처리실 내의 압력을 200Pa로 하고, 기판 온도를 350°C로 하고; 100W의 고주파 전력을 평행 평판 전극에 공급하였다.

[0563] 제 2 산화물 절연막은 이하 조건하에서 플라스마 CVD법에 의하여 형성되었다: 유량 160sccm의 실레인 및 유량 4000sccm의 일산화이질소를 원료 가스로서 사용하고, 처리실 내의 압력을 200Pa로 하고, 기판 온도를 220°C로 하고, 1500W의 고주파 전력을 평행 평판 전극에 공급하였다. 상기 조건하에서, 화학량론적 조성에서의 산소보다 높은 비율로 산소를 포함하고 가열에 의하여 산소의 일부가 방출되는 산화질화 실리콘막을 형성할 수 있다.

[0564] 다음에, 가열 처리를 수행함으로써, 제 1 산화물 절연막 및 제 2 산화물 절연막으로부터 물, 질소, 수소 등을 방출시키고 제 2 산화물 절연막에 포함되는 산소의 일부를 산화물 반도체막에 공급하였다. 여기서는 질소 및 산소의 혼합 분위기에서 350°C로 1시간의 가열 처리를 수행하였다.

[0565] 다음에, 산화물 반도체막 및 한 쌍의 전극이 제공되지 않은 영역에 있어서, 게이트 절연막 및 보호 절연막에 게이트 전극에 도달하는 개구를 형성하였다. 상기 개구는 이하 식으로 형성되었다: 포토리소그래피 공정에 의하여 보호 절연막 위에 마스크를 형성하고, 이 마스크를 사용하여 게이트 절연막 및 보호 절연막의 일부를 에칭하였다.

[0566] 그 후, 질소 분위기에서 250°C로 1시간의 가열 처리를 수행하였다.

[0567] 상기 공정을 거쳐 본 실시예의 시료 9 및 시료 10을 제작하였다.

[0568] 또한, 시료 9 및 시료 10 각각으로서, 채널 폭 W 가 50 μm 이고 채널 길이 L 이 2 μm , 3 μm , 및 6 μm 인 3종류의 트랜지스터를 제작하였다.

[0569] < V_g - I_d 특성>

[0570] 다음에, 시료 9 및 시료 10에 포함된 트랜지스터의 초기 V_g - I_d 특성을 측정하였다. 여기서, 소스와 드레인 사이에 흐르는 전류의 변화(이후는 드레인 전류: I_d 라고 함), 즉 V_g - I_d 특성을 이하 조건하에서 측정하였다: 기판 온도를 25°C로 하고, 소스와 드레인 사이의 전위 차이(이후는 드레인 전압: V_d 라고 함)는 1V 또는 10V이고, 소스와 게이트 전극 사이의 전위 차이(이후는 게이트 전압: V_g 라고 함)는 -20V로부터 15V로, 또는 -15V로부터 10V로 변화시켰다.

[0571] 도 47은 시료 9 및 시료 10의 V_g - I_d 특성을 나타낸 것이다.

[0572] 도 47에 있어서, 가로축은 게이트 전압 V_g 를, 제 1 세로축은 드레인 전류 I_d 를, 및 제 2 세로축은 전계 효과 이동도를 각각 나타낸다. 여기서, 포화 영역에서의 전계 효과 이동도를 나타내기 위하여, 드레인 전압 V_d 가 10V 일 때 산출된 전계 효과 이동도를 나타낸다.

[0573] 도 47에 나타낸 바와 같이, 시료 10의 트랜지스터의 전계 효과 이동도는 시료 9의 트랜지스터의 3배 정도이다.

[0574] 상술한 결과는 인듐의 비율이 높은 산화물 반도체막을 사용함으로써 전계 효과 이동도가 향상될 수 있는 것을 나타낸 것이다. 따라서, 인듐의 비율이 높은 산화물 반도체막이 높은 전계 효과 이동도가 요구되는 구동 회로에서의 트랜지스터에 사용될 때, 향상된 화질의 표시 장치를 제공할 수 있다.

부호의 설명

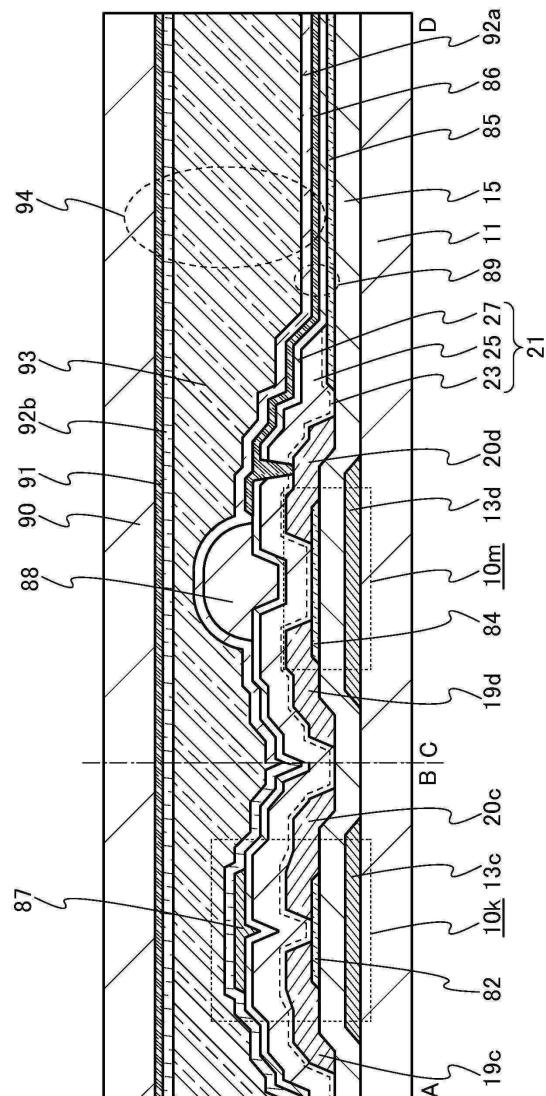
[0575]

10: 트랜지스터, 10k: 트랜지스터, 10ka: 트랜지스터, 10kb: 트랜지스터, 10k_1: 트랜지스터, 10k_2: 트랜지스터, 10k_3: 트랜지스터, 10k_4: 트랜지스터, 10m: 트랜지스터, 10mb: 트랜지스터, 10m_1: 트랜지스터, 10m_2: 트랜지스터, 10m_3: 트랜지스터, 10m_4: 트랜지스터, 10n: 트랜지스터, 10na: 트랜지스터, 10nb: 트랜지스터, 11: 기판, 12: 베이스 절연막, 13: 게이트 전극, 13c: 게이트 전극, 13d: 게이트 전극, 15: 게이트 절연막, 19: 전극, 19c: 전극, 19d: 전극, 20: 전극, 20c: 전극, 20d: 전극, 21: 보호막, 23: 산화물 절연막, 25: 산화물 절연막, 27: 질화물 절연막, 80: 산화물 반도체막, 80a: 산화물 반도체막, 80b: 산화물 반도체막, 81: 산화물 반도체막, 81a: 산화물 반도체막, 82: 산화물 반도체막, 83: 산화물 반도체막, 83a: 산화물 반도체막, 84: 산화물 반도체막, 85: 산화물 반도체막, 86: 화소 전극, 86a: 전극, 87: 도전막, 88: 유기 절연막, 89: 용량 소자, 90: 대향 기판, 91: 대향 전극, 92a: 배향막, 92b: 배향막, 93: 액정층, 94: 액정 소자, 95: 절연막, 96: 절연막, 97: EL층, 98: 전극, 99: 유기 EL 소자, 310: 전자총실, 312: 광학계, 314: 시료실, 316: 광학계, 318: 카메라, 320: 관찰실, 322: 필름실, 324: 전자, 328: 물질, 332: 형광판, 900: 기판, 901: 화소부, 902: 주사선 구동 회로, 903: 주사선 구동 회로, 904: 신호선 구동 회로, 910: 용량 배선, 912: 게이트 배선, 913: 게이트 배선, 914: 전극, 916: 트랜지스터, 917: 트랜지스터, 918: 액정 소자, 919: 액정 소자, 920: 화소, 921: 스위칭용 트랜지스터, 922: 구동용 트랜지스터, 923: 용량 소자, 924: 발광 소자, 925: 신호선, 926: 주사선, 927: 전원선, 928: 공통 전극, 1001: 본체, 1002: 하우징, 1003a: 표시부, 1003b: 표시부, 1004: 키보드 버튼, 1021: 본체, 1022: 고정부, 1023: 표시부, 1024: 조작 버튼, 1025: 외부 메모리 슬롯, 1030: 하우징, 1031: 하우징, 1032: 표시 장치, 1033: 스피커, 1034: 마이크로폰, 1035: 조작 키, 1036: 포인팅 디바이스, 1037: 카메라 렌즈, 1038: 외부 접속 단자, 1040: 태양 전지, 1041: 외부 메모리 슬롯, 1050: 텔레비전 수상기, 1051: 하우징, 1052: 기억 매체 녹화 및 재생부, 1053: 표시부, 1054: 외부 접속 단자, 1055: 스탠드, 1056: 외부 메모리, 5100: 펠릿, 5120: 기판, 5161: 영역, 8000: 표시 모듈, 8001: 상부 커버, 8002: 하부 커버, 8003: FPC, 8004: 터치 패널, 8005: FPC, 8006: 표시 장치 셀, 8007: 백 라이트 유닛, 8008: 광원, 8009: 프레임, 8010: 프린트판, 8011: 배터리

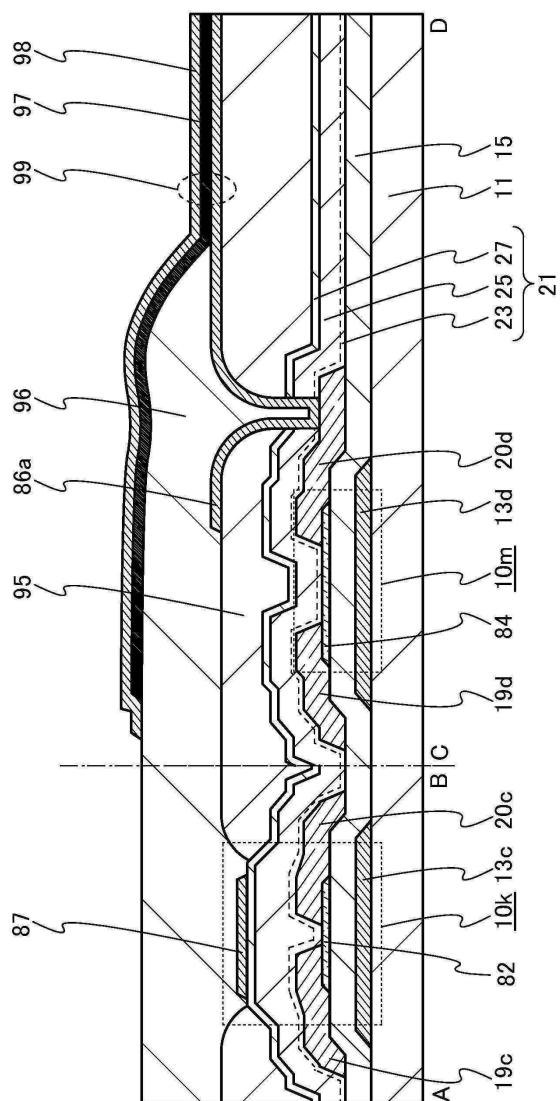
본 출원은 2013년 12월 2일에 일본 특허청에 출원된 일련 번호 2013-249692, 2013년 12월 3일에 일본 특허청에 출원된 일련 번호 2013-249693, 및 2013년 12월 3일에 일본 특허청에 출원된 일련 번호 2013-249694의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

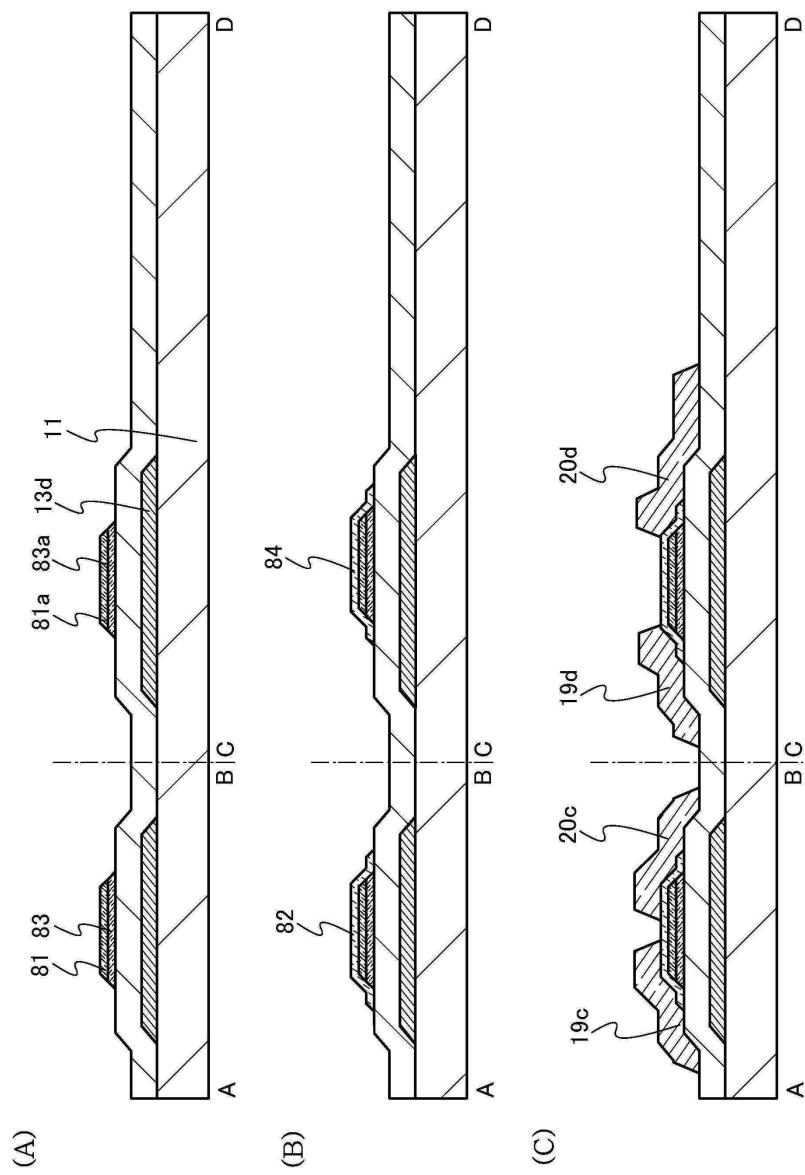
도면1



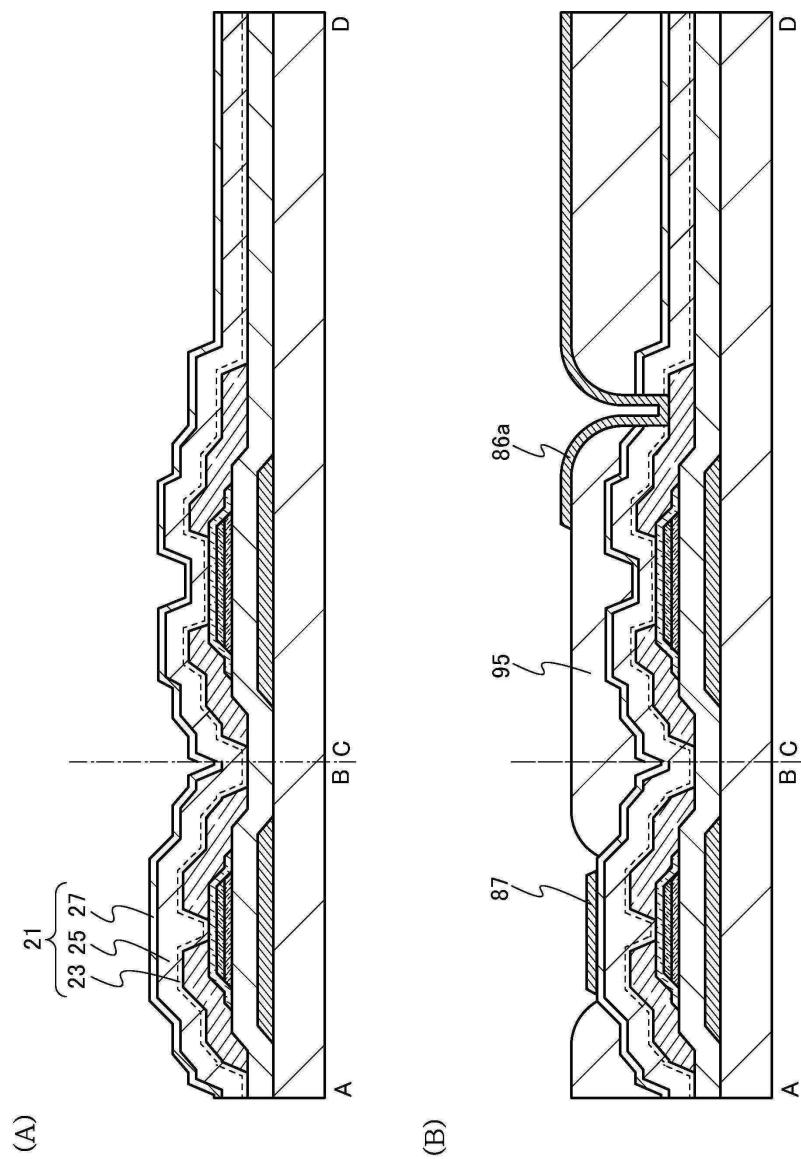
도면2



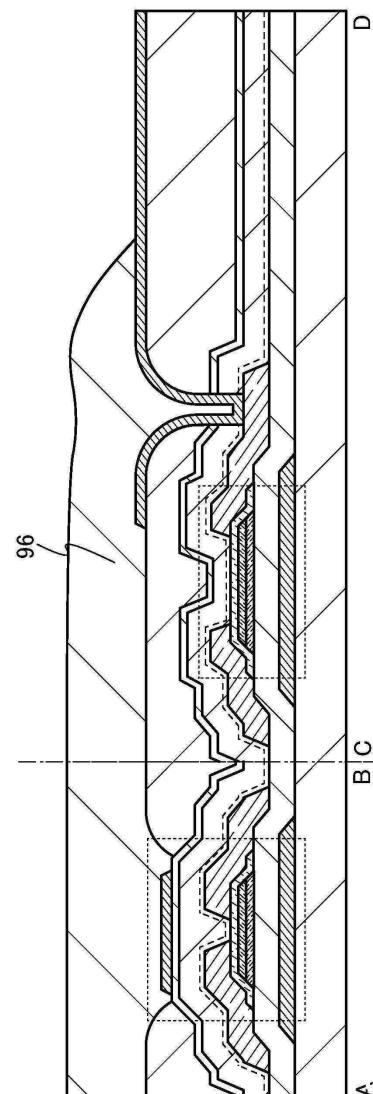
도면3



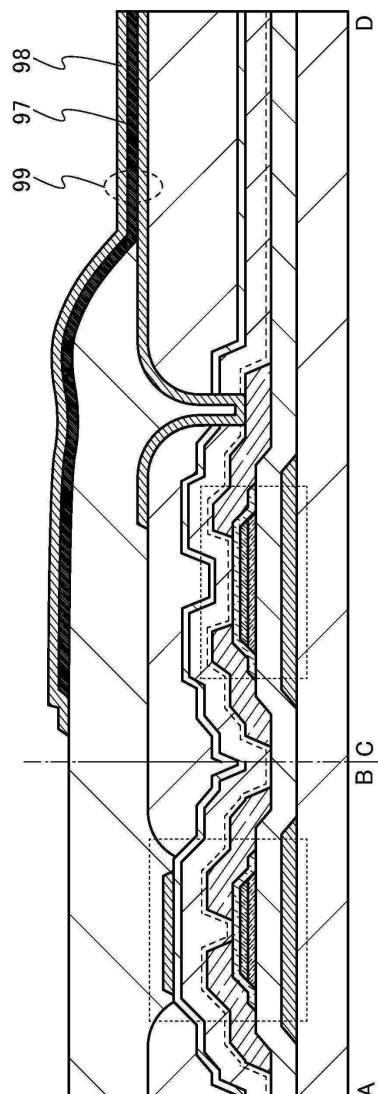
도면4



도면5



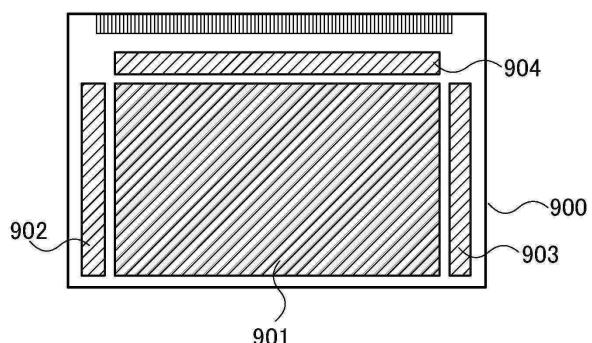
(A)



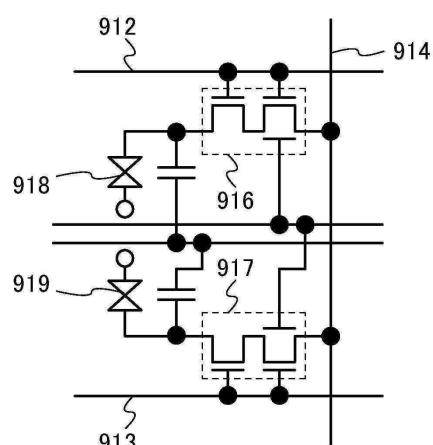
(B)

도면6

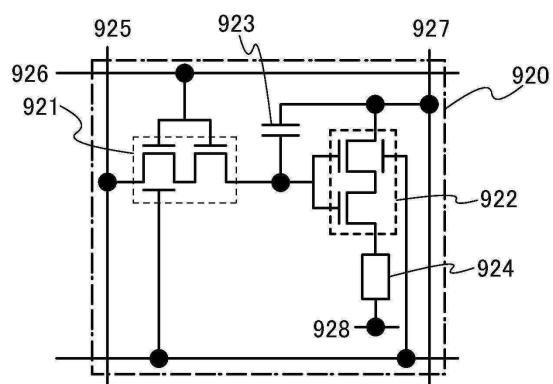
(A)



(B)

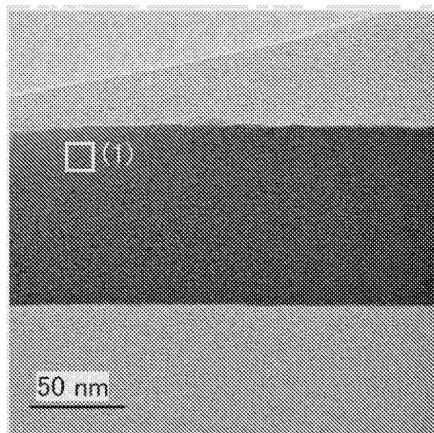


(C)

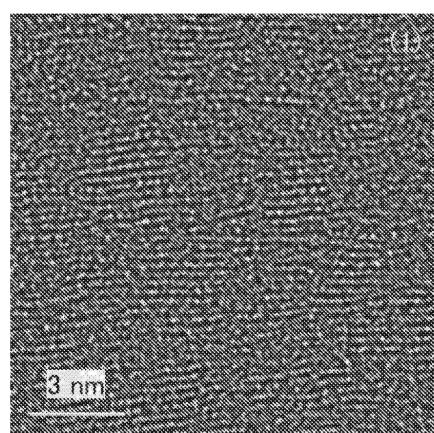


도면7

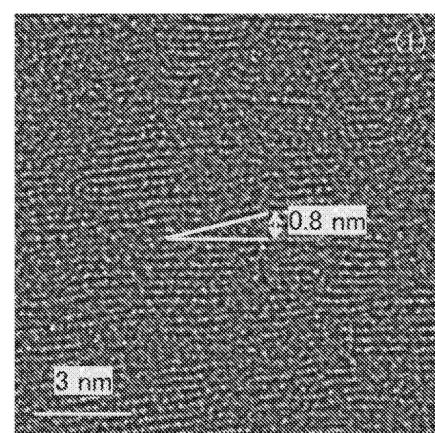
(A)



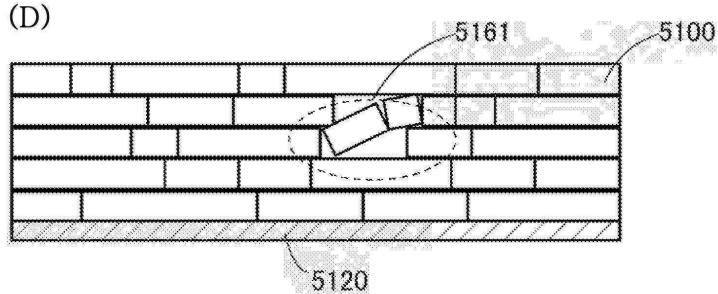
(B)



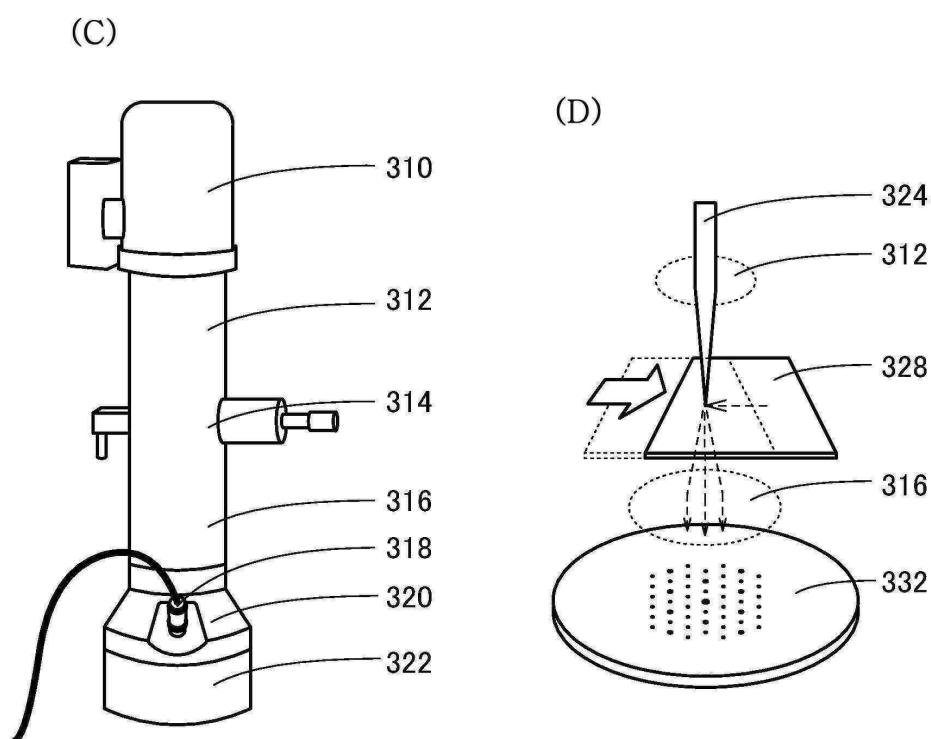
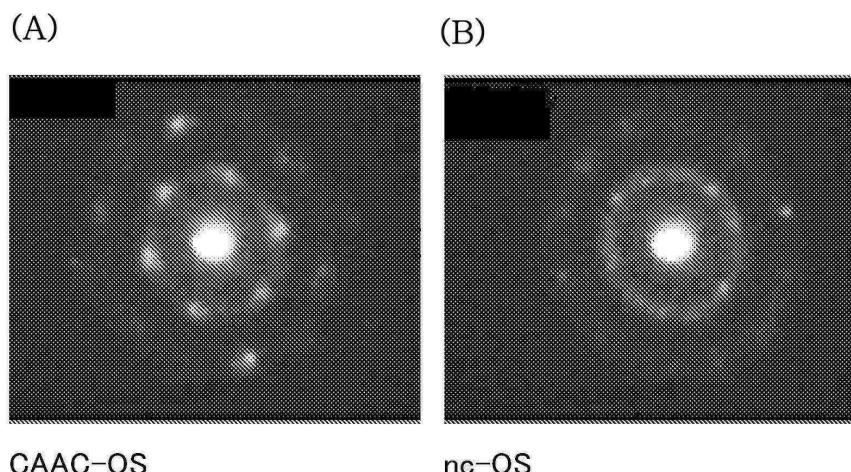
(C)



(D)

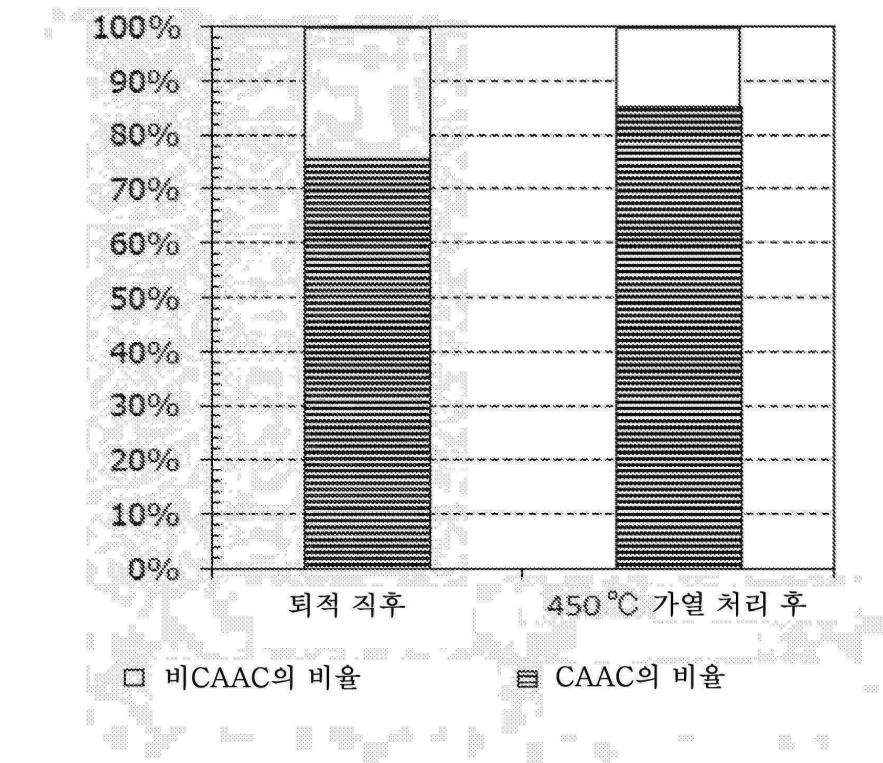


도면8

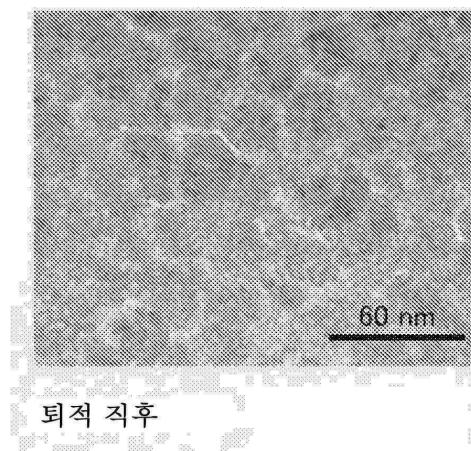


도면9

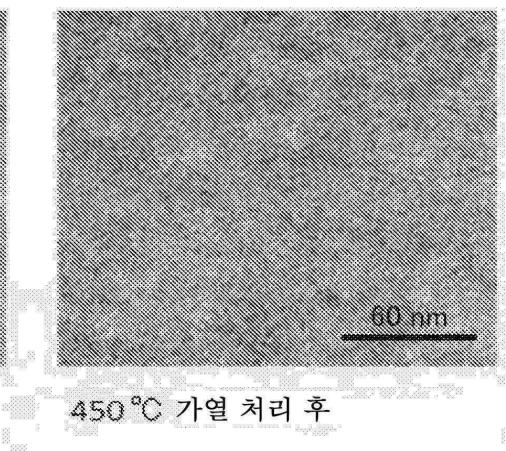
(A)



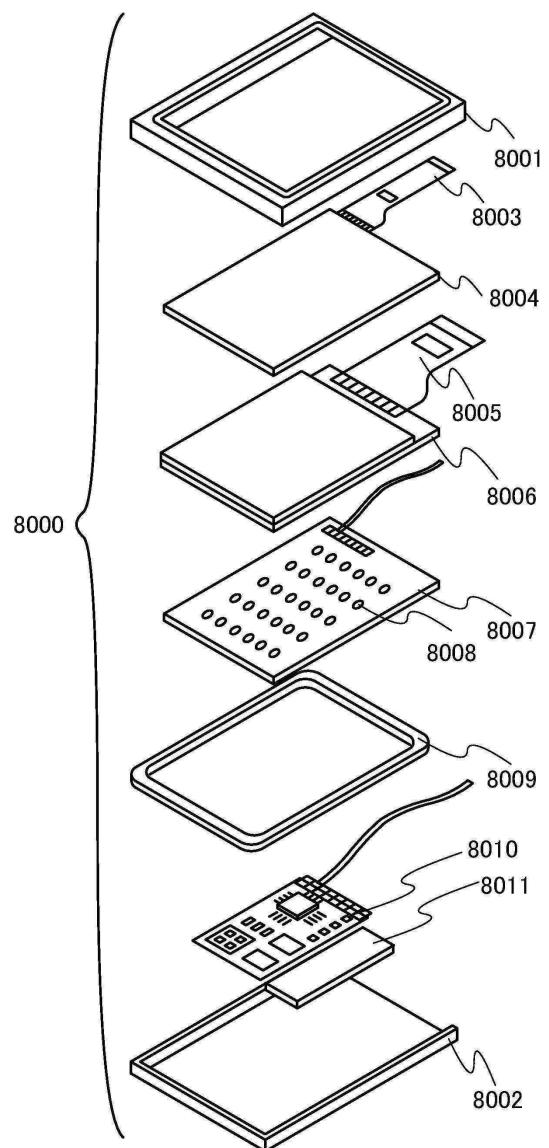
(B)



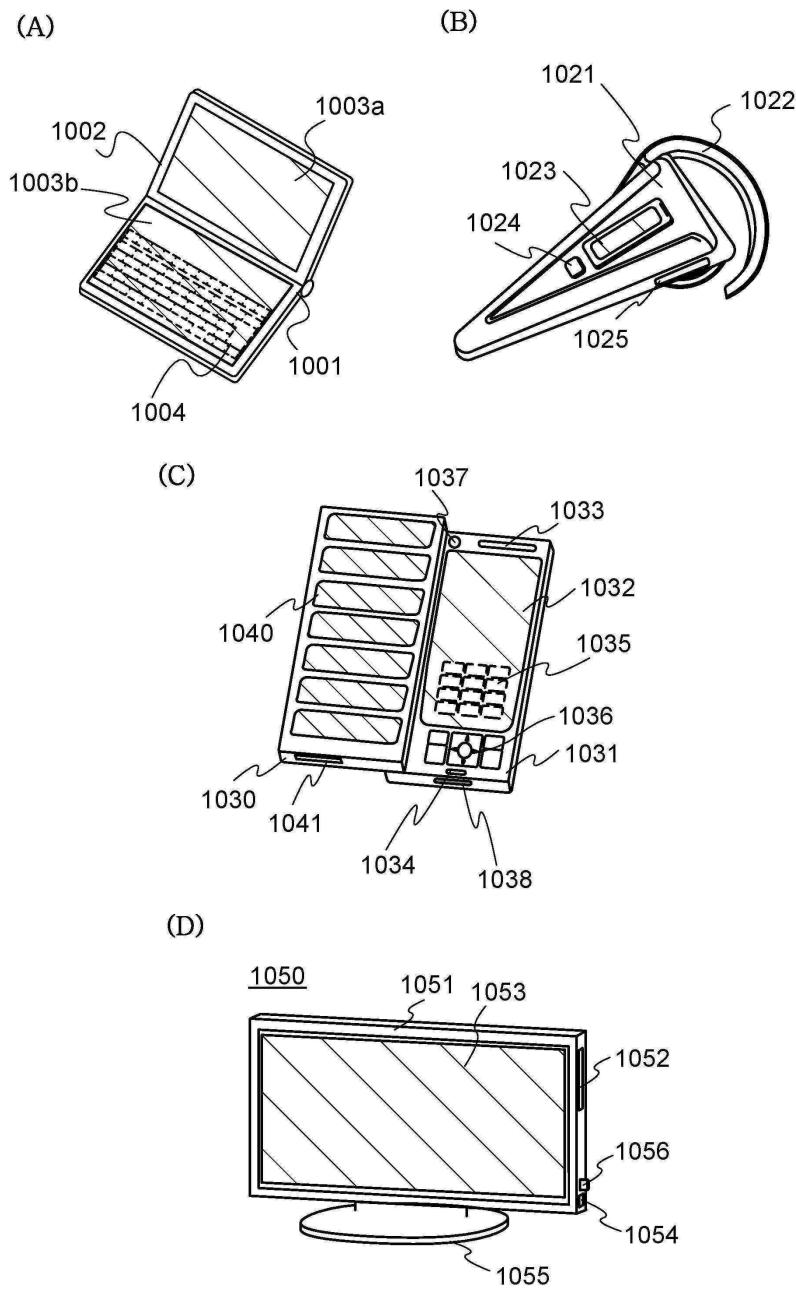
(C)



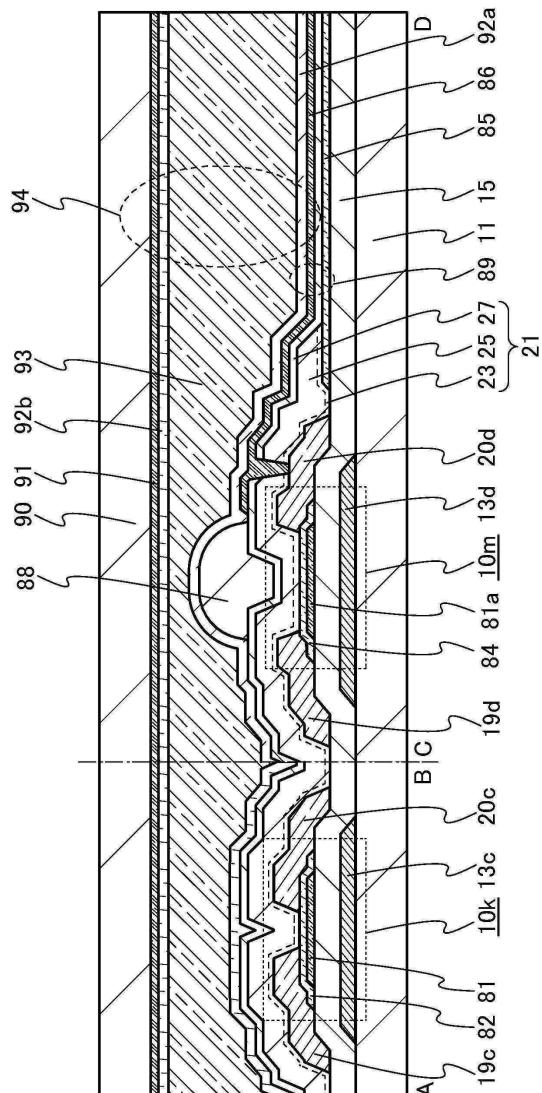
도면10



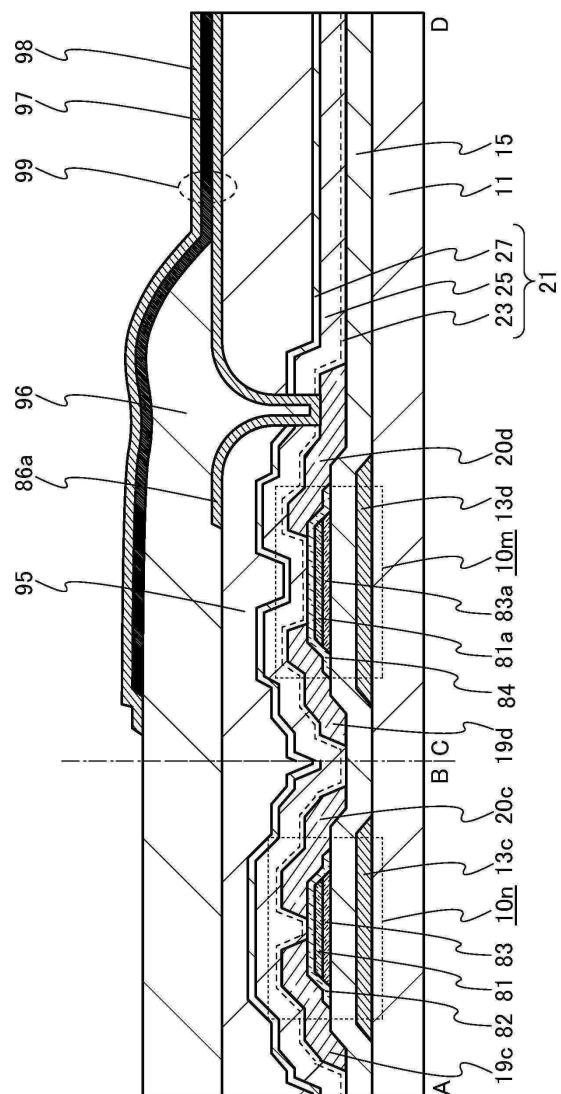
도면11



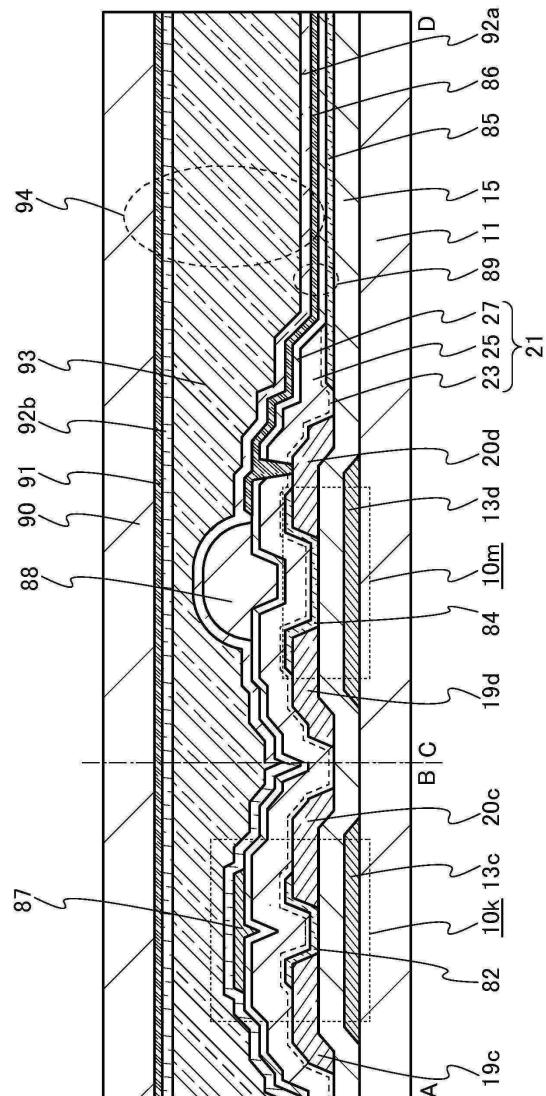
도면12



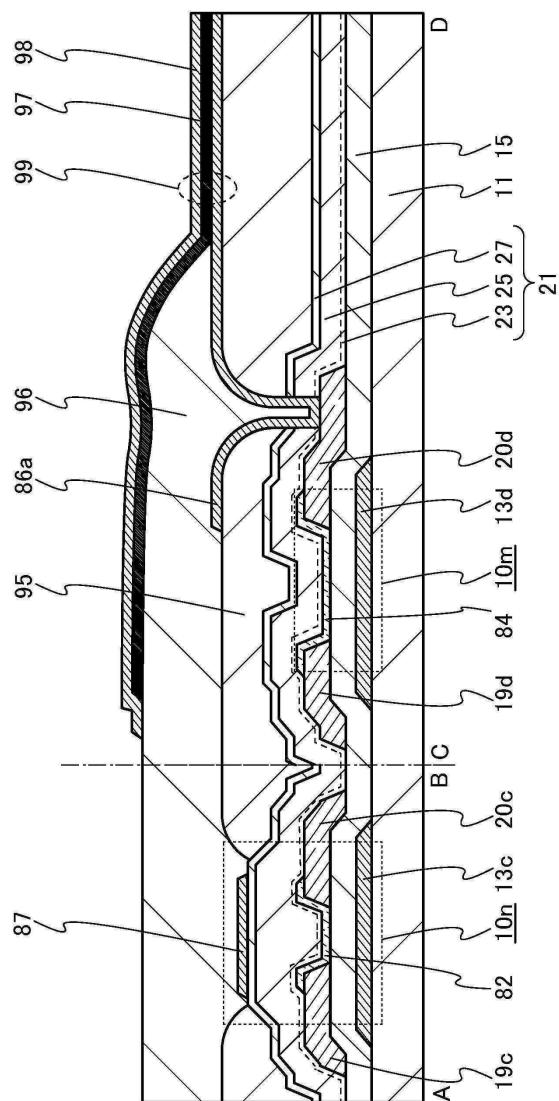
도면13



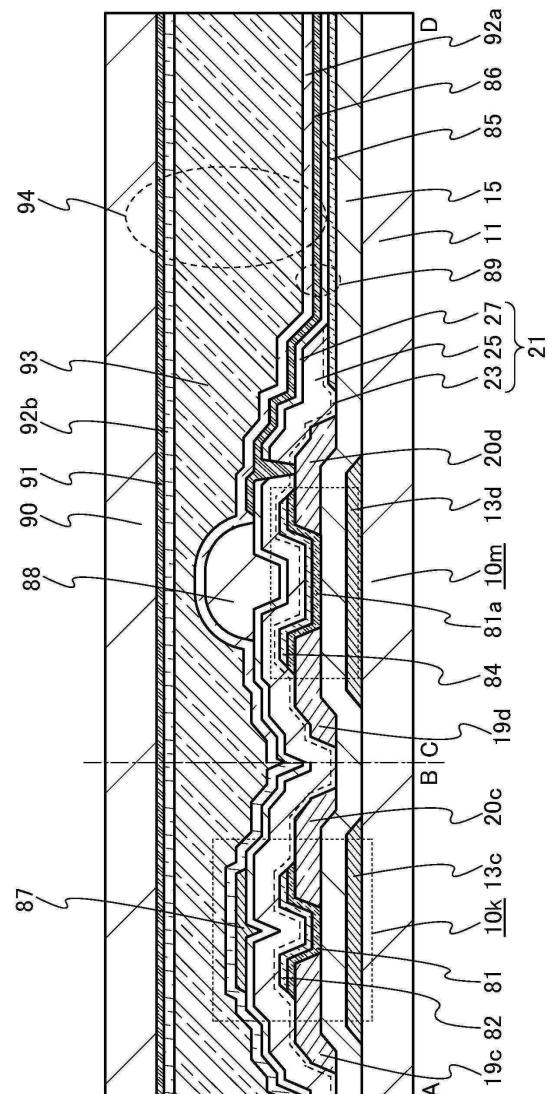
도면14



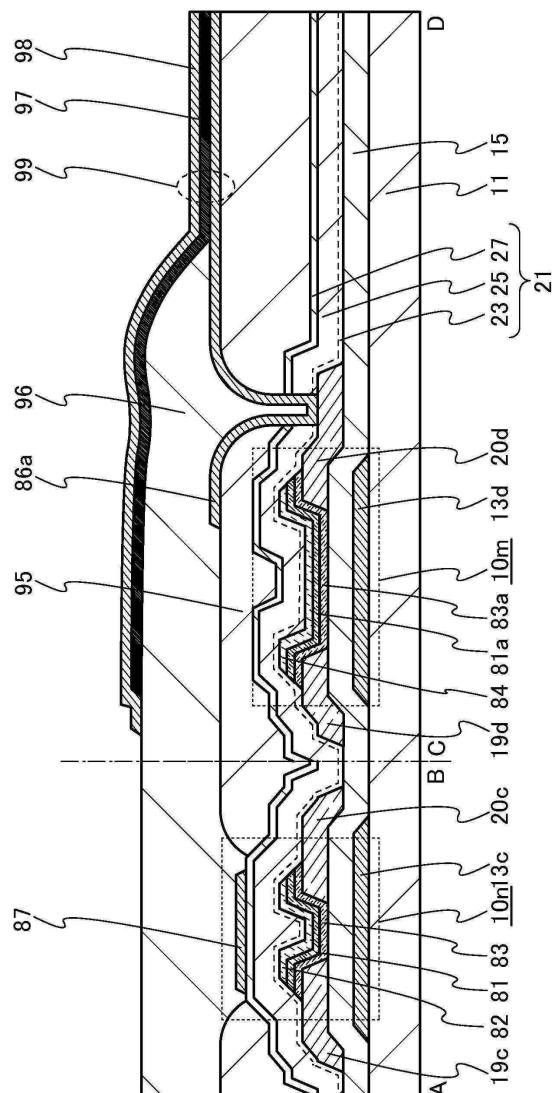
도면15



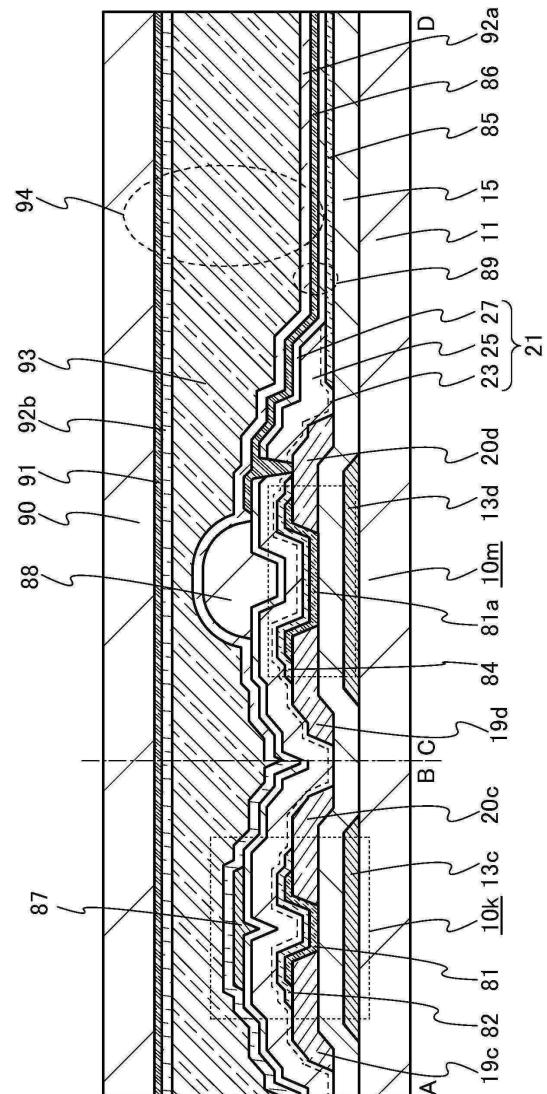
도면16



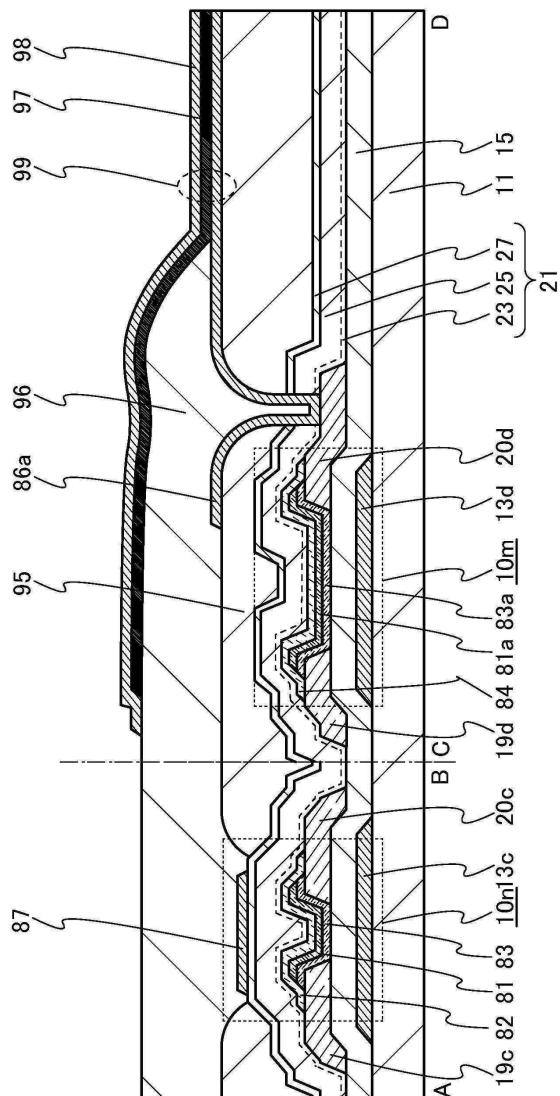
도면17



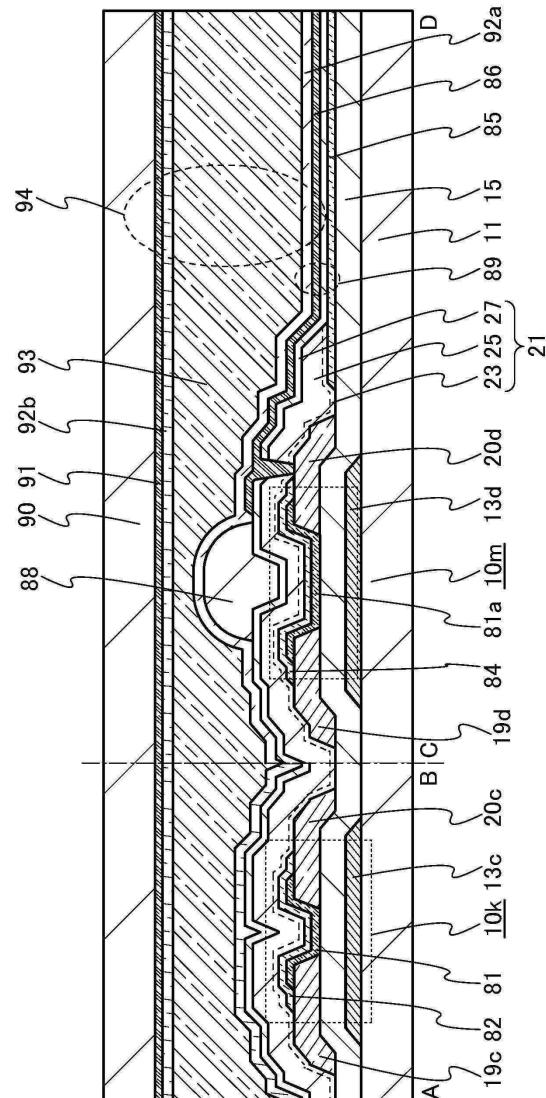
도면18



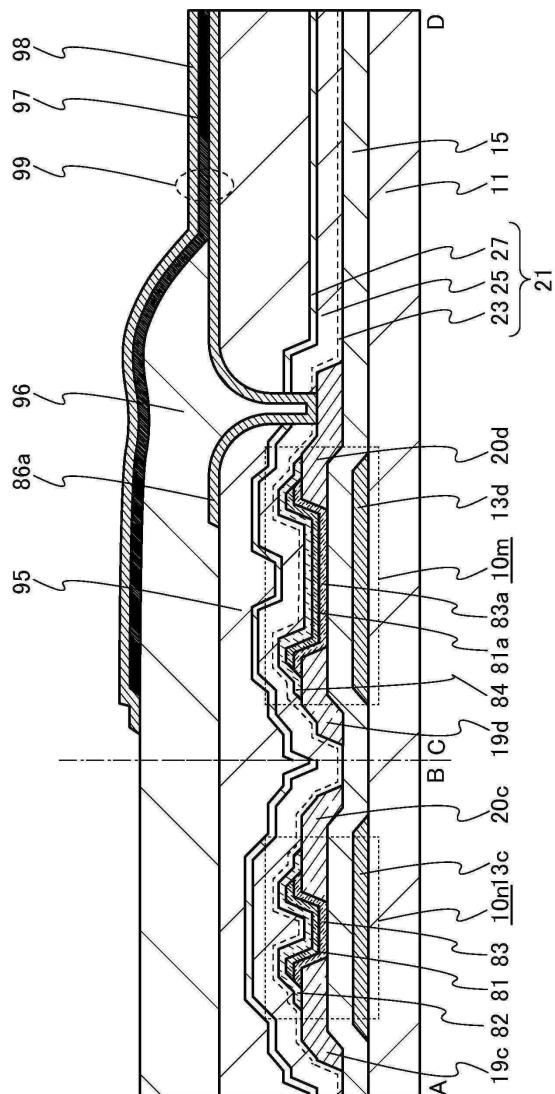
도면19



도면20

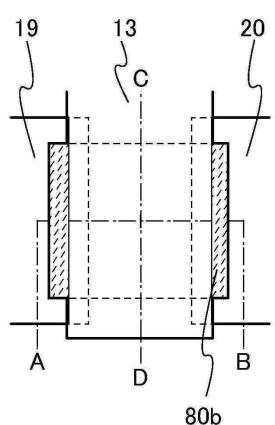


도면21

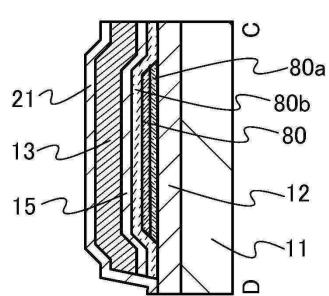


도면22

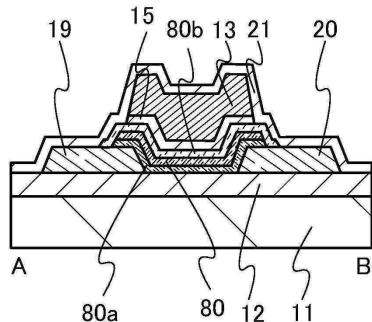
(A)



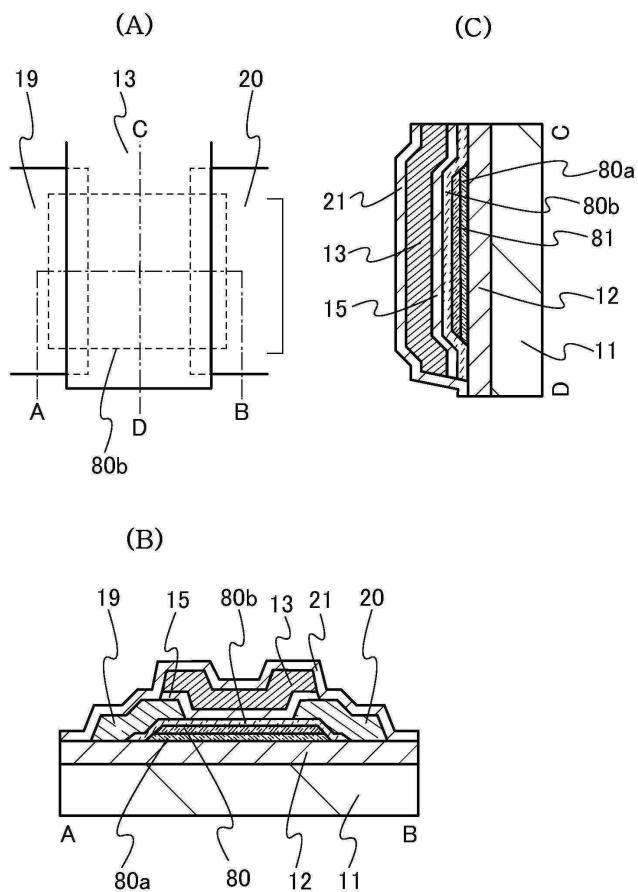
(C)



(B)

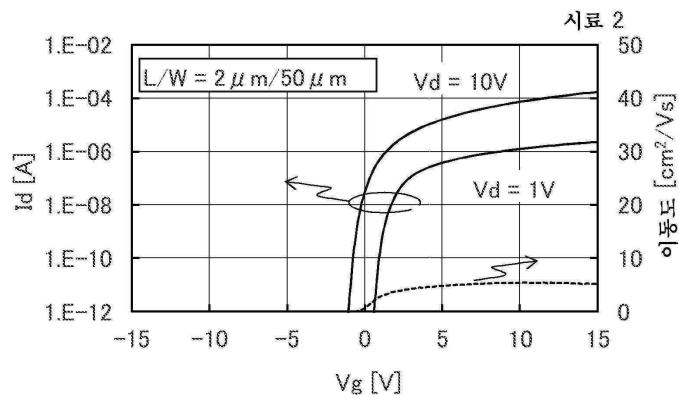


도면23

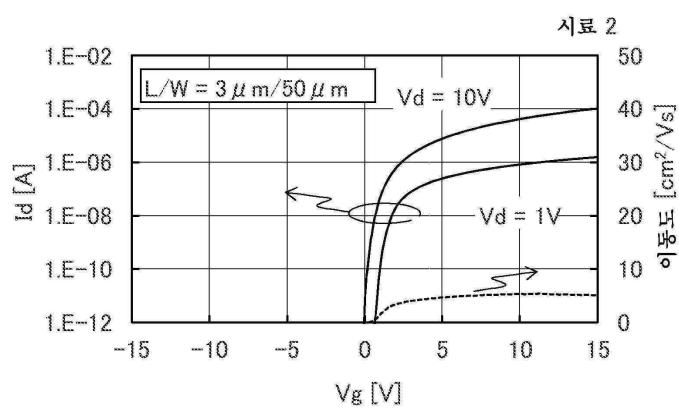


도면24

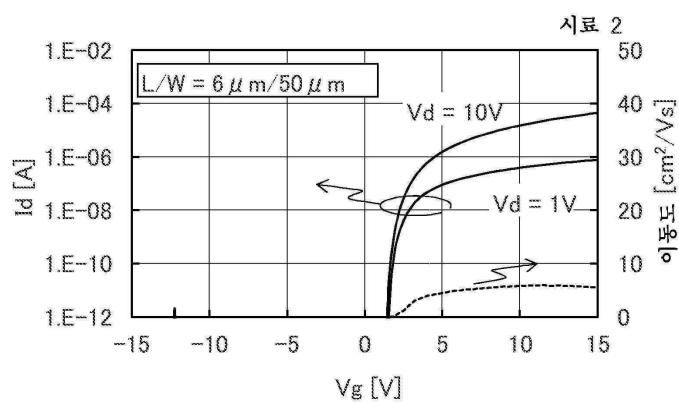
(A)



(B)

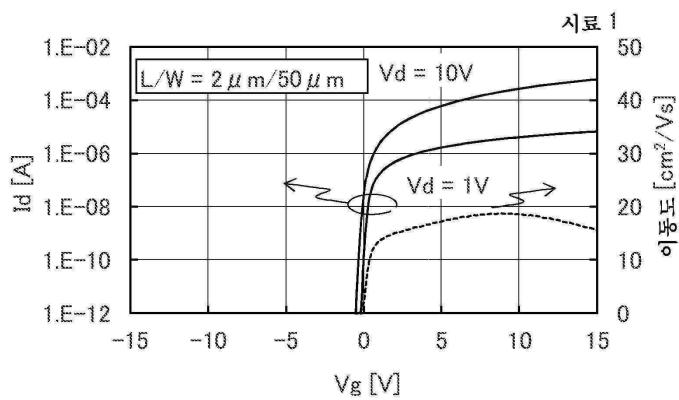


(C)

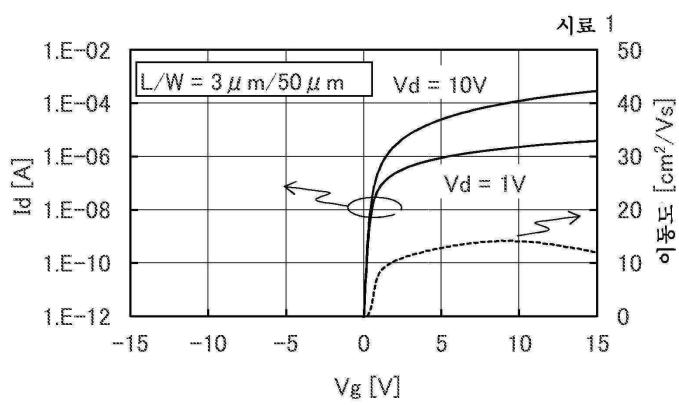


도면25

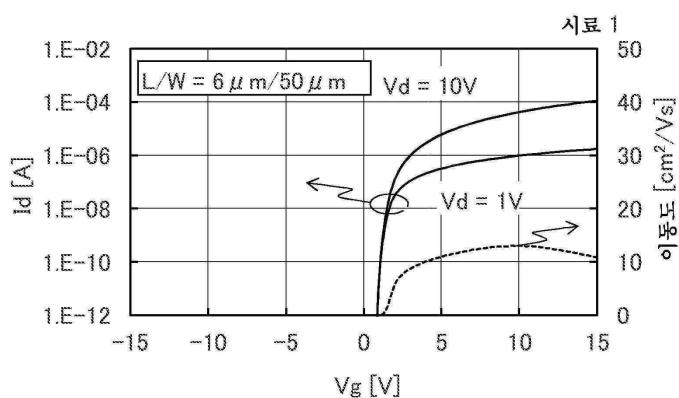
(A)



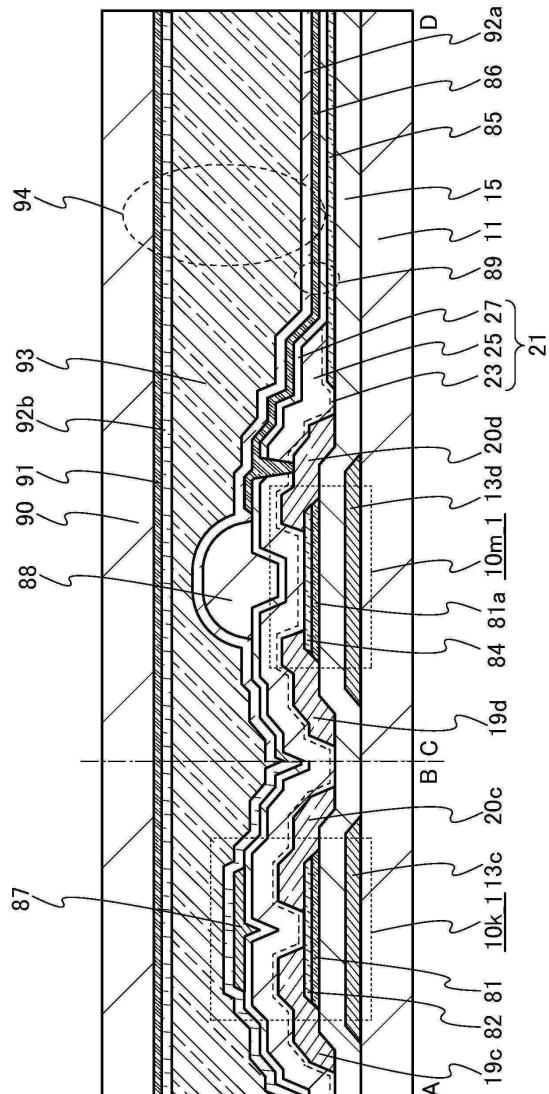
(B)



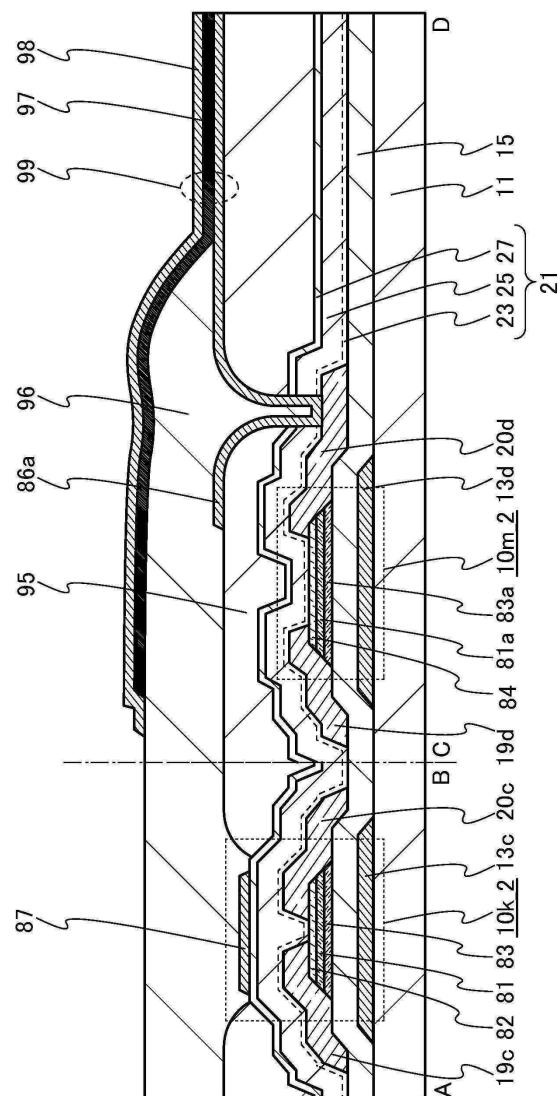
(C)



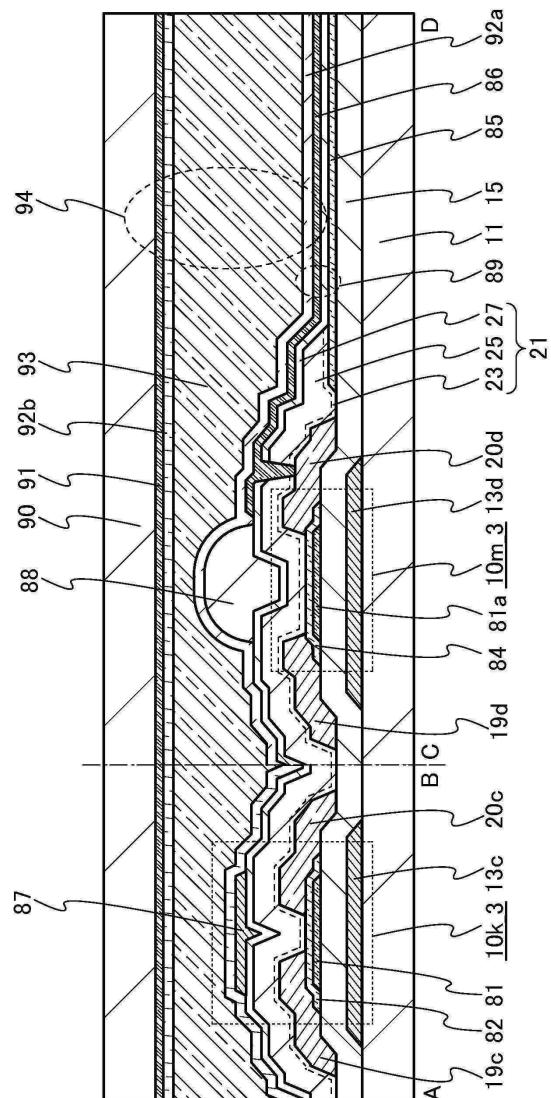
도면26



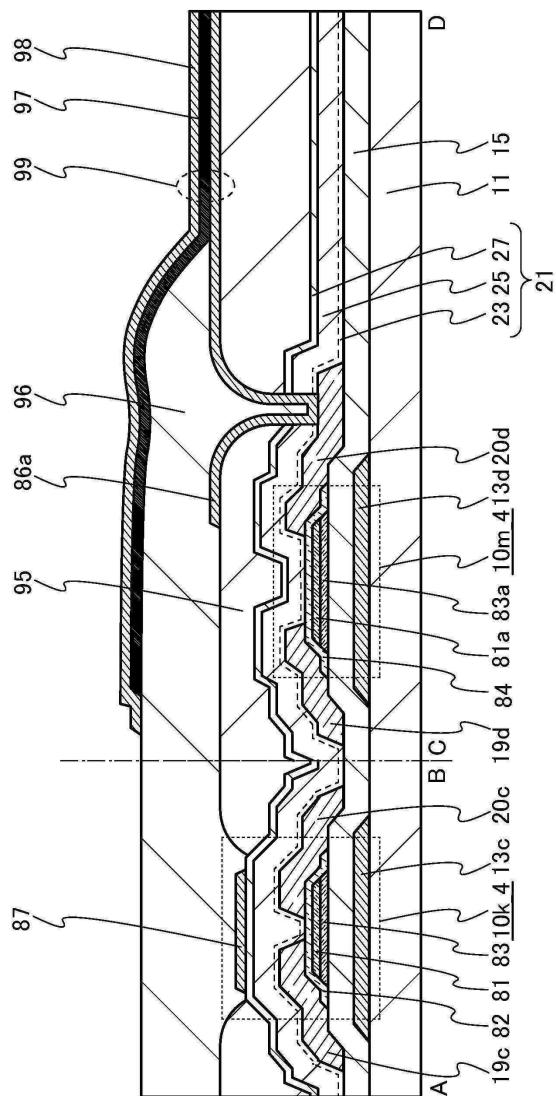
도면27



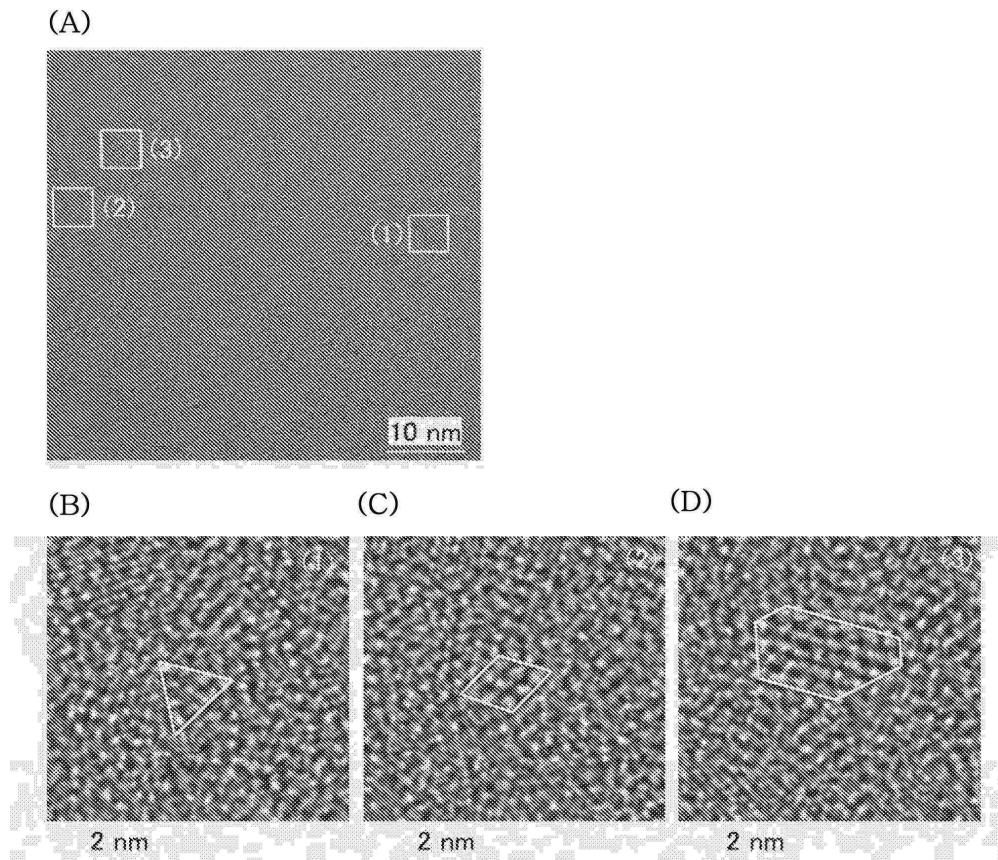
도면28



도면29

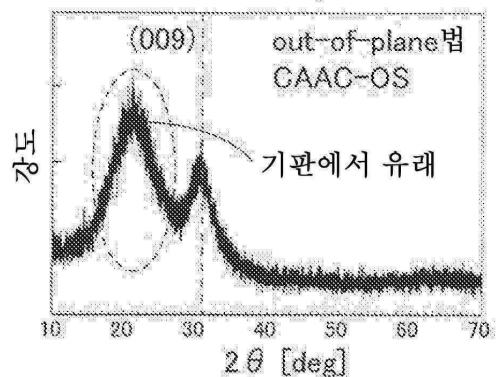


도면30

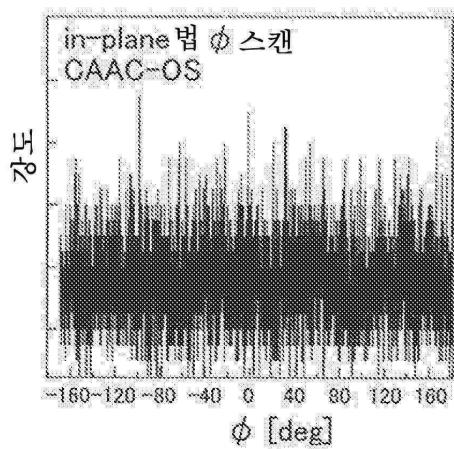


도면31

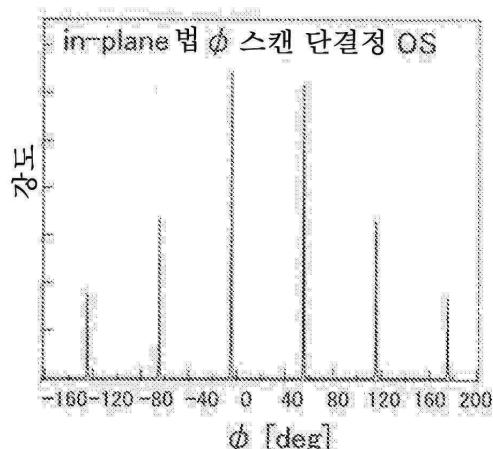
(A)



(B)

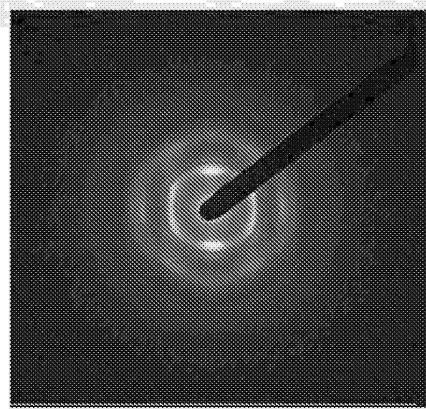


(C)

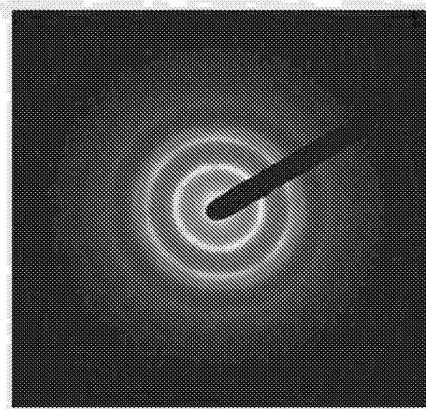


도면32

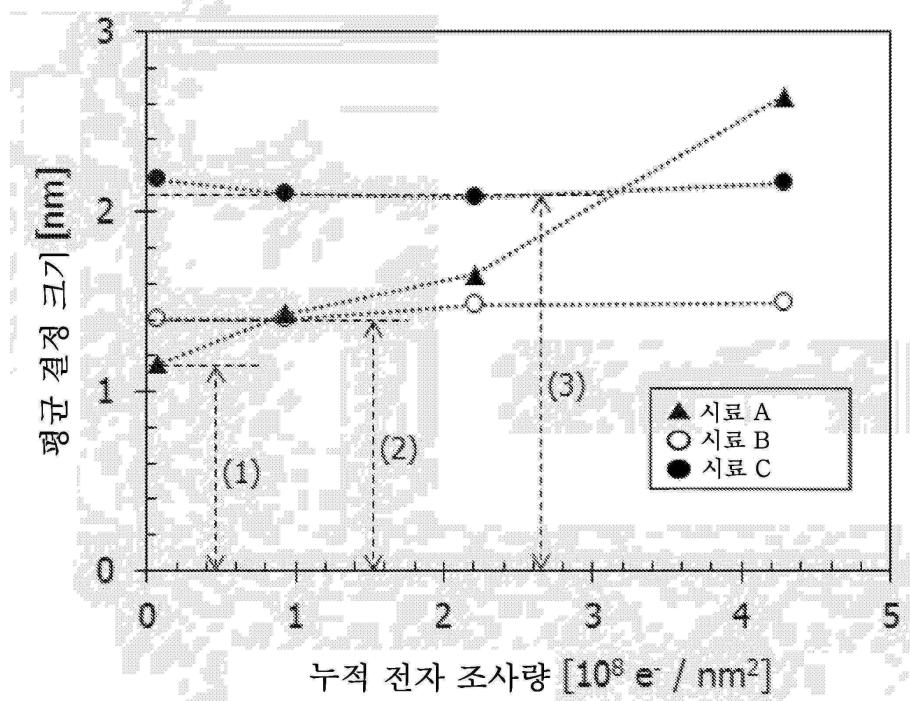
(A)



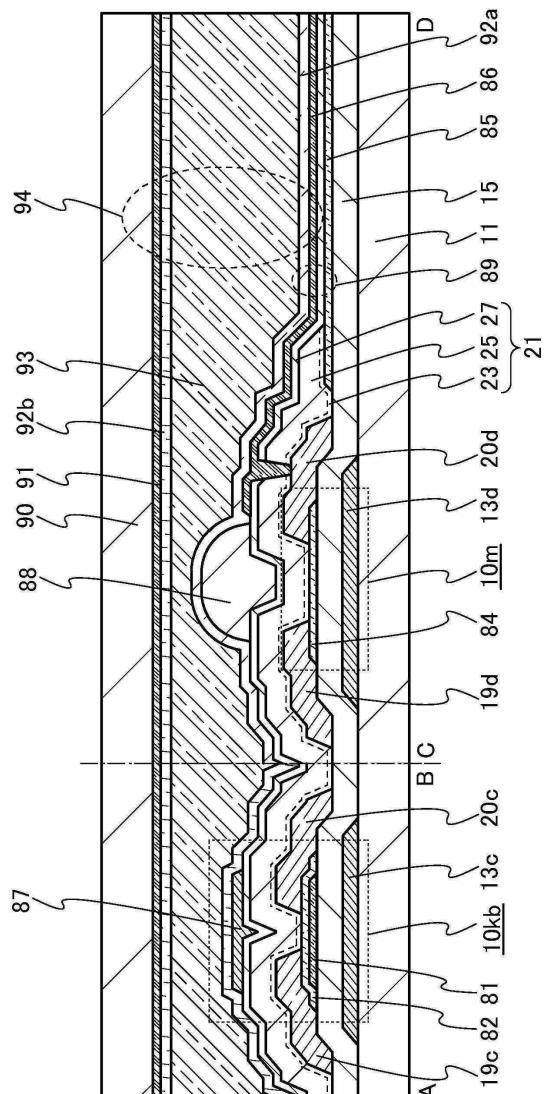
(B)



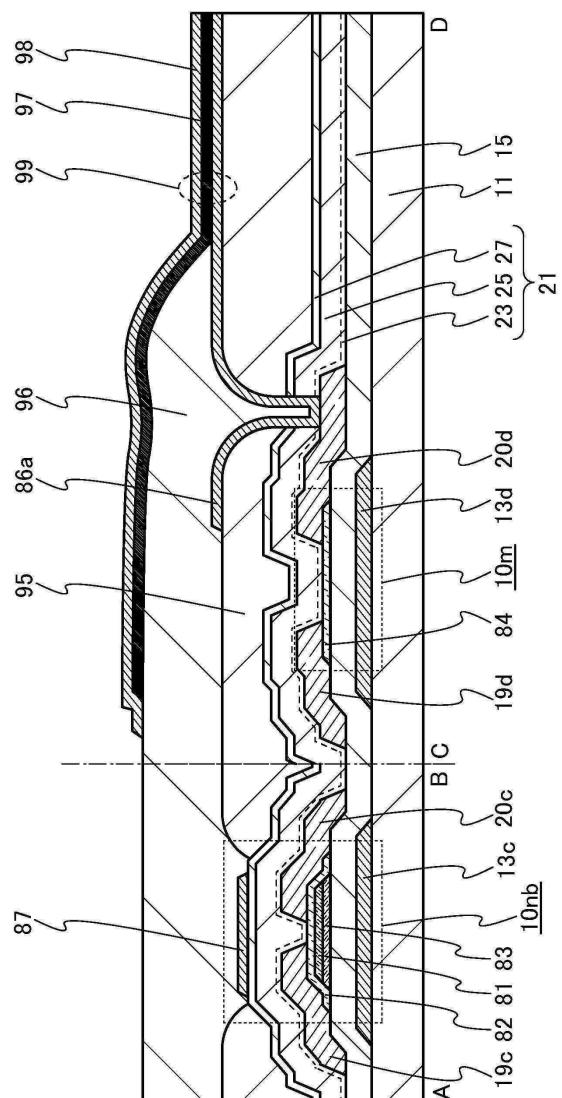
도면33



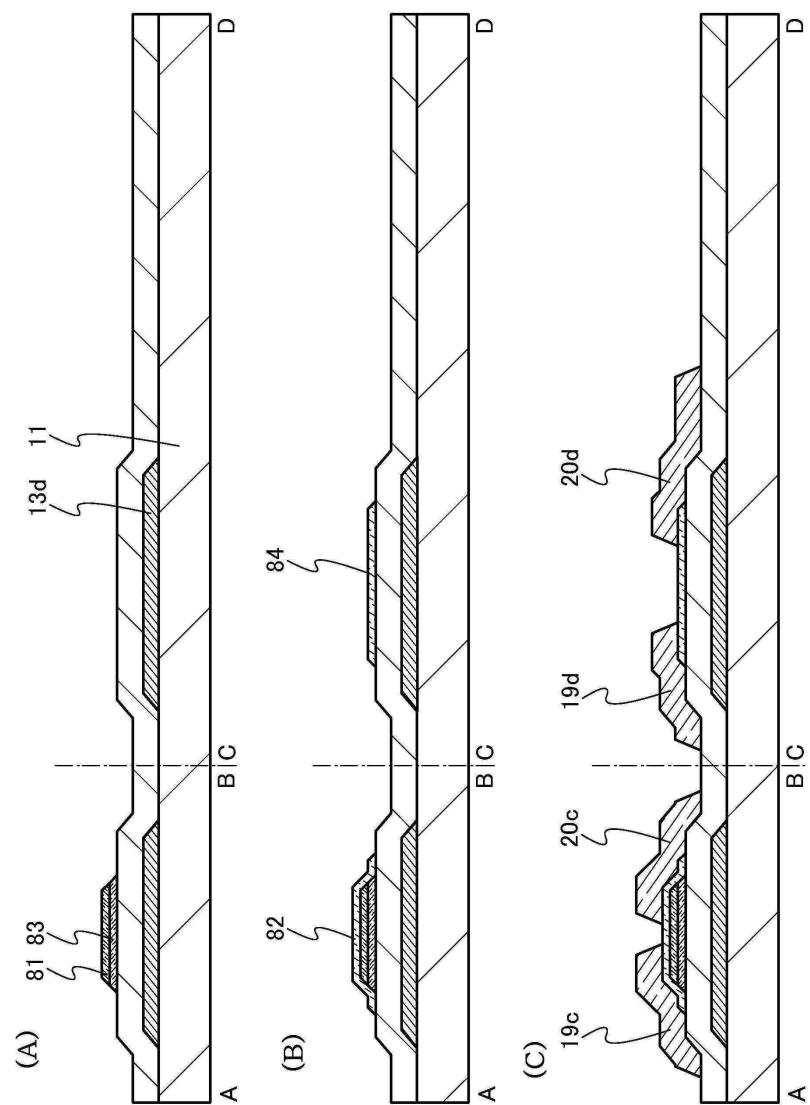
도면34



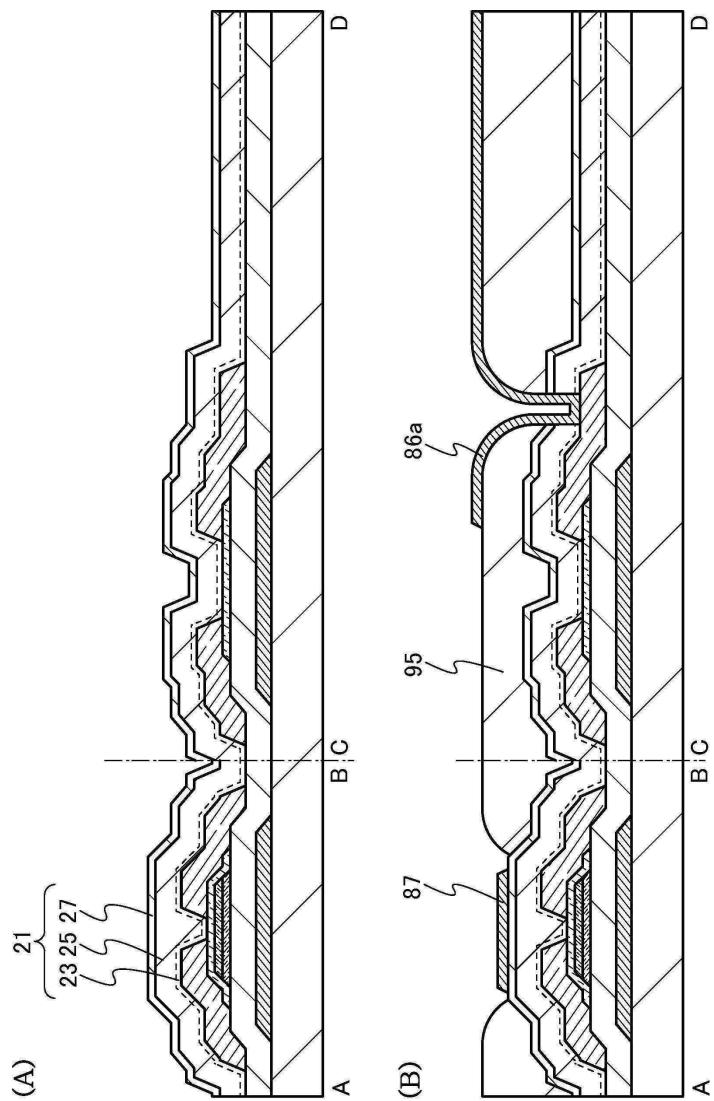
도면35



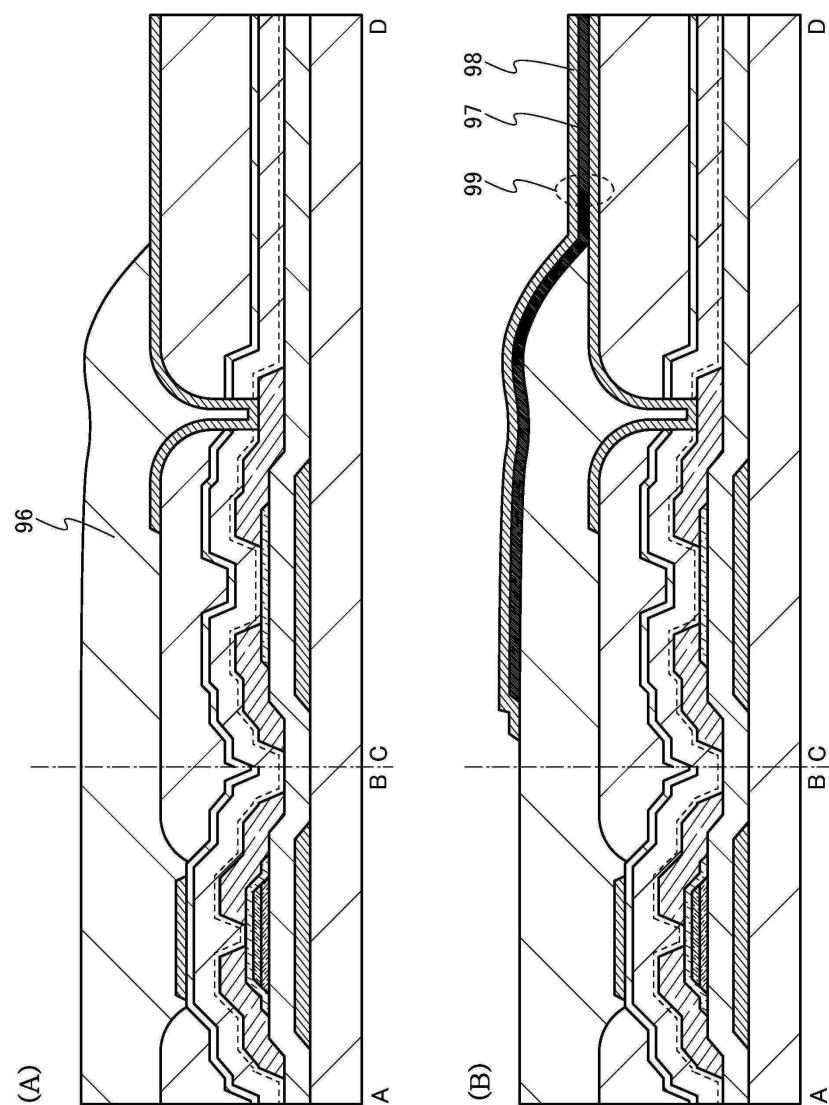
도면36



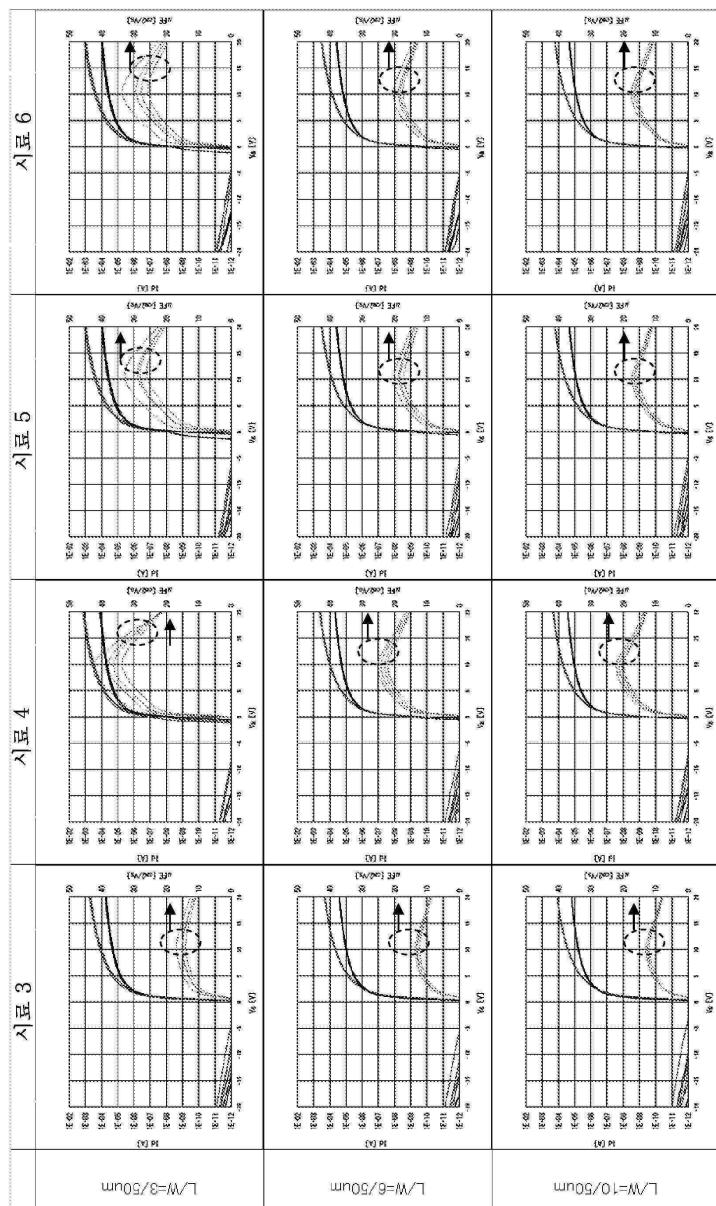
도면37



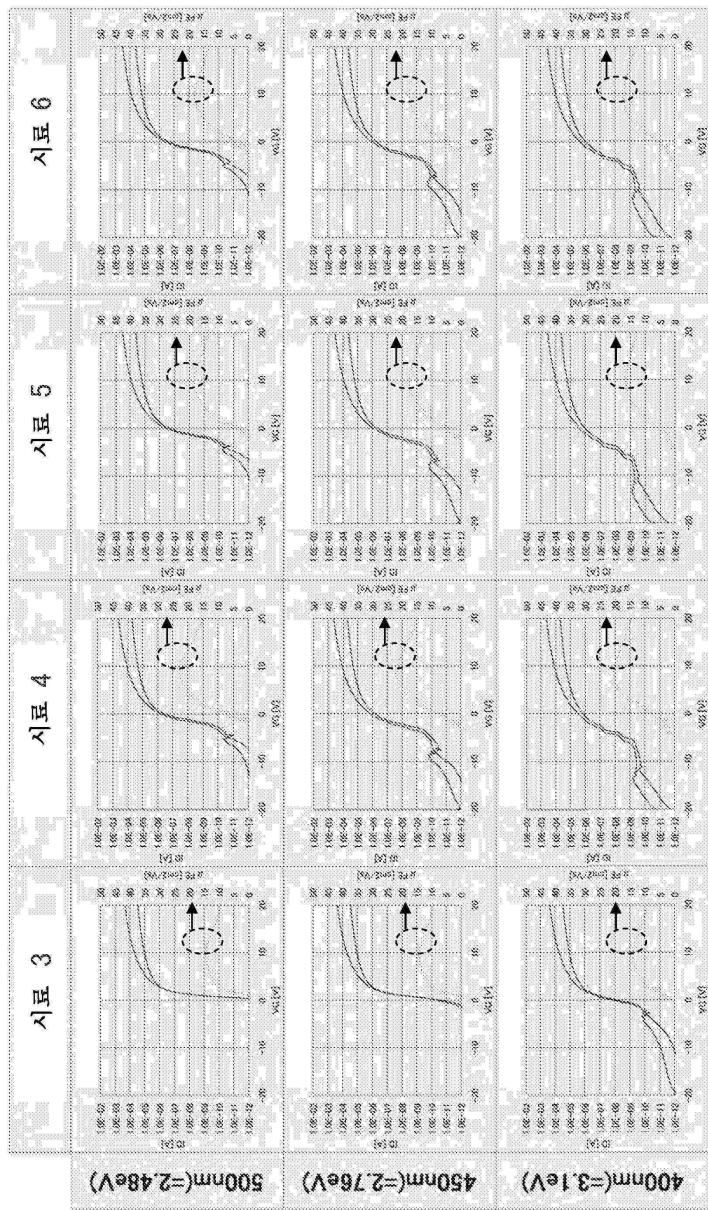
도면38



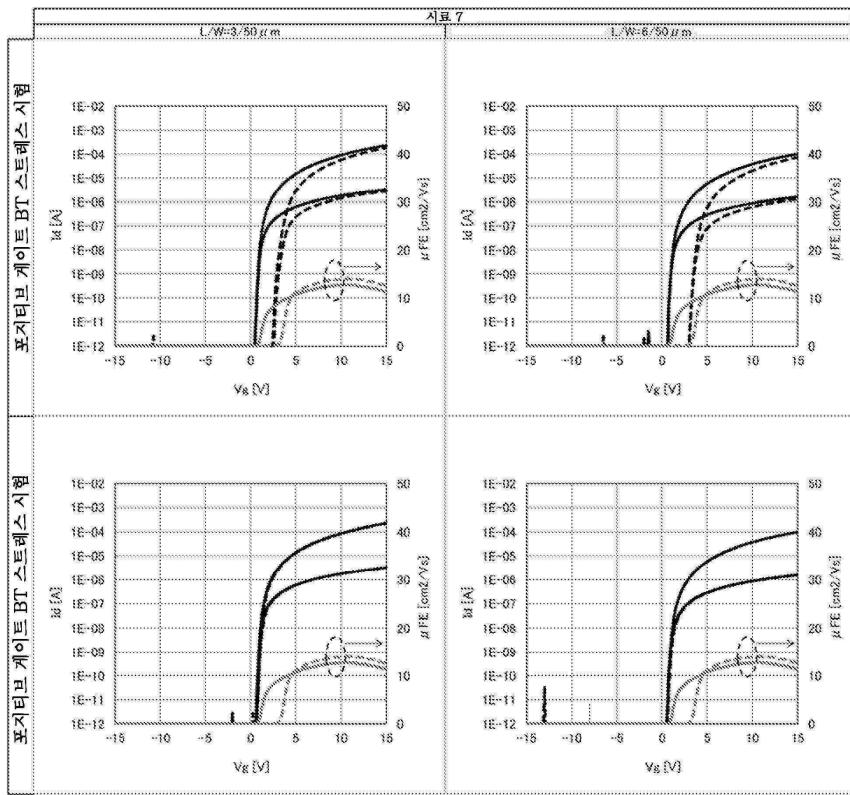
도면39



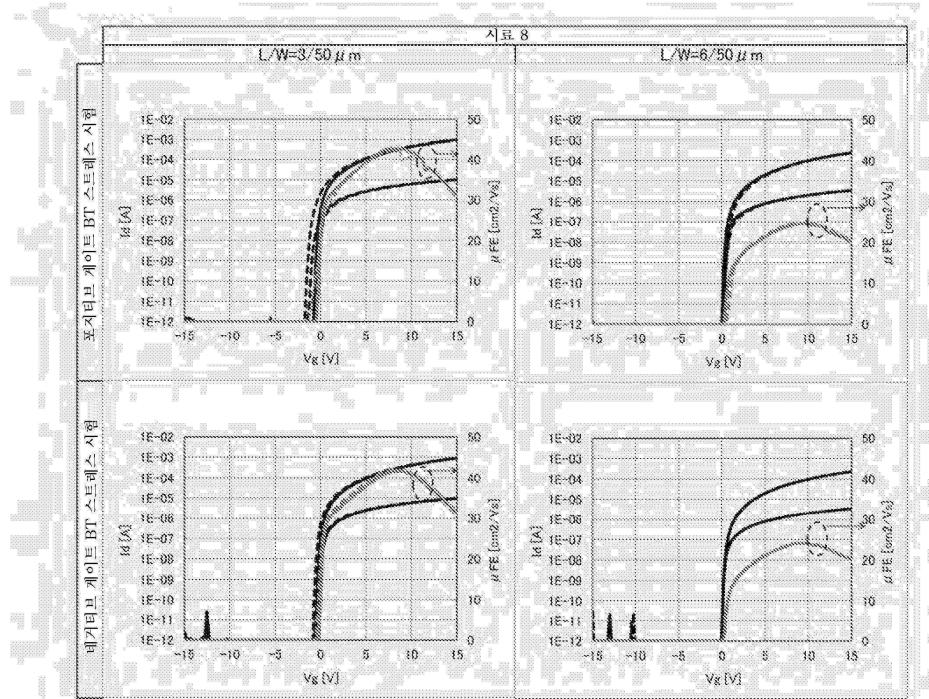
도면40



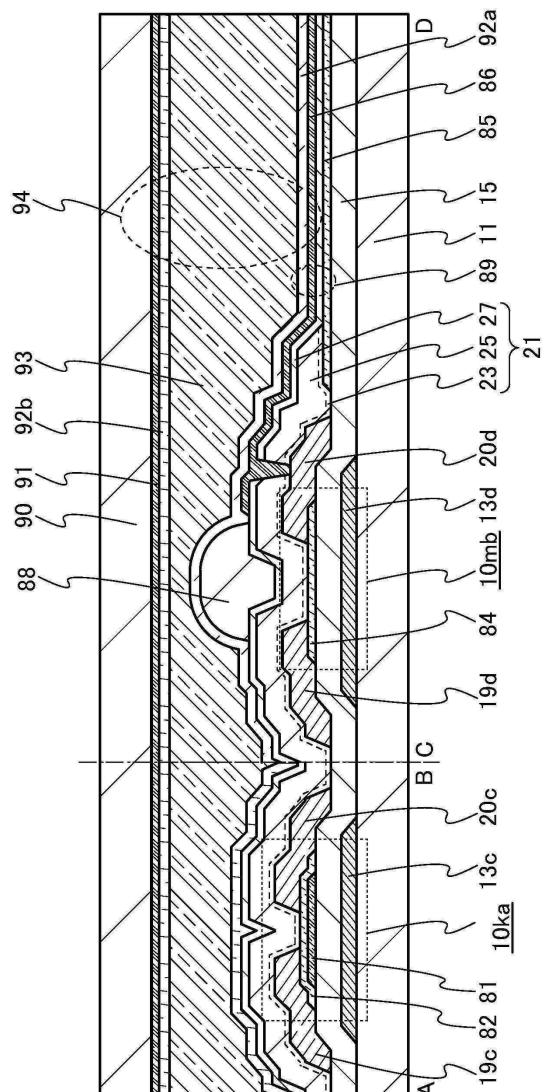
도면41



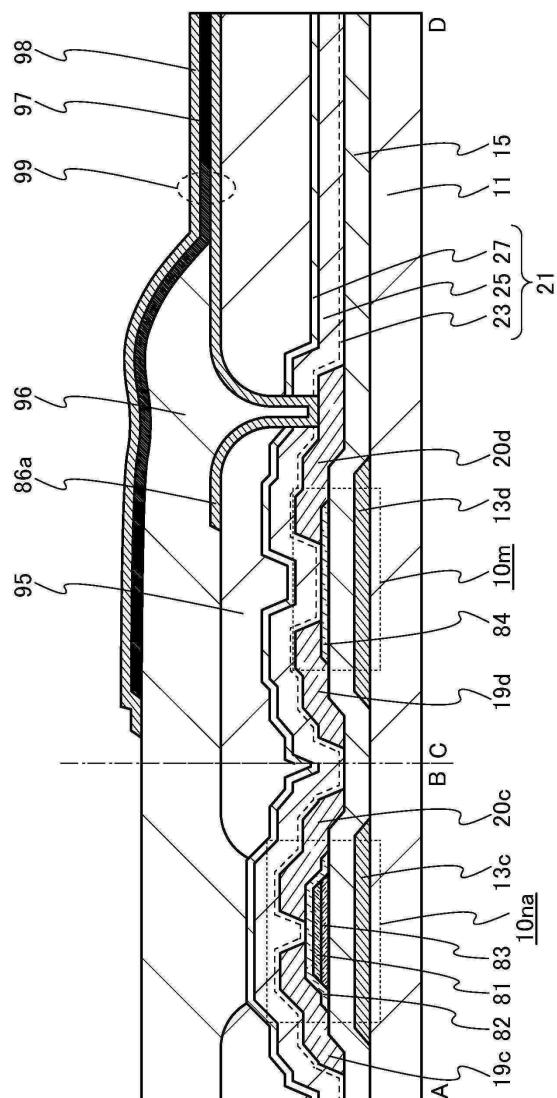
도면42



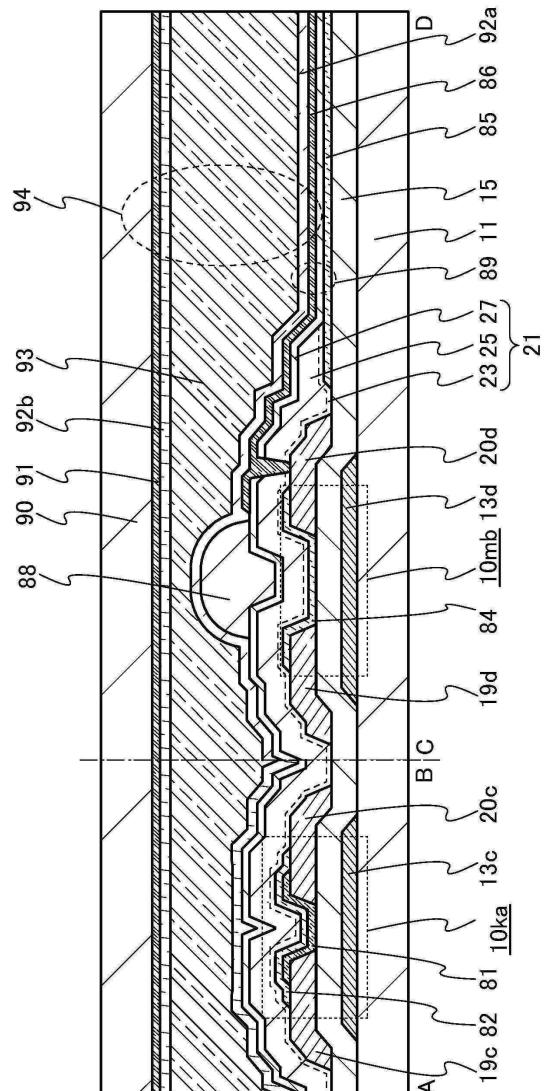
도면43



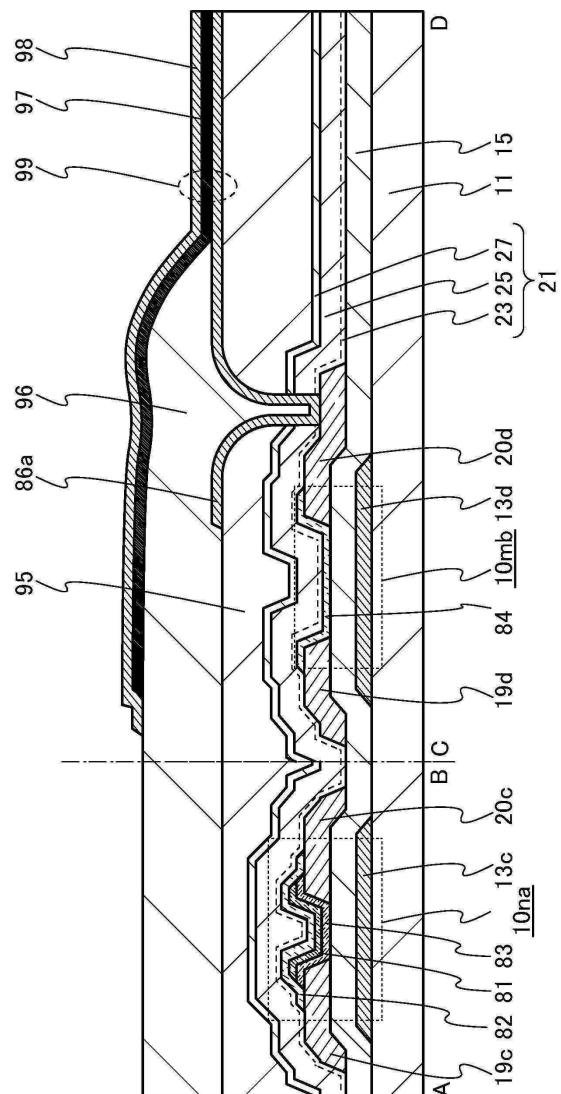
도면44



도면45



도면46



도면47

