



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201419763 A

(43)公開日：中華民國 103 (2014) 年 05 月 16 日

(21)申請案號：102126139

(22)申請日：中華民國 102 (2013) 年 07 月 22 日

(51)Int. Cl.：

H03L7/08

(2006.01)

G01R31/317 (2006.01)

(30)優先權：2012/07/27

美國

13/559,909

(71)申請人：達斯特網路公司 (美國) DUST NETWORKS, INC. (US)

美國

(72)發明人：藍肯馬克艾倫 LEMKIN, MARK ALAN (US)；傑紐索尼爾森 JUNEAU, THOR

NELSON (US)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：27 項 圖式數：9 共 67 頁

(54)名稱

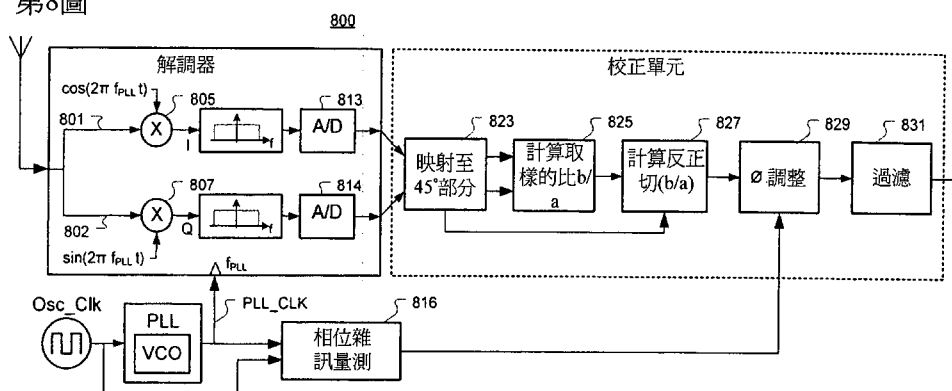
相位雜訊耐受取樣

PHASE NOISE TOLERANT SAMPLING

(57)摘要

使用時間數位轉換器(TDC)藉由決定介於第一時脈訊號與第二時脈訊號之間的相位延遲的變化量測第一時脈訊號中的相位雜訊。TDC 可包括延遲元件的第一系列互連及第二系列互連、第一組及第二組鎖存器及耦接至該等鎖存器及設置為決定相位延遲的處理電路系統。TDC 可包括延遲元件的一系列互連、鎖存器及設置為基於鎖存器的輸出有選擇地調整連接至延遲元件的控制訊號的電路系統。相位雜訊量測可用於取樣電路中，以便基於第一時脈訊號及量測的相位雜訊從第一資料訊號產生第二資料訊號。

第8圖



800：接收器

801：I 支路

802：Q 支路

805：混合器

807：混合器

813：ADC

814：ADC

816：相位雜訊量測單元

823：映射器

825：方塊

827：方塊

829：方塊

831：篩檢程式



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201419763 A

(43)公開日：中華民國 103 (2014) 年 05 月 16 日

(21)申請案號：102126139

(22)申請日：中華民國 102 (2013) 年 07 月 22 日

(51)Int. Cl.：

H03L7/08

(2006.01)

G01R31/317 (2006.01)

(30)優先權：2012/07/27

美國

13/559,909

(71)申請人：達斯特網路公司 (美國) DUST NETWORKS, INC. (US)

美國

(72)發明人：藍肯馬克艾倫 LEMKIN, MARK ALAN (US)；傑紐索尼爾森 JUNEAU, THOR

NELSON (US)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：27 項 圖式數：9 共 67 頁

(54)名稱

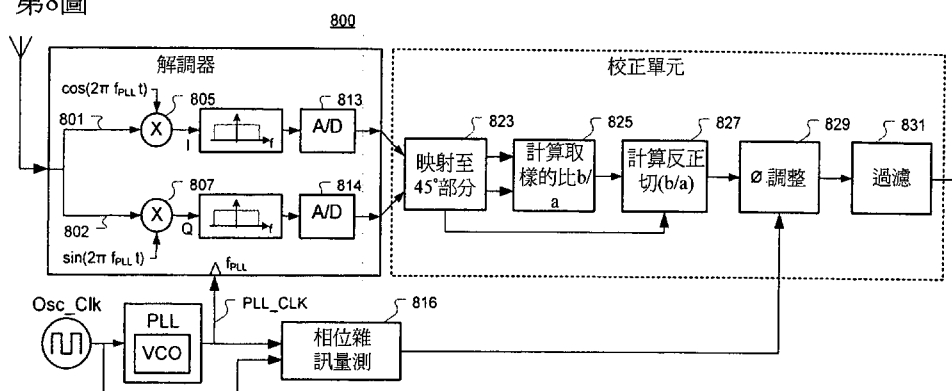
相位雜訊耐受取樣

PHASE NOISE TOLERANT SAMPLING

(57)摘要

使用時間數位轉換器(TDC)藉由決定介於第一時脈訊號與第二時脈訊號之間的相位延遲的變化量測第一時脈訊號中的相位雜訊。TDC 可包括延遲元件的第一系列互連及第二系列互連、第一組及第二組鎖存器及耦接至該等鎖存器及設置為決定相位延遲的處理電路系統。TDC 可包括延遲元件的一系列互連、鎖存器及設置為基於鎖存器的輸出有選擇地調整連接至延遲元件的控制訊號的電路系統。相位雜訊量測可用於取樣電路中，以便基於第一時脈訊號及量測的相位雜訊從第一資料訊號產生第二資料訊號。

第8圖



800：接收器

801：I 支路

802：Q 支路

805：混合器

807：混合器

813：ADC

814：ADC

816：相位雜訊量測單元

823：映射器

825：方塊

827：方塊

829：方塊

831：篩檢程式

發明摘要

※ 申請案號：102126139

H03L 1/08 (2006.01)

※ 申請日：2013 年 7 月 22 日

※IPC 分類：G01R 31/317 (2006.01)

【發明名稱】（中文/英文）

相 位 雜 訊 耐 受 取 樣 /PHASE NOISE TOLERANT
SAMPLING

【中文】

使用時間數位轉換器（TDC）藉由決定介於第一時脈訊號與第二時脈訊號之間的相位延遲的變化量測第一時脈訊號中的相位雜訊。TDC 可包括延遲元件的第一系列互連及第二系列互連、第一組及第二組鎖存器及耦接至該等鎖存器及設置為決定相位延遲的處理電路系統。TDC 可包括延遲元件的一系列互連、鎖存器及設置為基於鎖存器的輸出有選擇地調整連接至延遲元件的控制訊號的電路系統。相位雜訊量測可用於取樣電路中，以便基於第一時脈訊號及量測的相位雜訊從第一資料訊號產生第二資料訊號。

【英文】

Phase noise in a first clock signal is measured using a time to digital converter (TDC) by determining variations in the phase delay between the first clock signal and a second clock signal. The TDC can include first and second series interconnections of delay elements, first and second sets

of latches, and processing circuitry coupled to the latches and configured to determine the phase delay. The TDC can include a series interconnection of delay elements, latches, and circuitry configured to selectively adjust the control signal connected to the delay elements based on the output of the latches. The phase noise measurement can be used in a sampling circuit, so as to produce a second data signal from a first data signal based on the first clock signal and the measured phase noise.

【代表圖】

【本案指定代表圖】：第（ 8 ）圖。

【本代表圖之符號簡單說明】：

800 接收器

801 I 支路

802 Q 支路

805 混合器

807 混合器

813 ADC

814 ADC

816 相位雜訊量測單元

823 映射器

825 方塊

827 方塊

829 方塊

of latches, and processing circuitry coupled to the latches and configured to determine the phase delay. The TDC can include a series interconnection of delay elements, latches, and circuitry configured to selectively adjust the control signal connected to the delay elements based on the output of the latches. The phase noise measurement can be used in a sampling circuit, so as to produce a second data signal from a first data signal based on the first clock signal and the measured phase noise.

【代表圖】

【本案指定代表圖】：第（ 8 ）圖。

【本代表圖之符號簡單說明】：

800 接收器

801 I 支路

802 Q 支路

805 混合器

807 混合器

813 ADC

814 ADC

816 相位雜訊量測單元

823 映射器

825 方塊

827 方塊

829 方塊

831 篩檢程式

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

相 位 雜 訊 耐 受 取 樣 /PHASE NOISE TOLERANT
SAMPLING

【技術領域】

【0001】本發明係關於技術及設備，該等技術及設備量測時脈訊號中的相位雜訊及藉由從用於取樣的時脈訊號移除量測的相位雜訊，或藉由使用量測的相位雜訊校正取樣訊號來提供相位雜訊耐受取樣。

【先前技術】

【0002】現代無線電接收器（諸如第 1A 圖所圖示的無線電接收器 100）包括解調器 101，該解調器 101 使用包括電壓控制振盪器（voltage controlled oscillator; VCO）103 的鎖相迴路（phase-locked loop; PLL）102 以藉由將 RF 輸入訊號投射至包含同相位（I）及正交相位（Q）坐標系統的旋轉正交基準上而解調在天線 104 處接收的類比 RF 輸入訊號。投射藉由首先使用乘法器 105 將輸入訊號乘以本地振盪器訊號 $\cos(2\pi \cdot f_{\text{PLL}} \cdot t)$ ，以獲得 RF 訊號的同相位分量 I，及使用低通篩檢程式 109 過濾所得的訊號來完成。類似地，RF 輸入訊號的正交分量的投射藉由以下步驟獲得：使用乘法器 107 將輸入訊號乘以本地振盪器的正交 90 度移相輸出 $\sin(2\pi \cdot f_{\text{PLL}} \cdot t)$ ，其中 90 度移相係相對於 PLL 102 的頻率；及使用低通篩檢程式

111 過濾所得的訊號。在從接收器 101 的輸出 119a 及輸出 119b 輸出之前，所得訊號可提供為類比數位（analog-to-digital; A/D）轉換器 115、117 的輸入用於進一步處理。一旦 RF 訊號已經投射在 I/Q 坐標系統上，振幅及/或相位資訊為可用的，因為座標對 [I, Q] 指定從原點至量測座標的唯一向量。轉化亦可用於將 I/Q 對轉換為 r, θ 基函數，該基函數亦為正交基準。為了確保正確的解調，有必要精確地辨別取樣資料點位於坐標系統中的何處，因為在給定時間瞬間處的坐標系統上的位置為基本基準，藉由該基本基準彼此區別符號。

【0003】大多數現代 I/Q 無線電接收器混合器（例如，解調器 101 的乘法器 105 及乘法器 107）藉由振幅限制驅動器驅動，例如，一或更多個反向器或緩衝器產生的軌至軌訊號經常用於驅動混合器開關。因此，本地振盪器的振幅雜訊為相對無關緊要的，因為在解調訊號到達混合器開關之前由解調訊號重新產生振幅雜訊。另一方面，相位雜訊可為重要的，因為面對干擾，除了 PLL 以外，相位雜訊沒有此機構恢復相位至理想狀態。因此，PLL 102 提供至解調器 101 的時脈訊號 PLL_CLK 中的相位雜訊一般沒有衰減，及引起在解調器 101 的輸出 119 處的解調訊號中的雜訊。參閱第 1B 圖，以從諸如石英晶體振盪器（例如，第 1A 圖的振盪器 113）提供的穩定振盪器訊號 OSC_CLK（直接或使用被劃分版本）產生的速率（亦即，PLL 更新頻率）更新 PLL。PLL 衰減來自 VCO 的 PLL 的頻寬以下的相位雜訊，而不對 PLL 迴路頻寬以上的訊號執行此衰減。為了確保 PLL 穩定性，PLL 的頻寬一般經選擇以

實質上低於 PLL 更新頻率（一般低 5 至 10 倍）。因此，PLL 僅衰減近載波（close-in）相位雜訊訊號，其中頻寬經常比振盪器訊號 OSC_CLK 的頻率低很多倍。當使用整數 N PLL 時，由於通道間隔要求可將 PLL 更新頻率限制為低於所希望的頻率。一般而言，PLL 輸出訊號 PLL_CLK 具有高於振盪器訊號 OSC_CLK 的頻率（例如，OSC_CLK 具有一頻率，該頻率為高於 PLL_CLK 頻率的整數 M/N 倍數的比率）及 PLL 輸出訊號 PLL_CLK 的被劃分版本（例如，除以整數 N）可因此用於與振盪器訊號的被劃分版本（例如，除以整數 M）的邊緣比較，如第 1B 圖所圖示。

【0004】參閱第 1C 圖，圖示 VCO 具有第一相位雜訊特徵（諸如，藉由 L-C 振盪器提供），具有（154）及不具有（152）頻寬 100 kHz 的 PLL。參閱第 1D 圖，圖示 VCO 具有更嘈雜的相位雜訊特徵（諸如藉由環形振盪器提供），具有（158）及不具有（156）100 kHz 的 PLL 頻寬。如藉由比較二個特徵可見，LC 振盪器的相位雜訊實質上低於包含環形振盪器的開放迴路 VCO 的相位雜訊，且實質上低於包含環形振盪器的閉合迴路 PLL VCO 的相位雜訊，即使是在 PLL 頻寬內。當鎖相迴路 VCO 用於驅動無線電混合器的混合器開關或啓動類比數位轉換器（analog-to-digital converter; ADC）中的取樣操作時，相位雜訊引起時序抖動。時序抖動引起輸出訊號保真度下降，因為抖動引起調制所欲訊號，從而將一部分所欲能量轉換為雜訊。此雜訊具有增加在混合器輸出處自 I/Q 解調資料產生的符號群集的誤差向量幅度（error vector magnitude; 5

EVM) 的效應，因為相位雜訊引起正交基函數偏離恆定轉速。在藉由單獨的 ADC 的訊號取樣中觀察到類似有害行為。

【0005】在偏離載波的給定頻率下，相位雜訊一般指定為相對於基本頻率下的能量之 dB。從各種隨機源及確定源產生雜訊，包括熱雜訊、閃爍雜訊、散粒雜訊及功率供應或參考雜訊。振盪器的相位雜訊可藉由增加儲存在振盪器中的能量的量從而減少各種雜訊源的相對效應來減少。增加總的 VCO 能量經常要求使用電感器，該電感器的面積較大。使用電感器用於 VCO 的設計選擇伴隨有 VCO 必須消耗大量功率以維持振盪於所欲能量/損失比的額外缺點。此外，使用基於電感器的 VCO 將裝置暴露於對來自外部源（諸如包含電感器的板上或晶片上 DCDC 轉換器）的電磁干擾的敏感性。

【0006】可在使用三分接頭環形振盪器之 65 nm 製程中形成雜訊大但其他方面可接受的 VCO。為了給出此環形振盪器的效能概念，執行模擬產生 5.8 GHz 的環形振盪器，該環形振盪器從 0.8 V 供應中汲取 25 uA（對應於 20 uW 的功率消耗）及在 1 MHz 偏離處具有 -66 dB/Hz 的相位雜訊。然而，注意到，環形振盪器的相位雜訊實質上高於 LC 振盪器的相位雜訊。習知技術將需要環形振盪器以更高電流執行及/或使用非常高頻寬的 PLL 抑制帶內相位雜訊。該等兩個選擇引起功率消耗的急劇增加。最後，在一些實施例中，甚至使用基於電感器的 VCO 產生不充分的相位雜訊效能。

【0007】因此對以下系統及方法存在需要：該等系統及方法用於提供具有減少的相位雜訊或抖動的 PLL 及 VCO，而不要

求實質增加電路功率消耗。

【發明內容】

【0008】 本文的教示使用用於量測時脈訊號中的相位雜訊及提供相位雜訊耐受取樣之各種系統及方法來減輕以上注意到的問題中的一或更多者。

【0009】 第一說明性系統包括時間數位轉換器（time to digital converter; TDC）及相關處理電路系統。TDC 包括：複數個延遲元件的第一系列互連，其中第一系列互連的第一延遲元件在輸入處接收第一時序訊號；第一複數個鎖存器，其中第一複數個鎖存器的每一鎖存器具有連接至第一系列互連的各自延遲元件的輸出的輸入，且第一複數個鎖存器的每一鎖存器在時脈輸入處接收第二時序訊號；複數個延遲元件的第二系列互連，其中第二系列互連的第一延遲元件在輸入處接收第一時序訊號；及第二複數個鎖存器，其中第二複數個鎖存器的每一鎖存器具有連接至第二系列互連的各自延遲元件的輸出的輸入，且第二複數個鎖存器的每一鎖存器在時脈輸入處接收第二時序訊號。處理電路系統耦接至第一複數個鎖存器及第二複數個鎖存器的輸出且設置為基於第一複數個鎖存器及第二複數個鎖存器的輸出決定第一時序訊號與第二時序訊號之間的近似相位延遲。

【0010】 第二說明性系統包括：複數個延遲元件的一系列互連，其中該系列互連的第一延遲元件在輸入處接收第一時序訊號，且該系列互連的每一延遲元件具有第一延遲週期及連接至控制訊號；複數個鎖存器，其中複數個鎖存器的每一鎖

存器具有連接至該系列互連的各自延遲元件的輸出的輸入，且複數個鎖存器的每一鎖存器在時脈輸入處接收第二時序訊號；及電路系統，該電路系統設置為基於複數個鎖存器的輸出有選擇地調整連接至第一系列互連的延遲元件的控制訊號。

【0011】第三說明性系統包括鎖相迴路（PLL）、相位雜訊量測單元及取樣電路。PLL 在輸入處接收振盪器時脈訊號且在輸出處產生 PLL 時脈訊號。相位雜訊量測單元分別在第一輸入及第二輸入處接收振盪器時脈訊號及 PLL 時脈訊號，且相位雜訊量測單元設置為產生指示振盪器時脈訊號與 PLL 時脈訊號之間的相位雜訊的相位雜訊訊號。取樣電路設置為將第一資料訊號轉換為第二資料訊號，其中取樣電路接收 PLL 時脈訊號及相位雜訊訊號且基於 PLL 時脈訊號及相位雜訊訊號將第一資料訊號轉換為第二資料訊號。

【0012】一種說明性方法包括以下步驟：在接收振盪器時脈訊號的鎖相迴路（PLL）中產生 PLL 時脈訊號；量測 PLL 時脈訊號與振盪器時脈訊號之間的相位延遲；比較量測的相位延遲與基線相位延遲，及產生指示量測的相位延遲與基線相位延遲之間的差異的相位雜訊訊號；及使用 PLL 時脈訊號及相位雜訊訊號將第一資料訊號轉換為第二資料訊號。

【0013】將在以下描述中部分地闡明額外優點及新穎特徵，及在查看以下內容及隨附圖式之後該等額外的優點及新穎特徵部分地將變得顯而易見或可藉由實例的產生或操作瞭解該等額外的優點及新穎特徵。可藉由實踐或使用以下論述的詳

細實例中闡明的方法、手段及組合的各種態樣實現及獲得本教示的優點。

【圖式簡單說明】

【0014】 繪製的圖式藉由僅舉例而非限制描繪根據本教示之一或更多個實施方式。在圖式中，類似的元件符號代表相同或類似的元件。

【0015】 第 1A 圖為方塊圖，說明性地圖示包括接收來自鎖相迴路（PLL）的時脈訊號的解調器的標準無線電接收器。

【0016】 第 1B 圖為在第 1A 圖的無線電接收器中傳播的說明性訊號的時序圖。

【0017】 第 1C 圖及第 1D 圖為圖示不同類型振盪器的相位雜訊特徵的說明性曲線圖。

【0018】 第 2A 圖及第 2B 圖為用於量測時脈訊號中的相位雜訊及基於時脈訊號校正執行的取樣的說明性系統的方塊圖。

【0019】 第 2C 圖及第 2D 圖為在正交混合器中接收的訊號的時序圖。

【0020】 第 2E 圖為圖示第 2C 圖及第 2D 圖的時序訊號的星象圖。

【0021】 第 3A 圖為用於量測及校正相位雜訊感應抖動的說明性電路系統的方塊圖。

【0022】 第 3B 圖為在第 3A 圖的電路系統中傳播的說明性訊號的時序圖。

【0023】 第 3C 圖為說明性時間數位轉換器（TDC）的方塊圖。

【0024】 第 3D 圖為在第 3C 圖的 TDC 中傳播的說明性訊號

的時序圖。

【0025】第 4A 圖為用於減少 TDC 功率消耗的說明性電路的方塊圖。

【0026】第 4B 圖為在第 4A 圖的電路中傳播的說明性訊號的時序圖。

【0027】第 5 圖為在相位雜訊量測與校正電路系統中傳播的說明性訊號的時序圖。

【0028】第 6A 圖為具有兩串反向器的說明性 TDC 的方塊圖。

【0029】第 6B 圖為在第 6A 圖的 TDC 中傳播的說明性訊號的時序圖。

【0030】第 7A 圖為用於控制一或更多個 TDC 的操作的說明性電路的方塊圖。

【0031】第 7B 圖為第 7A 圖的電路中傳播的說明性訊號的時序圖。

【0032】第 8 圖為用於提供相位雜訊耐受取樣的說明性系統的方塊圖。

【0033】第 9A 圖為用於從時脈訊號移除相位雜訊的說明性系統的方塊圖。

【0034】第 9B 圖及第 9C 圖為在第 9A 圖的系統中傳播的說明性訊號的時序圖。

【實施方式】

【0035】在以下詳細描述中，藉由舉例來闡明許多具體細節，從而提供對相關教示的透徹理解。然而，對於熟習此項技術者將顯而易見的是本教示可在沒有此類細節的情況下實

踐。在其他情況中，無需細節，已經相對概括地描述眾所周知的方法、程序、組件及/或電路系統，從而避免不必要地模糊本教示的態樣。

【0036】本文揭示的各種系統及方法係關於振盪器提供的參考時脈訊號與 PLL/VCO 的輸出處的 PLL 時脈訊號之間的相位雜訊或抖動的量測，及對校正的時序參考訊號的提供或使用量測的相位雜訊對取樣訊號的校正。

【0037】現在詳細參閱隨附圖式中圖示的及以下論述的實例。本文所描述的系統及方法藉由量測取樣時脈 PLL_CLK 相對於參考振盪器時脈訊號 OSC_CLK 的相位誤差及在取樣發生之前或之後補償取樣時脈的相位誤差（抖動），來解決抑制來自取樣時脈（例如，PLL/VCO 的輸出處提供的取樣時脈）的相位雜訊的問題。可在取樣時刻量測相位誤差，可在從取樣時刻偏移的時間處量測相位誤差，或可平均相位誤差以計及取樣開關輸入與取樣訊號之間的路徑中的動態或延遲效應（例如，混合器輸出可在 ADC 取樣之前過濾；因此引起訊號損壞（corruption）的相位雜訊有時發生在訊號路徑的群延遲表徵的 ADC 取樣之前）。以此方式，取樣後相位校正可適用於取樣，從而移除相位雜訊的有害效應。本文所描述的教示同樣適用於無線電系統、ADC 取樣及任何其他適當的系統，該系統藉由一訊號取樣，該訊號的效能受到相位雜訊的不利影響。

【0038】第 2A 圖及第 2B 圖圖示用於量測取樣時脈中的相位雜訊的系統 200 及系統 220 的說明性方塊圖。系統 200 使用

相位雜訊量測以從取樣時脈移除相位雜訊及提供校正的取樣時脈訊號至解調器。系統 200 的解調器可因此提供解調的訊號，該解調的訊號比系統 100 提供的類似解調的訊號更少受到相位雜訊的影響。系統 220 使用相位雜訊量測以校正在解調器的輸出處的取樣，以便提供較少受到相位雜訊影響的校正的解調訊號。

【0039】第 2A 圖及第 2B 圖示的系統 200 及系統 220 各包括解調器 201，解調器 201 接收來自天線 204 的 RF 輸入訊號且分別在解調器的輸出 219a/219b 處產生解調訊號。在一些實施例中，解調器包括取樣時脈驅動的混合器。基於在解調器 201 的時脈輸入 218 處接收的取樣時脈執行解調。包括 VCO 203 的 PLL 202 接收來自振盪器 213（例如，石英晶體振盪器）的參考時脈訊號 OSC_CLK 且產生 PLL 時脈訊號 PLL_CLK。一般而言，PLL 202 產生的時脈訊號 PLL_CLK 包括抖動。每一系統 200 及 220 包括相位雜訊量測單元 216，用於量測振盪器參考時脈訊號 OSC_CLK 與 PLL 時脈訊號 PLL_CLK 之間的相位雜訊。

【0040】在第 2A 圖的系統 200 中，提供單元 216 產生的相位雜訊量測訊號至相位校正單元 214，該相位校正單元 214 接收 PLL 時脈訊號 PLL_CLK 且基於相位雜訊量測訊號產生相位校正時脈訊號。特定而言，相位校正單元 214 可產生對應於 PLL_CLK 訊號及使得相位雜訊量測訊號中指示的相位雜訊從其中移除的校正時脈訊號。在系統 200 中，提供單元 214 產生的相位校正時脈訊號至解調器 201 的時脈輸入 218，使得

解調器 201 使用相位雜訊校正時脈解調接收的 RF 輸入訊號。

【0041】 在第 2B 圖的系統 220 中，提供單元 216 產生的相位雜訊量測訊號至取樣校正單元 212。在系統 220 中，提供嘈雜的 PLL 時脈訊號 PLL_CLK 至解調器 201 的時脈輸入 218，使得解調器 201 使用嘈雜的 PLL 時脈訊號解調接收的 RF 輸入訊號。耦接至解調器 201 的輸出 219b 的取樣校正單元 212 接收來自解調器 201 的解調訊號，且基於來自單元 216 的相位雜訊量測訊號校正解調訊號，使得校正單元 212 輸出相位雜訊校正訊號。

【0042】 在第 2A 圖的系統 200 中，相位校正單元 214 及解調器 201 可為取樣電路（圖示為「取樣電路 1」）的部分，該取樣電路設置為將在天線 204 處接收的資料訊號轉換為在取樣電路輸出 220a 處的輸出資料訊號。在第 2B 圖的系統 220 中，解調器 201 及取樣校正單元 212 可為類似取樣電路（圖示為「取樣電路 2」）的部分，該類似取樣電路設置為將在天線 204 處接收的資料訊號轉換為在取樣電路輸出 220b 處的輸出資料訊號。取樣電路接收 PLL_CLK 訊號及相位雜訊量測訊號，且基於 PLL 時脈訊號及相位雜訊訊號將接收的資料訊號轉換為輸出資料訊號。

【0043】 第 2C 圖以曲線圖圖示具有 I 及 Q 本地振盪器 (LO) 訊號及 RF 輸入的正交混合器的取樣，其中沒有相位雜訊。由於 RF 輸入與 I 同相位及相對於 Q 偏移 90 度相位，故 RF 訊號的向量至群集中的投射將為 $[x, y] = [1, 0]$ 。第 2D 圖圖示此次相同 RF 輸入訊號的快照，其中 I 訊號相位及 Q 訊號相位偏

移-29 度（I 及 Q 提早偏移）以表示相位雜訊干擾。向量結果為 $[x, y]=[0.89, 0.48]$ 。第 2E 圖圖示群集上兩個向量投射的相對位置。注意到由於相對於（經偏移的）I 及 Q 基函數解譯 I/Q 向量，故 LO 上的相位雜訊表現為 RF 輸入訊號上的相位雜訊，即使 RF 輸入訊號在兩種情況中相同亦如此。若我們能夠量測 I 取樣訊號及 Q 取樣訊號的相對相位偏移，則我們可解旋轉基函數，從而從下轉換訊號中移除相位雜訊的效應。注意到在取樣延遲方面 LO 相位雜訊大體類似地影響 I 通道及 Q 通道兩者。此是因為 LO 的相位雜訊一般比用於產生正交取樣訊號的分頻器或緩衝器的相位雜訊貢獻高許多。

【0044】可使用包括時間數位轉換器（TDC）及暫時邊緣量化器（temporal edge quantizer; TEQ）的相位雜訊量測單元藉由比較 LO 時脈訊號 PLL_CLK 與振盪器參考時脈 OSC_CLK 量測及校正相位雜訊感應抖動。在一些實施例中，在取樣之前進行校正（參見，例如，第 2A 圖的系統 200）。在其他實施例中，在取樣後進行校正（參見，例如，第 2B 圖的系統 220）。

【0045】第 3A 圖圖示用於量測及校正相位雜訊感應抖動的電路系統 300 的方塊圖。電路系統 300 包括振盪器 313，該振盪器 313 為諸如 PLL 302 的頻率穩定器提供用於提供時序參考訊號的參考時脈訊號 OSC_CLK。參考時脈訊號 OSC_CLK 可選地輸入至分頻器 305，該分頻器 305 在該分頻器 305 的輸出處產生 PLL 更新訊號 PLL_Update_CLK，該 PLL 更新訊號 PLL_Update_CLK 的頻率比 OSC_CLK 訊號的頻率低 M 倍。

一般而言， M 為大於 1 的整數；然而，在一些實例中， M 為非整數。在使用分頻器 305 的電路 300 中，在輸入處提供 PLL_Update_CLK 至 PLL 302；在不使用分頻器 305 的電路中，在輸入處提供 OSC_CLK 至 PLL 302。PLL 302 包括相位頻率偵測器 304、產生 PLL 時脈訊號 PLL_CLK 的 VCO 303 及用於在將減少的頻率饋送回到相位頻率偵測器 304 之前將 PLL 時脈訊號 PLL_CLK 的頻率減少整數倍 N 的分頻器 306。在一些實施例中，分頻器 306 可按整數倍比率 K/N 減少 PLL 時脈訊號 PLL_CLK 的頻率。一般而言，諸如 PLL 302 的頻率穩定器產生如 PLL 時脈訊號 PLL_CLK 顯示的頻率穩定時脈訊號，該 PLL 時脈訊號 PLL_CLK 具有一頻率，該頻率比 PLL_Update_CLK 訊號的頻率高 N 倍（或高 N/K 倍，其中 N 及 K 為整數），對應於高於振盪器訊號 OSC_CLK 的頻率 $N/(M \times K)$ 的頻率。在存在分頻器 305 的實例中，相位頻率偵測器 304 以低於振盪器時脈訊號 OSC_CLK 的速率（亦即，以低於時脈訊號 OSC_CLK M 倍的速率）執行相位比較。

【0046】 在一些實施例中，頻率穩定器或鎖相迴路 302 中的非理想因素（諸如電荷泵洩露）引起 VCO 輸出訊號 PLL_CLK 沒有與參考時脈邊緣在相位頻率偵測器比較瞬間完全對齊。電路系統 300 包括相位雜訊量測單元（諸如第 2A 圖及第 2B 圖的單元 216）。相位雜訊量測單元可包括 TDC 321、TEQ 322 及/或其他處理電路系統。TDC 321 量測呈現至 TDC 的輸入的訊號之間的相位差異。TDC 321 接收 PLL 時脈訊號 PLL_CLK（或在頻率穩定器的輸出處的其他頻率穩定訊號）及在各自

輸入處的振盪器時脈訊號 OSC_CLK。基於接收的時脈訊號，TDC 產生一或更多個輸出訊號，該一或更多個輸出訊號指示接收的時脈訊號之間的相位誤差。一或更多個 TDC 輸出訊號可為具有 p 位元 (p 為大於或等於 1 的整數) 的訊號。TEQ 322 及/或其他處理電路系統處理來自 TDC 的一或更多個輸出訊號，以在 TEQ 322 及/或其他處理電路系統的輸出處產生相位雜訊量測訊號。在一些實例中，TEQ 322 及/或其他處理電路系統可識別從 TDC 接收的一或更多個訊號的轉變時序，將轉變時序與基線轉變時序值作比較，且基於比較結果決定轉變時序是否隨時間變化。在實例中，TEQ 322 及/或其他處理電路系統可輸出相位雜訊訊號，該相位雜訊訊號指示量測的相位延遲與基線相位延遲之間的差異。TEQ 322 及/或其他處理電路系統輸出的訊號可為具有 q 位元的訊號，如第 3A 圖所圖示 (q 為大於或等於 1 的整數)。

【0047】第 3B 圖說明性地圖示時序圖，該時序圖圖示振盪器時脈訊號 OSC_CLK 及 PLL 時脈訊號 PLL_CLK。TDC 321 量測相位雜訊，如時序圖中的 Δ_0 所顯示， Δ_0 介於 OSC_CLK 訊號與 PLL_CLK 訊號的上升邊緣之間。第 3C 圖圖示 TDC 的示例性結構。

【0048】第 3C 圖圖示適合用於相位雜訊補償的 TDC 350 的實施例。串聯連接的一串 p 個延遲元件 351 (例如，在第 3C 圖中實施為反向器) 藉由 PLL/VCO 輸出訊號 PLL_CLK 驅動。延遲線中的每一延遲元件具有耦接至 p 個鎖存器中的對應一者的輸出，且所有延遲線元件輸出藉由鎖存器線同時取樣。

鎖存器藉由參考時脈訊號 OSC_CLK 而時脈化，使得鎖存器線中的每一鎖存器對參考時脈訊號 OSC_CLK 的邊緣上（例如，在參考時脈訊號的上升邊緣、下降邊緣或上升及下降邊緣兩者上）的對應延遲元件輸出取樣。鎖存器取樣 $A_0, A_1, \dots, A_{p-1}$ 輸出為包括所有取樣的寬度 p 的訊號。TDC 提供的鎖存器取樣隨後可用於基於所鎖存之取樣的圖案決定 PLL_CLK 訊號與 OSC_CLK 訊號之間的近似相位延遲。一般而言，串中的每一延遲元件具有相同的延遲週期，可藉由改變諸如提供至串中的延遲元件的功率供應電壓 V_A 的控制訊號調整該延遲週期。

【0049】第 3D 圖圖示第 3C 圖的 TDC 350 中的訊號的說明性時序圖。時序圖圖示 PLL 輸出訊號 PLL_CLK ，該 PLL 輸出訊號 PLL_CLK 週期地在低邏輯狀態與高邏輯狀態之間交替。 PLL_CLK 訊號經饋送穿過延遲元件串 351。串中的每一延遲元件具有長度 d 的延遲。因而，鏈中的第一延遲元件的輸出反映當前時間之前時間 d 處的 PLL_CLK 訊號的值，串中的第二延遲元件的輸出反映當前時間之前時間 $2*d$ 處的 PLL_CLK 訊號的值，且串中第 $(p-1)$ 個延遲元件的輸出反映當前時間之前在時間 $(p-1)*d$ 處 PLL_CLK 訊號的值。在第 3D 圖圖示的實例中，延遲 d 為 PLL_CLK 訊號的週期的大約 $1/14$ 倍，使得串中的 14 個元件的延遲對應於 PLL_CLK 訊號的一個週期。在實例中， $p=18$ 。當接收到振盪器時脈訊號 OSC_CLK 的上升邊緣時，上升邊緣引起鎖存器串 353 取樣及儲存延遲元件串中的對應延遲元件 351 的輸出值。如第 3D 圖中所圖示，鎖存

器 A_0 至 A_{17} 可儲存值 $A_{out}=(A_0, A_1, A_2, A_3, A_4, A_5, A_6, A_7, A_8, A_9, A_{10}, A_{11}, A_{12}, A_{13}, A_{14}, A_{15}, A_{16}, A_{17})=(1, 1, 0, 0, 0, 0, 0, 0, 0, 0, 1, 1, 1, 1, 1, 1, 0, 0)$ 。值 A_{out} 藉由 TDC 321 提供至 TEQ 322。暫時邊緣量化器 (TEQ) 尋找所取樣 TDC 輸出中的 PLL_CLK 邊緣轉變且輸出表示一或更多個分接頭的值，在該分接頭處發生轉變。在各種實施例中，標記 $0 \rightarrow 1$ 轉變；標記 $1 \rightarrow 0$ 轉變；標記所有轉變；標記所有轉變，其中額外標記 ($1 \rightarrow 0$ 或 $0 \rightarrow 1$) 轉變的極性。在實例中，回應於接收值 A_{out} ，TEQ 偵測發生下降 ($1 \rightarrow 0$) 轉變之取樣。在此情況下，TEQ 將取樣 2 及取樣 16 識別為對應於從邏輯高「1」位準至邏輯低「0」位準的下降轉變。在一些實施例中，TDC 輸出 p 可直接用於相位校正，無需 TEQ (例如，來自輸出 p 的平行數位位元可與表示基線的平行數位位元作互斥或運算 (XOR'ed))。

【0050】 在一些實施例中，整數 N PLL 302 將 VCO 303 鎖至 PLL_Update_CLK 訊號 (或在不使用分頻器 305 的實例中鎖至振盪器時脈訊號 OSC_CLK)。在示例性實施例中，PLL 302 以 5 MHz 相位比較速率操作以達到通道間隔要求，且 PLL 具有 500 kHz 的頻寬。從在 20 MHz 下運行的晶體振盪器 313 產生 5 MHz 時脈，且分頻器 305 將 5 MHz 時脈以因數 $M=4$ 分頻。TDC 321 量測 VCO 時脈訊號 PLL_CLK 與在 20 MHz OSC_CLK 時脈循環的每個上升邊緣處的 20 MHz 參考時脈訊號 OSC_CLK 之間的時間延遲特徵。PLL 302 引起 VCO 303 的相位相對於振盪器時脈 OSC_CLK 為 DC 穩定的；然而，僅在藉由相位頻率偵測器 304 比較 VCO 與振盪器時脈 OSC_CLK (或

PLL_Update_CLK) 時的彼等瞬間處 VCO 時脈訊號 PLL_CLK 的邊緣一般以所欲相位關係對齊參考時脈訊號 OSC_CLK。在各種實施例中，PLL_CLK 訊號的相位對準振盪器訊號 OSC_CLK 的相位；PLL_CLK 訊號相位以相對於振盪器參考 OSC_CLK 訊號相位的偏移對齊。一般而言，PLL_CLK 訊號的相位不一定對齊參考訊號 OSC_CLK 的任何特定相位，更確切而言僅期望在 DC 意義上 PLL_CLK 訊號的相位經穩定至振盪器訊號 OSC_CLK 的相位，使得在 DC 意義上 PLL_CLK 訊號與 OSC_CLK 訊號之間的相位偏移保持恆定（例如，由於 PLL 中的非理想因素（洩露等等）或系統內部另外的相位延遲，VCO 及參考的相位偏移可為 1 ns）。重要地，PLL 穩定振盪器訊號 OSC_CLK（或 PLL_Update_CLK）與 PLL 輸出訊號 PLL_CLK 之間的總的相位關係，使得 PLL_CLK 訊號與 OSC_CLK（或 PLL_Update_CLK）訊號之間的相位關係標稱地以比較週期重複（例如，在緊接著比較週期之後的週期中 20 MHz OSC_CLK 時脈邊緣的相位關係將標稱地等於在比較週期 200 ns 後的 20 MHz OSC_CLK 時脈邊緣的相位關係）。因為 OSC_CLK 訊號與 PLL_CLK 訊號之間的相位關係為相對於彼此 DC 穩定的，故可量測及補償標稱相位關係的變化。

【0051】 在第 3A 圖的電路系統 300 中，TDC 321 在 TDC 321 的輸入中的一者處連續地接收 PLL_CLK 訊號，引起 PLL_CLK 訊號連續地傳播穿過延遲元件串 351。為了減少電路系統 300 的功率消耗，脈衝產生器可同「及」閘一起使用以僅在需要量測的時間左右的一段有限時間週期（亦即，接近 OSC_CLK 5

訊號中的邊緣轉變時的一段有限時間週期) 賦能 TDC 321。

【0052】第 4A 圖圖示用於僅在有限時間週期賦能 TDC 的說明性電路系統 400。電路系統 400 包括振盪器時脈 413 及 PLL 402，如在電路系統 300 中。此外，電路系統 400 包括長度 D 的第一延遲 405、互斥 (「XOR」) 閘 407、長度小於 D (例如， $D/2$) 的第二延遲 409 及「及」閘 411。提供振盪器時脈訊號 OSC_CLK 至 XOR 閘 407 的一個輸入，及穿過延遲 405 至 XOR 閘 407 的另一個輸入。延遲 409 延遲 XOR 閘 407 的輸出處的訊號達 $D/2$ 週期以產生 TDC_賦能訊號。此外，提供在延遲 405 的輸出處的訊號 (亦即，對應於 OSC_CLK 訊號的延遲版本的訊號 OSC_CLK_D) 至 PLL 402 的輸入。在一些實施例中，直接從振盪器時脈獲取 PLL 402 的輸入，與振盪器時脈的延遲版本相反。提供 TDC_賦能訊號及 PLL 402 的輸出處的訊號 PLL_CLK_D 至「及」閘 411。「及」閘 411 的輸出產生 OUT_CLK 訊號，提供該 OUT_CLK 訊號至 TDC 的 PLL_CLK 輸入。延遲 405 的輸出產生 OSC_CLK_D 訊號，提供該 OSC_CLK_D 訊號至 TDC 的 OSC_CLK 輸入。在一些實施例中，延遲 D 經選擇大於邊緣從 A_0 至 A_{p-1} 橫跨 TDC 暫存器所需的時間。

【0053】第 4B 圖圖示電路系統 400 產生的訊號的說明性時序圖。如第 4B 圖所圖示，電路系統 400 產生 OUT_CLK 訊號，該 OUT_CLK 訊號在不接近 OSC_CLK 訊號的轉變的時間週期期間保持邏輯低狀態。因此，OUT_CLK 訊號在近接 OSC_CLK 訊號的轉變的時間週期期間對應於 PLL_CLK 訊號的閘控版

本。具體而言，在一段時間週期內，OUT_CLK 訊號等同於 PLL_CLK_D 訊號（忽略「及」間的傳播延遲），該時間週期在 OSC_CLK_D 訊號的每一轉變之前 $D/2$ 開始及在 OSC_CLK_D 訊號的每一轉變之後 $D/2$ 結束。OUT_CLK 訊號及 OSC_CLK_D 訊號可因此用作 TDC 的輸入，同時減少 TDC 的功率消耗。僅在需要時操作 TDC 的此閘控可節省大量功率（例如，每 20 MHz 循環賦能 TDC 1 ns 產生低於連續操作 50x 的 TDC 功率消耗）。

【0054】第 5 圖圖示說明性時序圖，該說明性時序圖圖示用於 TDC 中的時序訊號。在示例性實施例中，在 20 MHz 參考時脈訊號 OSC_CLK 的每個邊緣處取樣 TDC。在 PLL（例如，第 3A 圖的 PLL 302）的輸入處提供 OSC_CLK 訊號的被劃分版本，PLL_Update_CLK 訊號。PLL_CLK 訊號的被劃分版本，訊號 PLL_DivN 具有比 PLL_CLK 訊號週期長 N 倍的週期且用於界定 PLL 的比較週期。在每一比較週期，相位偵測器（例如，第 3A 圖的相位頻率偵測器 304）量測 PLL_DivN 與 PLL_Update_CLK 之間的相位差異。在一些實施例中，藉由將 OSC_CLK 除以數字 M 而從 OSC_CLK 得到 PLL_Update_CLK。在第 5 圖的實例中， $N=32$ ， $M=3$ 。特定而言，PLL_DivN 訊號的每一上升邊緣轉變用於決定比較週期的開始。OSC_CLK 訊號中有 6 個邊緣（E0 至 E5），圖示為在參考比較之間以 25 ns 間隔分開，產生第 5 圖圖示的 6 個取樣值 $\Delta_{\theta 0}$ 、 $\Delta_{\theta 1}$ 、 $\Delta_{\theta 2}$ 、 $\Delta_{\theta 3}$ 、 $\Delta_{\theta 4}$ 及 $\Delta_{\theta 5}$ 。每一取樣值對應於 TDC 輸出值 A_{out} ，且提供每一取樣值至 TEQ 以識別一或更多個取

樣值，以該一或更多個取樣值在 TDC 輸出中發生邊緣轉變。爲了決定相位雜訊或抖動，每一取樣值 $\Delta_{\theta i}$ 與對應於相關參考時脈邊緣的基線值比較。替代地，不使用取樣值 $\Delta_{\theta i}$ ，將對應於每一比較的一或更多個 TEQ 值與對應於相關時脈邊緣的每一者的基線值比較。舉例而言，考慮圖上的橢圓形中詳細圖示的邊緣 E2，在 TEQ 取樣值 7 及 TEQ 取樣值 17 處存在 PLL_CLK_D 0→1 轉變。若在隨後的循環中（200 ns 後），TEQ 報告 8 及 18 的轉變，則 TEQ 決定 PLL_CLK 已經提早偏移 1 個單元延遲且可使用此 1 個單元延遲的值在取樣之後校正相位誤差。同樣地，考慮邊緣 E4，若 TEQ 報告 1 及 11 的轉變（相較於 2 及 12 的歷史基線值），我們將知道 VCO 已經推遲偏移 1 個單元延遲且可使用此值在取樣之後校正相位誤差。注意到在一般情況下，取樣 TDC 的每一參考邊緣 E0 至 E5 具有本身的一或更多個歷史基線值（若在每一比較循環比較多個邊緣則有複數個歷史基線值），比較新的取樣與該一或更多個歷史基線值以決定抖動。

【0055】 不要求 PLL_CLK 訊號與參考 OSC_CLK 訊號之間的絕對相位關係；確切而言，校正取樣值時僅考慮抖動引起的時序中的差異而不考慮另外的藉由 PLL 補償的時序中的差異。用於此比較的歷史基線值可爲靜態的，諸如針對對應轉變的 TEQ 取樣的此第一值；歷史基線值可爲隨時間取得的一系列 TEQ 量測的經過濾版本的結果（例如，基線值可爲針對選擇的邊緣的 TEQ 輸出的低通過濾版本，該低通過濾版本使用具有小於比較週期的頻寬的一階數位篩檢程式）。數位邏

輯可執行完備性檢查（sanity checking）以丟棄具有可疑有效性的取樣資料（例如，鎖存器中的亞穩定性引起的或 TDC 的輸出碼中的閃光（sparkle））。一般而言，存在 VCO 延遲的多個儲存的歷史值：VCO 相位邊緣與 OSC_CLK 邊緣之間的每一唯一相位關係各一個。由於圖案重複每一比較循環，故第 5 圖的實例所需的數值的數量為 12（亦即，PLL_Update_CLK 的 $M=3$ 個循環產生的 6 個邊緣中每一者有兩個值）：每一參考邊緣經由 TEQ 擷取兩個 $0 \rightarrow 1$ VCO 轉變，且存在 6 個擷取的 OSC_CLK 邊緣（3 個上升及 3 個下降）。更一般而言，數值的數量可計算為 $2 \times 2 \times M$ （對應於針對在 PLL_Update_CLK 的一個週期期間發生的 OSC_CLK 的 M 個循環期間發生的每一上升邊緣記錄的 2 個值及針對在相同週期期間每一下降邊緣記錄的 2 個值）。在各種實施例中，僅考慮參考的類似邊緣（例如，僅上升邊緣）；考慮參考邊緣的子集（例如，若 ADC 在 10 MHz 下取樣，則可考慮所有其他上升邊緣；第二較高頻寬 PLL 產生參考時脈用於 VCO 之比較，第二參考時脈用作參考以量測待補償的 VCO 的相位雜訊；使用任何其他適當的參考訊號代替 OSC_CLK。注意到 TEQ 以大約 40 MHz 的速率提供抖動量測（因為 20 MHz 時脈可具有非 50% 工作循環，在一些實施例中量測及補償該非 50% 工作循環）。因此，可從取樣後資料移除具有高達 20 MHz 能量的相位雜訊。在一些實施例中，不保持多個歷史副本，可保持單個歷史基線值。在此情況中，藉由添加或減去不同參考邊緣處的已知的預期相位關係而從單個歷史基線值得到

針對第 5 圖的 12 個值的額外歷史基線參考點。舉例而言，若由於 PLL 分頻器比知道 OSC_CLK 與 E0 的相位關係比 OSC_CLK 與 E1 的相位關係小 3 個延遲，且針對 E0 的 TEQ 基線值為 5 及 15，則 E1 的基線值可經計算為 $5 - 3$ 及 $15 - 3 = 12$ 。可從已知的單個歷史基線值（例如，5, 15）得到第二歷史基線值（例如，2, 12）。因為知道 VCO 的頻率及參考時脈的頻率，故知道 VCO 與參考時脈訊號 OSC_CLK 之間的標稱相位關係。

【0056】 在一些實施例中，作為解調過程的一部分移除低頻相位雜訊（例如，低於用於構造歷史基線 TEQ 值的低通篩檢程式的頻寬），從而使得低於基線相位延遲篩檢程式的低頻相位雜訊為無關的。

【0057】 第 6A 圖圖示雙串 TDC 601 的示例性實施例。雙串 TDC 在結構上類似於第 3C 圖的 TDC 350，但是包括 r 個延遲元件及 r 個對應的鎖存器的一系列額外的互連串，形成第二延遲線（ r 為大於 1 的整數）。每一延遲線將待量測的訊號看作輸入，如 PLL_CLK 所顯示。延遲線沿著延遲線的長度具有鎖存器，當偵測到參考時脈 OSC_CLK 的轉變時取樣該等鎖存器。延遲元件串 A 及延遲元件串 B 具有不同的儲存格（unit-cell）傳播延遲，使得串 A 中的每一延遲元件具有延遲 d_A 及串 B 中的每一延遲元件具有延遲 d_B 。一般而言，延遲週期 d_A 及延遲週期 d_B 為不同的延遲週期。可藉由改變提供至串中的延遲元件的供應電壓 V_A 或供應電壓 V_B 、串中的裝置尺寸、延遲元件的負載電容（例如，變容器偏壓）或任何其他

適當的參數來調整每一串中的傳播延遲。在反向器用作延遲元件的一些實施例中，自反向器串取得所有其他的分接頭使得上升邊緣與下降邊緣之間的失配不成問題。在示例性實施例中，延遲串 A 及延遲串 B 包含兩個標稱相同的延遲元件串，該等延遲元件串具有從施加至供應 V_A 及邊緣 V_B 的電壓差異產生的傳播延遲的所欲差異，如此檔中稍後關於第 7A 圖及第 7B 圖描述的。當取樣訊號時，兩個延遲串 A 及 B 將各自分別提供 p 位元長的取樣及 r 位元長的取樣，該等取樣包含關於訊號 OSC_CLK 及訊號 PLL_CLK 的相對相位的資訊。

【0058】 在一些實施例中，延遲線內部的儲存格的延遲藉由調整流向電流不補償型（current-starved）的反向器的控制訊號來控制，該電流不補償型的反向器包含具有至少一個輸入以藉由改變延遲元件的轉換速率（slew rate）來調整延遲的反向器。在一些實施例中，藉由耦接於反向器與接地或供應節點之間的額外 N 通道金氧半導體（n-channel metal-oxide-semiconductor; NMOS）電晶體、P 通道金氧半導體（p-channel metal-oxide-semiconductor; PMOS）電晶體或 NMOS 電晶體及 PMOS 電晶體兩者實現可調整的轉換速率，其中施加至額外裝置的閘極偏壓調整反向器供應的最大電流。

【0059】 第 6B 圖圖示第 6A 圖的雙分接頭 TDC 601 中的訊號的說明性時序圖。時序圖圖示饋送穿過延遲元件串 A 以產生取樣串 PLL_CLK_A 及饋送穿過延遲元件串 B 以產生取樣串 PLL_CLK_B 的 PLL 輸出訊號 PLL_CLK。當在 OSC_CLK 訊

號中偵測到邊緣轉變時，取樣串 PLL_CLK_A 及取樣串 PLL_CLK_B 兩者藉由對應的鎖存器取樣以產生輸出 A_{out} 及輸出 B_{out}。在實例中，串 A 中的每一元件的延遲為 PLL_CLK 訊號的週期的約 1/14 倍，而串 B 中的每一元件的延遲為 PLL_CLK 訊號的週期的大約 1/10 倍。因此，在一個 PLL_CLK_A 訊號週期中獲得 14 個取樣且在一個 PLL_CLK_B 訊號週期中獲得 10 個取樣。提供輸出 A_{out} 及輸出 B_{out} 至 TEQ，該 TEQ 將取樣 2 及取樣 16 識別為對應於 PLL_CLK_A 訊號的下降轉變，且將取樣 1 及取樣 11 識別為對應於 PLL_CLK_B 訊號的下降轉變。根據關於以下實例描述的程序基於識別的取樣（[2, 16]及[1, 11]）決定相位雜訊量測。

【0060】在一個實例中，假設 PLL_CLK 為 5.8 GHz 輸入訊號且調整 TDC 使得對於串 A，PLL_CLK 的整個循環伸展跨過 16 個分接頭（串 A 中的每一延遲表示 22.5 度（=360/16），總 TDC 長度擷取 p=24 個分接頭上的 1.5 個 PLL_CLK 循環，或 540 度）及對於串 B，PLL_CLK 的整個循環伸展跨過 18 個分接頭（串 B 中的每一延遲表示 20 度（=360/18），總 TDC 長度擷取 27 個分接頭上的 1.5 個 PLL_CLK 循環，或 540 度）。輸出如下表示延遲（單位 ps）：

TDC 分接頭 #	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
串 A	11	22	32	43	54	65	75		97	108	119	129	140	151	162	172	183	194	205	216	226	237	248	259
串 B	10	19	29	38	48	57	67	77	86	96	105	115	125	134	144	153	163	172	182	192	201	211	220	230

【0061】假設我們正看到的邊緣的相位延遲實際上為 123 ps。則兩個 TDC 的輸出將如下：

TDC 分接頭 #	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23
串 A	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1

串 B	0	0	0	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	1	1
-----	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

【0062】 因此，我們可如下重建相對相位。取串 A 上的 1→0 轉變為開始點；因此，串 A 告訴我們邊緣出現於分接頭 10，或 119 ps。然而，相位可為 119 ps 與 129 ps 之間的任何處，下一個分接頭的值僅需考慮串 A。現在考慮串 B，我們發現相位介於 115 ps 與 125 ps 之間。組合來自串 A 及串 B 的資訊，我們發現實際的延遲介於 119 ps 與 125 ps 之間，相較於 10 ps 的不確定性，6 ps 的不確定性僅考慮單個串。可藉由比較 TDC 取樣中包含的跨過資料的額外邊緣來收集進一步的資訊。舉例而言，我們知道針對串 A，最後邊緣出現在 18 至 19 之間（205 ps 至 216 ps），且針對串 B，最後邊緣出現在 21 至 22 之間（211 ps 至 220 ps），因此最後邊緣必定出現在 211 ps 與 216 ps 之間。假設第二邊緣的運行平均值出現在 106 ps 的平均值處且第三邊緣的平均值隨後在 197 ps 處 190 度（由於非 50% PLL_CLK 工作循環）出現，則以上第一邊緣將說明 Vin 已經在 $[119 \text{ ps}, 125 \text{ ps}] - 106 \text{ ps} = [13 \text{ ps}, 19 \text{ ps}]$ 之間偏移且第二邊緣已經在 $[211 \text{ ps} \text{ 及 } 216 \text{ ps}] - 197 \text{ ps} = [14 \text{ ps}, 19 \text{ ps}]$ 之間偏移，因此 Vin 與 Ref 之間的相對相位必須為該兩個集合的交叉點，該交叉點介於 14 ps 與 19 ps 之間；實際的相位為 $123 - 106 = 17 \text{ ps}$ ，誤差為 3 ps 或更小。TDC 的增加的解析度可藉由增加延遲元件串長度以及監視額外的邊緣來達到。在一些實施例中，具有不同傳播延遲 t_{pd} 的三個或三個以上延遲元件串用於構造較高解析度 TDC。在一些實施例中，若該等集合不具有交叉點，則執行內插步驟。舉例而言，若串 A 產生 [8 ps,

14 ps]及串 B 產生 [16 ps, 23 ps]，則相對相位可估計為 $(14+16)/2=15$ ps，即使 15 ps 不包含在任一集合內部亦如此。在一些實施例中，各個分接頭的延遲以標稱 VCO 循環的度數單位運算（與以 ps 為單位的時間延遲相對）。

【0063】第 6A 圖的實例中的兩個延遲元件串 A 及 B 的控制或供應電壓 V_A 及供應電壓 V_B 可由回饋迴路設置，如下所述。參閱第 7A 圖，PLL_CLK 訊號的頻率經由鎖相迴路設置。第 7A 圖圖示電路系統 700，該電路系統用於設置用於供電第 6A 圖的雙分接頭 TDC 601 的各自延遲元件串 A 及 B 的延遲元件的供應電壓振幅 V_A 及供應電壓振幅 V_B 。第 7B 圖圖示電路系統 700 產生的說明性時脈訊號。包括第一 TDC_A 701、第一脈衝寬度計算器（pulse width calculator; PWC）703 及加法器 705 的第一回饋迴路用於控制提供至延遲元件串 A 的供應電壓 V_A 。在各個實施例中，篩檢程式、在電荷泵輸出處具有單元增益緩衝器的電荷泵、耦接至電壓緩衝器（具有耦接至延遲元件串的輸出）的 DAC 及以上各者的組合可用於回饋或前向路徑中，以調整迴路頻寬及/或補償迴路動態。TDC_A 701 產生訊號 A_{out} ，如之前所描述的，該訊號 A_{out} 包括表示第一串延遲元件的所鎖存取樣的一串 0 及 1。PWC 703 接收訊號 A_{out} 且決定 PLL_CLK 訊號的一個週期中的取樣數量。所決定的取樣數量大約對應於 PLL_CLK 週期與延遲元件串中的延遲週期的比。在一個實例中，PWC 703 藉由計算訊號 A_{out} 中介於兩個上升邊緣轉變之間的取樣數量或訊號 A_{out} 中介於兩個下降邊緣轉變之間的取樣數量來決定一個週期中的取樣數

量。加法器 705 比較 PWC 703 輸出的取樣數量與預設置的取樣數量（在第 7A 圖及第 7B 圖的實例中為「16」，對應於指示延遲元件串中的延遲週期的數量的脈衝寬度設置點，該延遲週期的數量將適合於 PLL_CLK 訊號的一個週期）：若兩個數量相等，則供應電壓 V_A 維持在供應電壓 V_A 的當前振幅；若 PWC 703 輸出的取樣數量超過預設置的數量，則減少供應電壓 V_A 以便使得延遲串中的延遲更長；且若 PWC 703 輸出的取樣數量小於預設置的數量，則增加供應電壓 V_A 以便使得延遲更短。可調整的功率供應電路（例如，電荷泵及篩檢程式，該電荷泵及篩檢程式的輸出連接至放大器（未圖示），該放大器設置為供應功率至 TDC 中的延遲元件）可用於基於比較結果調整供應電壓 V_A ，以便調整串 A 的延遲元件的延遲週期至所欲值。包括第二 TDC_B 711、第二脈衝寬度計算器（PWC）713 及第二加法器 715 的第二回饋迴路類似地用於控制提供至延遲元件串 B 的供應電壓 V_B 且類似地作用於串 A，不同之處在於預設置數量不同。在一些實施例中，電流模式回饋被應用至延遲元件串（例如，經由具有電流模式輸出的 DAC），其中來源於可調整電流源的額外電流減少延遲且來源於可調整電流源的較少電流增加延遲。

【0064】 在以下描述中，我們將假定串 A 將針對每一分接頭具有 22.5 度的傳播延遲且串 B 針對每一分接頭將具有 20 度的傳播延遲。然而，此等值說明特定實例，且可使用其他值。假定選擇串 A 以針對每一分接頭具有 22.5 度的傳播延遲，則 PLL_CLK 訊號的週期應在 TDC 鎖存器的輸出處表現為一串 1 5

及 0 (由於工作循環改變或其他原因該串 1 及 0 可為不等的), 1 及 0 的長度總和為 16 ($16 \times 22.5 = 360$, 如第 7B 圖中的訊號 PLL_CLK A 所示)。換言之, 若我們需要每一分接頭之間為 22.5 度, 則將在 16 個分接頭中擷取整個 PLL_CLK 訊號循環。因此, 若監視 TDC 輸出, 則可進行比較及根據眾所周知的回饋控制技術調整電壓 V_A 。若分接頭的延遲太短 (亦即, PLL_CLK 訊號週期的長度在 TDC 輸出處太長), 則減少串中的延遲元件處的供應電壓。若分接頭的延遲太長 (PLL_CLK 訊號週期的長度在 TDC 輸出處太短), 則增加串中的延遲元件處的電壓。同樣地, 串 B 具有獨立迴路, 該迴路比較 PLL_CLK 訊號週期的長度且驅動控制或供應電壓 V_B 使得 PLL_CLK 訊號週期跨過 18 個 TDC 輸出取樣 (如第 7B 圖中訊號 PLL_CLK B 所示)。若選擇 TDC 串以確保可擷取標稱地超過 360 度之 PLL_CLK 訊號, 則每當取樣參考時可操作控制延遲線的傳播延遲的回饋迴路, 而不考慮 PLL_CLK 訊號與參考訊號 OSC_CLK 邊緣的相對相位, 因為針對此回饋迴路的被量測者為 PLL_CLK 訊號循環的長度。PLL_CLK 訊號沿著 TDC 延遲線的相對相位或定位一般對於計算用於延遲線調整的正確回饋值為不重要的。在一些實施例中, (經由數位 IIR 或 FIR 篩檢程式, 或基於 705 及 715 的輸出在類比域中操作的分立或連續時間篩檢程式) 構造 PLL_CLK 訊號循環的長度的平均值, 然後經回饋以調整 TDC 延遲串供應電壓。在一些實施例中, 具有低通特徵的一或更多個篩檢程式 (例如, 電荷泵) 被插入至回饋迴路中 (例如, 加法器 705/715 之後),

從而形成 Δ - Σ 調制器，該調制器隨時間朝向 0 驅動平均時序延遲誤差。

【0065】 在一些實施例中，過濾或內插 TEQ 報告的相位誤差連同歷史基線 TEQ 資訊。舉例而言，ADC 以 100 MHz 使用被鎖至 20 MHz 石英晶體振盪器的 VCO 取樣輸入訊號。可以 20 MHz 速率（或若使用兩個邊緣則為 40 MHz 速率）提供 TEQ 更新。TEQ 更新可應用 0 階保持（zero-order hold; ZOH）持續 50 ns，其中直接應用每一 TEQ 更新以補償 5 個 ADC 取樣之抖動。替代地，一階保持（first-order hold; FOH）或內插可用於估計介於 TEQ 更新之間的相位雜訊軌線，故每一 ADC 取樣具有不同抖動校正值。ADC 相位雜訊資訊可用於基於針對 ADC 量測的輸入訊號的估計的相位誤差內插或外推校正值。舉例而言，有規則地取樣的斜坡輸入訊號（ramping input signal）將產生等間距的 ADC 輸出碼。然而，相位雜訊將引起 ADC 輸出基於時序抖動及訊號斜坡率不同於所欲 ADC 輸出。可藉由量測 ADC 輸出訊號的斜率 $(ADC(k) - ADC(k-1))/dT$ （其中 dT 為 ADC 取樣之間的標稱時差）、將斜率乘以所決定的時序抖動及從 ADC 輸出中減去估計的時序誤差來應用一階校正。在一些實施例中，不是直接校正 ADC 取樣，而是調整對 ADC 輸出的操作以補償時脈抖動引起的不規則取樣時序。舉例而言，離散傅裡葉變換（discrete-Fourier-transform; DFT）使用針對時序抖動校正的實際時序資料，以形成針對不規則的時序調整的基函數的矩陣，以獲得給定完美取樣時脈的 ADC 輸出的頻譜內容的最小誤差平方估計。

【0066】在另一實施例中，33 級環形振盪器包圍在鎖相迴路中，該鎖相迴路可為整數 N 鎖相迴路、分數 N 鎖相迴路或引起環形振盪器跟蹤所欲 OSC_CLK 相位特性的任何其他類型的鎖相迴路。環形振盪器包含複數個反向器（該複數個反向器可為不同的或單端的）。PLL 驅動反向器的功率供應至適當的電壓以產生 PLL 所決定的正確的頻率。功率供應電壓被同時施加至包含一串 90 個延遲元件的 TDC，該 TDC 耦接至 PLL 的 VCO 輸出。由於 TDC 延遲元件為偏壓至環形振盪器供應電壓的複製品，故 TDC 延遲元件的傳播延遲與 VCO 內部的傳播延遲密切匹配。當需要相位比較時，延遲元件的輸出藉由參考時脈 OSC_CLK 同時取樣（鎖存）。鎖存器的輸出經解碼以在等於參考時脈 OSC_CLK 頻率的速率下產生 PLL 的時脈訊號 PLL_CLK 與參考時脈 OSC_CLK 之間的相對相位關係，該參考時脈 OSC_CLK 頻率在此情況中為 20 MHz。由於有 90 個級用於 TDC 中，故 TDC 覆蓋 PLL_CLK 訊號的 $90/33 \times 180 = 490$ 度，其中精確度為 $360/(33 \times 2) = 5$ 度。TDC 的比例因數可藉由增加或從主要 VCO 迴路中減去反向器、同時保持 TDC 中的數量恆定來調整，因為 PLL 將調整用於 VCO 延遲元件的電壓以匹配所欲頻率，從而相應地影響 TDC 傳播延遲。

【0067】在一些實施例中，被鎖至 PLL_CLK 輸出的延遲鎖定迴路（delay-locked-loop; DLL）用於調整用於時間數位轉換中的延遲線。DLL 將參考延遲線鎖至 PLL_CLK 的一或更多個週期，從而穩定在延遲控制節點（例如，供電）處所需的電壓。

延遲控制節點被應用至用於時間數位轉換中的延遲線的複製品。

【0068】 在一些實施例中，針對每一 ADC 取樣量測相位。在一些實施例中，相位量測適時偏移，例如，若以 4 MHz 取樣 ADC，則在由於頻寬/群延遲，ADC 取樣從抖動敏感取樣器經由路徑至 ADC 輸入之前可量測相位為 50 ns。在一些實施例中，以高於 ADC 取樣速率的速率取樣相位且過濾所得相位取樣以改良角解析度或以一方式形成相位雜訊量測，從而更有效地允許後續移除。

【0069】 在一些實施例中，可形成具有所述 33 個級的 VCO 且可經由兩個延遲元件串形成 TDC，每一串具有 90 個延遲元件的長度且第一串及第二串的輸入延遲一量，使得在第一串與第二串之間存在大約 50% 的單元傳播延遲，從而獲得單個串達到的解析度的 1/2 的解析度。

【0070】 相位雜訊可引起相鄰通道混合成所欲取樣頻寬。為了改良相鄰或交替通道排斥，具有如上所述的相位雜訊補償的 ADC、取樣器或混合器可以確保將交替及相鄰通道訊號包含至取樣頻寬中的速率取樣基頻訊號。藉由此舉，移除相位雜訊對相鄰及交替通道的效應（從而阻止混淆現象）及該等非所欲通道上的任何訊號可在校正後經數位過濾出以確保足夠的抑制。舉例而言，在直接轉換 802.15.4 接收器中，佔據的通道頻寬為大約 ± 1 MHz，其中通道以 5 MHz 間隔。若以 25 MHz 取樣 ADC，則相鄰及交替通道處的能量將被精確地記錄且可經由數位過濾移除。

【0071】注意到不要求使用本文所描述的具體 TDC。可使用任何適當的 TDC。

【0072】第 8 圖圖示接收器 800，該接收器 800 用於與本文所描述的相位校正系統一起使用。在一些實施例中，被動混合器直接耦接至天線或經由被動匹配網路耦接至天線。在一些實施例中，低雜訊放大器（low noise amplifier; LNA）、低雜訊緩衝器或其他主動電路插入天線與混合器輸入之間。I 支路及 Q 支路（說明性地圖示在 801 及 802 處）傳播接收的訊號以藉由混合器 805、混合器 807 解調、過濾及提供至取樣訊號的 ADC 813、ADC 814。被校正的相位資訊為混合器相位，其中混合器 805 及混合器 807 使用具有相位雜訊的時脈訊號 PLL_CLK。首先，考慮 I 訊號及 Q 訊號的極性，映射器 823 映射 I 訊號及 Q 訊號至圍繞單位圓的 8 個 45 度部分中的一者，從而簡化隨後的三角運算。下一個方塊 825 將 b 除以 a ，其中 b 為映射的 Q 分量且 a 為映射的 I 分量。在一些實施中，映射函數取 I 的絕對值作為 a 且取 Q 的絕對值作為 b 。除法可使用逐次近似法技術及整數運算完成以最小化功率消耗。在 827 處使用反正切查找表將所得值轉換為角且基於映射器 823 執行的映射操作調整所得值。接著，在方塊 829 處基於相位校正系統的輸出（例如，基於從包括 TDC 的相位雜訊量測單元 816 接收的相位雜訊量測訊號）減去來自混合器取樣的相位雜訊及/或抖動誤差。可選的篩檢程式 831 隨後遵循經校正的資料，該經校正的資料隨後解調為碼片及/或符號。

【0073】在一些實施例中，在時間域中偏移 I 訊號及 Q 訊號 5

使得 I 值及 Q 值無需校正被置於群集上，但是調整與取樣點相關的時間以反映取樣的實際時間。

【0074】 在一些實施例中，對於一般的 ADC 取樣，合成 VCO 取樣輸入訊號。藉由上述技術量測抖動。假定恆定取樣速率，量測的抖動用於內插或外推量測的 ADC 輸出至正確值，從而從取樣操作移除抖動效應。

【0075】 在一些實施例中，TDC 用於回應於取樣 I 混合器時脈訊號及 Q 混合器時脈訊號藉由比較 TEQ 輸出的值量測 I 訊號及 Q 訊號的相對相位。由於 I 訊號及 Q 訊號應以 90 度標稱隔開且彼此相關固定，故針對給定參考時脈邊緣的 I TEQ 輸出及 Q TEQ 輸出可經直接比較，從而產生相對相位資訊。此相位資訊可用於修正 I 相位及 Q 相位或用於取樣之後數位域中校正 I 及 Q 的非正交性。在一些實例中，第 8 圖的方塊 823 至方塊 831 可對應於第 2B 圖的校正單元 212。

【0076】 第 9A 圖圖示相位校正單元 900（諸如第 2A 圖的相位校正單元 214）的詳細視圖。在一些實施例中，ADC、DAC 或混合器的取樣時脈 PLL_CLK 中的相位誤差如第 9A 圖所示被補償。第一 TDC，TDC1 量測振盪器時脈訊號 OSC_CLK 的參考邊緣與待校正的時脈 PLL_CLK（例如，待用於取樣的 PLL 中 VCO 產生的時脈訊號）的邊緣之間的差異。VCO 輸出時脈訊號連接至具有輸出的可變延遲元件 911（例如，具有數位控制變容器陣列以實現可調整延遲的反向器，如圖所示）。可變延遲元件 911 藉由基於 TDC1 的輸出所決定的可調整延遲來延遲 PLL 時脈訊號。可變延遲元件的輸出為經校正的時脈

訊號 PLL_CLK_CORR，該時脈訊號 PLL_CLK_CORR 可用於取樣 ADC 或 DAC（未圖示）。除了取樣之外，可變延遲元件輸出 PLL_CLK_CORR 連接至第二 TDC(TDC2)，該第二 TDC 量測 PLL_CLK_CORR 訊號與 OSC_CLK 訊號之間的經校正相位誤差。當 TDC1 輸出用於在取樣時脈輸出處提供相位誤差的前饋抵消時，TDC2 迴路的輸出用於調整比例因數（至延遲輸出中的數字）使得 TDC1 提供的前饋補償更有效地移除相位誤差。如圖所示，TDC2 的輸出可用於控制提供至可變延遲元件 911 的供應電壓，從而回應於來自 TDC1 的相位雜訊量測使得前饋抵消更有效。在替代實施例中，TDC2 的輸出可用於控制提供至形成部分可變延遲元件的反向器的供應電壓。因此，可變延遲元件 911 藉由基於 TDC1 及 TDC2 兩者的輸出決定的可調整延遲來延遲 PLL 時脈訊號。諸如 PID 控制（比例、積分、微分控制）的回饋控制技術可藉由將篩檢程式插入包含 TDC2 的回饋迴路中來實現，從而定製從 TDC2 至可變延遲元件 911 的迴路的回饋部分，以最佳化反應量度，諸如殘留誤差、穩定時間或封閉迴路頻寬。

【0077】第 9B 圖及第 9C 圖為時序圖，該等時序圖說明性地圖示第 9A 圖的相位校正電路 900 提供的相位誤差補償。第 9B 圖圖示電路 900 到達穩定狀態操作之前的訊號的時序，而第 9C 圖圖示一旦已經到達穩定狀態操作時訊號的時序。如第 9B 圖所圖示，在參考邊緣處，PLL_CLK 訊號藉由 θ_{error} 引導參考時脈 OSC_CLK。TDC1 量測此誤差且藉由增加可變延遲元件 911 的延遲補償此誤差。此引起第 9B 圖的訊號

PLL_CLK_CORR 中顯示的相位前進，該相位前進將 θ_{error} 過度校正圖示的一量。由於已知所欲移相（數字輸入）且已知實際移相（如 TDC2 所量測的），可調整可變延遲元件的比例因數（例如，藉由增加對反向器的供應電壓以減少前饋比例因數）以更精確地抵消 θ_{error} 。因此，TDC2 的輸出連同至可變延遲元件 911 的回饋路徑調整可變延遲元件的比例因數或增益，使得在隨後的取樣中基於 TDC1 的輸出應用的相位誤差抵消更精確地抵消 PLL_CLK 的相位誤差，使得經相位校正訊號 PLL_CLK_CORR 的邊緣對齊參考訊號 OSC_CLK 的邊緣。第 9C 圖圖示說明性時序圖，在該圖中 TDC2 已經在數個取樣上調整可變延遲元件的比例因數或增益，使得訊號 PLL_CLK_CORR 的邊緣對齊訊號 OSC_CLK 的邊緣。

【0078】在各種實施例中，不使用 TDC。在一個實施例中，藉由適合於耦接至電荷泵的 PLL 的相位偵測器量測相位雜訊。電荷泵的輸出表示整合的相位誤差且可直接使用（例如，饋送至可變延遲元件以衰減相位雜訊）或可經量化以允許針對取樣值的事後校正。

【0079】在各種實施例中，使用石英晶體、BAW 共振器、SAW 共振器、微機械加工矽或其他適當材料形成的微加工共振器（例如，MEMS 矽共振器）、弛緩振盪器、多諧振盪器或任何其他適當的頻率參考形成參考振盪器。

【0080】除非另有說明，否則在此說明書中（包括隨後的申請專利範圍中）闡明的全部量測、值、分級、位置、量級、尺寸及其他規格為近似的並非確切的。該全部量測、值、分

級、位置、量級、尺寸及其他規格意欲具有合理的範圍，該範圍符合該全部量測、值、分級、位置、量級、尺寸及其他規格相關的函數及符合在該全部量測、值、分級、位置、量級、尺寸及其他規格所屬技術領域中的習慣內容。

【0081】保護範圍僅藉由現在下文中申請專利範圍限制。彼範疇意欲及應解釋為在根據此說明書及以下申請歷史解釋彼時足夠寬泛以符合申請專利範圍中使用的語言的一般含義且應解釋為包含全部結構及功能等效物。儘管申請專利範圍並非意欲涵蓋無法滿足專利法第 101、102 或 103 節的要求的標的，然而申請專利範圍亦不應以此方式解釋。因此不主張此標的的任何非意欲的涵蓋。

【0082】除非如上所述，否則沒有已經陳述或圖示的內容意欲或應被解釋為引起任何組件、步驟、特徵、物件、利益、優點或等效物專用於公眾，無論該內容是否在申請專利範圍中敘述。

【0083】將理解，本文使用的術語及表達具有符合關於此等術語及表達的相應的各自探索及研究領域的此等術語及表達的一般含義，除非本文中已經另外闡明具體含義。諸如第一及第二等等的關係術語可僅用於區別一個實體或動作與另一實體或動作，沒必要要求或意味此等實體或動作之間的任何實際的此類關係或順序。術語「包含」或該術語的任何其他變體意欲覆蓋非排他性的包括，使得包含一系列元件的製程、方法、物件或設備不僅僅包括彼等元件，而可包括沒有明確列出或此製程、方法、物件或設備固有的其他元件。以

「一」開始的元件不（無進一步的限制）排除包含該元件的製程、方法、物件或設備中額外同等元件的存在。

【0084】提供【發明摘要】以允許讀者很快確定本技術揭示案的性質。同時理解【發明摘要】將不用於解釋或限制申請專利範圍的範疇或含義。此外，在前述【實施方式】中，可見出於簡化本揭示案的目的，將在各種實施例中的各種特徵聚集在一起。本揭示案的此方法不應被解釋為反映所主張的實施例要求比每一請求項中明確敘述的特徵更多的特徵的意圖。確切而言，如以下申請專利範圍所反映的，發明標的存在於少於單個揭示實施例的所有特徵中。因此以下申請專利範圍由此併入【實施方式】中，其中每一請求項依靠自身作為獨立主張的標的。

【0085】雖然前文已描述被視為最佳模式的內容及/或其他實例，然而理解到可在其中進行各種修改及本文揭示的標的可以各種形式及實例實施，且教示可在許多應用中應用，本文僅描述其中的一些應用。以下申請專利範圍意欲主張所有及全部應用、修改及變化，該等應用、修改及變化落入本教示的真實範疇中。

【符號說明】

【0086】

100 無線電接收器

101 解調器

102 鎖相迴路

103 電壓控制振盪器

- 104 天線
- 105 乘法器
- 107 乘法器
- 109 低通篩檢程式
- 111 低通篩檢程式
- 113 振盪器
- 115 類比數位轉換器
- 117 類比數位轉換器
- 119a 輸出
- 119b 輸出
- 200 系統
- 201 解調器
- 202 PLL
- 203 VCO
- 204 天線
- 212 取樣校正單元
- 213 振盪器
- 214 相位校正單元
- 216 相位雜訊量測單元
- 218 時脈輸入
- 219a 輸出
- 219b 輸出
- 220 系統
- 220a 取樣電路輸出

220b 取樣電路輸出

300 電路系統

302 PLL

303 VCO

304 相位頻率偵測器

305 分頻器

306 分頻器

313 晶體振盪器

321 TDC

322 TEQ

350 TDC

351 延遲元件

353 鎖存器串

400 電路系統

402 PLL

405 第一延遲

407 XOR 閘

409 第二延遲

411 「及」閘

413 振盪器時脈

601 雙串 TDC

700 電路系統

701 TDC_A

703 第一脈衝寬度計算器

705 加法器

711 第二 TDC_B

713 第二脈衝寬度計算器

715 第二加法器

800 接收器

801 I 支路

802 Q 支路

805 混合器

807 混合器

813 ADC

814 ADC

816 相位雜訊量測單元

823 映射器

825 方塊

827 方塊

829 方塊

831 篩檢程式

900 相位校正單元

911 可變延遲元件

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

申請專利範圍

1. 一種系統，該系統包含：

一時間數位轉換器（TDC），該時間數位轉換器包含：

複數個延遲元件的一第一系列互連，其中該第一系列互連的一第一延遲元件在一輸入處接收一第一時序訊號；

一第一複數個鎖存器，其中該第一複數個鎖存器的每一鎖存器具有連接至該第一系列互連的一各自延遲元件的一輸出的一輸入，且該第一複數個鎖存器的每一鎖存器在一時脈輸入處接收一第二時序訊號；

複數個延遲元件的一第二系列互連，其中該第二系列互連的一第一延遲元件在一輸入處接收該第一時序訊號；以及

一第二複數個鎖存器，其中該第二複數個鎖存器的每一鎖存器具有連接至該第二系列互連的一各自延遲元件的一輸出的一輸入，且該第二複數個鎖存器的每一鎖存器在一時脈輸入處接收該第二時序訊號；以及

處理電路系統，該處理電路系統耦接至該第一複數個鎖存器及第二複數個鎖存器的該等輸出及設置為基於該第一複數個鎖存器及第二複數個鎖存器的輸出決定該第一時序訊號與該第二時序訊號之間的一近似相位延遲。

2. 如請求項 1 所述之系統，其中該第一系列互連的每一延遲元件具有一第一延遲週期，且該第二系列互連的每一延遲元件具有不同於該第一延遲週期的一第二延遲週期。

3. 如請求項 2 所述之系統，

其中該第一系列互連的每一延遲元件耦接至一第一控制訊號，

該系統進一步包含調整連接至該第一系列互聯的該等延遲元件的該第一控制訊號的電路系統。

4. 如請求項 3 所述之系統，其中該延遲元件耦接至該第一控制訊號使得該第一控制訊號耦接至該延遲元件的一功率供應節點，使得該第一控制訊號耦接至耦接至該延遲元件內部的一節點的一變容器，或使得該控制訊號耦接至用於該延遲元件的一電流不補償型輸入。

5. 如請求項 3 所述之系統，其中有選擇地調整該第一控制訊號的該電路系統包含：

一脈衝寬度計算器，該脈衝寬度計算器耦接至該第一複數個鎖存器的該等輸出及設置為以該第一延遲週期的單位決定該第一時序訊號的一脈衝寬度；

一比較器，該比較器設置為比較該決定的脈衝寬度與一所欲脈衝寬度及輸出一比較結果；以及

可調整的控制訊號電路系統，該可調整的控制訊號電路系統用於基於該比較結果調整該第一控制訊號。

6. 如請求項 5 所述之系統，

其中該第二系列互連的每一延遲元件連接至一第二控制訊號，

該系統進一步包含：

一第二脈衝寬度計算器，該第二脈衝寬度計算器耦接至該第二複數個鎖存器的該等輸出及設置為以該第二延遲週期的單位決定該第一時序訊號的一第二脈衝寬度；

一第二比較器，該第二比較器設置為比較該決定的第二脈衝寬度與一所欲第二脈衝寬度及輸出一第二比較結果；

第二可調整的控制訊號電路系統，該第二可調整的控制訊號電路系統用於基於該第二比較結果調整該第二控制訊號。

7. 一種系統，該系統包含：

複數個延遲元件的一系列互連，其中該系列互連的一第一延遲元件在一輸入處接收一第一時序訊號，且該系列互連的每一延遲元件具有一第一延遲週期及耦接至一控制訊號；

複數個鎖存器，其中該複數個鎖存器的每一鎖存器具有連接至該系列互連的一各自延遲元件的一輸出的一輸入，且該複數個鎖存器的每一鎖存器在一時脈輸入處接收一第二時序訊號；以及

電路系統，該電路系統設置為有選擇地基於該複數個鎖存器的一輸出調整耦接至該第一系列互連的該等延遲元件的該控制訊號。

8. 如請求項 7 所述之系統，其中該電路系統調整該控制訊號以獲得一所欲的第一延遲週期。

9. 如請求項 7 所述之系統，其中該電路系統調整該控制訊號使得一預先決定的第一延遲週期數量適合於該第一時序訊號的一週期。

10. 如請求項 7 所述之系統，其中該電路系統包含：

一脈衝寬度計算器，該脈衝寬度計算器耦接至該複數個鎖存器的每一者的該輸出且設置為以該第一延遲週期的單位決定該第一時序訊號的一脈衝寬度；

一比較器，該比較器設置為比較該決定的脈衝寬度與一預設置脈衝寬度及輸出一比較結果；以及

可調整的控制訊號電路系統，該可調整的控制訊號電路系統用於基於該比較結果調整該控制訊號。

11. 如請求項 7 所述之系統，其中：

該第二時序訊號具有一頻率，該頻率低於該第一時序訊號的一頻率；以及

該第一延遲週期比該第一時序訊號的一週期短。

12. 一種系統，該系統包含：

一頻率穩定器，該頻率穩定器在一輸入處接收一第一參考時脈及在一輸出處產生一頻率穩定訊號；

一相位雜訊量測單元，該相位雜訊量測單元分別在第一輸入及第二輸入處接收一第二參考時脈及該頻率穩定訊號，該相位雜訊量測單元設置為產生指示該第二參考時脈與該頻率穩定訊號之間的相位雜訊的一相位雜訊訊號；以及

一取樣電路，該取樣電路設置為將一第一資料訊號轉換為一第二資料訊號，其中該取樣電路接收該頻率穩定訊號及該相位雜訊訊號，且基於該頻率穩定訊號及該相位雜訊訊號將該第一資料訊號轉換為該第二資料訊號。

13. 如請求項 12 所述之系統，其中該頻率穩定器包含一鎖相迴路（PLL）。

14. 如請求項 12 所述之系統，其中該第二參考時脈訊號為該第一參考時脈訊號、該第一參考時脈訊號的一分頻版本或該第一參考時脈訊號的該頻率的一倍數中的一者。

15. 如請求項 12 所述之系統，其中該取樣電路設置為基於該第二參考時脈與該頻率穩定訊號之間的該相位延遲中的一基線相位延遲的變化將該第一資料訊號轉換為該第二資料訊號。

16. 如請求項 15 所述之系統，其中使用以下步驟中的一者設置該基線相位延遲：過濾該相位雜訊量測單元的一輸出；取樣該相位雜訊量測單元的一輸出。

17. 如請求項 12 所述之系統，其中該相位雜訊量測單元包含：

一時間數位轉換器（TDC），該時間數位轉換器設置為量測該第二參考時脈與該頻率穩定時脈訊號之間的一相位延遲；以及

處理電路系統，該處理電路系統包括一暫時邊緣量化器（TEQ），該處理電路系統設置為比較該 TDC 量測的該相位延遲與一基線相位延遲，及產生指示該量測的相位延遲與該基線相位延遲之間的該差異的該相位雜訊訊號。

18. 如請求項 12 所述之系統，其中該取樣電路包含：

一相位校正單元，該相位校正單元設置為接收該頻率穩定時脈訊號及該相位雜訊訊號，及產生對應於該頻率穩定時脈訊號的一校正時脈訊號，使得該相位雜訊訊號中指示的該相位雜訊的至少一部分從該校正時脈訊號中移除。

19. 如請求項 18 所述之系統，該系統進一步包含：

一時間數位轉換器（TDC），該時間數位轉換器設置為量測該經校正時脈訊號與該第二參考時脈之間的一相位延遲，

其中該相位校正單元包含一可變延遲元件，該可變延遲元件設置為藉由基於該相位雜訊訊號決定的一可調整的延遲來延遲該頻率穩定時脈訊號，以及

其中該相位校正單元進一步設置為基於該校正時脈訊號與該第二參考時脈之間的該 TDC 的相位量測調整該相位校正單元的一比例因數。

20. 如請求項 12 所述之系統，其中該取樣電路包含：

一解調器，該解調器設置為接收該第一資料訊號及藉由使用該頻率穩定時脈訊號解調該第一資料訊號來產生一解調訊號；以及

一取樣校正單元，該取樣校正單元設置為接收該解調訊號及藉由基於該相位雜訊訊號校正該解調訊號的該取樣相位來產生該第二訊號。

21. 如請求項 20 所述之系統，其中該取樣校正單元包含：

決定電路系統，該電路系統用於決定與該解調訊號的一系列取樣中的每一者相關的一相角；以及

調整電路系統，該電路系統用於基於接收為該相位雜訊訊號的部分的對應相位延遲量測調整該解調訊號的該系列取樣的每一者的該相角，及用於輸出該第二訊號。

22. 一種方法，該方法包含以下步驟：

在接收一振盪器時脈訊號的一鎖相迴路 (PLL) 中產生一 PLL 時脈訊號；

量測該 PLL 時脈訊號與該振盪器時脈訊號之間的一相位；

比較該量測的相位與一基線相位及產生指示該量測的相位與該基線相位之間的該差異的一相位雜訊訊號；

使用該 PLL 時脈訊號及該相位雜訊訊號將一第一資料訊號轉換為一第二資料訊號。

23. 如請求項 22 所述之方法，其中將該第一資料訊號轉換為該第二資料訊號的該步驟包含以下步驟：

基於該 PLL 時脈訊號產生一校正時脈訊號及使得該相位雜訊訊號中指示的該相位雜訊的至少一部分從該校正時脈訊號中移除；以及

使用該校正時脈訊號解調該第一資料訊號以產生該第二資料訊號。

24. 如請求項 23 所述之方法，該方法進一步包含以下步驟：

量測該校正時脈訊號與該振盪器時脈訊號之間的一第二相位，

其中產生該校正時脈訊號的該步驟包含以下步驟：產生對應於該 PLL 時脈訊號的該校正時脈訊號及使得該相位雜訊訊號及該量測的第二相位中指示的該相位雜訊的至少一部分從該校正時脈訊號中移除。

25. 如請求項 24 所述之方法，其中產生該校正時脈訊號的該步驟包含以下步驟：

藉由基於該相位雜訊訊號及該量測的第二相位決定的一可調整的延遲來延遲該 PLL 時脈訊號。

26. 如請求項 22 所述之方法，其中將該第一資料訊號轉換為該第二資料訊號的該步驟包含以下步驟：

藉由使用該 PLL 時脈訊號解調該第一資料訊號來產生一解調訊號；以及

藉由基於該相位雜訊訊號校正該解調訊號來產生該第二訊號。

27. 如請求項 26 所述之方法，其中校正該解調訊號的該取樣的該步驟包含以下步驟：

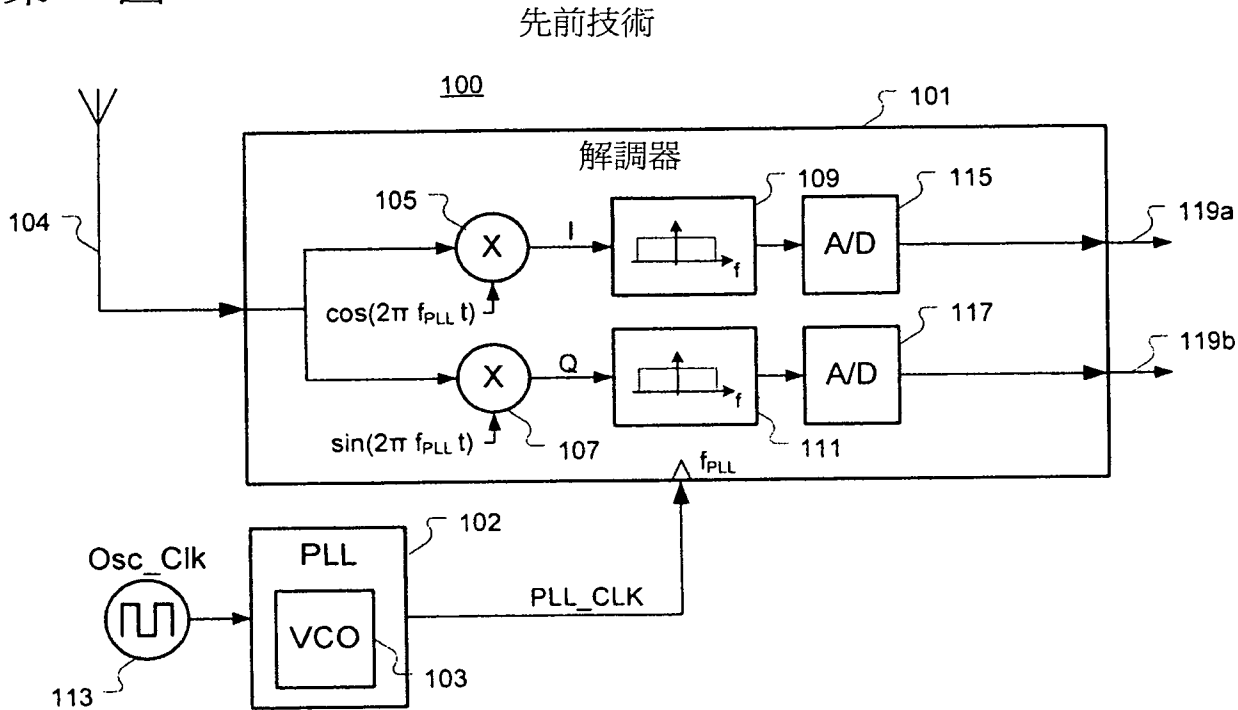
決定與該解調訊號的一系列取樣的每一者相關的一相角；

基於接收作為該相位雜訊訊號的部分的對應相位量測調整該解調訊號的該系列取樣的每一者的該相角；以及

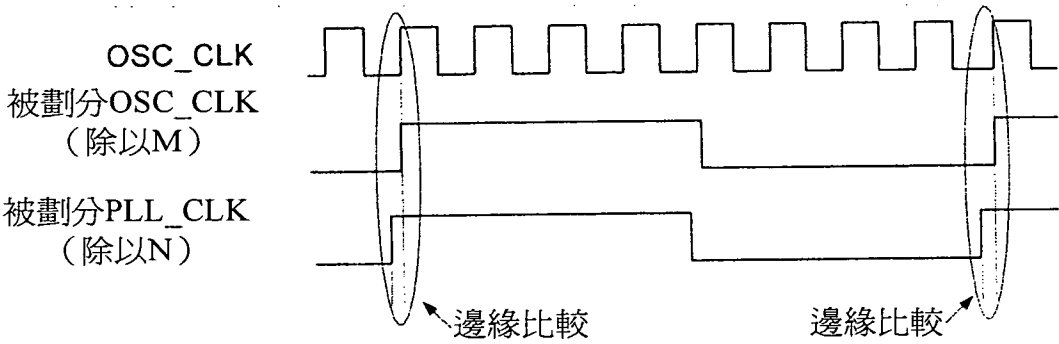
產生該第二訊號作為該解調訊號的一系列取樣，使得基於該對應的相位量測調整相角。

圖式

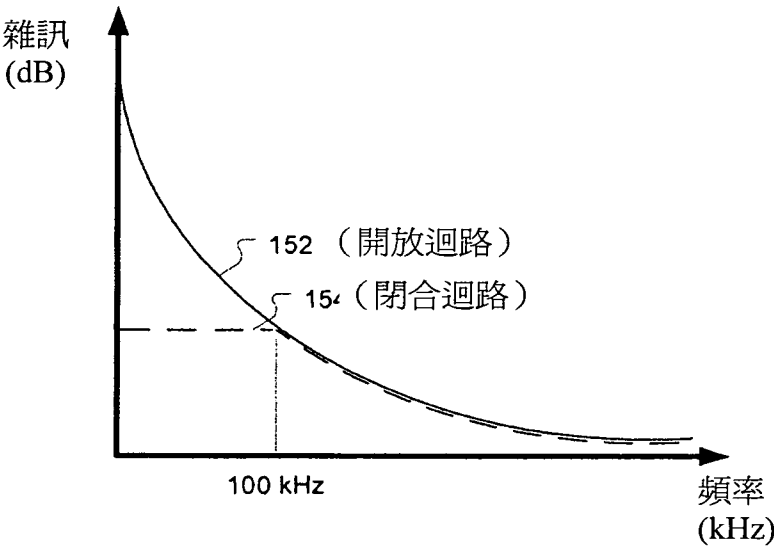
第1A圖



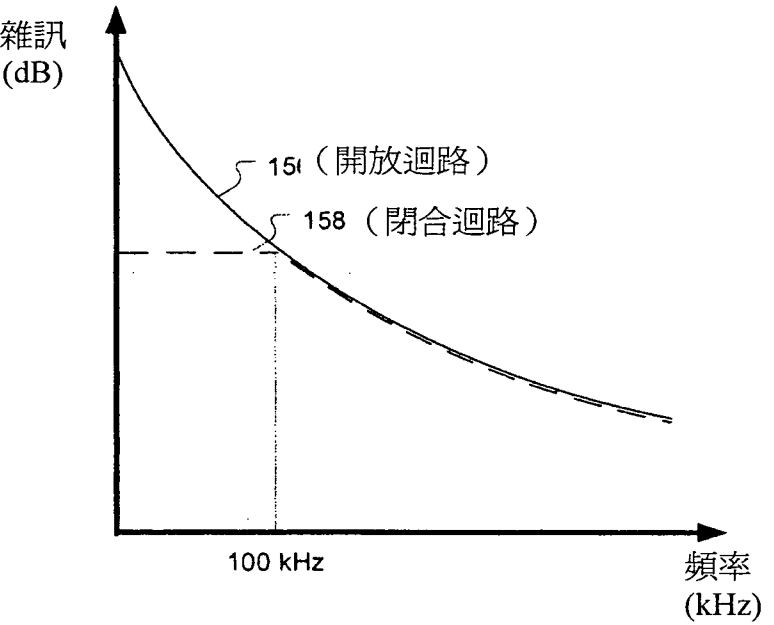
第1B圖



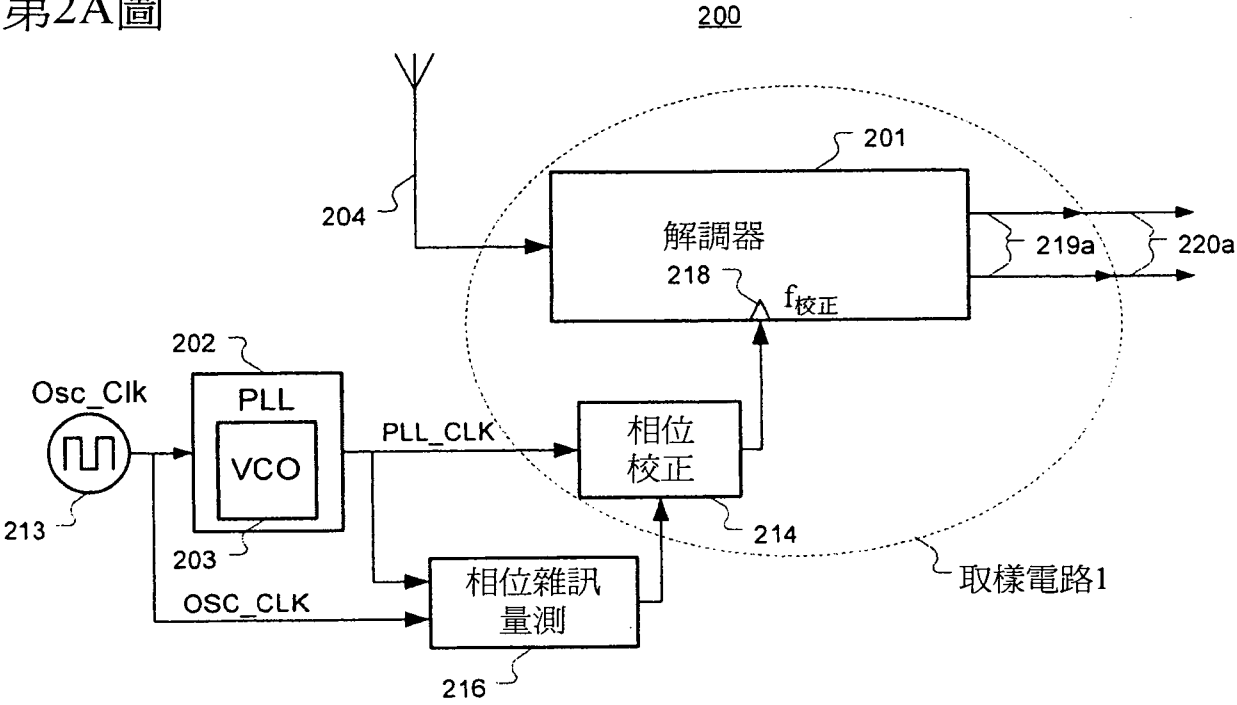
第1C圖



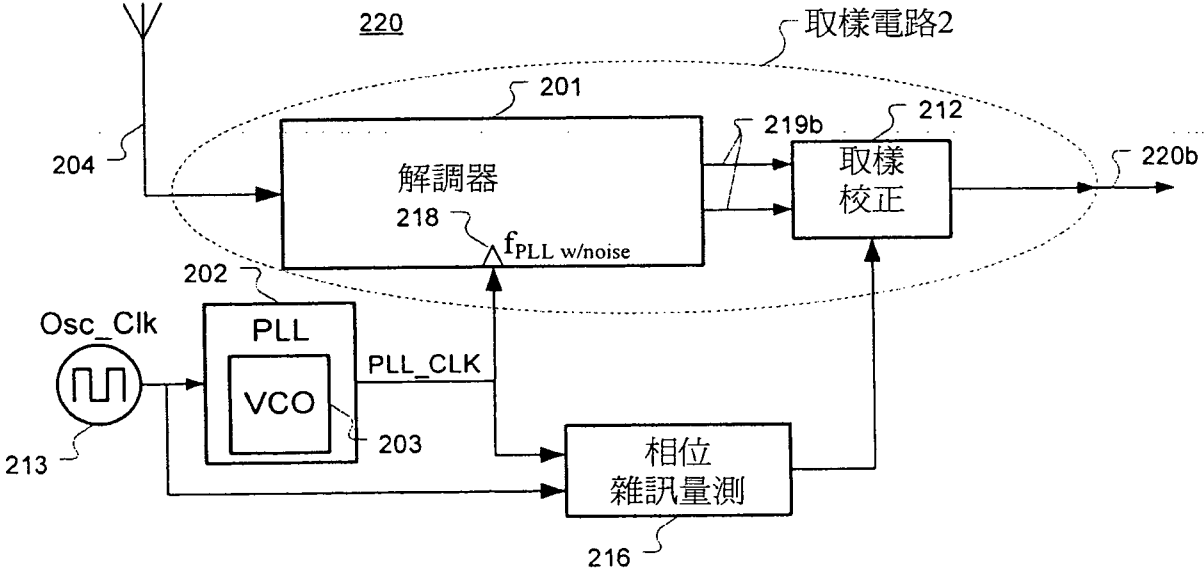
第1D圖



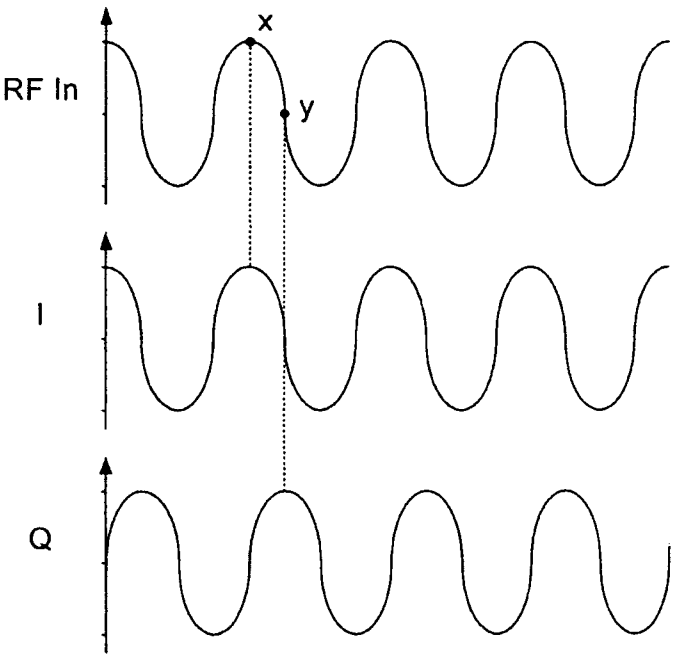
第2A圖



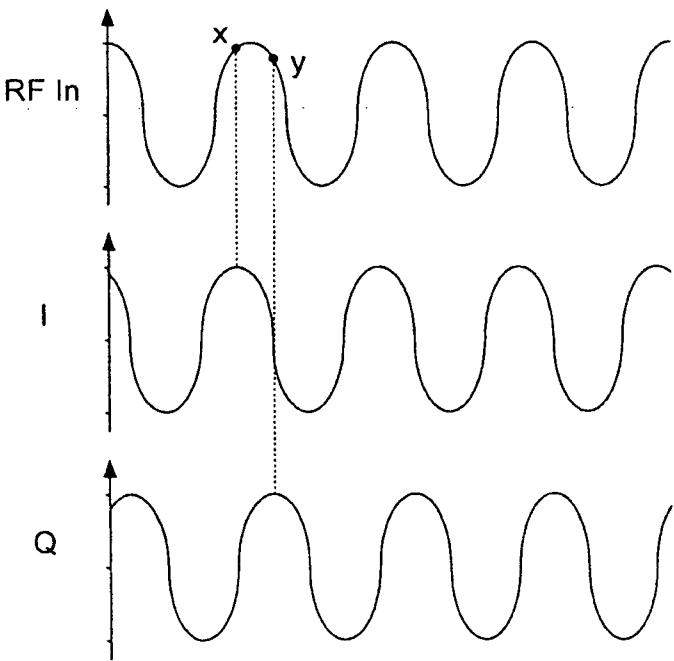
第2B圖



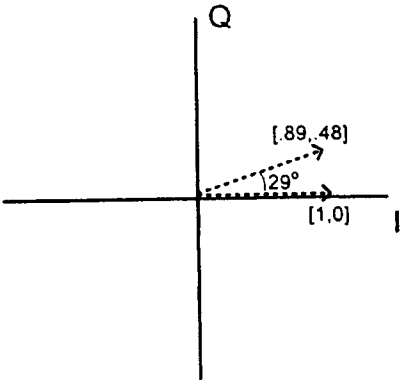
第2C圖



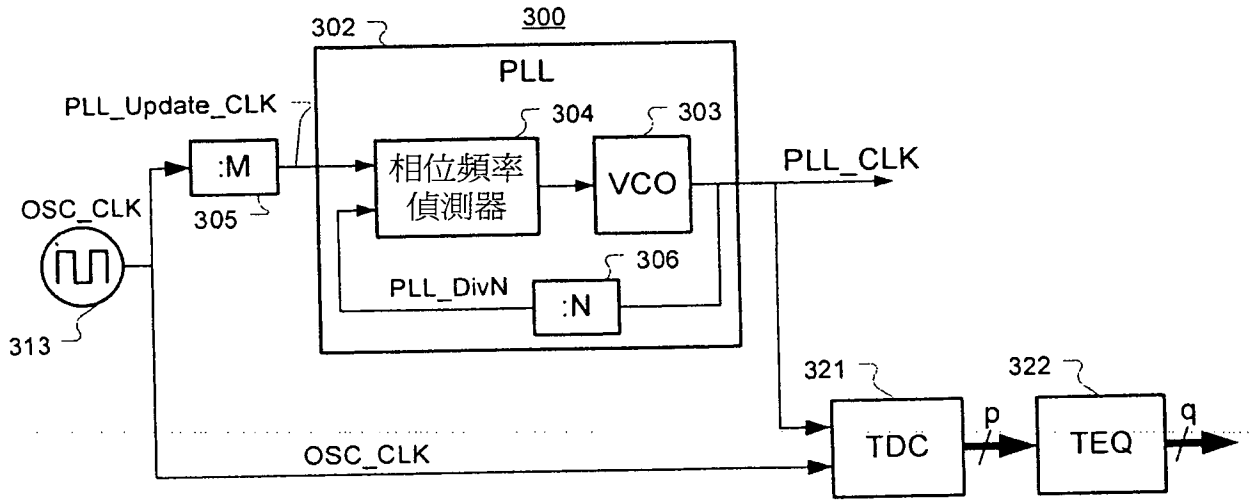
第2D圖



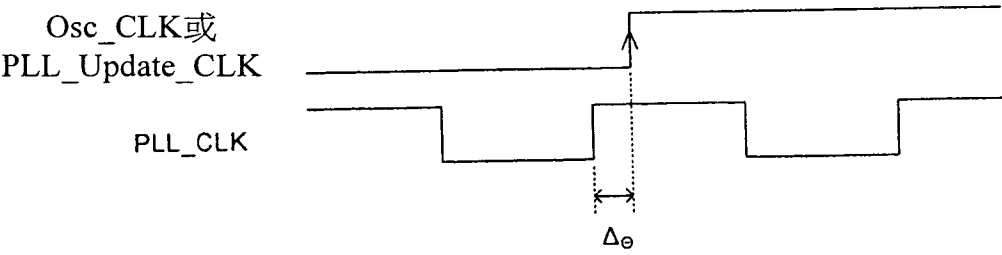
第2E圖



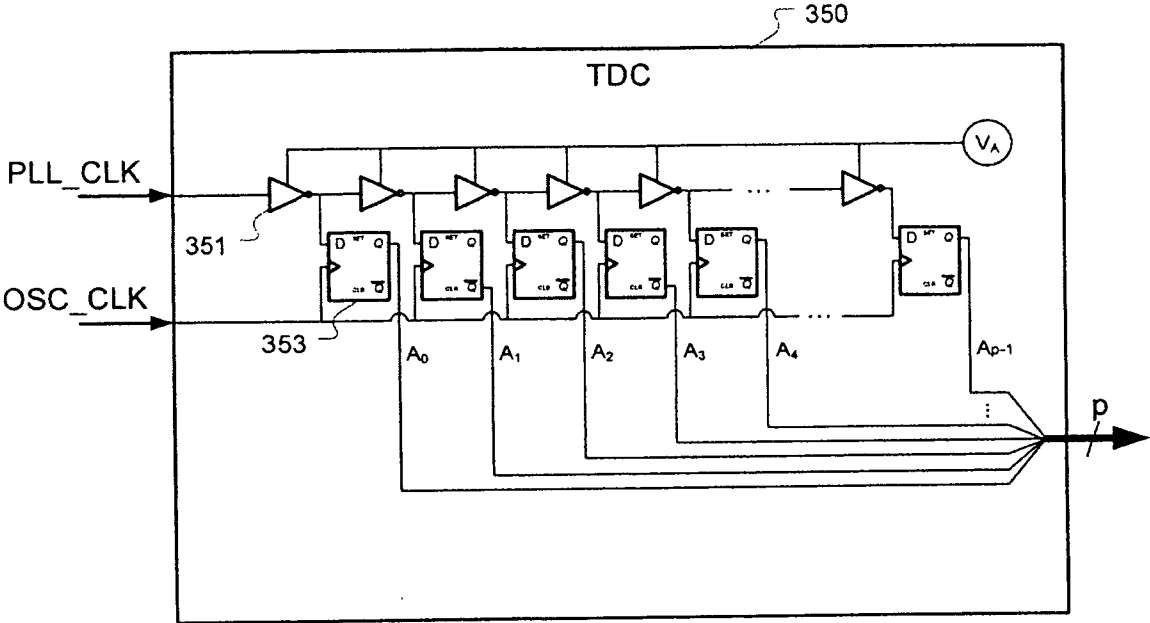
第3A圖



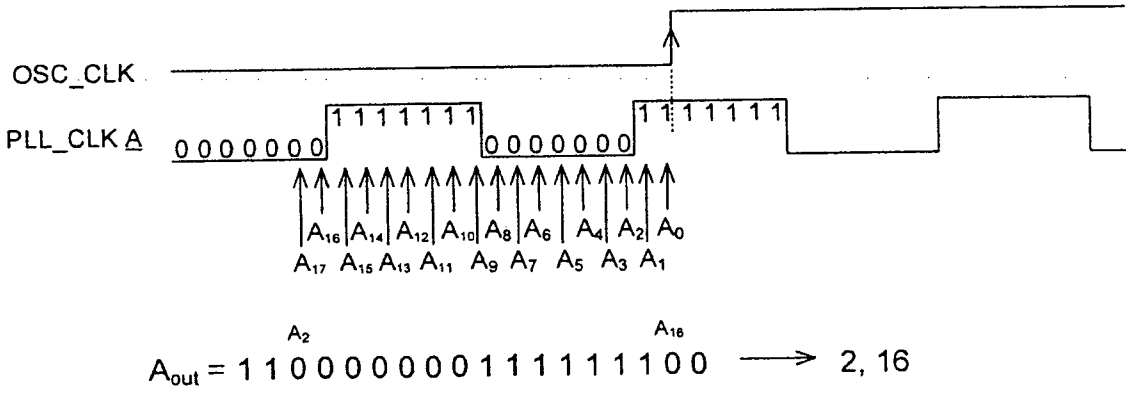
第3B圖



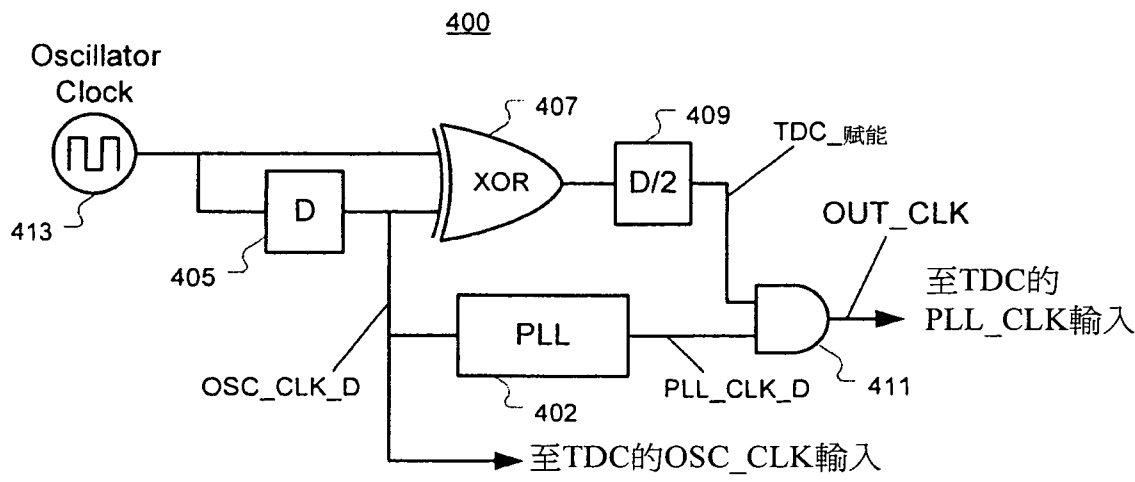
第3C圖



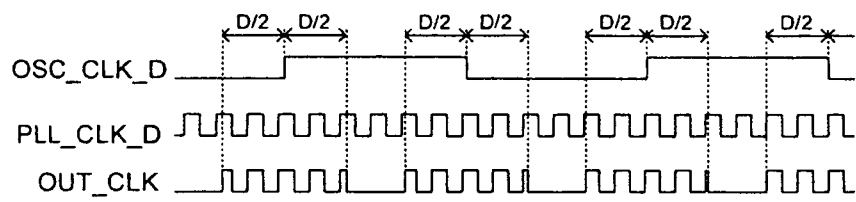
第3D圖



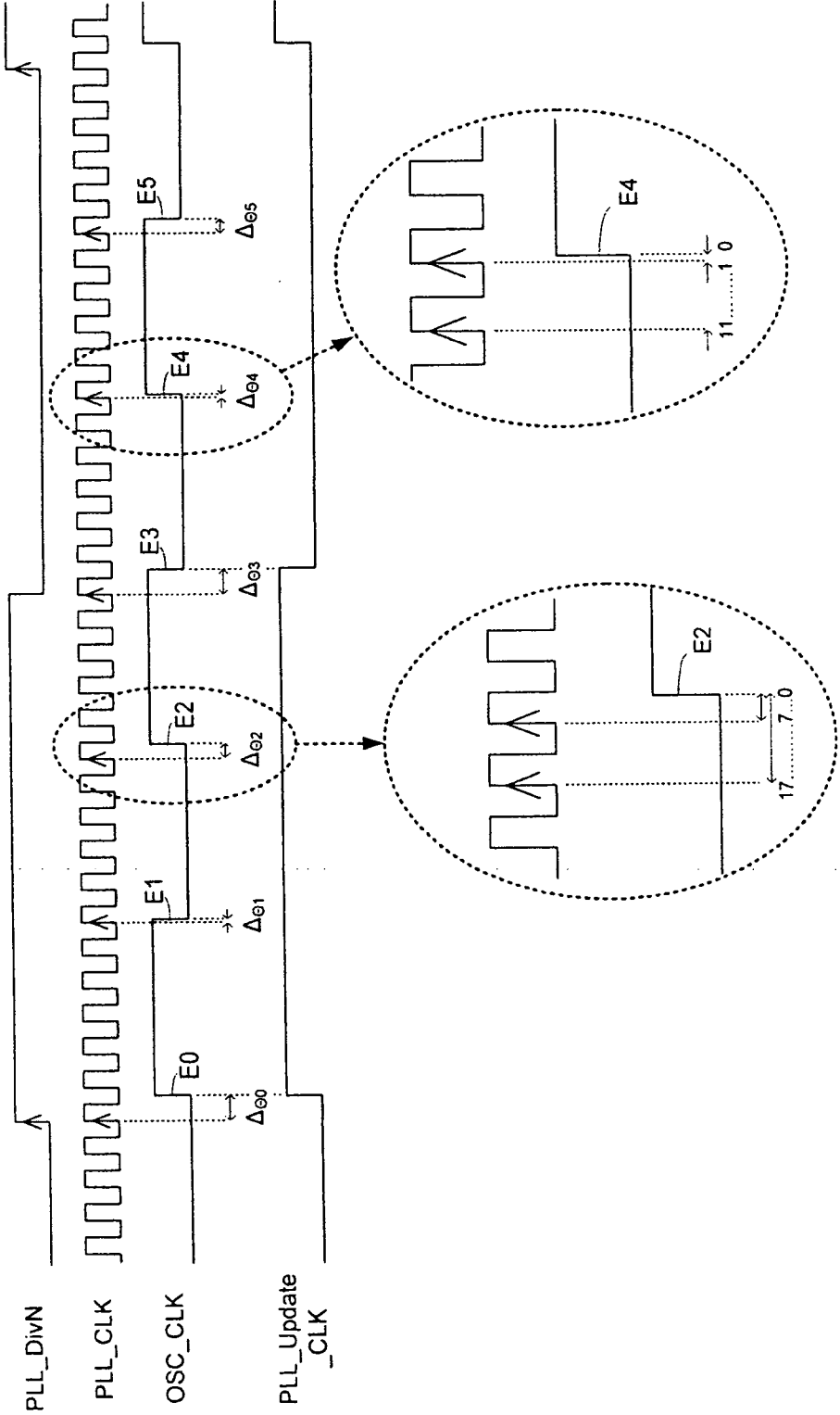
第4A圖



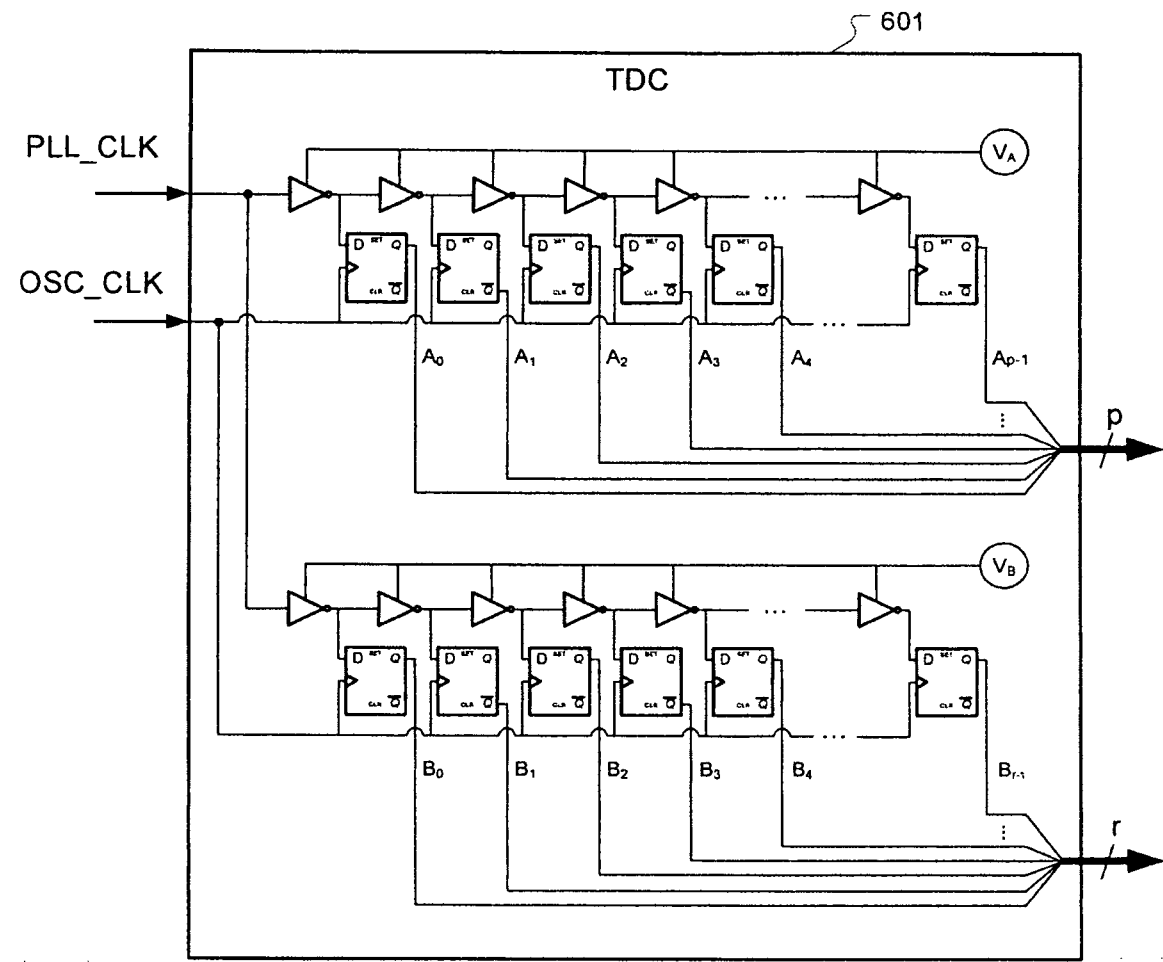
第4B圖



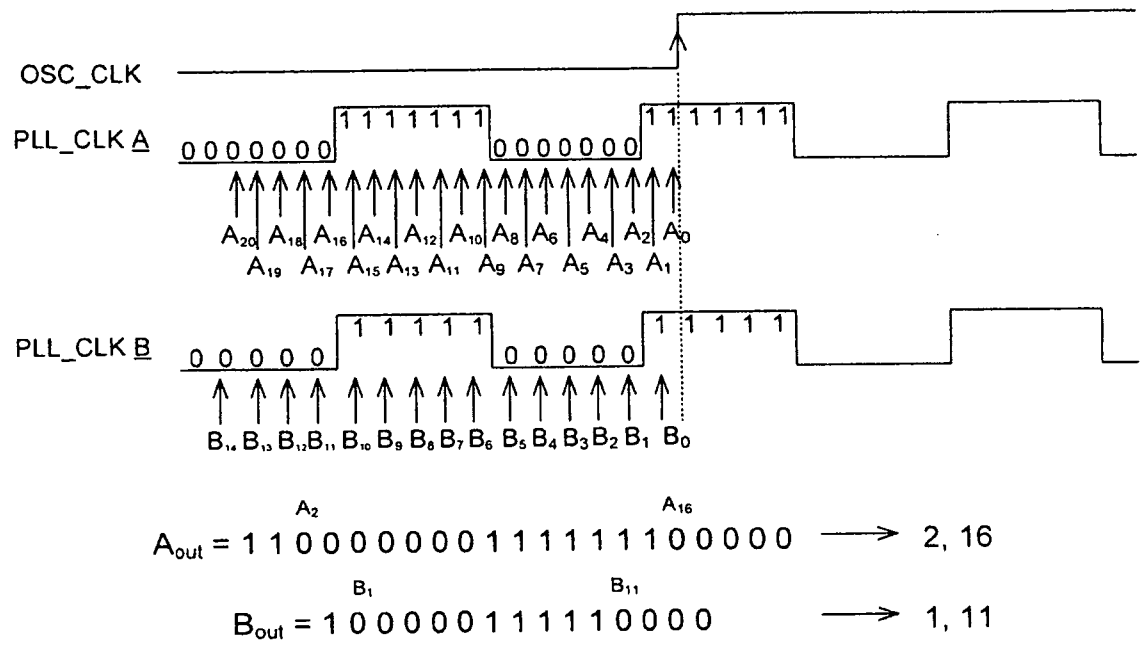
第5圖



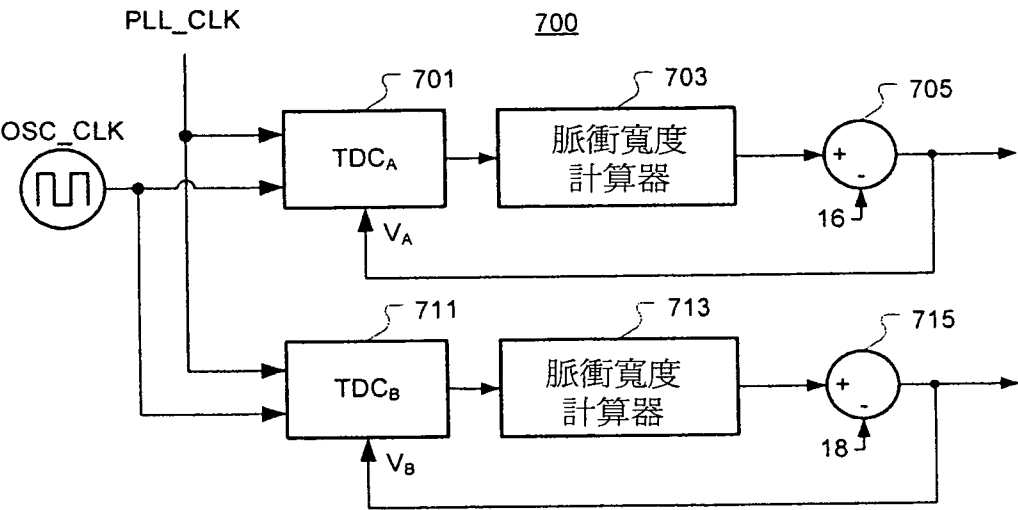
第6A圖



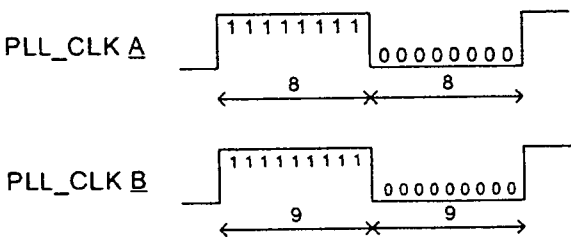
第6B圖



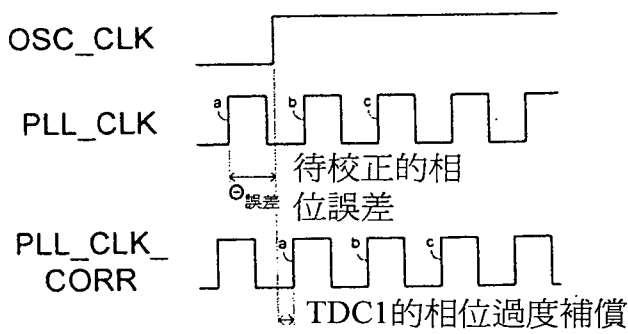
第7A圖



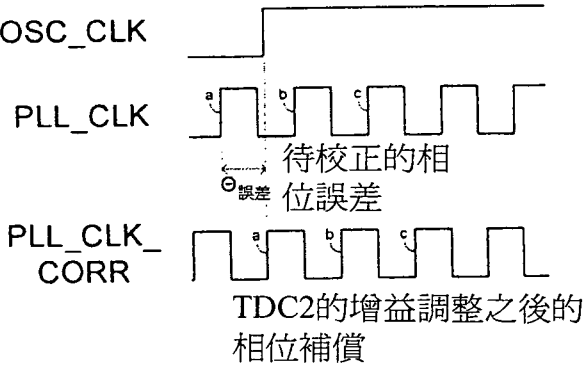
第7B圖



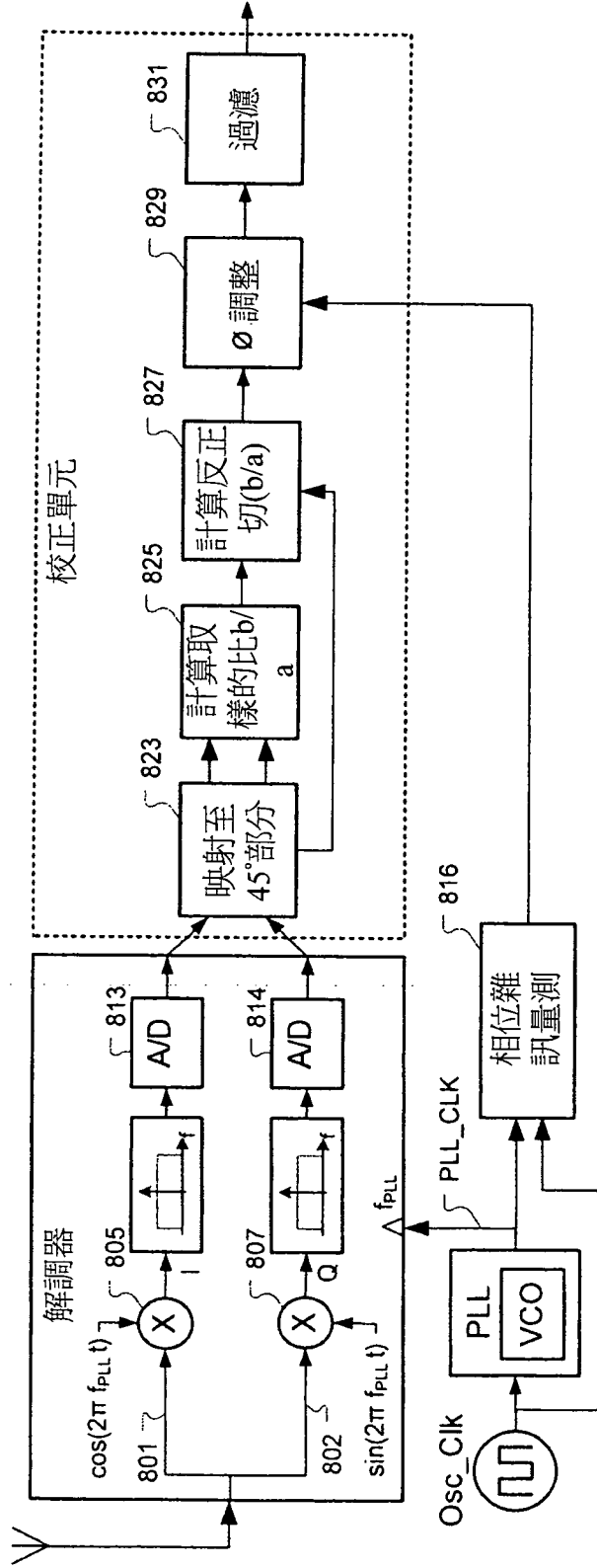
第9B圖



第9C圖



第8圖



第9A圖

