

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6610696号  
(P6610696)

(45) 発行日 令和1年11月27日(2019.11.27)

(24) 登録日 令和1年11月8日(2019.11.8)

(51) Int. Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 7 F
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 3 A
HO 1 L 21/76 (2006.01)	HO 1 L 29/78 6 5 2 C
	HO 1 L 29/78 6 5 5 G
	HO 1 L 29/78 6 5 2 S
請求項の数 5 (全 15 頁) 最終頁に続く	

(21) 出願番号	特願2018-71431 (P2018-71431)	(73) 特許権者	000005234
(22) 出願日	平成30年4月3日(2018.4.3)		富士電機株式会社
(62) 分割の表示	特願2014-55728 (P2014-55728) の分割		神奈川県川崎市川崎区田辺新田1番1号
原出願日	平成26年3月19日(2014.3.19)	(74) 代理人	100161562
(65) 公開番号	特開2018-113475 (P2018-113475A)		弁理士 阪本 朗
(43) 公開日	平成30年7月19日(2018.7.19)	(72) 発明者	熊田 恵志郎
審査請求日	平成30年4月3日(2018.4.3)		神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
		審査官	棚田 一也

最終頁に続く

(54) 【発明の名称】 トレンチMOS型半導体装置

(57) 【特許請求の範囲】

【請求項1】

メイン半導体素子部とセンス半導体素子部とを有するトレンチMOS型半導体装置であって、

前記メイン半導体素子部と前記センス半導体素子部とは、それぞれ、半導体基板の一面側に設けられ並列ストライプ状の平面パターンを有するトレンチと、前記トレンチに充填される導電体と、前記半導体基板の一面側に前記トレンチに接して設けられる第1導電型のエミッタ領域と、前記半導体基板の一面側から前記トレンチよりも浅い深さに形成される第2導電型のチャンネル領域と、を備え、

前記メイン半導体素子部および前記センス半導体素子部の前記エミッタ領域は、それぞれ、同じ平面形状であって、

前記メイン半導体素子部は、前記並列ストライプ状のトレンチ間において、前記トレンチの長手方向に繰り返し配置された前記エミッタ領域の間に前記半導体基板で構成されるドリフト層が前記半導体基板の表面に露出するように設けられていて、且つ、

前記センス半導体素子部は、前記トレンチの長手方向における前記並列ストライプ状のトレンチ間にわたって前記チャンネル領域が設けられている

トレンチMOS型半導体装置。

【請求項2】

前記メイン半導体素子部のうち最も前記センス半導体素子部側のトレンチと前記センス半導体素子部のうち最も前記メイン半導体素子部側のトレンチとの間に、前記トレンチよ

10

20

りも深い第2導電型のウェル領域を含む分離構造が設けられていて、

前記分離構造は、前記ウェル領域の上側に第1絶縁膜を挟んで設けられたゲート電極と、前記メイン半導体素子部のエミッタ電極と前記センス半導体素子部のエミッタ電極との間に介在する第2絶縁膜とを含み、

前記メイン半導体素子部のうち最も前記センス半導体素子部側のトレンチと前記ゲート電極との間および前記センス半導体素子部のうち最も前記メイン半導体素子部側のトレンチと前記ゲート電極との間に前記エミッタ電極を前記ウェル領域に接続するコンタクトが設けられていて、前記ウェル領域は前記ゲート電極に隣接する前記コンタクトの前記ゲート電極から離間した側の端部を越えて前記メイン半導体素子部側及び前記センス半導体素子部側まで延びている

10

請求項1に記載のトレンチMOS型半導体装置。

【請求項3】

前記センス半導体素子部は、前記ウェル領域によって取り囲まれている

請求項2に記載のトレンチMOS型半導体装置。

【請求項4】

前記メイン半導体素子部と前記センス半導体素子部の活性領域面積比が100～10000である請求項1から3のいずれか1項に記載のトレンチMOS型半導体装置。

【請求項5】

トレンチMOS型半導体装置が絶縁ゲートバイポーラトランジスタまたは電界効果型トランジスタである請求項1から4のいずれか1項に記載のトレンチMOS型半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータなどの電力変換装置に搭載されるトレンチMOS型半導体装置に関する。

【背景技術】

【0002】

電力用MOS型半導体装置は、半導体基板の縦方向（厚さ方向）に主電流を流すために両面に設けられる主電極と、一面側に主電流をオンオフ制御するためのゲート電極とを備える。絶縁ゲート型バイポーラトランジスタ（以下、IGBTと略記する）やMOS型電界効果型トランジスタ（MOSFET）がその代表的なデバイスである。このIGBTなどの電力用MOS型半導体装置は、半導体基板内にそれぞれがIGBTの層構成を備える多数のユニットセルを両面の主電極で並列接続させたユニットセル集合体構造を有している。

30

【0003】

このようなIGBTを搭載したインバータ装置は、短絡の発生に備えて、その短絡による過電流を直ちに検出し電源を遮断する保護機能を備えるが、これとは別に、図9に示すように、IGBT20自体にも、外部回路として組み込まれた過電流保護回路30によって過電流が検出された場合に、電流を抑制しまたは遮断してIGBTを保護するものがある。

40

【0004】

このような過電流保護回路と組み合わせられるIGBTとして、メインIGBTに並列接続されたセンスIGBTを内蔵するものがある。このセンスIGBTのゲート閾値電圧をメインIGBTのゲート閾値電圧より高くすることにより、メインIGBTのターンオンをセンスIGBTのターンオンより遅らせて、メインIGBTを過電流から保護する構成のトレンチゲート型IGBTが知られている（特許文献1、段落[0031]～[0032]等）。

【0005】

主セルとセンスセルとの間の相互干渉を低減して検出制度を高めることが記載されている。センスセル部のゲート容量を低減して、ターンオン時に電流検出抵抗（センス抵抗）

50

に発生するスパイク電圧を小さくすることにより、保護回路の誤動作を防ぐ記述が公開されている（特許文献2、要約、段落[0019]等）。

【0006】

高速スイッチング特性を悪化させずに、オン電圧の上昇を抑制し、遮断可能電流の向上をはかることのできるトレンチ型MOS型半導体装置について公開されている（特許文献3、段落[0015]等）。

【0007】

センス抵抗の電圧を計測することで、センスIGBTを流れる電流（センス電流）を検出する際に、スイッチング時のセンスIGBTとメインIGBTとのセンス電流比が、定常動作時の電流比と異なることに起因する問題について記載されている。帰還容量との関係についての記載もある（特許文献4、段落[0002]、[0005]等）。フローティング領域を挟む並列トレンチ内ポリシリコンをエミッタ電極に接続することで、コレクタ-エミッタ間の印加電圧が低い場合にミラー容量（帰還容量）を小さくしたIGBTについての記述がある。非フローティング構造とするために並列トレンチに挟まれたp型チャンネル領域を市松模様のような千鳥足状に配置すると、p型チャンネル領域を均等に分散配置し、電界分布も均等として素子耐圧の低下を防ぐことができる。さらに並列トレンチの間隔を狭くすることにより、ミラー容量を低減することができるという記載もある（特許文献5、段落[0008]、[0010~0015]等）（特許文献6、[段落0013]）。

【0008】

さらに、IGBTのオン電圧を一層低減させるために、IEGT（Injection Enhanced Gate Transistor）がある。IEGTは、ドリフト層におけるエミッタ側でのホールの蓄積密度を高めてオン電圧を低減するIE効果（Injection Enhancement効果）を有するトレンチMOSゲート構造を備えたIGBTである（例えば、特許文献7）。IEGTの具体的な例は、例えば、図10に示すように、IE効果を奏するために、エミッタ電極107に対して、絶縁膜108で隔てられ主面に平行な方向ではトレンチ104で電氣的に絶縁され主電流の流れないフローティング領域102-2を設けた構造のトレンチゲート型IGBTがある。このIEGT300はトレンチゲート型IGBTのオン電圧をさらに低減するための構造として知られている。

【0009】

また、この図10のIEGT300では、電氣的に絶縁され電位的に浮遊状態のフローティング領域102-2を有しているため、オン時にドリフト層101に注入キャリア（正孔）が蓄積され易くなり、オン電圧は低減されるが、一方で、ゲート電極10とコレクタ電極109間の容量が大きくなり、スイッチング損失が増加する。このようにIEGT300ではオン電圧とスイッチング損失とはトレードオフ関係にある。しかも、フローティング領域102-2が設けられていると、トレンチ104底部への電界集中が大きくなりやすいので、高耐圧が難しいという問題もある。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特許第3361874号公報

【特許文献2】特開平8-8422号公報

【特許文献3】特開2007-221012号公報

【特許文献4】特開2012-119658号公報

【特許文献5】WO2011/111500A1パンフレット

【特許文献6】特許第4857566号公報

【特許文献7】特開2001-308327号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

## 【 0 0 1 1 】

前述の特許文献 1、3、4～6 の記載のように、トレンチゲート型 IGBT はプレーナゲート型 IGBT に比べてチャネル密度を高くすることができ、オン電圧を低くすることができるが、チャネル高密度化とともにゲート容量も増大する。ゲート容量が大きくなると、充放電に要する時間が長くなってスイッチング損失が大きくなるという問題が生じる。

## 【 0 0 1 2 】

前記図 9 に示した等価回路から過電流保護回路 30 を除いた IGBT 20 の等価回路にセンス抵抗  $R_{s23}$  を追加した等価回路図を図 7 に示す。図 7 で、並列接続されたメイン IGBT 21 とセンス IGBT 22 がターンオンすると、その定常オン動作時には、小面積のセンス IGBT 22 と大面積のメイン IGBT 21 の面積比に対応した小電流のセンス電流  $I_{sense} (I_s)$  がセンス IGBT 22 に流れる。さらに、ターンオン時には、センス電流 ( $I_s$ ) に加えて、センス IGBT 22 のゲート電極とエミッタ電極間のゲート容量 ( $C_{ge}$ )、およびゲート電極とコレクタ電極間の静電容量 ( $C_{gc}$ ) を介して、過渡的にセンス抵抗  $R_{s23}$  に流れる変位電流  $I_{gs} (= (C_{ge} + C_{gc}) \times dV_g / dt)$  が、センス IGBT 22 に流れる。その結果、センス抵抗  $R_{s23}$  には、スイッチング時に定常オン動作時より大きい電圧  $V_{sp} = R_s \times (I_{gs} + I_s)$  が生じる。

## 【 0 0 1 3 】

その様子を図 8 (a) のゲート電極とセンス抵抗に生じる電圧および電流波形図に示す。前述のセンス抵抗  $R_s$  に流れる変位電流  $I_{gs}$  は、メイン IGBT のコレクタ - エミッタ間に流れる主電流に比例する電流ではないにもかかわらず、この変位電流  $I_{gs}$  によってセンス抵抗  $R_s$  に生じる電圧  $V_{sp}$  は無視できないほど大きくなる場合がある。そのため、短絡保護を動作させる電圧の検出レベルを越えることがある。その結果、過電流として誤検出し、短絡電流が流れていないのに、IGBT を遮断させることがあり得る。

## 【 0 0 1 4 】

この課題に対して、従来は、ターンオン時に変位電流  $I_{gs}$  によって過渡的にセンス抵抗に電圧  $V_{sp}$  が発生する期間を、過電流保護回路を動作させないマスキング期間としていた。その結果、このマスキング期間と、その後の過電流検出後ゲートにオフ信号を送り IGBT を遮断するまでの期間では、IGBT に短絡電流が流れる可能性があるため、その間に破壊しない大きさの短絡耐量を IGBT に確保させる必要がある。しかし、そのような大きさの短絡耐量を確保した IGBT はオン電圧が大きくなり、スイッチング損失が増大することが問題となる。

## 【 0 0 1 5 】

本発明は以上説明した点を考慮してなされたものであり、本発明の目的は、オン電圧を大きくすることなく、過電流保護回路の誤動作を防ぐと共に、短絡耐量を抑えることができ、スイッチング損失をより低減することのできるトレンチ MOS 型半導体装置を提供することである。

## 【課題を解決するための手段】

## 【 0 0 1 6 】

本発明は、前記課題を解消してその目的を達成するために、メイン半導体素子部とセンス半導体素子部とを有するトレンチ MOS 型半導体装置であって、前記メイン半導体素子部と前記センス半導体素子部とは、それぞれ、半導体基板の一面側に設けられ並列ストライプ状の平面パターンを有するトレンチと、前記トレンチに充填される導電体と、前記半導体基板の一面側に前記トレンチに接して設けられる第 1 導電型のエミッタ領域と、前記半導体基板の一面側から前記トレンチよりも浅い深さに形成される第 2 導電型のチャネル領域と、を備え、前記メイン半導体素子部および前記センス半導体素子部の前記エミッタ領域は、それぞれ、同じ平面形状であって、前記メイン半導体素子部は、前記並列ストライプ状のトレンチ間において、前記トレンチの長手方向に繰り返し配置された前記エミッタ領域の間に前記半導体基板で構成されるドリフト層が前記半導体基板の表面に露出するように設けられていて、且つ、前記センス半導体素子部は、前記トレンチの長手方向にお

10

20

30

40

50

ける前記並列ストライプ状のトレンチ間にわたって前記チャンネル領域が設けられているトレンチMOS型半導体装置とする。

【0017】

【0018】

【0019】

【0020】

【0021】

【0022】

【0023】

【発明の効果】

【0024】

本発明によれば、オン電圧を大きくすることなく、過電流保護回路の誤動作を防ぐと共に、短絡耐量を抑えることができ、スイッチング損失をより低減することのできるトレンチMOS型半導体装置を提供することができる。

【図面の簡単な説明】

【0025】

【図1】本発明の実施例1にかかるセンスIGBTを備えるトレンチ型IGBTにおけるセンスIGBTの活性領域の要部断面図である。

【図2】本発明の実施例1にかかるセンスIGBTを備えるトレンチ型IGBTにおけるセンスIGBTの活性領域の要部斜視断面図である。

【図3】本発明の実施例1にかかるセンスIGBTを備えるトレンチ型IGBTにおけるセンスIGBTの活性領域の要部平面図(a)と(a)のB1-B2線断面図(b)である。

【図4】本発明の実施例1にかかるセンスIGBTを備えるトレンチ型IGBTのチップ全体の平面図(a)と、(a)の破線丸印で示したセンスIGBT部分の拡大平面図である。

【図5】本発明の実施例1にかかるセンスIGBTを備えるトレンチ型IGBTにおけるメインIGBTの活性領域の要部断面図である。

【図6】本発明の実施例1にかかるセンスIGBTを備えるトレンチ型IGBTにおけるメインIGBTの活性領域の要部平面図(a)と(a)のA1-A2線断面図(b)である。

【図7】本発明の実施例1にかかるセンスIGBTを備えるトレンチ型IGBTの等価回路図である。

【図8】本発明(b)と従来(a)のセンスIGBTにかかる、オン時のセンス抵抗の電圧と電流のタイミングを含むマスキング期間を示す図である。

【図9】過電流保護回路を含むトレンチ型IGBTの等価回路図である。

【図10】一般的なIEGTの要部断面図である。

【図11】本発明の実施例2にかかるトレンチ型IGBTのセンスIGBTとメインIGBTとの分離間隔部分を示す部分拡大断面図である。

【発明を実施するための形態】

【0026】

以下、過電流保護回路と組み合わせて使用される本発明のトレンチMOS型半導体装置にかかる実施例について、図面を参照して詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれ相対的に不純物濃度が高いまたは低いことを意味する。なお、以下の実施例の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、実施例で説明される添付図面は、見易くまたは理解し易くするために正確なスケール、寸法比で描かれていない。本発明はその要旨を超えない限り、以下に説明する実施例の記載に限定されるものでは

10

20

30

40

50

ない。

【実施例 1】

【0027】

過電流保護回路 30 と組み合わせて使用される本発明にかかる IGBT 20 の等価回路を図 9 に示す。この図 9 中の IGBT 20 は、メイン IGBT 21 と、メイン IGBT 21 に並列接続される電流検出用のセンス IGBT 22 とが同一の半導体基板内に形成されている。センス IGBT 22 に流れるセンス電流  $I_{sense} (I_s)$  は、メイン IGBT 21 に流れるメイン電流  $I_{main} (I_m)$  に対して、センス IGBT 22 の活性領域面積 / メイン IGBT 21 の活性領域面積比に応じた微小な電流となる。ここでいう活性領域は、IGBT の半導体基板チップの中央部にあつて、耐圧の信頼性を確保するチップ 10 周辺のエッジ領域に囲まれた主電流の流れる領域である。さらに、メインおよびセンス IGBT のターンオン時には、このセンス電流  $I_s$  に加えて、ゲート容量  $C_{ge}$  と、ゲート電極とコレクタ電極間の静電容量 ( $C_{gc}$ ) を介して、過渡的にセンス抵抗 23 ( $R_s$ ) に流れる変位電流 (充電電流)  $I_{gs} (I_{gs} = (C_{ge} + C_{gc}) \times dV_g / dt$ 、 $dV_g / dt$  はゲート電圧上昇率) が、センス IGBT 22 に流れる。

【0028】

負荷短絡などで発生する短絡電流や過電流が前述の IGBT 20 に流れると、過電流保護回路 30 を構成する電流検出用の検出抵抗 (センス抵抗 23、 $R_s$ ) の両端に発生する電圧  $V_s$  が、適宜設定された所定の電圧値を超える。すると、電圧  $V_s$  が MOSFET 25 のゲート閾値電圧以上となって MOSFET 25 導通させる。これにより、MOSFET 20 25 の電圧は低下する。さらに、MOSFET 25 に直列接続されたツェナーダイオード 24 のツェナー電圧によって、ゲート電圧  $V_g$  は IGBT のゲート閾値電圧以下に制限される。これにより、メイン IGBT 21 に流れる過電流を遮断する。 20

【0029】

通常、前記過電流の大きさは、例えば定格電流の 2 ~ 3 倍程度の電流値に設定される。また、前記過電流保護回路 30 と組み合わされる IGBT 20 のメイン IGBT 21 およびセンス IGBT 22 の活性領域面積の比率は、例えば数百 ~ 一万 : 1 である。このような活性領域面積比を有するので、メイン IGBT 21 に比べて、はるかに小さいセンス IGBT 22 に流れる微小電流で検出抵抗 (センス抵抗 23、 $R_s$ ) に発生させる。この電圧  $V_s$  を検出することにより、メイン IGBT 21 に流れる電流値を間接的に計測し、前述のように過電流保護機能を動作させてメイン IGBT を保護することができる。 30

【0030】

一方、前記 IGBT などのパワーデバイスは、保護回路機能による遮断が終了するまでの間 (例えば、 $10 \sim 20 \mu s$  時間) は少なくとも破壊しない程度以上の短絡耐量を確保する必要がある。さらに、低オン電圧や高速スイッチング特性などの一般的な電気特性も要求される。ところが、トレンチゲート型の IGBT や IEGT では、低オン電圧にするためにトレンチ構造を高密度化すればするほど、ゲート - エミッタ間容量を構成する面積が増大しゲート容量が大きくなる。このゲート容量の増加が、スイッチング損失増加につながる。 40

【0031】

また、前記 IE 効果をよりいっそう促進させようとする、フローティング領域 102 - 2 の面積がトレンチ MOS ゲート領域 110 の面積より相対的に大きくなる。そうすると、ゲート - エミッタ間容量が小さくなり、ゲート容量はほとんどゲート - コレクタ間容量 (帰還容量またはミラー容量) となり、ターンオン損失の増大を招くことになる。トレンチゲート型 IGBT のスイッチング時には、それぞれゲート - エミッタ間およびゲート - コレクタ間容量に充放電する必要がある、ゲート容量が大きくなると充放電時間が増加してスイッチング時間が増加するからである。このミラー容量は、通常のトレンチゲート型 IGBT がターンオンする際には、ゲート電圧を上げていくと、まず、ゲート - エミッタ間容量が充電され、次にゲート - コレクタ間容量 (ミラー容量) が充電されるミラー期間を有するという関係がある。 50

## 【0032】

また、パワーデバイスのトータルの発生損失は、オン電圧で決まる定常損失とオンオフ動作時に発生するスイッチング損失との和であるので、トータルの発生損失の低減には、オン電圧と共にスイッチング損失の低減、すなわちゲート容量も低減することも重要である。

## 【0033】

この問題を考慮して、本発明にかかるトレンチゲート型IGBTでは、メインIGBT 21として、前述のフローティング領域を有さない図5、図6に示すような活性領域に島状のユニットセル15を備えるトレンチゲート型IGBT 200を用いる。このトレンチゲート型IGBT 200は、図6の平面図に示すように、主電流の流れる活性領域表面にストライプ状平面パターンを有する並列トレンチ5を有する。この並列トレンチ5間に挟まれた半導体基板（ $n^-$ 型ドリフト層1）に、島状に分割されたIGBTのユニットセル15が所定の間隔をおいて繰り返し配置される構造を有する。しかも、このユニットセル15は活性領域全体では並列トレンチ5を挟んで対角上に配置される市松模様状な平面配置にされる。

10

## 【0034】

図6（b）は、図6（a）のA1 - A2線断面図である。なお、図6（a）では、図6（b）に記載しているエミッタ電極9aと層間絶縁膜8の記載を省略している。また、図6（b）は、半導体基板の表面側のみを記載し、半導体基板の裏面側に形成されるコレクタ層あるいはコレクタ電極は省略している。この並列トレンチ5間で、複数のユニットセル15間に露出する $n^-$ 型ドリフト層1は、直上の表面を覆う層間絶縁膜8を有する。さらに、並列トレンチ5に沿った方向では、ユニットセル15間に露出する $n^-$ ドリフト層は、その前後でユニットセル15のp型チャネル領域3aに隣接している。これにより、複数のユニットセル15間に露出する $n^-$ ドリフト層は、前述のIGBTのような電氣的にフローティングの領域とはならない。このような構造により得られる特徴は、複数のユニットセル15間に露出する $n^-$ 型ドリフト層1の電位を、p型チャネル領域3aに追従できるようにしたことである。このことにより、フローティング構造に起因するIGBTのターンオン時における急激な電流増加率を、ゲート抵抗によって容易に抑制し制御できるようになる。

20

## 【0035】

また、並列トレンチ5で挟まれる $n^-$ 型ドリフト層1を複数のp型チャネル領域3aで分割している。そして、並列トレンチ5で狭く挟まれたp型チャネル領域3aを含むユニットセル15の表面においてのみ、図2に示すように層間絶縁膜に開口部14を設けて、エミッタ電極とコンタクトさせる構造を有する。このため、トレンチゲート型IGBT 200のオン電圧を低く維持しつつ、スイッチング損失も低くし、インバータ等の実機で発生するトータルの電氣的損失を低減することができる。

30

## 【0036】

また、ユニットセル15が活性領域内に均等に分散配置されているので、オフ時の電界分布も均等になり、前記図10に示すIGBTよりは耐圧の低下を防ぐことができる。加えてゲート電極7が $n^+$ 型エミッタ領域4に面している領域が相対的に小さくなるため、ゲート - エミッタ間容量が低減できる。さらに、間隔の狭いトレンチゲート構造を適切に配置することで、トレンチゲート底部への電界集中を緩和し高い耐圧を得ることができる。

40

## 【0037】

また、並列トレンチ5の間に挟まれた $n^-$ 型ドリフト層1の幅を狭めることで、 $n^-$ 型ドリフト層1が、数ボルト程度の印加電圧で容易に空乏化できるようになる。このことで、オフ状態におけるドリフト層中のエミッタ側の電界分布の均等化が可能になるだけでなく、ゲート - コレクタ間の容量（ミラー容量）が低減できる。

## 【0038】

なお、センスIGBTにおいてp型チャネル領域3aを全面に設けると、IE（Inj

50

ection Enhancement) 効果が小さくなり、センスIGBTのみオン電圧が上昇してしまう可能性が考えられる。しかしながら、センスIGBTはメインIGBTの数百～数千分の一の面積比に過ぎないので、実質的な影響はない。

#### 【0039】

次に、ターンオン時のメインIGBTとセンスIGBTの動作について説明する。図5は、本発明のセンスIGBTを備えるトレンチ型IGBTにおけるメインIGBTの活性領域の要部断面図である。ターンオン時にコレクターエミッタ間電圧が低下して低くなった時、メインIGBT21の空乏層の先端の等電位面11は、並列トレンチ5に挟まれて複数のユニットセル15の間に露出するn<sup>-</sup>型ドリフト層1のところで、深く切れ込む凹凸を有する形状となる。この等電位面11の凹凸の深さが深くなることで、等電位面11の面積が増大する。このため、ゲート-コレクタ間容量C<sub>gc</sub>が大きくなる。ゲート-コレクタ間容量C<sub>gc</sub>が大きくなると、ゲート電極の充放電時間が増加してミラー期間が増加する。従って、従来のように、メインIGBTとセンスIGBTとが同じ表面パターンのユニットセルであると、センス抵抗23(R<sub>s</sub>)に流れる電流が充電電流として重畳され、センス抵抗の電圧V<sub>sp</sub>が、 $V_{sp} = R_s \times (I_{gs} + I_s)$  となって増大する。そのため、マスキング期間を設けないと、誤動作のおそれが増大することが問題となる。マスキング期間を設けると、誤動作を防ぐことはできるが、マスキング期間が長くなることが問題となる。しかし、マスキング期間は過電流保護機能が働かない期間なので、短い方が好ましい。

#### 【0040】

そこで、過電流保護回路と組み合わせる本発明のトレンチMOS型半導体装置の実施例にかかるIGBT50(図4)では、以下の構成とする。図4は、本発明の実施例1にかかるセンスIGBTを備えるトレンチ型IGBTのチップ全体の平面図(a)と、(a)の破線丸印で示したセンスIGBT部分の拡大平面図である。すなわち、本発明にかかるIGBT50チップ中で、メインIGBT21とセンスIGBT22の配置の一例を示す平面図である。メインIGBT21としては、前述と同様に図5、図6に示すトレンチゲート型IGBT200を用いるが、センスIGBT22としては、図1～図3に示すIGBT100を用いる。このようなIGBT50の構成とすることにより、メインIGBTとセンスIGBTとで、表面パターンが異なるIGBT50にされていることが特徴である。メインIGBT21とセンスIGBT22の活性領域面積の比率はおおよそ数百～1

#### 【0041】

センスIGBT22として用いる前記図1に示すIGBT100は、高抵抗率のn型半導体基板からなるn<sup>-</sup>型ドリフト層1の一方の主面(図1の下側の面)に高濃度のp型コレクタ層2とn<sup>+</sup>フィールドストップ層1a(図1)を有する。さらに、n<sup>-</sup>型ドリフト層1の他方の主面(図1の上側の面)に、n<sup>+</sup>型エミッタ領域4を有するp型チャネル領域3aおよびn<sup>+</sup>型エミッタ領域4を有さないp型チャネル領域3aを備える。

#### 【0042】

センスIGBT22で、n<sup>+</sup>型エミッタ領域4を有するp型チャネル領域3aと、n<sup>+</sup>型エミッタ領域4を有さないp型チャネル領域3aは、同じ形成条件で一括して活性領域の全面に形成された領域である。同じ形成条件とは、p型チャネル領域3aのp型ドーパントのイオン注入のドーズ量や加速電圧、またはp型ドーパントの熱拡散温度や時間等と同じとすることである。センスIGBT22は、この点において前記図5の構造を有するメインIGBT21と異なる。センスIGBT22のその他の層構造はメインIGBTと同じであってよい。つまり、センスIGBT22の並列トレンチ5間の全面に設けられたp型チャネル領域3aの表面層に図3に示す平面配置で、n<sup>+</sup>型エミッタ領域4が形成される。このn<sup>+</sup>型エミッタ領域4の平面配置はメインIGBTと同じである。

#### 【0043】

また、並列トレンチ5はn<sup>+</sup>型エミッタ領域4の表面からp型チャネル領域3aを貫通してn<sup>-</sup>型ドリフト層1に達する深さに形成される。この並列トレンチ5内にはゲート絶

縁膜 6 を介して導電性ポリシリコンからなるゲート電極 7 が充填されている。このゲート電極 7 は図示しないゲート配線によりチップ表面上のゲートパッド（図示せず）に接続される。

【 0 0 4 4 】

このゲート電極 7 の直上部には同図（b）に示すように層間絶縁膜 8 が形成され、さらにその上部を被覆するエミッタ電極 9 b との絶縁を確保している。また、このエミッタ電極 9 b は n<sup>+</sup>型エミッタ領域 4 表面と p 型チャネル領域 3 a 表面とに共通に接触する。ただし、ユニットセル 1 5 にエミッタ電極 9 が接触する表面には p<sup>+</sup>コンタクト領域 1 2 を設けることが好ましい。さらに、このエミッタ電極 9 b の上部にパッシベーション膜としての窒化膜、アモルファスシリコン膜またはポリイミド膜などが形成されるが、この図では省略されている。また、p 型コレクタ層 2 側の表面（裏面）にはコレクタ電極 1 0 が被覆される。

10

【 0 0 4 5 】

次に、本発明のメイン IGBT とセンス IGBT について、上記で説明していない動作について説明する。図 1 に示す IGBT 1 0 0 の構造からなるセンス IGBT 2 2 のエミッタ電極 9 b は、通常アースに接地する。エミッタ電極 9 b よりも高い電圧をコレクタ電極 1 0 に印加した状態で、ゲート電極 7 - エミッタ電極 9 b 間に、ゲート駆動回路（図示せず）よりゲート抵抗を介して閾値より高い電圧を印加する。すると、センス IGBT 2 2 はオン状態となり、閾値より低い電圧ではオフ状態となる。このように IGBT 1 0 0 のゲート電極 7 に閾値より高い電圧を印加すると、まず、ゲート電極 7 に電荷が蓄積され始める。ゲート電極 7 への電荷の蓄積と同時に、ゲート絶縁膜 6 を介してゲート電極 7 に対峙している p 型チャネル領域 3 a 部分が n 型に反転してチャネル部（図示せず）が形成される。このチャネル部を通して電子がエミッタ電極 9 b から、n<sup>+</sup>型エミッタ領域 4、前記チャネル部を通り、n<sup>-</sup>型ドリフト層 1 に注入される。この注入された電子により IGBT 1 0 0 の p 型コレクタ層 2 と n<sup>-</sup>型ドリフト層 1 との間が順バイアスされて、コレクタ電極 1 0 から正孔が n<sup>-</sup>型ドリフト層 1 に注入され伝導度変調が生じて低オン電圧で導通状態となる。

20

【 0 0 4 6 】

次に IGBT 1 0 0 をオン状態からオフ状態にするには、エミッタ電極 9 b とゲート電極 7 間の電圧を閾値以下にすることによって、ゲート電極 7 に蓄積されていた電荷はゲート抵抗を介してゲート駆動回路へ放電される。その際、n 型に反転していたチャネル部が p 型に戻り、チャネル部が無くなることにより電子の供給が止まる。これにより正孔の注入も無くなるので、n<sup>-</sup>型ドリフト層 1 内に蓄積されていた電子と正孔がそれぞれコレクタ電極 1 0 とエミッタ電極 9 に吐きだされる。あるいは、互いに再結合することにより電流は消滅し、IGBT がオフ状態になる。

30

【 0 0 4 7 】

ターンオン時には、コレクタ - エミッタ電極間のオフ電圧が低下する。センス IGBT の p 型チャネル領域 3 a および n<sup>+</sup>型エミッタ領域 4 を有さない p 型チャネル領域 3 a から、n<sup>-</sup>型ドリフト層 1 に延びる空乏層は、オフ電圧の低下に伴い収縮する。この過程で、空乏層の先端の等電位面 1 3 は、前述したメイン IGBT の等電位面 1 1（図 5）より凹凸の深さが小さくなる。その結果、等電位面 1 3 の面積はメイン IGBT の場合の等電位面 1 1（図 5）より小さくなる。このため、センス IGBT のゲート - コレクタ間容量（ミラー容量）が小さくなり、図 8（b）に示すように、センス IGBT が定常オン動作に達する時間をメイン IGBT より短くすることができる。すなわち、センス IGBT をメイン IGBT のターンオンより早くすることができる。その結果、図 9（b）のように短絡保護期間（マスキング期間）を短縮することができ、メイン IGBT が負担する短絡耐量を小さくすることができる。これにより、半導体基板の厚さを薄くすることができ、その分オン電圧を小さくすることができる。

40

【実施例 2】

【 0 0 4 8 】

50

メインIGBT21とセンスIGBT22との分離構造62に関して、図11を参照して説明する。メインIGBT21とセンスIGBT22とを、特に分離構造62(分離間隔 $L_s$ )を設けずに連続的に形成する場合を考える。このとき、メインIGBT21とセンスIGBT22の $n^-$ 型ドリフト層1は、 $p$ 型チャネル領域3aの内部抵抗を介して電氣的に接続されているので、相互に電流がリークすることが避けられない。一方、センスIGBT22とメインIGBT21を離間させ、分離間隔 $L_s$ を設ける場合を考える。このとき、分離間隔 $L_s$ を狭くするほど、センスIGBTに流れる電流がメインIGBTとセンスIGBTの面積比に対応する電流比からずれるので、電流検出精度が低下する。一方、分離間隔 $L_s$ を広くすると、リークは少なくなり検出精度は高くなるが、チップサイズが大きくなりコストアップになる。また、スイッチング時にセンスIGBT22とメインIGBT21の電位差が生じ易くなり、センスIGBT22が破壊されやすくなる。

10

## 【0049】

以上のことより、メインIGBT21とセンスIGBT22の間に、分離構造62を設ける。また、この分離構造62の分離間隔 $L_s$ をできるだけ広くせずに、メインIGBT21とセンスIGBT22を電氣的に分離することが好ましい。そのためには、図11に示すように、分離構造62を以下のような構成とする。センスIGBT22の周辺には、センスIGBT領域を取り囲むように、センスIGBT22のエミッタ電極9bに接続される $p$ ウェル領域32を設けるとよい。また、メインIGBT21のうちセンスIGBT22に隣接する側の周辺には、 $p$ ウェル領域32を取り囲むように、エミッタ電極9aに接続される $p$ ウェル領域31を設けるとよい。さらに、これらの $p$ ウェル領域31および $p$ ウェル領域32の間には、 $n^-$ 型ドリフト層1が半導体基板の表面に露出させる。そして、この露出面を絶縁膜61(例えばゲート絶縁膜)で挟んでプレーナー状のゲート電極60で覆う。さらに、プレーナー状のゲート電極60を層間絶縁膜8で覆う。

20

## 【0050】

この $p$ ウェル領域31、32を形成することにより、以下の効果を奏する。メインIGBT21とセンスIGBT22の境界近辺では、コレクタから注入されるホールは、それぞれの $p$ ウェル領域31、32からそれぞれのエミッタ電極9a、9bに捕獲される。これにより、メインIGBT21からセンスIGBT22にリークする電流が少なくなり、電流検出精度が高くなる。また、分離構造62の上面を前記のプレーナー状のゲート電極60で覆い、トレンチゲートのゲート電極7と電氣的に接続しておく。これにより、分離構造62の表面部の電位が完全なフローティングにならず、ゲート電極の電位に近くなるため、分離構造62の表面部の電位が安定する。

30

## 【0051】

分離構造62の分離間隔 $L_s$ は、 $p$ ウェル領域31、32の離間距離とする。この分離間隔 $L_s$ は、例えば $25\mu\text{m} \sim 30\mu\text{m}$ の範囲にあることが好ましい。 $25\mu\text{m}$ よりも $L_s$ が短い場合は、短絡保護時に、 $p$ ウェル領域31および $p$ ウェル領域32の間に広がる空乏層が、 $p$ ウェル領域31および $p$ ウェル領域32の両方と接続し、リーク電流が発生して、センス電流比が所定の値からずれてしまう。また、 $30\mu\text{m}$ よりも $L_s$ が長い場合は、リーク電流が発生せずにセンス電流比が安定するが、センスIGBT22とメインIGBT21との電位差が生じ易くなり、面積の小さいセンスIGBT22が破壊し易くなる。以上の説明により、本発明にかかるメインIGBT21とセンスIGBT22を有するIGBT20は、IGBT20のターンオン時に、センスIGBT22が、メインIGBT21よりも先にターンオンするよう、帰還容量を低減した構造を有することが特徴である。その具体的な構造としては、ゲート電極7がゲート絶縁膜6を介して半導体基板に接する面積を低減するため、センスIGBT22にのみ、並列トレンチ5間の半導体基板の全て $p$ 型チャネル領域3aを設ける。このような構造にすることで、センスIGBT22にのみ帰還容量を低減することができる。ただし、IE効果も減ってしまうので、センスIGBT22のみ、オン電圧が上昇してしまうが、センスIGBT22の活性領域面積がメインIGBT21の活性領域面積に比べて数百～1万分の1と小さいので、実質的な影響はない。

40

50

## 【 0 0 5 2 】

本発明にかかる I G B T はセンス I G B T の帰還容量がメイン I G B T の帰還容量より小さくなる構造であれば、他の構造でもよい。例えば、センス I G B T のユニットセルの密度をメイン I G B T のユニットセルの密度より高くした構造などが挙げられる。

## 【 0 0 5 3 】

以上説明したように、本発明のトレンチ M O S 型半導体装置は、短絡保護期間（マスキング期間）が短縮されるので、メイン I G B T の短絡耐量を低減し、その分をオン電圧の低減に振り向けることが可能となる。したがって、従来よりも、損失が改善された I G B T が実現できる。

## 【 符号の説明 】

10

## 【 0 0 5 4 】

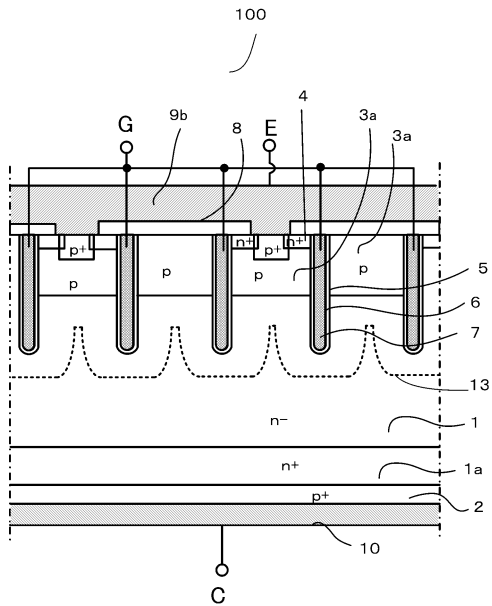
- 1 n<sup>-</sup>型ドリフト層
- 1 a n<sup>+</sup>フィールドストップ層
- 2 p型コレクタ層
- 3 a p型チャネル領域
- 4 n<sup>+</sup>型エミッタ領域
- 5 並列トレンチ
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 層間絶縁膜
- 9、9 a、9 b エミッタ電極
- 1 0 コレクタ電極
- 1 1 等電位面
- 1 2 p<sup>+</sup>コンタクト領域
- 1 3 等電位面
- 1 4 開口部
- 1 5 ユニットセル
- 2 0 I G B T
- 2 1 メイン I G B T
- 2 2 センス I G B T
- 2 3 センス抵抗
- 2 4 ツェナーダイオード
- 2 5 M O S F E T
- 3 0 過電流保護回路
- 3 1、3 2 pウェル領域
- 5 0 I G B T
- 6 0 プレーナー状のゲート電極
- 6 1 絶縁膜
- 6 2 分離構造
- 1 0 0 I G B T
- 1 0 2 - 2 フローティング領域
- 1 1 0 トレンチ M O S ゲート領域
- 2 0 0 トレンチゲート型 I G B T
- 3 0 0 I E G T
- I m メイン電流
- I s センス電流
- I g s 変位電流

20

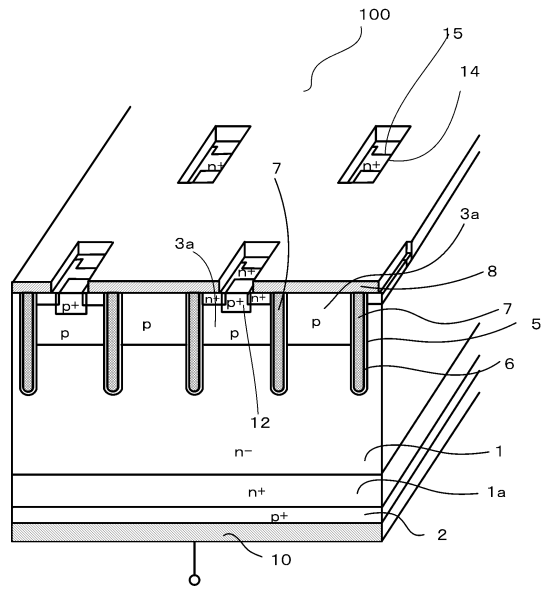
30

40

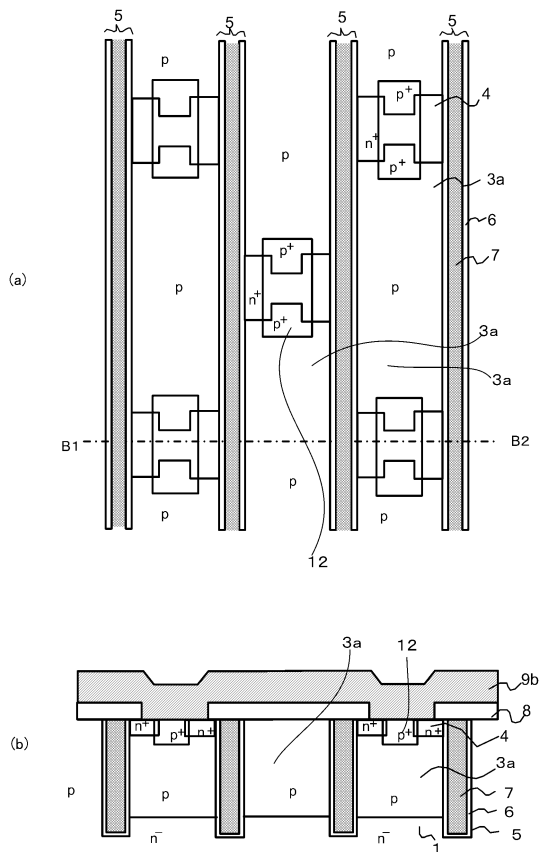
【図 1】



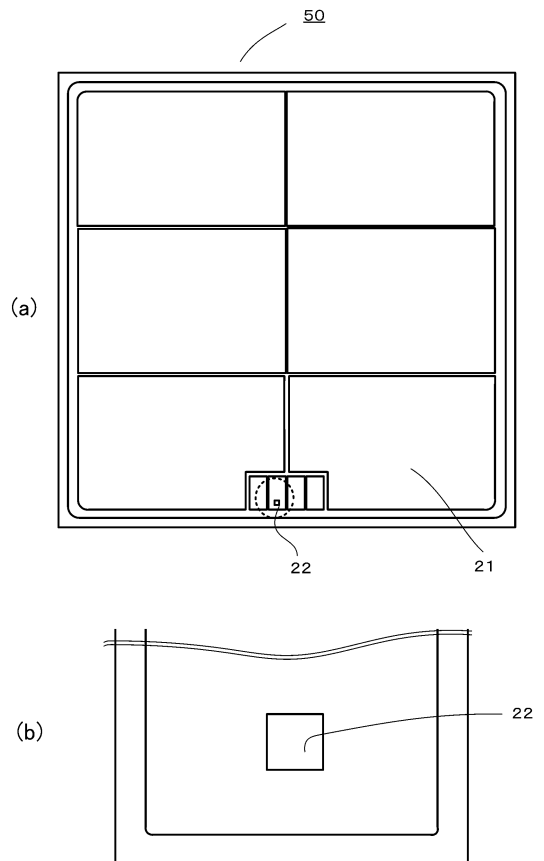
【図 2】



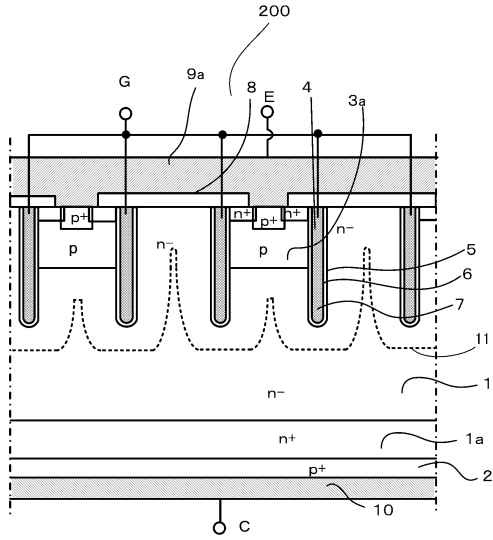
【図 3】



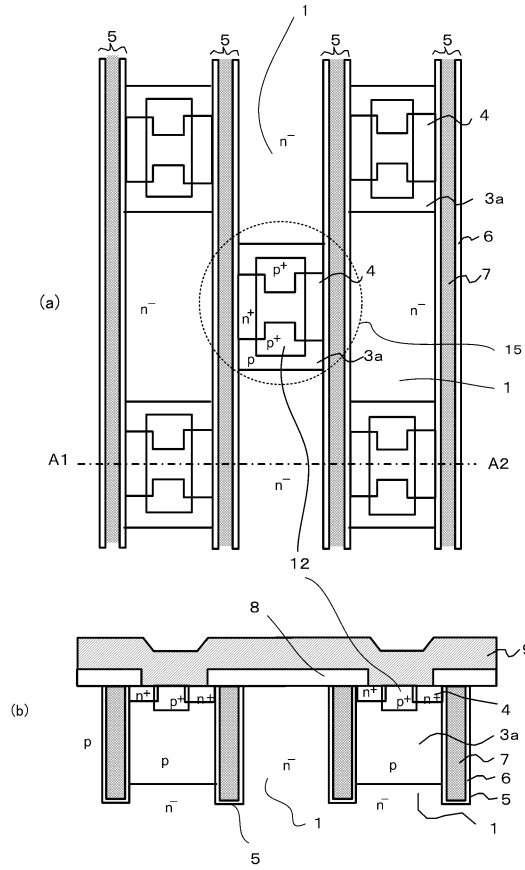
【図 4】



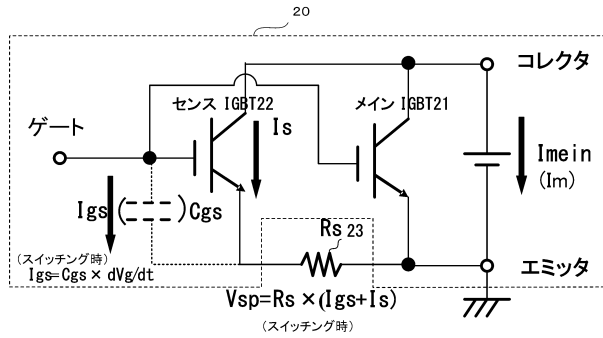
【図5】



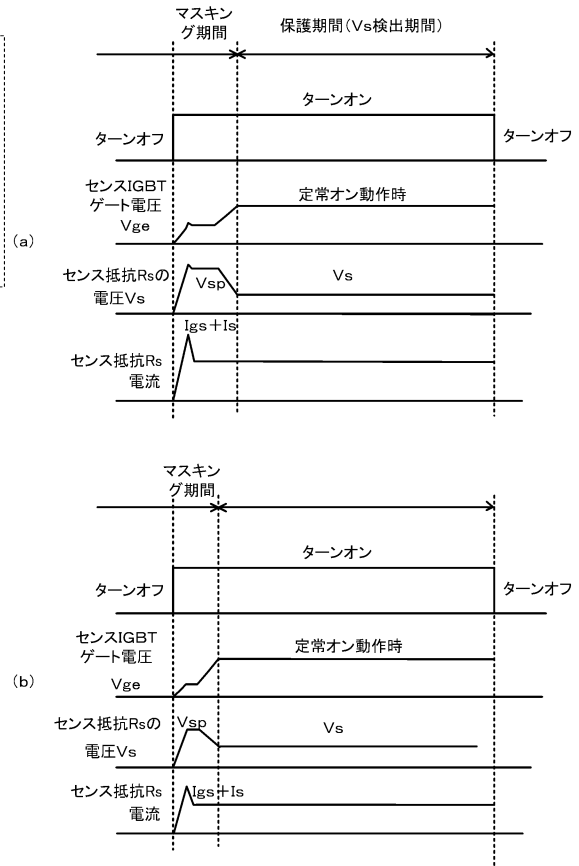
【図6】



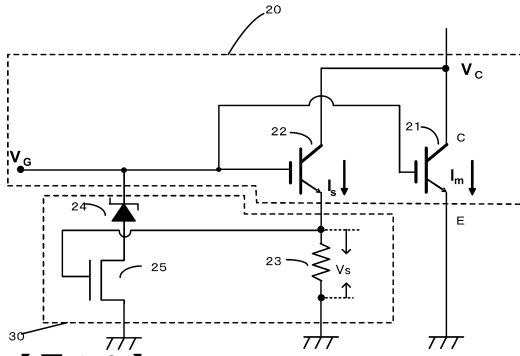
【図7】



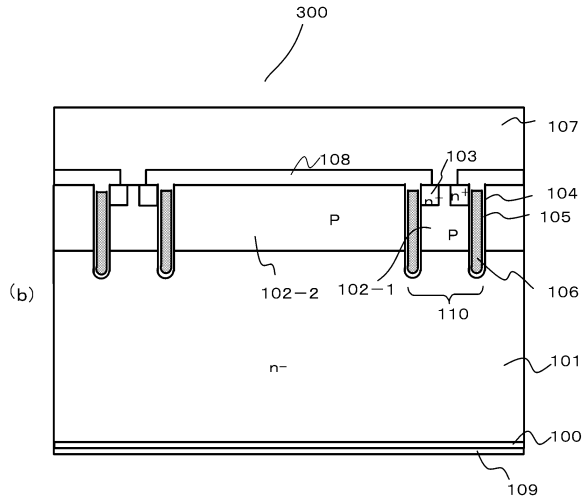
【図8】



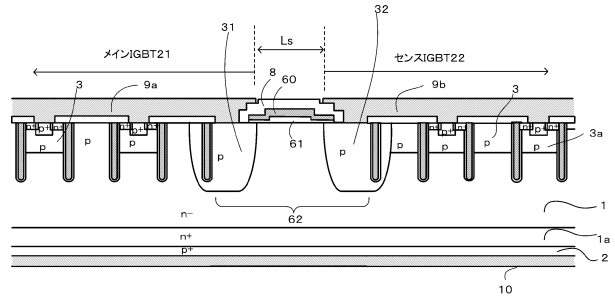
【図9】



【図10】



【図11】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/78 6 5 2 R

(56)参考文献 国際公開第2009/096412(WO, A1)  
特開2012-238715(JP, A)  
特開2011-171478(JP, A)  
特開平10-107282(JP, A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 1 / 7 6  
H 0 1 L 2 9 / 7 3 9