

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 23/538

H01L 23/36 H01L 23/498

H01L 21/68 H01L 21/60



[12] 发明专利申请公开说明书

[21] 申请号 01820713.8

[43] 公开日 2004年11月3日

[11] 公开号 CN 1543675A

[22] 申请日 2001.11.15 [21] 申请号 01820713.8

[30] 优先权

[32] 2000.12.15 [33] US [31] 09/738,117

[86] 国际申请 PCT/US2001/044968 2001.11.15

[87] 国际公布 WO2002/049103 英 2002.6.20

[85] 进入国家阶段日期 2003.6.16

[71] 申请人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 P·H·韦默 S·N·托勒

[74] 专利代理机构 中国专利代理(香港)有限公司

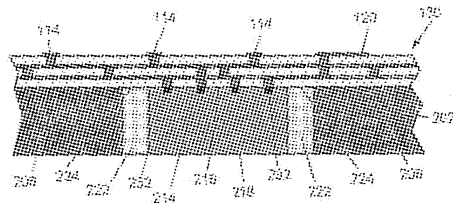
代理人 章社泉

权利要求书7页 说明书12页 附图14页

[54] 发明名称 具有无凸块的叠片互连层的微电子组件

[57] 摘要

公开了一种微电子器件制造技术，可将至少一个微电子芯片设置在微电子组件芯部至少一个开口中，并用封装材料将微电子芯片组/单个片固定在开口中；还可无需微电子组件芯部将至少一个微电子芯片封装在封装材料中，或固定至少一个微电子芯片到散热器中至少一个开口内。然后电介质材料和导电迹线组成的叠片互连条连接微电子芯片组/单个片到封装材料、微电子组件芯部及散热器中至少一个上，形成微电子器件。



ISSN 1008-4274

1.一种微电子组件，包括：

微电子芯片，具有有效表面和至少一个侧面；

5 封装材料，靠近所述至少一个微电子芯片侧面，其中所述封装材料包括至少一个基本上与所述微电子芯片有效表面共面的表面；
和

叠片互连条，靠近所述微电子芯片有效表面和所述封装材料表面设置，所述叠片互连条与所述微电子芯片有效表面电接触。

10 2. 根据权利要求1所述的微电子组件，其特征在于，所述叠片互连条包括：

至少一层电介质材料，具有第一表面和第二表面；

至少一个导电插塞，从所述第一表面延伸到所述第二表面；和

15 至少一个导电件，设置在所述电介质材料第一表面，与所述至少一个导电插塞接触。

20 3. 根据权利要求2所述的微电子组件，其特征在于，所述叠片互连条的至少一个导电插塞通过分布在其间的导电粘结剂电连接到所述微电子芯片有效表面上至少一个电触点，电介质材料设置在所述叠片互连条和所述微电子芯片有效表面之间靠近所述导电粘结剂

4. 一种制造微电子组件的方法，包括：

准备至少一个微电子芯片，其具有有效表面和至少一个侧面；

在所述至少一个微电子芯片有效表面上连接保护膜；

25 靠近所述至少一个微电子芯片侧面的封装材料封装所述至少一个微电子芯片，其中，所述封装材料包括至少一个基本上与所述微电子芯片有效表面共面的表面；

清除所述保护膜；

靠近所述微电子芯片有效表面和所述封装材料表面设置叠片互

连条, 所述叠片互连条与所述微电子芯片有效表面电接触。

5. 根据权利要求4所述的方法, 其特征在于, 在所述微电子芯片有效表面上设置所述叠片互连条还包括用导电粘结剂连接所述叠片互连条的导电插塞到所述微电子芯片有效表面的电触点。

5 6. 一种微电子组件, 包括:

微电子组件芯部, 具有第一表面和相对的第二表面, 所述微电子组件芯部具有至少一个开口, 其从所述微电子组件芯部第一表面延伸到所述微电子组件芯部第二表面;

10 至少一个微电子芯片, 设置在所述至少一个开口中, 所述至少一个微电子芯片具有有效表面;

封装材料, 粘结所述微电子组件芯部和所述至少一个微电子芯片; 和

叠片互连条, 靠近所述微电子芯片有效表面和所述微电子组件芯部设置, 所述叠片互连条与所述微电子芯片有效表面电接触。

15 7. 根据权利要求6所述的微电子组件, 其特征在于, 所述微电子组件芯部包括从由双马来酰亚胺三嗪系树脂基叠片材料, FR4 叠片材料, 聚酰亚胺叠片材料, 陶瓷和金属组成的一组材料中选出的材料。

20 8. 根据权利要求6所述的微电子组件, 其特征在于, 所述封装材料还包括至少一个表面, 与所述微电子芯片有效表面和所述微电子封装芯片第一表面共面。

9. 根据权利要求6所述的微电子组件, 其特征在于, 所述叠片互连条包括:

至少一层电介质材料, 具有第一表面和第二表面;

25 至少一个导电插塞, 从所述第一表面延伸到所述第二表面; 和

至少一个导电件, 设置在所述电介质材料第一表面, 与所述至少一个导电插塞接触。

10. 根据权利要求9所述的微电子组件, 其特征在于, 所述叠片

互连条的至少一个导电插塞通过设置在中间的导电粘结剂电连接至少一个所述微电子芯片有效表面上的电触点,电介质材料设置在所述叠片互连条和所述微电子芯片有效表面之间靠近所述导电粘结剂的区域。

5 11. 一种制造微电子组件的方法,包括:

准备微电子组件芯部,其具有第一表面和相对的第二表面,所述微电子组件芯部具有至少一个开口,其从所述微电子组件芯部第一表面延伸到所述微电子组件芯部第二表面;

10 设置至少一个微电子芯片到所述至少一个开口,所述至少一个微电子芯片具有有效表面;

用封装材料连接所述微电子组件芯部和所述至少一个微电子芯片;和

靠近所述微电子芯片有效表面和所述封装材料表面设置叠片互连条,其中所述叠片互连条与所述微电子芯片有效表面电接触。

15 12. 根据权利要求 11 所述的方法,其特征在于,相对所述微电子芯片有效表面设置所述叠片互连条还包括用导电粘结剂连接所述叠片互连条的导电插塞到所述微电子芯片有效表面的电触点。

20 13. 根据权利要求 11 所述的方法,其特征在于,所述准备微电子组件芯部包括提供从由双马来酰亚胺三嗪系树脂基叠片材料、FR4 叠片材料、聚酰亚胺叠片材料、陶瓷和金属组成的一组材料中选出的材料制成的微电子组件芯部。

25 14. 根据权利要求 11 所述的方法,其特征在于,所述方法还包括在用封装材料粘结所述微电子组件芯部到所述至少一个微电子芯片之前,在所述微电子组件芯部第一表面和所述微电子芯片有效表面上连接保护膜。

15. 根据权利要求 11 所述的方法,其特征在于,在用封装材料粘结所述微电子组件芯部到所述至少一个微电子芯片前,在所述微电子组件芯部第一表面和所述微电子芯片有效表面连接保护膜包括连接

所述微电子组件芯部第一表面和所述微电子芯片有效表面到所述保护膜
的粘结剂层。

16. 一种微电子组件, 包括:

5 具有第一表面的散热器, 所述散热器具有至少一个凹进部分, 所述凹进部分由至少一个从所述散热器第一表面延伸到凹进部分底表面的侧壁形成;

至少一个微电子芯片, 设置在所述至少一个凹进部分中, 所述至少一个微电子芯片具有有效表面, 背面和至少一个侧面;

10 导热材料, 其连接所述至少一个微电子芯片背面到所述凹进部分底表面; 和

叠片互连条, 靠近所述微电子芯片有效表面和所述散热器设置, 所述叠片互连条与所述微电子芯片有效表面电接触。

17. 根据权利要求 16 所述的微电子组件, 其特征在于, 所述叠片互连条包括:

15 至少一层电介质材料, 具有第一表面和第二表面;

至少一个导电插塞, 从所述第一表面延伸到所述第二表面; 和

至少一个导电件, 设置在所述电介质材料第一表面, 与所述至少一个导电插塞接触。

20 18. 根据权利要求 17 所述的微电子组件, 其特征在于, 所述叠片互连条的至少一个导电插塞电连接到所述微电子芯片有效表面上的至少一个电触点。

19. 根据权利要求 16 所述的微电子组件, 其特征在于, 所述组件还包括填充材料, 设置在所述至少一个凹进部分侧壁和所述至少一个微电子芯片侧面之间的间隙。

25 20. 根据权利要求 16 所述的微电子组件, 其特征在于, 所述导热材料从树脂、环氧树脂、金属和金属合金等组成的一组材料中选出。

21. 根据权利要求 16 所述的微电子组件, 其特征在于, 所述至少一个凹进部分侧壁基本上是斜面。

22. 一种制造微电子组件的方法, 包括:

准备散热器, 其具有第一表面, 所述散热器具有至少一个凹进部分, 所述凹进部分由至少一个从所述散热器第一表面延伸到凹进部分底表面的侧壁形成;

5 设置至少一个微电子芯片到所述至少一个凹进部分中, 所述至少一个微电子芯片具有有效表面, 背面和至少一个侧面;

粘结所述至少一个微电子芯片背面到所述凹进部分底表面; 和靠近所述微电子芯片有效表面和所述微电子组件芯部设置叠片互连条到, 其中所述叠片互连条与所述微电子芯片有效表面电接触。

10 23. 根据权利要求 22 所述的方法, 其特征在于, 相对所述微电子芯片有效表面设置所述叠片互连条还包括用导电粘结剂连接所述叠片互连条的导电插塞到所述微电子芯片有效表面的电触点。

15 24. 根据权利要求 22 所述的方法, 其特征在于, 所述方法还包括设置填充材料到所述至少一个凹进部分侧壁和所述至少一个微电子芯片侧面之间的间隙。

20 25. 根据权利要求 22 所述的方法, 其特征在于, 将所述至少一个微电子芯片背面连接到所述凹进部分底表面包括用导热材料连接所述至少一个微电子芯片背面到所述底表面, 所述导热材料从由掺有特殊导热材料的树脂材料和掺有特殊导热材料的环氧树脂材料组成的材料组中选出。

26. 根据权利要求 22 所述的方法, 其特征在于, 将所述至少一个微电子芯片背面连接到所述凹进部分底表面包括用导热材料连接所述至少一个微电子芯片背面到所述底表面, 所述导热材料从由金属和金属合金组成的材料组中选出。

25 27. 根据权利要求 22 所述的方法, 其特征在于, 将所述至少一个微电子芯片背面连接到所述凹进部分底表面包括:

设置多个焊料凸块到所述至少一个微电子芯片背面和所述凹进部分底表面中至少一个上; 和

通过回流焊所述多个第一焊料凸块和所述多个第二焊料凸块,在所述至少一个微电子芯片背面和所述凹进部分底表面之间形成基本上连续的焊接层。

5 28. 根据权利要求 27 所述的方法,其特征在于,设置多个焊料凸块包括:

在所述至少一个微电子芯片背面形成焊接阻挡材料图案;和形成在所述焊接阻挡材料中分布的所述多个焊料凸块。

29. 根据权利要求 27 所述的方法,其特征在于,设置多个焊料凸块包括:

10 在所述凹进部分底表面上形成焊接阻挡材料图案;和形成在所述焊接阻挡材料中分布的所述多个焊料凸块。

30. 根据权利要求 27 所述的方法,其特征在于,在所述至少一个微电子芯片背面和所述凹进部分底表面中的至少一个上设置多个焊料凸块包括:

15 在所述至少一个微电子芯片背面设置多个第一焊料凸块包括在所述至少一个微电子芯片背面形成焊接阻挡材料图案;和形成所述多个在所述焊接阻挡材料中分布的焊料凸块;

20 在所述凹进部分底表面设置多个第二焊料凸块包括在所述凹进部分底表面上形成焊接阻挡材料图案;和形成所述多个在所述焊接阻挡材料中分布的焊料凸块;和

在所述至少一个微电子芯片背面和所述凹进部分底面之间形成基本上连续的焊接层包括:

回流焊所述多个第一焊料凸块和所述多个第二焊料凸块,使所述至少一个微电子芯片在所述凹进部分中对齐;

25 清除所述至少一个微电子芯片背面和所述凹进部分底表面上的焊接阻挡材料;和

保持所述至少一个微电子芯片在适当位置,同时对所述第一焊料凸块和所述多个第二焊料凸块再进行回流焊。

31. 根据权利要求 30 所述的方法, 其特征在于, 所述方法还包括在形成所述基本连续焊接层时至少局部引入真空。

具有无凸块的叠片互连层的微电子组件

5 技术领域

本发明涉及制造微电子器件的装置和工艺。具体地，本发明涉及一种制造技术，可封装至少一个微电子芯片和提供叠片互连层以实现电接触。

10 背景技术

高性能，低成本和日益微型化的集成电路元件和具有更高封装密度的集成电路是计算机工业正在实现的目标。当这些目标实现时，微电子芯片变得更小。当然，更高封装密度的目标要求整个微电子芯片组件等于或稍大于(大约 10%到 30%)微电子芯片本身的尺寸。这样的
15 微电子芯片封装称作“芯片级封装”或“CSP”。

如图 35 所示，实际的 CSP 涉及在微电子芯片 402 的有效表面 404 上直接制造组装层。组装层包括设置在微电子芯片有效表面 404 上的电介质层 406。导电迹线 408 可在电介质层 406 上形成，其中各导电迹线 408 的一部分至少要接触有效表面 404 上的一个触点 412。外
20 触点，如与外部元件（未显示）接触的焊球或导电极，可制造成与至少一个导电迹线 408 电接触。图 35 显示出外触点，如焊球 414，其被电介质层 406 上的焊接掩膜材料 416 包围。但是，在这种实际 CPS 情况下，对某些类型的微电子芯片（如逻辑芯片），微电子芯片有效表面 404 提供的表面区通常不能提供足够的需要与外部元件（未
25 显示）接触的全部外触点使用的表面。

额外的表面区域可以通过使用插入件（interposer），比如基片（基本上为刚性材料）或柔性件（基本上为柔性材料）来提供。图 36 显示了具有微电子芯片 424 的基片插入件 422，芯片 424 通过小焊球 428 连接到并电接触基片插入件 422 的第一表面 426。小焊球 428 在

5 微电子芯片 424 上的触点 432 和基片插入件的第一表面 426 之间延伸。导电迹线 434 通过通道 442 不连续地与基片插入件 422 的第二表面 438 上的结合片 436 电接触。外触点 444 (显示为焊球) 在结合片 436 上形成。外触点 444 用于实现微电子芯片 424 和外电子系统 (未显示) 之间的电连通。

使用基片插入件 422 要求许多的工艺步骤。这些工艺步骤增加了组件的成本。另外, 使用小焊球 428 带来了拥挤问题, 这可能导致小焊球 428 之间短路, 和使微电子芯片 424 和基片插入件之间插入底层充填材料以防止污染和提供机械稳定出现困难。此外, 由于基片插入件 422 的厚度, 目前的组件不能满足另外的微电子芯片 424 的能量传送要求, 这使得连接区侧的电容具有过高的电感。

10 图 37 显示了柔性元件插入件 452, 其中微电子芯片 456 的有效表面 454 通过粘结剂层 462 连接到柔性元件插入件 452 的第一表面 458。微电子芯片 456 封装到封装材料 464 中。柔性元件插入件 452 通过激光切割形成开口, 其穿过柔性元件插入件 452 到达微电子芯片有效表面 454 上的触点 466 和位于柔性元件插入件 452 中选择的金属片。导电金属层在柔性元件插入件 452 的第二表面 472 上和开口中形成。导电金属层通过标准的光掩膜/蚀刻工艺形成图案, 形成了导电通道 474 和导电迹线 476。外触点在导电迹线 476 上形成(显示为焊球 248, 其周围是靠近导电迹线 476 的焊接掩膜材料 482)。

20 使用柔性元件插入件 452 要求用粘结材料层来形成柔性元件插入件 452 并要求将柔性元件插入件 452 粘结到微电子芯片 456。这些粘结工艺相当的困难, 增加了组件的成本。此外, 发现生产的组件可靠性很差。

25 因此, 希望能开发出新的装置和技术来提供额外的表面区域以形成用于芯片级封装的迹线, 并能够克服上面讨论的问题。

附图说明

尽管本说明书要求由权利要求来特别指出和明确公布什么涉及到本发明,但本发明的优点从下面对本发明的介绍并通过参考附图进行阅读可容易地了解,其中:

图 1 到 8 是显示形成叠片互连条的方法的侧视截面图;

5 图 9 和 10 分别是可用于本发明实施例的组件芯部的斜视图和顶视图;

图 11 到 19 是根据本发明的制造带组件芯部的微电子组件的方法的侧视截面图;

10 图 20 和 21 是根据本发明的没有组件芯部的微电子组件的侧视截面图;

图 22 是可用于本发明一个实施例的散热器的斜视图;

图 23 到 34 是根据本发明的形成带散热器的微电子组件的各种方法的侧视截面图;

图 35 是现有技术的微电子器件的实际 CSP 的侧视截面图;

15 图 36 是现有技术的使用基片插入件的微电子器件的 CSP 的截面图;

图 37 是现有技术的使用柔性元件插入件的微电子器件的 CSP 的截面图。

20 具体实施方式

在下面的详细介绍中,要参考以说明方式来显示本发明的特定实施例的附图。非常详细地对这些实施例进行介绍,使得所属领域的技术人员能够实施本发明。应当认识到,尽管本发明的各个实施例不同,但没有必要互相排斥。例如,本文介绍的涉及一个实施例的特殊特征,结构,或特点可在另外的实施例中实施,这不会脱离本发明的精神实质和范围。另外,应当知道在各个公开的实施例中的各种元件的位置或设置可以在不脱离本发明的精神实质和范围的情况下进行改进。因此,不能认为下面进行的详细介绍是限制性的,本发明的范围

25

只能由所附权利要求来限定，只能在得到权利要求授权的等效体的完整范围内进行适当的解释。附图中相同的数字代表这些附图中相同或类似的功能体。

5 本发明包括一种微电子器件制造技术，可将至少一个微电子芯片设置在微电子组件芯部中至少一个开口内，并用封装材料将微电子芯片组/单个片固定在开口中；还可无需微电子组件芯部将至少一个微电子芯片封装在封装材料中，或固定至少一个微电子芯片到散热器中至少一个开口内。然后电介质材料和导电迹线组成的叠片互连条连接微电子芯片组/单个片到封装材料、微电子组件芯部及散热器中至少一个上，形成微电子器件。

10 图 1 到 8 显示了形成叠片互连条的方法。如图 1 所示，金属箔片 102，如铜、铜合金、铝、铝合金等制成的，层压到电介质层 104 的第一表面 106，如由玻璃-环氧材料（如 FR4 材料）、环氧树脂、聚酰亚胺和类似材料组成的电介质层。至少一个开口 108 穿过电介质层 104，露出一部分金属箔片 102，如图 2 所示。然后对金属箔片 102/电介质层 104 叠片进行清洗（除油）。

15 如图 3 所示，开口 108（见图 2）中填充了导电材料，比如用通过所属领域的技术人员都知道的电镀技术得到的金属，形成导电插塞 112。如图 4 所示，金属箔片 102 然后可通过平版印刷和蚀刻技术形成图案，形成至少一个导电件，如连接区 114 和迹线 120（未在图 3 显示，可见图 16）。如图 5 所示，导电结合层 116，由如锡/铅焊料、无铅焊料（如，锡/银焊料和锡/银/铜焊料）、导电粘结剂（如掺金属的环氧树脂）和类似材料组成，在导电插塞 112 上形成，并靠近电介质层 104 的第二表面 118。施加导电结合层 116 可通过各种常用的方法，包括但不限于电镀焊料或焊料金属，丝网印刷糊状物（可是导电粘结剂或是焊料糊），使用 Furukawa Super 钎焊工艺，使用 Super Juffit 工艺和类似的方法。然后可设置粘结剂层 122 到电介质层第二表面 118 和导电结合层 116 上，形成叠层结构 124，如图 6 所

示。将多个叠层结构 124, 124' 和 124'' 对准, 如图 7 所示。应当注意到叠层结构 124' 有导电插塞 112' 和连接区 114', 还可包括迹线 120', 迹线在电介质层 104' 的相对的表面形成, 但没有导电结合层和粘结层, 而相邻的叠层结构 124 和 124'' 上有这些层。

5 若干单个叠层结构 124、124' 和 124'' 然后进行真空热压工艺, 形成叠片互连条 130, 如图 8 所示。真空热压工艺使单个叠层结构 (124, 124' 和/或 124'') 的导电结合层 116 结合相邻的单个叠层结构的连接区 (114, 114' 和/或 114'') 和迹线 120', 如图 8 所显示的。当然, 应当认识到叠片互连条 130 并不限于 3 层, 而是可包括少些或更多的层。这种叠片互连条 130 可从美国加利福尼亚州 Santa Clara 市的
10 Ibsiden U.S.A 公司获得。其他的具有基本类似特征但用不同生产工艺生产的叠片互连条可从日本大阪市的 Matsushita Electronic Components 公司获得(如 ALIVH, 任何层内通道孔) 和美国印第安纳州 Elkhart 市的 CTS 公司获得 (如 ViaPly)。还可以使用其他的工艺,
15 如 Ibsiden 的 IBSS or Baby Yasha 工艺技术, 或者 Shinko 的 DLL 工艺技术 (菲律宾马尼拉市 Shinko Electric Industries 公司)。在这种情况下, 一般用于传统倒装晶片 (flip chip) 的焊料凸块会被电镀金属栓 (铜或其他适当的金属或合金) 代替。制造完成后, 叠片互连条 130 可通过使用适当测试装置的电测法或其他方法对其功能进行测试。

20 图 9 到 19 显示了形成微电子器件的一种方法。图 9 显示了用于制造微电子器件的微电子组件芯部 202。微电子组件芯部 202 最好包括基本为平面的材料。用于制造微电子组件芯部 202 的材料包括但不限于双马来酰亚胺三氮杂苯 (BT) 树脂基叠片材料、FR4 叠片材料 (阻燃玻璃/环氧材料)、各种聚酰亚胺叠层材料、陶瓷材料和类似材料, 以及金属材料 (如铜) 和类似材料。微电子组件芯部 202
25 具有至少一个开口 204, 其从微电子组件芯部 202 的第一表面 206 延伸到微电子组件芯部 202 相对的第二表面 208。如图 10 所示, 开口 204 可具有任何形状和尺寸, 包括但不限于矩形/方形 204a, 矩形/方

形带圆角 204b, 和圆形 204c。对开口 204 的尺寸和形状的唯一限制是必须有适当的尺寸和形状, 以容纳相应的微电子芯片组或单个芯片, 如下面将进行的讨论。

图 11 显示出连接保护膜 212 的微电子组件芯部第一表面 206。保护膜 212 最好是柔性材料, 比如 Kapton[®]聚酰亚胺膜 (美国特拉华州 Wilmington 市的 E.I. du Pont de Nemours and Company 生产), 但是也可以用任何适当材料制造, 包括金属膜。在优选实施例中, 保护膜 212 与微电子组件芯部具有基本上相同的热膨胀系数 (CET)。图 12 显示了微电子芯片 214, 各微电子芯片具有有效表面 216 和背面 218, 芯片放置在微电子组件芯部 202 的相应开口 204 中。微电子芯片 214 可以是任何已知有源或无源的器件, 包括但不限于, 逻辑芯片 (CPUs), 存储器 (DRAM, SRAM, SDRAM 等), 控制器 (芯

5
10
15

片组), 电容器, 电阻, 电感器和类似器件。微电子芯片 214 最好进行电的和/或其他测试, 以便在使用之前清除丧失功能的微电子芯片。

在一个实施例(已显示)中, 微电子组件芯部 202 的厚度 217 和微电子元件 214 的厚度 215 基本上相等。微电子元件 215 设置成其有效表面 216 与保护膜 212 连接。保护膜 212 上具有粘结剂, 如硅树脂或丙烯酸粘结剂, 连接到微电子组件芯部第一表面 206 和微电子元件有效表面 216。施加这种粘结剂型保护膜后, 可以放置微电子元件和微电子组件芯部 202 到模具、液体分配封装系统 (优选)、真空压力机、或其他进行封装工艺的设备中。保护膜 212 还可以是无粘结剂膜, 如乙烯基-四氟乙烯(ETFE)或特氟纶(Teflon)[®]膜, 通过进行封装工艺的模具或其他设备的内表面, 膜保持在微电子芯片有效表面 216 和微电子组件芯部第一表面 206 上。在另一实施例中, 微电子芯片 214 和微电子组件芯部 202 可以保持在相对可重复使用的压板的适当位置 (通过粘结剂、真空吸力或其他方式), 压板位于带状膜上。

20
25

然后用封装材料 222 对微电子芯片 214 进行封装, 可用塑料、树脂、环氧树脂、弹性体(如橡胶)材料, 和类似材料。如图 13 所示, 封装材料 222 施加到开口 204 中未被微电子芯片 214 占据的部分。微电子芯片 214 的封装可通过任何工艺来实现, 包括但不限于, 传递模塑法及压缩模塑法和挤压。封装材料 222 将微电子芯片 214 固定在微电子组件芯部 202 中, 使形成的结构具有机械刚度并提供了下一步连接叠片互连条的表面区。

封装后去除保护膜 212, 如图 14 所示, 使微电子芯片有效表面 216 暴露。还如图 14 所示, 封装材料 222 最好通过模压或挤压来充填微电子组件芯部第一表面 206 和微电子芯片有效表面 216 之间的空间。这样可导致封装材料 222 的至少一个表面 224 基本上与微电子芯片有效表面 216 和微电子组件芯部第一表面 206 在同一平面。

图 15 显示了被封装材料 222 封装在微电子组件芯部的单个微电子芯片 214 的视图。微电子芯片 214 当然包括多个位于微电子芯片有效表面 216 的电触点 232。电触点 232 电连接到微电子芯片 214 内的电路(未显示)。为了简单和清楚起见, 只显示了 4 个电触点 232。

如图 16 所示, 叠片内连条 130(优选)对接并电接触电触点 232。为了与嵌入的微电子芯片形成机械连接和电连接, 在叠片内连条 130 和嵌入的微电子芯片之间的层必须包括适当的电介质材料 230(比如玻璃-环氧材料, 如 FR4 材料; 环氧树脂, 聚酰亚胺和类似材料)和导电粘结剂材料 240(比如, 掺金属环氧树脂和类似材料)。在优选实施例中, 这些粘结剂材料将在形成叠片内连条 130 的叠层后施加。取决于对准的情况, 可以将迹线放在对接微电子芯片 214 的表面上。如果不能将迹线放置到对接微电子芯片 214 的表面上, 叠片内连条 130 将在朝向微电子芯片 214 的侧面不设置迹线。

如图 17 所示, 在连接叠片内连条 130 后, 连接区 114 可用于形成导电内连接, 比如焊料凸块, 焊球, 销和类似构件; 以连通外部元件(未显示)。例如, 焊接掩膜材料 252 可设置在叠片内连条 130 上。多

个通道然后在焊接掩膜材料 252 上形成, 暴露至少一部分连接区 114 或迹线 120。多个导电凸块 258, 如焊料凸块, 可通过丝网印刷焊接糊状物, 然后进行回流焊工艺; 或通过已知的电镀技术, 在各个连接区 114 或迹线 120 上的暴露部分形成。

5 图 18 显示了多个用封装材料 222 封装在微电子组件芯部 202 中的微电子芯片 214。叠片内连条 130 通过前面讨论过的方式连接到微电子芯片有效表面 216, 微电子组件芯部第一表面 206, 和封装材料表面 224。各个微电子芯片 214 然后沿穿过叠片内连条 130 和微电子组件芯部 202 的线 264(切割)单个化, 形成至少一个单个化的微电子
10 芯片组件 266, 图 19 所示。还应当认识到, 各个微电子芯片 214 可以首先进行单个化, 再连接单个化的互连条 130, 这样将消除芯片对芯片的对准问题, 直接形成单个微电子芯片组件 266。

在优选的实施例中, 已知优良(即, 经过电的或其他的装置测试的)的微电子元件 214 可结合到微电子组件芯部 202 中对应于已知优良的叠片内连条 130 的位置。因此, 由于连接到丧失功能的叠片内连条
15 130 而损失已知优良的微电子元件 214 的情况可得到避免。应当认识到, 微电子芯片组件还可以通过连接各单个叠片连接条到各个封装的单个微电子元件来形成。

当然, 还应当认识到多个微电子元件 214 可用封装材料 222 封装
20 到微电子组件芯部 202 的单个开口 204 中。

还应当认识到, 微电子组件芯部 202 不是必需的。微电子芯片 214 可简单地封装在封装材料 222 中, 如图 20 所示。各个芯片 214 然后沿穿过叠片互连条 130 和封装材料 222 的线 268(切割)进行单个化, 形成至少一个单个微电子芯片组件 270, 如图 21 所示。还应当认识到,
25 各个微电子芯片 214 可以首先单个化, 再连接单个化的互连条 130, 这样可消除芯片对芯片的对准问题, 直接形成单个微电子芯片组件 270。

在本发明的另一个实施例中, 可将散热器 302 结合到微电子芯片

组件。图 22 显示了可用于制造微电子组件的散热器 302。散热器 302 最好包括基本上共面的高导热材料。用于制造散热器 302 的材料可包括但不限于金属,如铜、铜合金、钼、钼合金、铝、铝合金和类似金属。用于制造散热器的材料还可以包括但不限于,导热陶瓷材料,比如 AlSiC, AlN 和类似陶瓷。还应当认识到,散热器 302 可能是更复杂的装置,如热管。散热器 302 具有至少一个凹进部分 304, 其从第一表面 306 延伸到散热器 302 中。图 23 显示了散热器 302 的侧视截面图。各个凹进部分 304 由至少一个侧壁 308 和基本上平面的底表面 312 形成, 侧壁可以是斜面以帮助对准微电子芯片。尽管图 22 到 23 显示了具有基本上斜面的凹进部分侧壁 308 的散热器凹进部分 304, 应当认识到也可以使用基本上垂直的侧壁。

图 24 显示了微电子芯片 314, 其具有有效表面 316 和背面 318, 芯片设置在对应的散热器凹进部分 304 中(见图 23), 其中凹进部分 304 具有适当的尺寸和形状, 以容纳微电子芯片 314。在微电子芯片 314 和散热器 302 上的基准符号(未显示)可用来对准。在图 24 显示的实施例中, 微电子芯片 314 用导热粘结剂材料 322 连接到凹进部分 304 的底表面 312。粘结剂材料 322 可包括树脂或掺有导热颗粒材料的环氧材料, 比如氮化银或铝。粘结剂材料 322 还可包括具有低熔点温度的金属和金属合金(如钎焊材料), 和类似材料。

在另一个实施例中, 使用了自对准钎焊工艺来连接微电子芯片 314 到凹进部分的底表面 312。图 25 到 29 显示了自对准钎焊工艺, 将微电子芯片简单和精确地放置到散热器凹进部分 304 中, 同时在微电子芯片 314 和散热器 302 之间提供传导热。如图 25 所示, 在微电子芯片 314 进行切割前, 使第一批多个焊料凸块 332, 可以是高导热材料如铅、锡、铟、镓、铋、镉、锌、铜、金、银、铈、锆和其合金, 最好是金/硅共晶材料, 跨越整个晶片形成。这样保证了第一批多个焊料凸块 332 在所有的微电子芯片 314 上具有相同的位置, 可降低成本。第一批多个焊接凸块 332 可与晶片前侧面上的特征, 如基准

符号（未显示）对准。

5 施加第一批多个焊料凸块 332 可通过首先设置润湿层 334，如在所述领域内称为晶种层，到对应微电子芯片背面 318 的晶片背面。可取下的焊接挡片，如光阻材料，在整个润湿层 334 上形成图案，以防止第一批多个焊料凸块 332 的焊料过早地润湿整个润湿层 334。第一批多个焊料凸块 332 可通过电镀技术形成，或通过丝网印刷糊状物到光阻材料的开口中，然后回流焊接糊状物形成焊料凸块。

10 如图 26 所示，第二批多个焊料凸块 338 可以通过上面介绍的技术设置，利用润湿层 342 和可取下的焊接挡片 344，施加到散热器凹进部分 304 的底表面 312。第二批多个焊料凸块 338 可以用上面所介绍的制造第一批多个焊料凸块所用材料来制造。第二批多个焊料凸块 338 可以与散热器 302 上的特征，如基准符号（未显示）对准。为节省费用和简化工艺，第一批多个焊料凸块 332 或第二批多个焊料凸块 338 还可以不设置，只是在对应的表面上施加润湿层和带图案的焊料层。

15 如图 27 所示，微电子芯片 314（切割后）设置在散热器凹进部分 304 中，其中第一批多个焊料凸块 332 和第二批多个焊料凸块 338 在希望的位置与微电子芯片对准。第一批多个焊球 332 和第二批多个焊球 338 可以在初始对准和最后热接触时有不同的尺寸和成分。当然，还应认识到，可以只向微电子芯片 314 或散热器凹进部分 304 设置焊料凸块。

20 将散热器 302 加热到第一批多个焊料凸块 332 和第二批焊料凸块 338 的熔点或熔点以上，进行回流焊接，其中在与微电子芯片 314 对准的焊料凸块之间发生毛细管作用。然后取下微电子芯片上可取下的焊接挡片 336 和散热器上可取下的焊接挡片 344，比如可通过所属领域都知道的光阻材料剥离工艺进行。接下来，如图 28 所示，压板 346 设置到微电子芯片有效表面 316，以将微电子芯片 314 保持在水平的位置，在真空或部分真空条件下同时垂直下压和加热，再次对

第一批多个焊球 332 和第二批多个焊球 338 的焊料进行回流。在这个过程中，任何水平相对运动通过沿方向 350 垂直下压而避免。保持该压力直到焊料冷却到低于熔化温度。这样将导致在微电子芯片背面 318 和凹进部分底表面 312 之间产生基本连续的热接触焊接层 352，如图 29 所示。真空或部分真空有助于防止或减少基本连续热接触焊接层 352 中气泡的产生。使用压板 346（见图 28）还可使散热器顶表面 306 和微电子芯片有效表面 316 基本共面，如图 29 所示。

如前面所讨论的，叠片互连条然后连接到微电子芯片有效表面 316 和散热器第一表面 306，如图 30 所示。各个微电子芯片然后通过叠片互连条 130 和散热器 302 进行单个化，形成至少一个单个微电子芯片组件 320，如图 31 所示。还应认识到，各个微电子芯片 314 可以先单个化，再将单个化的叠片互连层 130 连接其上，这样可消除芯片对芯片对准的问题，直接形成单个的微电子芯片组件 320。

在另一个实施例中，充填材料 372，比如塑料、树脂、环氧树脂、和类似材料，可填充到任何微电子芯片 314 和凹进部分侧壁 308 之间的间隙中，形成在微电子芯片有效表面 316 和散热器第一表面 306 之间的填充材料 372 的共面表面 374，如图 32 所示。这也可以通过设置带状膜 376 到微电子芯片有效表面 316 和散热器第一表面 306 上来实现，如图 33 所示。带状膜 376 最好基本是柔性的材料，比如 Kapton[®] 聚酰亚胺膜（美国特拉华州 Wilmington 市 E.I. du Pont de Nemours and Company 公司生产），也可以用任何适当的材料，包括金属膜，其上设置粘结剂，比如硅树脂。充填材料 372（未显示）通过至少一个从散热器第二表面延伸到凹进部分侧壁 308 的通道 378 注入。

清除带状膜 376，如前所讨论的，然后将叠片互连条 130 连接到微电子芯片有效表面 316 和散热器第一表面 306。各个微电子芯片 314 然后通过叠片互连条 130 和散热器 302 进行单个化，形成至少一个单个微电子芯片组件 386，如图 34 所示。还应当知道，各个微电子

芯片 314 可先进行单个化，然后再连接单个化叠片互连条 130，这样可减少芯片对芯片对准的问题，直接形成单个的微电子芯片组件 386。

5 在另一个实施例中，叠片互连条 130 可以首先连接到微电子芯片 314 和散热器 302。然后通过通道 378 引入封装材料 372 到叠片互连条 130 和微电子芯片 314，及散热器 302 之间的间隙中。

由于微电子组件变薄，本发明在连接区侧电容形成低电感。此外，由于不必要在微电子芯片表面设置焊料凸块，故具有可量测性。此外，由于不需要进行复杂的组装，可实现节约成本。

10 从而，已经对本发明的优选实施例进行了介绍，应当认识到被所附的权利要求限定的本发明不受上述介绍中的具体细节的限制，在不脱离本发明的实质精神和范围的情况下可进行许多明显的改进。

图 1

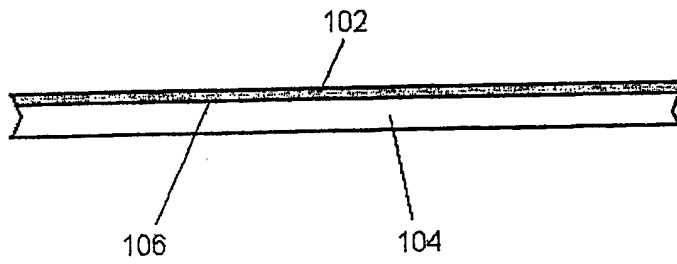


图 2

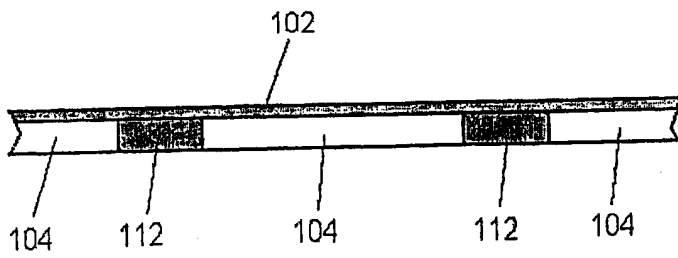
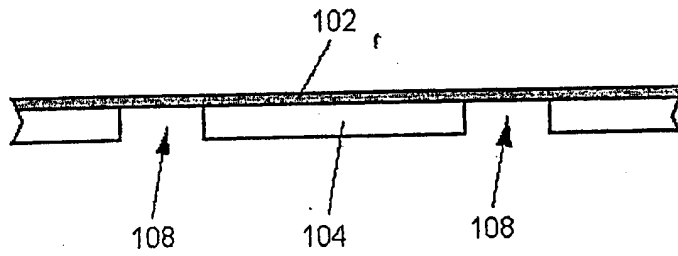


图 3

图 4

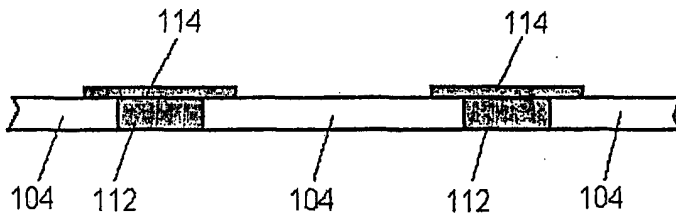


图 5

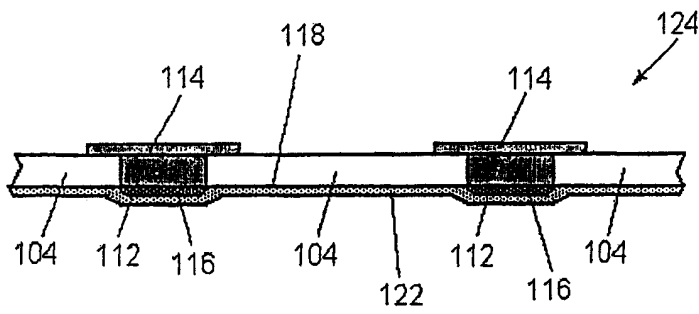
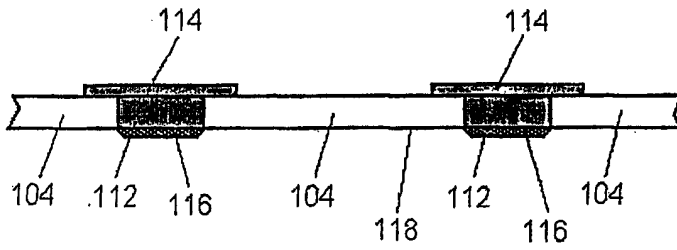


图 6

图 7

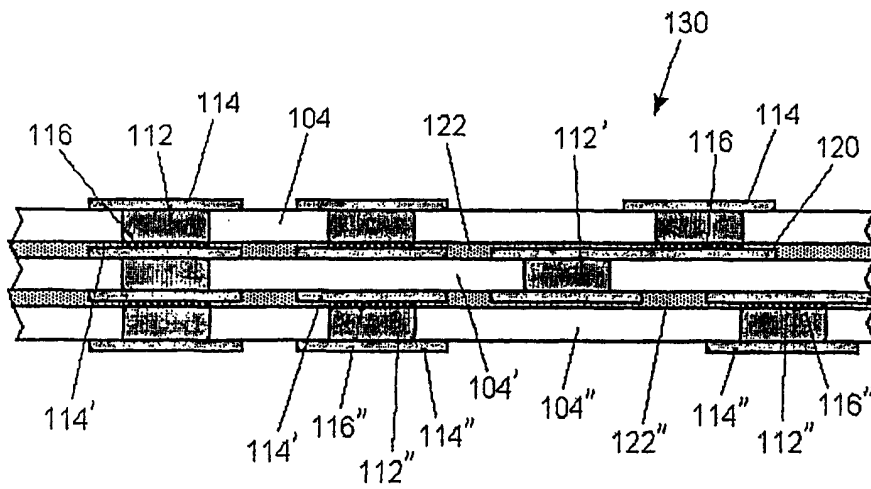
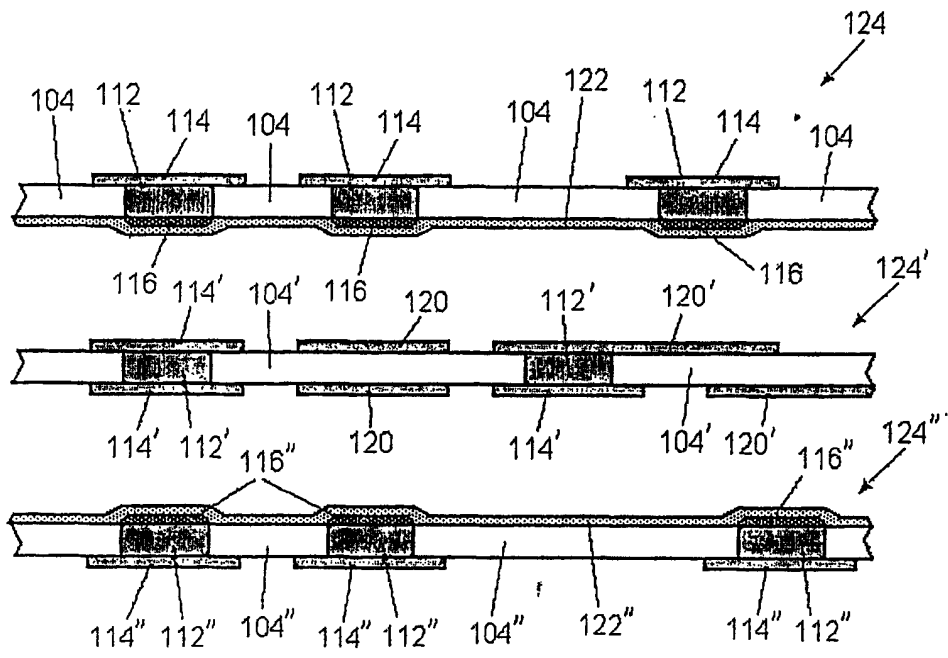


图 8

图 9

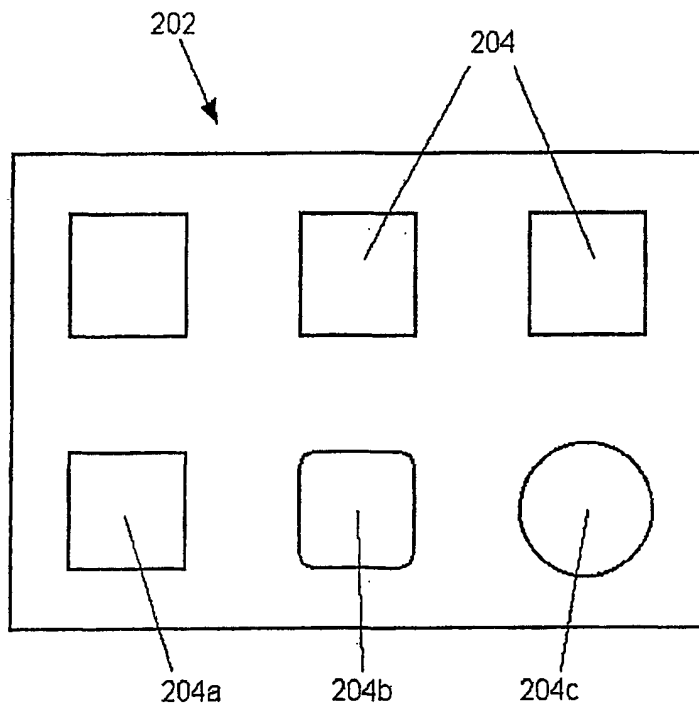
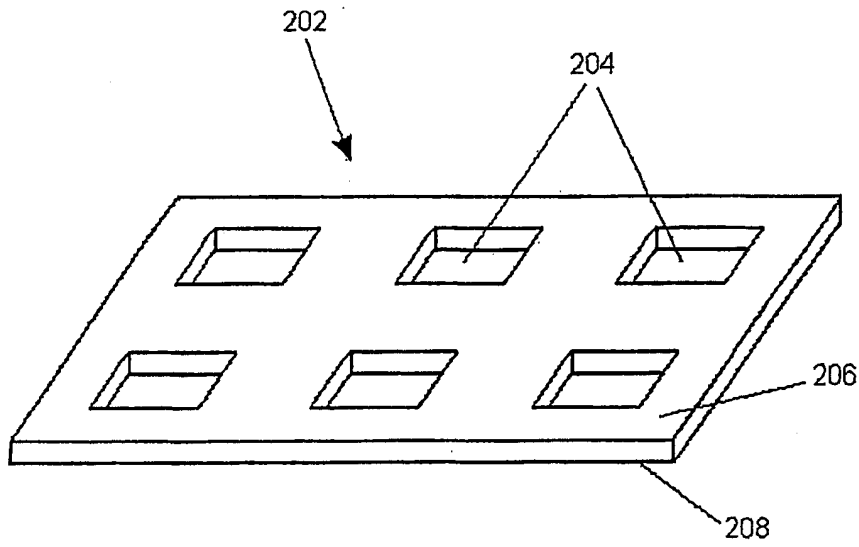


图 10

图 11

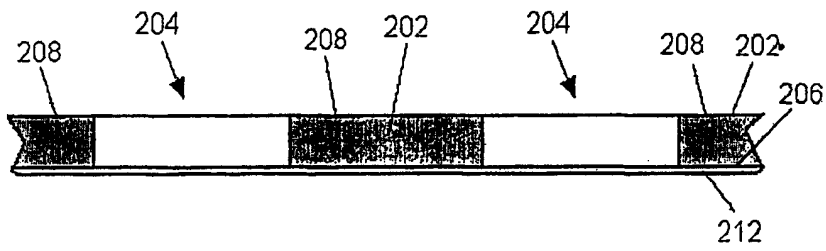


图 12

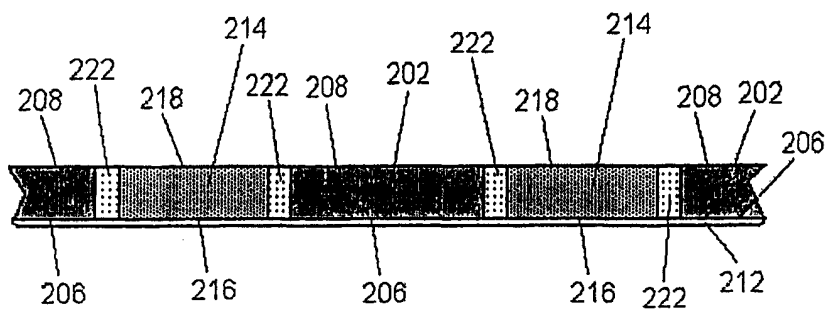
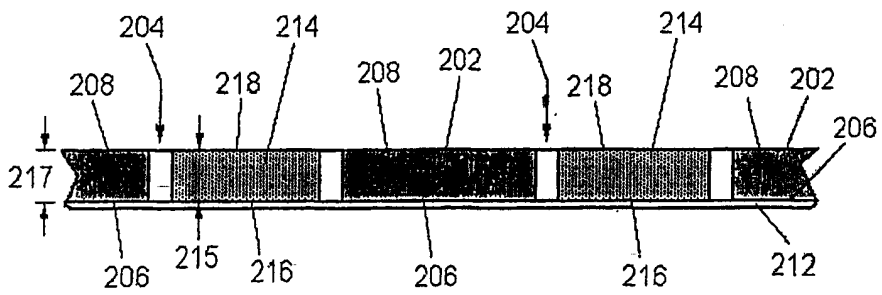


图 13

图 14

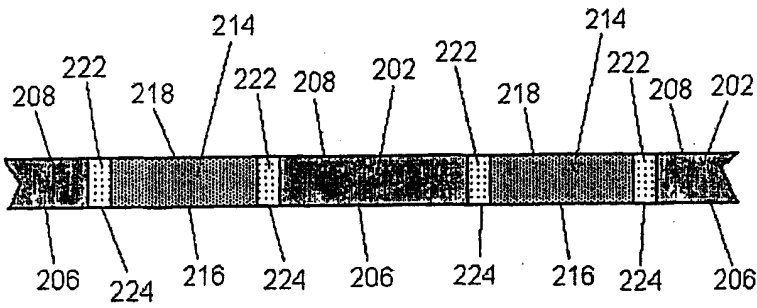


图 15

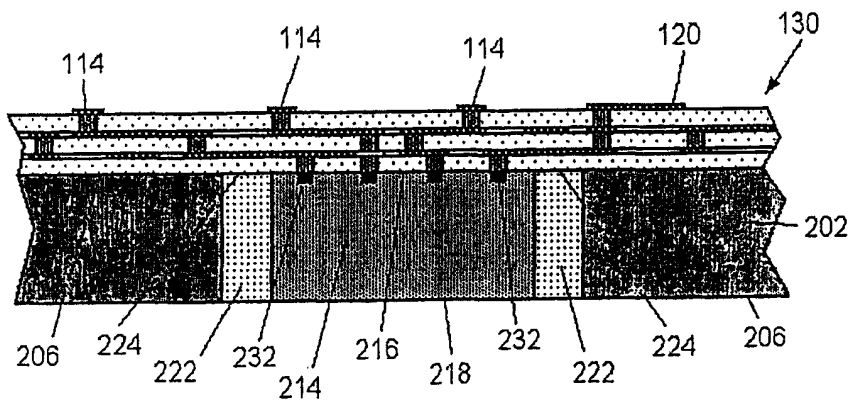
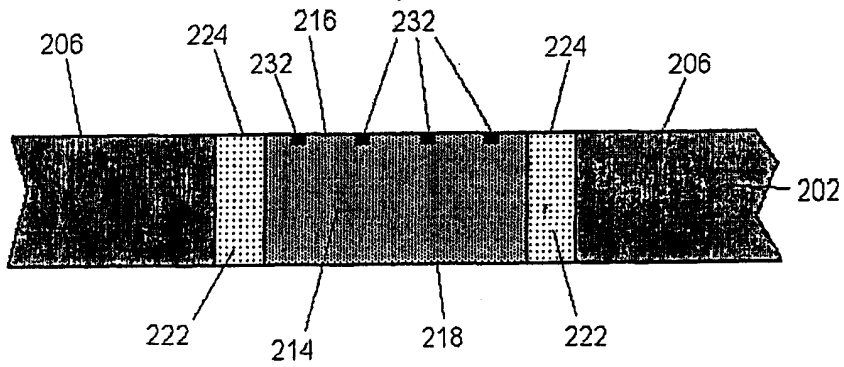


图 16

图 17

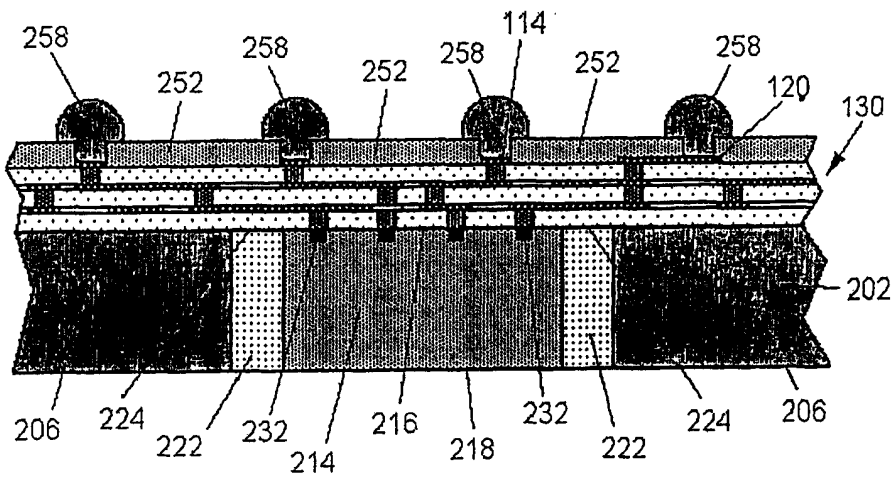


图 18

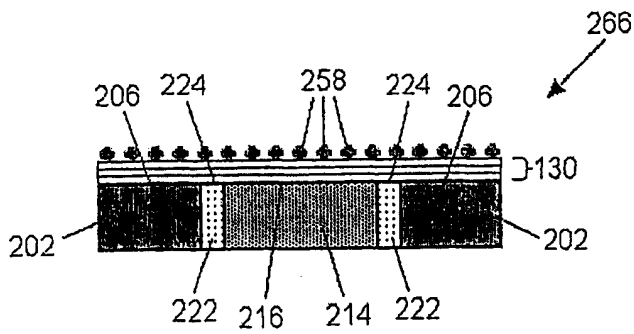
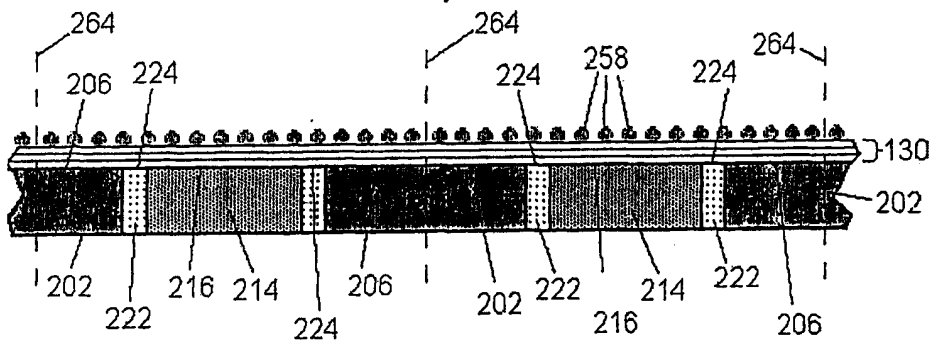


图 19

图 20

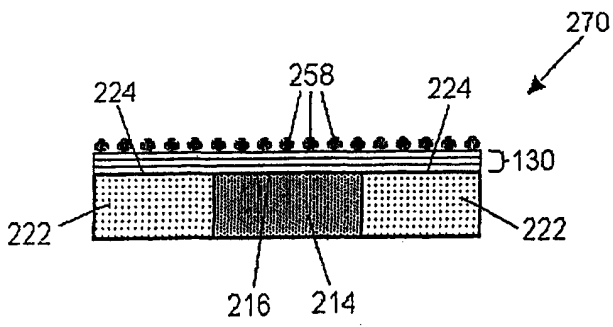
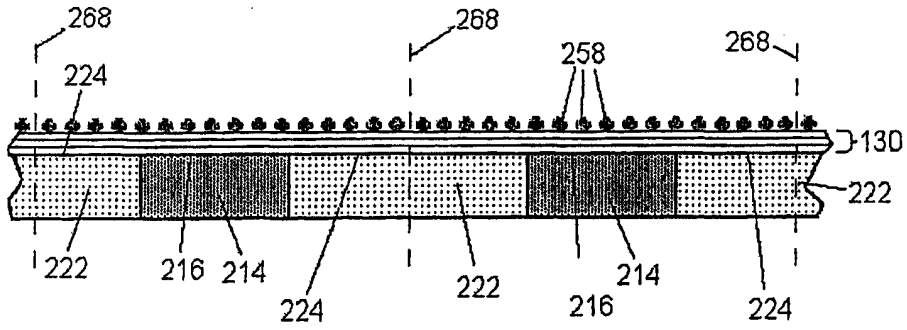


图 21

图 22

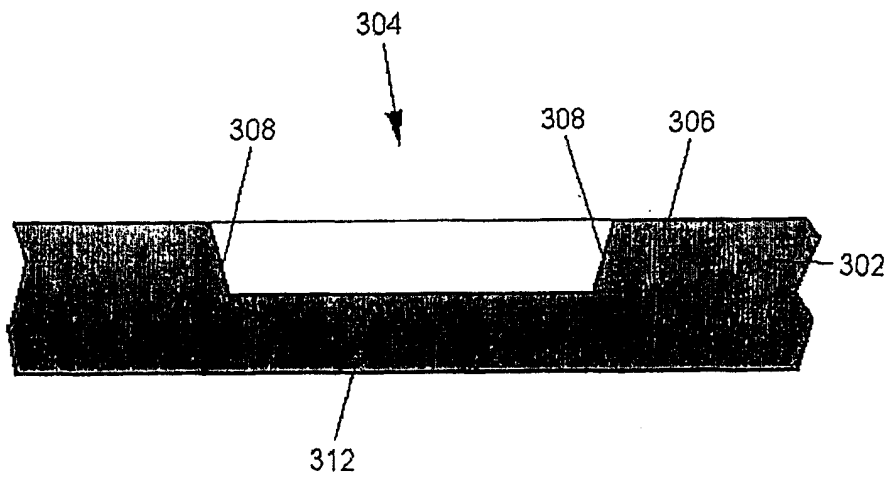
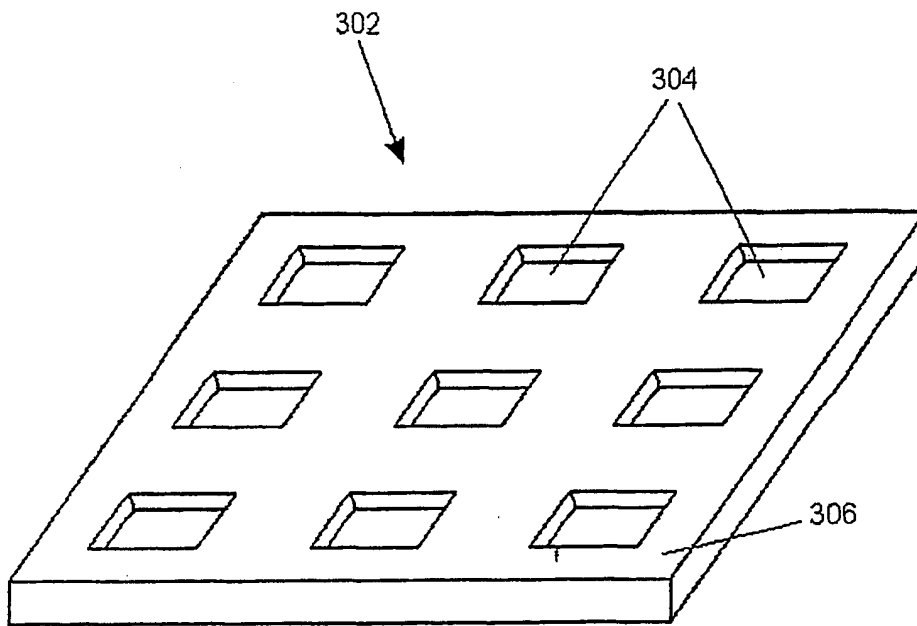


图 23

图 24

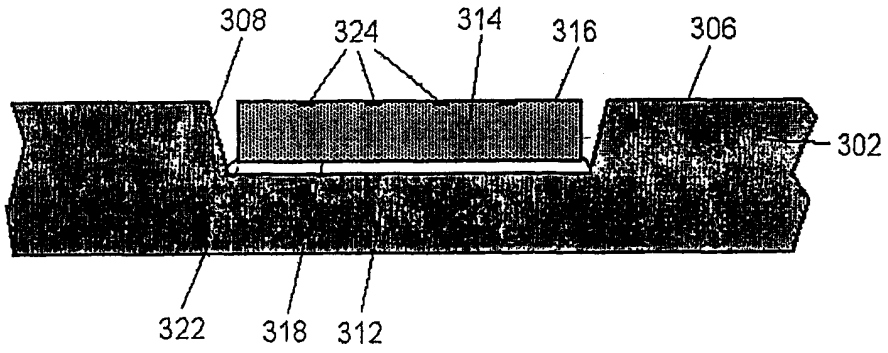


图 25

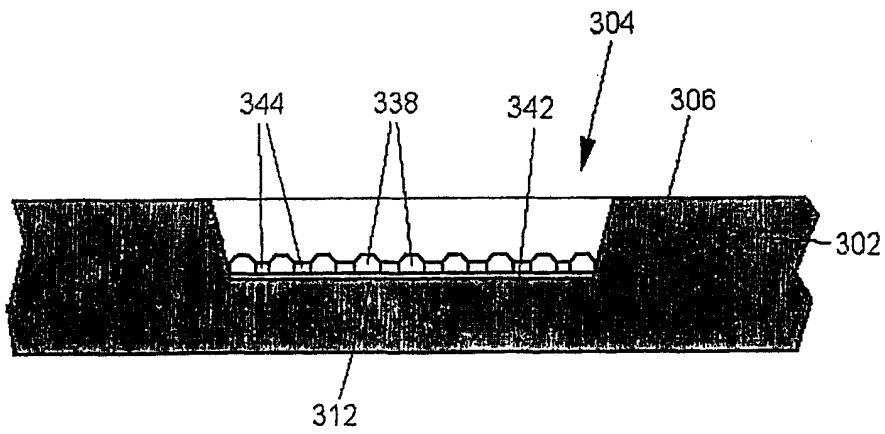
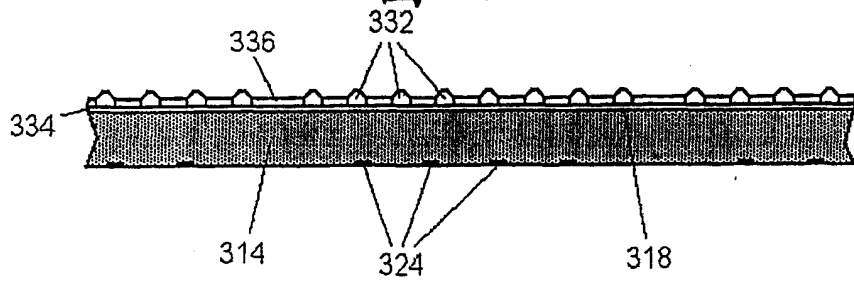


图 26

图 27

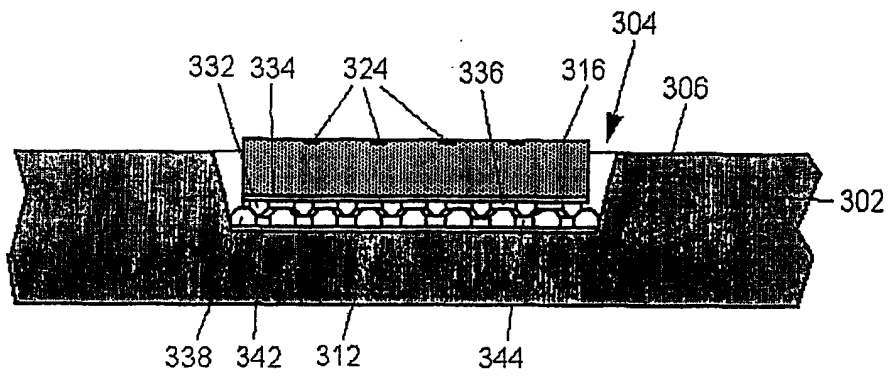


图 28

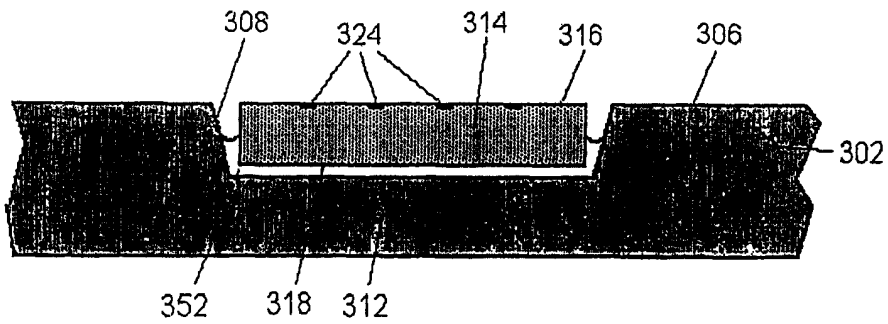
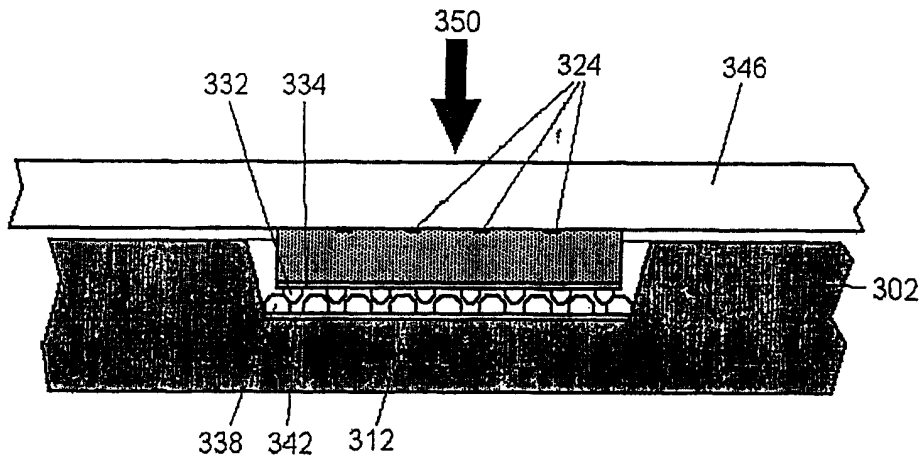


图 29

图 30

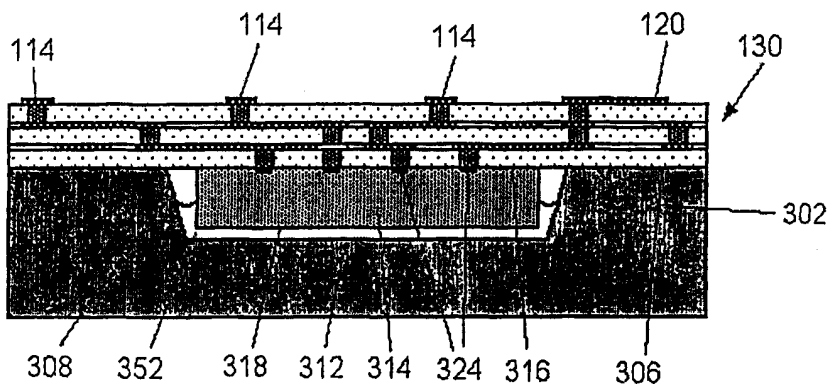
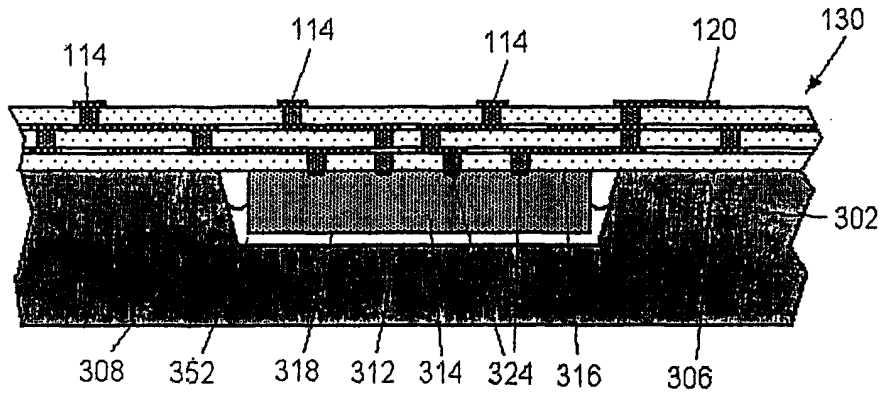


图 31

图 32

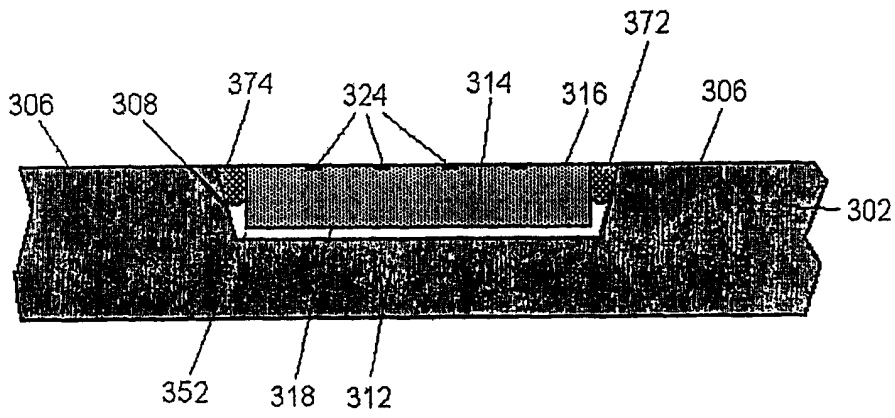


图 33

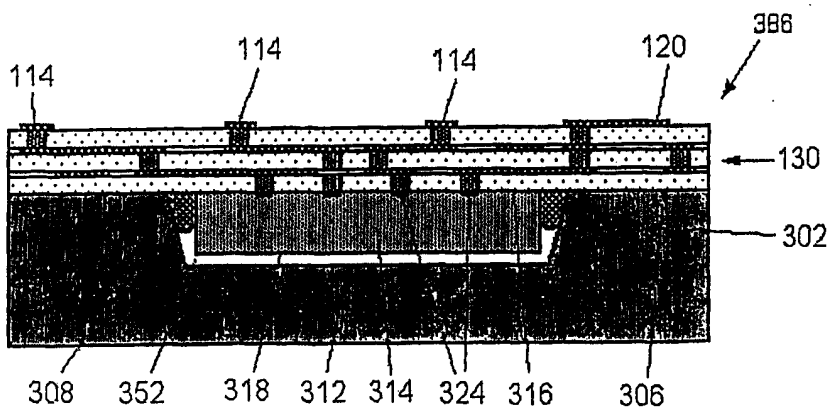
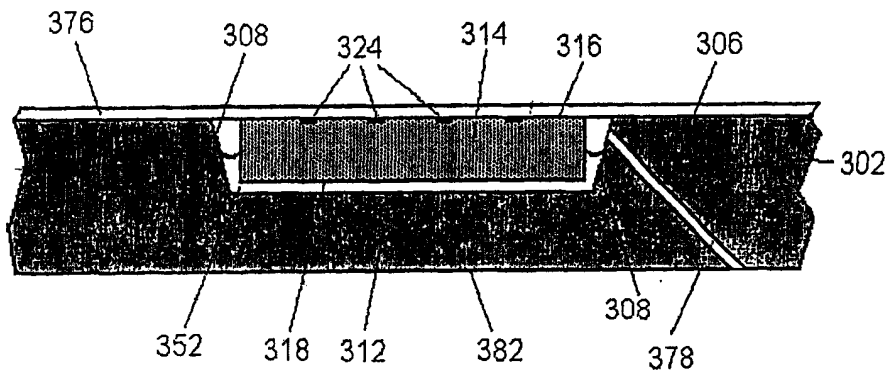


图 34

图 35
现有技术

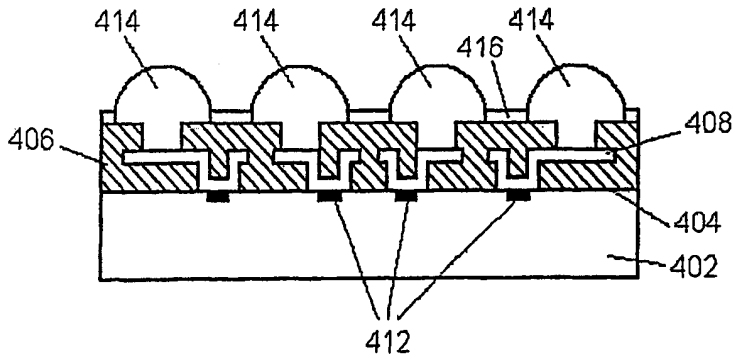


图 36
现有技术

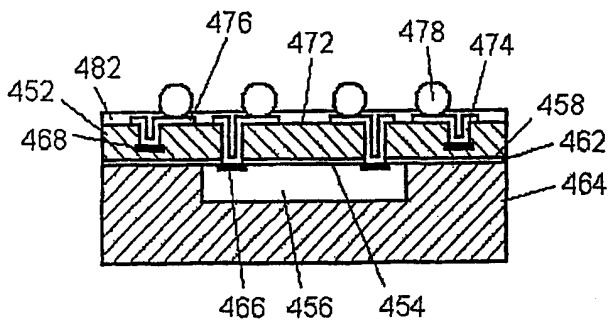
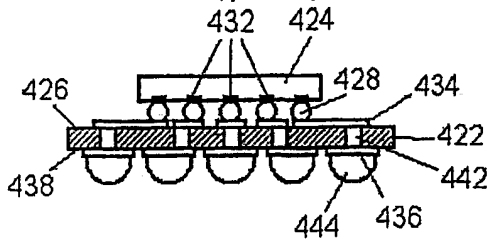


图 37
现有技术