I334606

公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：96111656

※ 申請日期： 96.4.02 ※IPC 分類：

G11C 16/02 (2006.01)

一、發明名稱：（中文/英文）

用於減少讀取期間程式干擾衝擊之方法和系統

METHOD AND SYSTEM FOR REDUCING THE IMPACT OF PROGRAM DISTURB DURING READ

二、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

美商桑迪士克股份有限公司

SANDISK CORPORATION

代表人：（中文/英文）

1. 朱蒂 布魯諾

BRUNER, JUDY

2. 梅根 康普特

COMPORT, MEGAN

住居所或營業所地址：（中文/英文）

美國加州謬佩塔斯市麥卡錫大道601號

601 MCCARTHY BOULEVARD, MILPITAS, CA 95035, U.S.A.

國 籍：（中文/英文）

美國 U.S.A.

三、發明人：(共 1 人)

姓　名：(中文/英文)

葛瑞特 詹 漢明克

HEMINK, GERRIT JAN

國　籍：(中文/英文)

荷蘭　THE NETHERLANDS

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2006年04月12日；60/791,365

2. 美國；2006年04月28日；11/413,951

3. 美國；2006年04月28日；11/413,671

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種非揮發性記憶體。

【先前技術】

半導體記憶體設備已變得較風行地用於各種電子設備中。舉例而言，非揮發性半導體記憶體用於蜂巢式電話、數位相機、個人數位助理、行動計算設備、非行動計算設備及其他設備中。電子可擦可程式唯讀記憶體(EEPROM)及快閃記憶體為最風行的非揮發性半導體記憶體。

許多類型之EEPROM及快閃記憶體利用定位於一半導體基板中之一通道區域上方且與該通道區域絕緣的浮動閘極。該浮動閘極定位於源極區與汲極區之間。控制閘極提供於浮動閘極之上且與浮動閘極絕緣。電晶體之臨限電壓由保留在浮動閘極之上的電荷量控制。亦即，在接通電晶體以允許在其源極與汲極之間導電前必須向控制閘極施加之電壓的最小量由浮動閘極之上的電荷量來控制。

快閃記憶體系統之一實例使用反及(NAND)結構，該結構包括配置夾在兩個選擇閘極之間的多個串聯電晶體。串聯電晶體及選擇閘極被稱作一反及串。圖1為展示一反及串之俯視圖。圖2為其等效電路。在圖1及圖2中所描繪之反及串包括串聯且夾在第一(或汲極)選擇閘極120與第二(或源極)選擇閘極122之間的四個電晶體100、102、104及106。選擇閘極120經由位元線接點126將反及串連接至位元線。選擇閘極122將反及串連接至源極線128。藉由向選

擇線SGD施加適當電壓而控制選擇閘極120。藉由向選擇線SGS施加適當電壓而控制選擇閘極122。電晶體100、102、104及106之每一者具有一控制閘極及一浮動閘極。舉例而言，電晶體100具有控制閘極100CG及浮動閘極100FG。電晶體102包括控制閘極102CG及浮動閘極102FG。電晶體104包括控制閘極104CG及浮動閘極104FG。電晶體106包括控制閘極106CG及浮動閘極106FG。控制閘極100CG連接至字線WL3，控制閘極102CG連接至字線WL2，控制閘極104CG連接至字線WL1，且控制閘極106CG連接至字線WL0。

應注意，儘管圖1及圖2展示反及串中之四個記憶體單元，但僅將四個電晶體之使用提供為一實例。一反及串可具有少於四個記憶體單元或多於四個記憶體單元。舉例而言，一些反及串將包括8個記憶體單元，16個記憶體單元，32個記憶體單元，64個記憶體單元等。本文中之論述不限於反及串中之任何特定數目的記憶體單元。

使用反及結構之快閃記憶體系統的一典型架構將包括若干個反及串。舉例而言，圖3展示具有多得多反及串之記憶體陣列的三個反及串202、204及206。圖3之反及串之每一者包括兩個選擇電晶體(亦稱作閘極)及四個記憶體單元。舉例而言，反及串202包括選擇電晶體220及230，及記憶體單元222、224、226及228。反及串204包括選擇電晶體240及250，及記憶體單元242、244、246及248。每一反及串由其源極選擇閘極(例如，選擇電晶體230及選擇電

晶體250)連接至源極線。選擇線SGS用以控制源極選擇閘極(例如，230及250)。

各個反及串由受選擇線SGD控制之選擇電晶體220、240等連接至各別位元線。每一位元線及經由一位元線接點連接至該位元線之各別反及串包含該陣列之記憶體單元之行。位元線由多個反及串共用。通常，位元線以垂直於字線之方向在反及串之上執行且連接至一或多個感應放大器。

字線(WL3、WL2、WL1及WL0)包含該陣列之列。字線WL3連接至記憶體單元222及記憶體單元242之控制閘極。字線WL2連接至記憶體單元224、記憶體單元244及記憶體單元252之控制閘極。字線WL1連接至記憶體單元226及記憶體單元246之控制閘極。字線WL0連接至記憶體單元228及記憶體單元248之控制閘極。

每一記憶體單元可儲存資料(類比或數位)。當儲存一個位元之數位資料(稱作二元記憶體單元)時，將記憶體單元之可能臨限電壓的範圍分成被指派邏輯資料"1"及"0"之兩個範圍。在反及型快閃記憶體之一實例中，在擦除記憶體單元後，該電壓臨限值為負的，且被界定為邏輯"1"。繼程式設計之後，該臨限電壓為正的且被界定為邏輯"0"。當臨限電壓為負的且藉由向控制閘極施加0伏特而嘗試讀取時，記憶體單元將接通以指示正儲存邏輯"1"。當臨限電壓為正的且藉由向控制閘極施加0伏特而嘗試讀取操作時，記憶體單元將不接通，此指示儲存邏輯"0"。

記憶體單元亦可儲存多個位準之資訊(稱作多狀態記憶體單元)。在儲存多個位準之資料的狀況下，將可能臨限電壓的範圍分成該數目個位準之資料。舉例而言，若儲存四個位準之資訊，則將存在指派為資料值"11"、"10"、"01"及"00"之四個臨限電壓範圍。在反及型記憶體之一實例中，在擦除操作之後的臨限電壓為負的且被界定為"11"。正臨限電壓用於"10"、"01"及"00"之狀態。

反及型快閃記憶體及其操作之相關實例提供於如下美國專利/專利申請案中，所有此等案以引用的方式併入本文中：美國專利第5,570,315號；美國專利第5,774,397號；美國專利第6,046,935號；美國專利第6,456,528號及美國專利公開案第US2003/0002348號。本文中之論述除可應用於反及型記憶體之外亦可應用於其他類型之快閃記憶體以及其他類型之非揮發性記憶體。

當程式設計快閃記憶體單元時，向控制閘極施加程式電壓且位元線接地。歸因於快閃記憶體單元之通道與浮動閘極之間的電壓差動，來自浮動閘極下方之通道區域的電子被注入浮動閘極中。當電子聚積於浮動閘極中時，浮動閘極變成帶負電荷的且記憶體單元之臨限電壓增加。為了向正經程式設計之單元的控制閘極施加程式電壓，將該程式電壓施加於適當字線上。如上文所述，該字線亦連接至利用相同字線之其他反及串之每一者中的一記憶體單元。舉例而言，當程式設計圖3之記憶體單元224時，程式電壓亦將施加至記憶體單元244之控制閘極，此係因為兩個記憶

體單元共用相同字線。當需要程式設計一字線上之一單元而無需程式設計連接至相同字線之其他單元時，例如，當需要程式設計記憶體單元224且不需要程式設計記憶體單元244時，一問題出現。因為向連接至一字線之所有記憶體單元施加程式電壓，所以相同字線上的未選定記憶體單元(未經程式設計之記憶體單元)可無意中被程式設計。舉例而言，記憶體單元244鄰近於記憶體單元224。當程式設計記憶體單元224時，存在記憶體單元244可被非故意地程式設計之問題。在選定字線上之未選定記憶體單元的非故意程式設計被稱作"程式干擾"。

若干技術可用以防止程式干擾。在一稱作"自增壓"之方法中，使未選定反及串與對應位元線電絕緣，且在程式設計期間向未選定字線施加通過電壓(例如，7至10伏特，但不限於此範圍)。未選定字線耦接至未選定反及串之通道區域，引起電壓(例如，6至10伏特)存在於未選定反及串之通道中，藉此減少程式干擾。自增壓引起升高電壓存在於通道中，此降低橫過穿隧氧化層之電壓差動且因此減少程式干擾。應注意，因為升高的通道電壓視通過電壓之值而定且亦視記憶體單元之狀態而定，所以升高的通道電壓可大大變化，其中當反及串中之所有記憶體單元處於擦除狀態時，增壓最有效(最高通道電壓)。

圖4及圖5描繪經程式設計且使用自增壓方法禁止之反及串。圖4描繪經程式設計之反及串。圖4之反及串包括八個記憶體單元304、306、308、310、312、314、316及318。

彼等八個記憶體單元之每一者包括一浮動閘極(FG)及一控制閘極(CG)。浮動閘極之每一者之間為源極/汲極區330。在一些實施例中，存在P型基板(例如，矽)、在基板內之N井及在N井內之P井(未描繪所有此等元件以使圖式更易讀懂)。應注意，P井可含有所謂的通道植入，其通常為確定或有助於確定記憶體單元之臨限電壓及其他特徵的P型植入。源極/汲極區330為形成於P井中之N+擴散區。

汲極側選擇閘極324在反及串之一端處。汲極選擇閘極324經由位元線接點334將反及串連接至對應位元線。源極選擇閘極322在反及串之另一端處。源極選擇閘極322將反及串連接至共同源極線332。在程式設計期間，選定用於程式設計之記憶體單元(例如，記憶體單元312)在其相關聯字線上接收程式電壓Vpgm。程式電壓Vpgm通常可在12伏特與24伏特之間變化。在一實施例中，程式電壓信號為一組脈衝，脈衝之量值隨每一新脈衝而增加。向未選定用於程式設計之記憶體單元的控制閘極施加約8伏特之通過電壓Vpass。源極選擇閘極322處於絕緣狀態，從而在其閘極(G)處接收0伏特。向共同源極線332施加低電壓。該低電壓可為0伏特。然而，源極電壓亦可稍微高於0伏特以提供源極側選擇閘極之較好的絕緣特徵。向汲極側選擇閘極324施加通常在電源電壓Vdd(例如，2.5伏特)之範圍中的電壓Vsgd。經由對應位元線向位元線接點334施加0伏特以啟用選定記憶體單元312之程式設計。通道340處於或接近0伏特。由於通道與記憶體單元314之浮動閘極之間的電壓

差動，藉由Fowler-Nordheim穿隧，電子穿過閘氧化層(通常亦稱作穿隧氧化層)進入浮動閘極。

圖5之反及串描繪被禁止程式設計之反及串。該反及串包括八個記憶體單元350、352、354、356、358、360、362及364。該反及串亦包括經由位元線接點374將反及串連接至對應位元線之汲極選擇閘極366，及將反及串連接至共同源極線332之源極選擇閘極368。源極/汲極區370在浮動閘極堆疊之每一者之間。圖5之反及串具有向汲極選擇閘極366之閘極施加之Vsgd、向源極側選擇閘極368之閘極施加之0伏特及在共同源極線332處之0伏特(或稍微較高的電壓)。位元線接點374經由對應位元線接收電源電壓Vdd以禁止記憶體單元358之程式設計。

當施加Vdd時，汲極選擇電晶體366最初將處於傳導狀態；因此，在反及串下方之通道區域將被部分充電高達一較高電位(高於0伏特且通常等於或幾乎等於Vdd)。此充電通常被稱作預充電。當通道電位已達到Vdd或由Vsgd-Vt給定之較低電位時，預充電將自動停止，其中Vt等於汲極選擇閘極366之臨限電壓。通常，在預充電期間，以Vsgd-Vt>Vdd之方式選擇Vsgd以使得在反及串下方之通道區域可被預充電至Vdd。在通道已達到該電位後，藉由將Vsgd降低至類似於Vdd(例如，2.5伏特)之值而使選擇閘極電晶體為非傳導或變成非傳導的。隨後，將電壓Vpass及Vpgm自0伏特升高至其各自終值(未必在同時)，且因為汲極側選擇閘極電晶體366處於非傳導狀態，所以通道電位

將歸因於字線與通道區之間的電容耦合而開始上升。此現象稱作自增壓。自圖5中可見使通道380或多或少均一地增壓至升高電壓。因為已減少記憶體單元358之浮動閘極與通道380之間的電壓差動，所以程式設計得到禁止。關於程式設計反及快閃記憶體之更多資訊(包括自增壓技術)可在Lutze等人之美國專利第6,859,397號，"Source Side Self Boosting Technique for Non-Volatile Memory，"中找到，該案之全文以引用的方式併入本文中。

用以解決程式干擾之另一嘗試為擦除區域自增壓("EASB")。EASB試圖使先前經程式設計單元之通道與被禁止之單元的通道絕緣。在EASB方法中，將選定反及串之通道區域分成兩個區域。在可含有許多程式設計(或擦除單元)記憶體單元之選定字線之源極側處的區域及在單元仍處於擦除狀態，或至少尚未處於最終程式狀態之選定字線之汲極側處的區域。兩個區域由偏壓至低電壓(通常為0伏特)之字線分隔。由於此分隔，可使兩個區域增壓至不同電位。在幾乎所有狀況下，將使在選定字線之汲極側處的區域比在源極側處的區域增壓至更高電位。由於最高增壓區域為具有擦除單元之區域，所以此增壓方法亦被稱作擦除區域自增壓(EASB)。

儘管以上增壓方法已減少程式干擾，但其尚未消除該問題。可對鄰接源極選擇閘極之記憶體單元(例如，記憶體單元350鄰接圖5之源極選擇閘極368)發生的一種影響為閘極引發汲極漏電流(GIDL)，其亦被稱作帶對帶穿隧。當在

反及串下方之通道被禁止程式設計(增壓至高電壓)時，GIDL導致在源極選擇閘極處產生電子。隨後，在強橫向電場中朝鄰接源極選擇閘極之記憶體單元的浮動閘極加速產生的電子。有些電子可獲得足夠能量以注入浮動閘極下方之穿隧氧化層中或浮動閘極自身中，且因此改變對應記憶體單元之臨限電壓。

圖6展示在對汲極放大之情況下，圖5之反及串的一部分及記憶體單元350之通道的一部分。歸因於在程式禁止操作期間(例如，當其他反及串正經程式設計時)反及串的增壓，高電壓存在於增壓反及串之通道區域(參見增壓通道380)中。此高電壓亦存在於源極選擇閘極368(其通常在0 V處經偏壓)與鄰接源極選擇閘極368之記憶體單元350之間的接面區域處。此偏壓狀況可產生GIDL，其可導致電子電洞對的形成。該等電洞將進入P井區域384。電子將移動至增壓通道區域380。通常，存在一橫向電場，該橫向電場存在於源極選擇閘極與鄰接源極側選擇閘極之記憶體單元之間的接面區域中，此係因為該接面(汲極/源極)之部分歸因於記憶體單元下方之通道區域與選擇閘極下方之通道區域之間大的電壓差而被耗盡。電子可在電場中經加速且可獲得足夠能量以注入鄰接源極側選擇閘極之記憶體單元的穿隧氧化層中或可甚至到達該記憶體單元之浮動閘極。在兩種狀況下，由於注入電子的存在，對應記憶體單元之臨限電壓將變化，藉此在讀取鄰接源極選擇閘極之記憶體單元時遭受誤差之危險。

因此，需要一種新機制以減少程式干擾衝擊。

【發明內容】

推薦一種用於程式設計及/或讀取非揮發性儲存元件之系統，該系統減少程式干擾作用。在一組實施例中，在程式設計過程期間不同驗證位準用於一特定字線(或儲存元件之其他組群)。對於使用多狀態設備之一組實例而言，一個程式狀態、兩個程式狀態、另一子集之程式狀態或所有程式狀態的靶標位準可不同。在一些實施例中，與特定字線(或儲存元件之其他組群)相關聯的不同頁資料可使用不同(一個、兩個、另一子組或所有)靶標位準。在其他實施例中，與特定字線(或儲存元件之其他組群)相關聯的不同儲存元件可使用不同(一個、兩個、另一子組或所有)靶標位準。在一實施例中，基於字線相對於增壓區域之位置來選擇接收不同靶標位準之字線。

一實施例包括使用一群靶標位準來程式設計一群非揮發性儲存元件及使用一特定組靶標位準來程式設計一特定組非揮發性儲存元件，以使得在完成一程式設計過程後該特定組非揮發性儲存元件的臨限值分佈在該群非揮發性儲存元件之對應臨限值分佈範圍內。該特定組靶標位準中的至少一者低於該群靶標位準之一對應靶標位準。

一實施例包括使用一群靶標位準來程式設計一群非揮發性儲存元件及使用一特定組靶標位準來程式設計一特定組非揮發性儲存元件，以使得在完成一程式設計過程後該特定組非揮發性儲存元件的臨限電壓分佈經變動以至少自該

群非揮發性儲存元件之對應臨限電壓分佈較小地突出(包括根本不突出)，該特定組靶標位準中的至少一者低於該群靶標位準之一對應靶標位準。

一實施例包括使用一群靶標位準來程式設計一組一或多個非揮發性儲存元件及使用一特定組靶標位準來程式設計一特定非揮發性儲存元件。該特定組靶標位準中的至少一者低於該群靶標位準之一對應靶標位準。該特定非揮發性儲存元件鄰近於一源極選擇閘極。

一實施例包括使用第一組靶標位準來程式設計第一組一或多個非揮發性儲存元件及在程式設計該第一組一或多個非揮發性儲存元件之後使用第二組靶標位準來程式設計第二組一或多個非揮發性儲存元件。首先程式設計該第一組一或多個非揮發性儲存元件。在一連串程式設計操作期間，該第一組一或多個非揮發性儲存元件連接至第一字線且該第二組一或多個非揮發性儲存元件連接至繼第一字線之後經程式設計的一組字線。該第二組靶標位準不同於該第一組靶標位準。

推薦一種用於程式設計及/或讀取非揮發性儲存器之系統，該系統減少程式干擾作用。在一組實施例中，在讀取過程期間不同讀取比較值用於一特定字線(或儲存元件之其他組群)。在程式設計過程期間基於字線相對於增壓區域之位置的位置來選擇將接收不同讀取比較值之字線。

一實施例包括使用第一組讀取比較值來讀取第一組非揮發性儲存元件及使用第二組讀取比較值來讀取第二組一或

多個非揮發性儲存元件。該第一組非揮發性儲存元件連接至第一控制線。該第二組非揮發性儲存元件連接至不同於該第一控制線之第二組控制線。第一組讀取比較值中的至少一者不同於第二組讀取比較值之一對應比較位準。在一實施例(但並非所有實施例)之一實例中，第一控制線鄰接一源極選擇控制線。

一實施例包括使用第一組靶標位準來程式設計第一組非揮發性儲存元件及使用該相同第一組靶標位準來程式設計第二組一或多個非揮發性儲存元件。該第一組非揮發性儲存元件與第一控制線相關聯。第一控制線鄰近於第二控制線。該方法亦包括在第一控制線上提供一程式信號及在需要連接至第二控制線之非揮發性儲存元件的第二控制線上提供一回應於該信號而斷開之信號。該第二組一或多個非揮發性儲存元件與一組控制線相關聯。第一控制線及第二控制線不在該組控制線中。使用第一組讀取比較值來讀取第一組一或多個非揮發性儲存元件。使用第二組讀取比較值來讀取第二組一或多個非揮發性儲存元件。第一組讀取比較值中的至少一者不同於第二組讀取比較值之一對應比較位準。

本文中所述之各種方法可由各種設備來執行。一適合裝置之一種實例包括非揮發性儲存元件及一與非揮發性儲存元件通信之管理電路。非揮發性儲存元件包括第一組非揮發性儲存元件及第二組非揮發性儲存元件。該管理電路執行本文中所述之關於第一組非揮發性儲存元件及第二組非

揮發性儲存元件的各種方法。在一實施例中，管理電路包括控制器、狀態機、指令電路、控制電路及解碼器之任何一者或組合。在其他實施例中，管理電路亦可包括適於特定實施例之其他元件。

【實施方式】

圖7為一快閃記憶體系統之一實施例的方塊圖，該快閃記憶體系統可用以實施本文中所述之一或多個實施例。亦可使用其他系統及實施例。記憶體單元陣列502由行控制電路504、列控制電路506、p-井控制電路508及c-源極控制電路510控制。行控制電路504連接至記憶體單元陣列502之位元線以用於讀取儲存於記憶體單元中之資料、用於在程式操作期間確定記憶體單元之狀態及用於控制位元線之潛在位準以促進或禁止程式設計及擦除。列控制電路506連接至字線以選擇該等字線中之一者、施加讀取電壓、結合由行控制電路504控制之位元線潛在位準施加程式電壓及施加擦除電壓。在一實施例中，列控制306及行控制304包括解碼器以選擇適當字線及位元線。c-源極控制電路510控制連接至記憶體單元之共同源極線(在圖8中標註為"c-源極")。p-井控制電路508控制p-井電壓。

儲存於記憶體單元中之資料由行控制電路504讀出且經由資料輸入/輸出緩衝器512輸出至外部I/O線。儲存於記憶體單元中之程式資料經由外部I/O線輸入至資料輸入/輸出緩衝器512，且傳送至行控制電路504。外部I/O線連接至控制器518。

用於控制快閃記憶體設備之指令資料輸入至控制器518。指令資料通知快閃記憶體請求什麼操作。將輸入指令傳送至狀態機516，該狀態機516為控制電路515之部分。狀態機516控制行控制電路504、列控制電路506、c-源極控制510、p-井控制電路508及資料輸入/輸出緩衝器512。狀態機516亦可輸出快閃記憶體之狀態資料，諸如READY/BUSY(準備就緒/忙碌)或PASS/FAIL(通過/失效)。

控制器518連接至主機系統(諸如個人電腦、數位相機或個人數位助理等)或可與主機系統連接。其與起始指令(諸如儲存資料至記憶體陣列502或自記憶體陣列502讀取資料)之主機通信，且提供或接收此資料。控制器518將此等指令轉換為可由指令電路514解釋及執行之指令信號，指令電路514為控制電路515之部分。指令電路514與狀態機516通信。控制器518通常含有緩衝記憶體，其用於將使用者資料寫入至記憶體陣列或自記憶體陣列讀取使用者資料。

一例示性記憶體系統包含一包括控制器518之積體電路晶片，及每一者含有一記憶體陣列及相關聯控制、輸入/輸出及狀態機電路之一或多個積體電路晶片。一系統之記憶體陣列及控制器電路可整合於一或多個積體電路晶片上。記憶體系統可經嵌入作為主機系統之部分，或可包括於可移除地嵌入主機系統中之記憶卡(或其他封裝)中。該卡可包括整個記憶體系統(例如，包括控制器)或僅包括具有相關聯周邊電路(具有嵌入主機中之控制器或控制功能)

之記憶體陣列。因此，控制器可嵌入主機中或包括於可移除記憶體系統內。

在一些實施例中，可組合圖7之一些組件。在各種設計中，除記憶體單元陣列502以外，圖7之組件中的一或多者(單獨或組合)可被認為為一管理電路。舉例而言，管理電路可包括控制電路515、指令電路514、狀態機516、行控制電路504、列控制電路506、p-井控制電路508、c-源極控制電路510及資料I/O 512中之任何一者或組合。

參看圖8，描述記憶體單元陣列502之一例示性結構。如一實例，描述被分割成1,024個區塊之反及快閃EEPROM。可同時擦除儲存於每一區塊中之資料。在一實施例中，該區塊為可被同時擦除之記憶體單元的最小單元。在該實例中，在每一區塊中存在8,512個行。每一區塊通常被分成可為程式設計單元之一定數目的頁。用於程式設計之資料的其他單元亦為可能的。在一實施例中，個別頁可被分成區段，且該等區段可含有作為基本程式設計操作同時被寫入的最小數目的單元。一或多頁資料通常儲存於一列記憶體單元中。

在圖8中之實例的每一區塊中存在8,512個行，該等行被分成偶數位元線(BLe)及奇數位元線(BLo)。在奇數/偶數位元線架構中，沿一共同字線且連接至奇數位元線之記憶體單元在一時間經程式設計，而沿一共同字線且連接至偶數位元線之記憶體單元在另一時間經程式設計。圖8展示串聯連接之四個記憶體單元以形成一反及串。儘管展示四個

單元包括於每一反及串中，但可使用多於或少於四個(例如，16、32或另一數目)單元。反及串之一端子經由汲極選擇閘極(連接至選擇閘極汲極線SGD)連接至一對應位元線，且另一端子經由源極選擇閘極(連接至選擇閘極源極線SGS)連接至c-源極。

在其他實施例中，位元線不被分成奇數位元線及偶數位元線。此等架構通常被稱作全位元線架構。在全位元線架構中，可在讀取及程式操作期間同時選擇一區塊之所有位元線。沿一共同字線且連接至任何位元線之記憶體單元可經同時程式設計。

在另一實施例中，位元線被分成平面。舉例而言，可存在左平面(最左的4256個位元線)及右平面(最右的4256個位元線)。每一平面可被單獨程式設計或兩個平面可被同時程式設計。在一些實施例中，可存在兩個以上平面。亦可使用其他配置。

在使用奇數/偶數位元線架構之一實施例的讀取及程式設計操作期間，同時選擇4,256個記憶體單元。選定的記憶體單元具有相同字線(例如，WL2-i)及相同種類之位元線(例如，偶數位元線)。因此，可同時讀取或程式設計532字組之資料。經同時讀取或程式設計之此等532字組之資料形成一邏輯頁。因此，在該實例中，一區塊可儲存至少八頁。當每一記憶體單元儲存兩位元之資料(例如，多狀態單元)時，一區塊儲存16頁。亦可使用其他大小之區塊及頁。另外，除圖7及圖8之架構以外的架構亦可用以實施

實施例。

在讀取及驗證操作中，將選定區塊之選擇閘極升高至一或多個選擇電壓且將選定區塊之未選定字線(例如，WL0、WL1及WL3)升高至一讀取通過電壓(例如，4.5伏特)以使電晶體操作為通過閘極。選定區塊之選定字線(例如，WL2)連接至一參考電壓，該參考電壓之位準專用於每一讀取及驗證操作以確定有關記憶體單元之臨限電壓高於該位準還是低於該位準。舉例而言，在二元記憶體單元之讀取操作中，選定字線WL2為接地的，以便偵測臨限電壓是否高於0 V。在二元記憶體單元之驗證操作中，選定字線WL2連接至0.8 V，例如，以便在程式設計進行時驗證臨限電壓是否已達到0.8 V之靶標位準。在讀取及驗證期間，源極及p井處於0伏特。使選定位元線(BLe)預充電至(例如)0.7 V之位準。由於相關聯非傳導記憶體單元的存在，若臨限電壓高於讀取或驗證位準，則有關位元線(BLe)之電位位準保持高位準。另一方面，由於傳導記憶體單元的存在，若臨限電壓低於讀取或驗證位準，則有關位元線(BLe)之電位位準減小至低位準，例如，小於0.5 V。記憶體單元之狀態由連接至位元線且感應所得位元線電壓之感應放大器偵測。記憶體單元經程式設計還是擦除之間的差異取決於淨負電荷是否儲存於浮動閘極中。舉例而言，若負電荷儲存於浮動閘極中，則臨限電壓變得較高且電晶體可處於操作之增強型模式中。在另一實施例中，可藉由偵測由記憶體單元傳導之電流來讀取記憶體單元。

當在一實例中程式設計記憶體單元時，汲極及p井接收0伏特而控制閘極接收具有增加量值之一系列程式脈衝。在一實施例中，該系列中脈衝之量值在12伏特至24伏特範圍。在其他實施例中，該系列中脈衝之範圍可不同。脈衝之量值增加，其中每一脈衝增加一預定步長。在一包括儲存多個位元之資料之記憶體單元的實施例中，一例示性步長為0.2伏特(或0.4伏特)。在程式設計記憶體單元期間，在程式脈衝之間的週期中進行驗證操作。將經驗證以經充分程式設計之單元封鎖，例如在反及單元中，藉由對於所有隨後程式脈衝將位元線電壓自0升高至V_{DD}(例如，2.5伏特)以終止彼等記憶體單元之程式設計過程。

在成功的程式過程結束時，記憶體單元之臨限電壓應在經程式設計記憶體單元之臨限電壓的一或多個分佈範圍內，或在適當時在經擦除記憶體單元之臨限電壓的一分佈範圍內。圖9說明當每一記憶體單元儲存兩位元之資料時，該記憶體單元陣列的實例臨限電壓分佈。圖9展示經擦除記憶體單元之第一臨限電壓分佈E。亦描繪經程式設計記憶體單元之三個臨限電壓分佈A、B及C。在一實施例中，在E分佈(亦稱作實體狀態E)中之臨限電壓為負的且在A、B及C分佈(亦稱作實體狀態A、B及C)中之臨限電壓為正的。

圖9之每一相異臨限電壓範圍對應於該組資料位元的預定值。經程式設計至記憶體單元中之資料與記憶體單元之臨限電壓位準之間的特定關係取決於用於記憶體單元之資

料編碼方案。舉例而言，美國專利第6,222,762號及美國專利公開案2004/0255090描述多狀態快閃記憶體單元之各種資料編碼方案，此兩個揭示案之全文以引用的方式併入本文中。在一實施例中，使用格雷(Gray)碼指派將資料值指派給臨限電壓範圍以使得在浮動閘極之臨限電壓錯誤地變動至其鄰近實體狀態時，僅將影響一個位元。一實例指派"11"給臨限電壓範圍E(狀態E)，指派"10"給臨限電壓範圍A(狀態A)，指派"00"給臨限電壓範圍B(狀態B)且指派"01"給臨限電壓範圍C(狀態C)。然而，在其他實施例中，不使用格雷碼。儘管圖9展示四種狀態，但本發明亦可供其他多狀態結構(包括具有多於或少於四種狀態之彼等結構)使用。

圖9展示三個讀取比較值-電壓Vra、Vrb及Vrc，以用於自記憶體單元讀取資料。藉由測試給定記憶體單元之臨限電壓高於還是低於Vra、Vrb及Vrc，系統可確定記憶體單元處於什麼狀態。

圖11展示三個驗證靶標位準-電壓Vva2、Vvb2及Vvc2。當程式設計記憶體單元至狀態A時，系統將測試彼等記憶體單元具有大於還是等於Vva2之臨限電壓。當程式設計記憶體單元至狀態B時，系統將測試記憶體單元具有大於還是等於Vvb2之臨限電壓。當程式設計記憶體單元至狀態C時，系統將確定記憶體單元具有其大於還是等於Vvc2之臨限電壓。

在一實施例中，稱作全序列程式設計，可使記憶體單元

自擦除狀態E直接程式設計至程式狀態A、B或C中之任何一者。儘管一些記憶體單元自狀態E程式設計至狀態A，但其他記憶體單元自狀態E程式設計至狀態B及/或自狀態E程式設計至狀態C。

除上文所述之全序列程式設計外，圖9亦說明程式設計儲存兩個不同頁(下頁及上頁)之資料的多狀態記憶體單元之二遍式技術的實例。對於狀態E，兩個頁皆儲存"1"。對於狀態A，下頁儲存"0"且上頁儲存"1"。對於狀態B，兩個頁皆儲存"0"。對於狀態C，下頁儲存"1"且上頁儲存"0"。應注意，儘管已將特定位元模式指派給狀態之每一者，但亦可指派不同位元模式。

在第一遍程式設計中，根據待經程式設計至下邏輯頁中之位元來設定記憶體單元之臨限電壓位準。若該位元為邏輯"1"，則臨限電壓未被改變，此係因為其因已較早被擦除而處於適當狀態。然而，若待經程式設計之位元為邏輯"0"，則單元之臨限值位準增加至狀態A，如由箭頭600所示。其包括該第一遍程式設計。

在第二遍程式設計中，根據待經程式設計至上邏輯頁中之位元來設定記憶體單元之臨限電壓位準。若上邏輯頁位元將儲存邏輯"1"，則無程式設計發生，此係因為單元根據下頁位元之程式設計而處於狀態E或A中之一者中，兩種狀態皆載運一上頁位元"1"。若上頁位元將為邏輯"0"，則臨限電壓變動。若第一遍導致單元仍處於擦除狀態E中，則在第二階段中程式設計單元以使得臨限電壓增加至

狀態C範圍內，如由箭頭604描繪。若單元由於第一遍程式設計而已被程式設計至狀態A中，則記憶體單元在第二遍中經進一步程式設計以使得臨限電壓增加至狀態B範圍內，如由箭頭602描繪。第二遍之結果為將單元程式設計至指定上頁儲存邏輯"0"之狀態中而不改變下頁之資料。

在一實施例中，可在寫入足夠資料以填充一整頁時設立一系統以執行全序列寫入。若未寫入足夠資料以用於全頁，則程式過程可程式設計在接收資料時程式設計的下頁。當接收隨後資料時，系統將接著程式設計上頁。在又一實施例中，系統可在程式設計下頁之模式中開始寫入且在隨後接收足夠資料以填充整個(或大部分)字線的記憶體單元時轉換為全序列程式設計模式。該實施例之更多細節在發明者Sergy Anatolievich Gorobets及Yan Li在2004年12月14日申請之美國專利申請案第11/013,125號，標題"Pipelined Programming of Non-Volatile Memories Using Early Data，"中予以揭示，該案之全文以引用的方式併入本文中。

圖10A至圖10C揭示程式設計非揮發性記憶體之另一過程，對於任何特定記憶體單元而言，該過程藉由在寫入至先前頁之鄰近記憶體單元之後寫入至相對於一特定頁之該特定記憶體單元而減少浮動閘極與浮動閘極之耦合效應。在由圖10A至圖10C教示之過程之一實施例的一實例中，非揮發性記憶體單元使用四種資料狀態每一記憶體單元儲存兩個位元之資料。舉例而言，假定狀態E為擦除狀態且

狀態A、B及C為程式狀態。狀態E儲存資料11。狀態A儲存資料01。狀態B儲存資料10。狀態C儲存資料00。此為非格雷編碼之一實例，因為兩個位元在鄰近狀態A與B之間變化。亦可使用趨於實體資料狀態之資料的其他編碼。每一記憶體單元儲存兩頁資料。對達成參考目的，此等頁資料將被稱作上頁及下頁；然而，其可被給出其他標記。關於圖10A至圖10C之過程的狀態A，上頁資料為0且下頁資料為1。關於狀態B，上頁資料為1且下頁資料為0。關於狀態C，兩個頁皆儲存資料0。

圖10A至圖10C之程式設計過程為兩個步驟之過程。在第一步驟中，程式設計下頁。若下頁將保持資料1，則記憶體單元狀態保持處於狀態E。若資料將被程式設計至0，則升高記憶體單元之臨限電壓以使得記憶體單元被程式設計至狀態B'。因此，圖10A展示記憶體單元自狀態E至狀態B'之程式設計。在圖10A中描繪之狀態B'為臨時狀態B；因此，將驗證靶標位準描繪成Vvb2'，其低於Vvb2。

在一實施例中，在自狀態E至狀態B'程式設計記憶體單元後，將接著就其下頁程式設計其反及串中之鄰近記憶體單元。舉例而言，回頭參看圖2，在程式設計記憶體單元106之下頁後，將程式設計記憶體單元104之下頁。在程式設計記憶體單元104後，若記憶體單元104具有自狀態E升高至狀態B'之臨限電壓，則浮動閘極與浮動閘極之耦合效應將升高記憶體單元106之視在臨限電壓。此將具有使狀態B'之臨限電壓分佈擴展至如圖10B之臨限電壓分佈620所

描繪之臨限電壓分佈的效應。臨限電壓分佈之該視在擴展將在程式設計上頁時得以補救。

圖10C描繪程式設計上頁之過程。若記憶體單元處於擦除狀態E且上頁將保持為1，則記憶體單元將保持處於狀態E。若記憶體單元處於狀態E且其上頁資料將被程式設計至0，則記憶體單元之臨限電壓將升高以使得記憶體單元處於狀態A。若記憶體單元在中間臨限電壓分佈620中且上頁資料將保持為1，則記憶體單元將被程式設計至最終狀態B。若記憶體單元在中間臨限電壓分佈620中且其上頁資料將變成資料0，則將升高記憶體單元之臨限電壓以使得記憶體單元處於狀態C。因為在自E狀態至A狀態或自B狀態至C狀態而不是自圖9中E狀態至C狀態程式設計單元時最大值Vt在上頁程式設計期間之變動減少，所以由圖10A至圖10C描繪之過程減少浮動閘極與浮動閘極之耦合效應。儘管圖10A至圖10C提供關於四種資料狀態及兩頁資料之實例，但由圖10A至圖10C所教示之概念可應用於具有多於或少於四種狀態及多於或少於兩頁的其他實施例。

應注意，存在程式設計各種頁之各種次序。可以適於特定實施例之各種頁的程式設計的許多不同次序使用本發明。關於程式設計之更多資訊可在Jian Chen在2005年4月5日申請之美國專利申請案第11/099,133號，"Compensating for Coupling During Read Operations of Non-Volatile Memory，"中找到，該案之全文以引用的方式併入本文中。

為了減少程式干擾的影響，不同靶標驗證位準可在程式設計過程之驗證步驟期間用於一特定字線(或儲存元件之其他組群)。圖11提供闡釋對鄰接源極選擇閘極之字線及源極選擇線使用一組靶標位準，且對其他字線使用另一組靶標位準的方法之一實施例的流程圖。在圖11之步驟650中，使用第一組靶標位準程式設計字線WL0，待經程式設計之第一字線及鄰接源極選擇線SGS(參見圖2、3及8)之字線。亦即，使用第一組靶標位準程式設計連接至WL0之所有或子組記憶體單元以驗證各別記憶體單元是否已完成程式設計。在步驟652中，使用第二組靶標位準程式設計剩餘(或另一子組)字線。亦即，舉例而言，使用第二組靶標位準程式設計連接至WL1至WL4之所有或子組記憶體單元以驗證各別記憶體單元是否已完成程式設計。回頭參看圖5，字線WL0在增壓區域380之邊緣處。

在一實施例中，第一組靶標位準包括Vva1、Vvb1及Vvc1；且第二組靶標位準包括Vva2、Vvb2及Vvc2。在一實例實施例中，Vva1比對應Vva2低大約100至200 mV，Vvb1比對應Vvb2低大約100至200 mV，且Vvc1比對應Vvc2低大約100至200 mV。

在其他實施例中，第一組靶標位準的子組可與第二組靶標位準的子組相同。此係因為在一些實施例中，可發現程式干擾僅為對於處於一些程式狀態(例如，狀態A，或狀態A及狀態B)之記憶體單元的問題。因此，在一些實施例中，第一組靶標位準包括Vva1、Vvb2及Vvc2且第二組靶

標位準包括Vva2、Vvb2及Vvc2。在其他實施例中，第一組靶標位準包括Vva1、Vvb1及Vvc2且第二組靶標位準包括Vva2、Vvb2及Vvc2。亦可實施其他排列。

第一組及第二組靶標位準中的靶標位準為在程式設計過程期間使用之比較點以確定記憶體單元已何時完成程式設計。舉例而言，在WL0上之意欲程式設計至狀態A的記憶體單元將在其臨限電壓已達到Vva1時完成程式設計過程且在WL3上之意欲程式設計至狀態B的記憶體單元將在其臨限電壓已達到Vvb2時完成程式設計過程。

存在使用雙相粗/細程式設計方法來程式設計的一些設備。第一相(粗程式相)包括試圖以較快方式升高臨限電壓且相對較少地注意達成緊密臨限值分佈。第二相(細程式相)試圖以較慢方式升高臨限電壓以達到靶標臨限電壓同時亦達成較緊密的臨限值分佈。粗/細程式設計方法之實例可在全文以引用的方式併入本文中之如下專利文獻中找到：美國專利公開案第2005/0162916號；美國專利第6,301,161號；美國專利第5,712,815號；美國專利第5,220,531；及美國專利第5,761,222號。當在程式設計期間驗證記憶體單元時，一些先前解決方案將首先使用中間驗證位準執行粗模式之驗證過程且接著隨後使用驗證靶標位準執行細模式之驗證過程。用於改變靶標位準之本發明之解決方案應用於在細模式期間的驗證靶標位準。在某些狀況下，亦可改變中間驗證位準。

藉由降低字線WL0之靶標位準，在記憶體單元之總量的

範圍內，連接至WL0之經程式設計記憶體單元的臨限電壓同在靶標位準不降低之情況下臨限電壓所處之狀態相比應降低了。舉例而言，圖12A展示一種程式狀態(例如，狀態A)之兩個臨限值分佈。分佈670代表連接至所有字線(字線WL0除外)之記憶體單元之臨限電壓分佈(記憶體單元之數目對臨限電壓)的一實例。分佈672代表當所有字線使用相同靶標位準時，連接至字線WL0之記憶體單元之臨限電壓分佈的一實例。由於上文所述之程式干擾，與分佈670相比，分佈672移動至右側且被擴寬。如所看到，分佈672在上端自分佈670突出。

藉由使用字線WL0之較小組靶標位準(如按照步驟650及652)，與WL0相關聯之經程式設計記憶體單元的臨限電壓分佈移動至左側以使得其在完成程式設計過程時在與其他字線相關聯之對應臨限電壓分佈的範圍內。舉例而言，圖12B展示在完成程式設計過程(一或多頁經程式設計以容納一組資料，諸如數位照片或其他檔案之儲存)後，由於使用WL0之較低靶標位準而移動至左側的分佈672以使得分佈672配合於分佈670內。在另一實施例中，在完成程式設計過程(一或多頁經程式設計以容納一組資料，諸如數位照片或其他檔案之儲存)後，分佈672由於使用WL0之較低靶標位準而移動至左側以使得與圖12A中之描繪相比，分佈672在上端至少自分佈670較少地突出。若與圖12A中之描繪相比，分佈672在上端至少自分佈670較少地突出，則在讀取過程(例如，使用ECC)期間，任何剩餘誤差可為固

定的。

應注意，分佈672及分佈670代表一種狀態(例如，狀態A、狀態B、狀態C，或不同狀態)。在一實例中，在具有三種程式狀態(外加一種擦除狀態)之情況下，將存在與分佈672及分佈670類似之高達三對的對應臨限電壓分佈。在涵蓋將兩個以上位元之資訊儲存於記憶體單元中的實施例中，可存在與分佈672及分佈670類似之三個以上對的臨限電壓分佈。在某些狀況下，少於所有狀態將具有其在WL0上移動之分佈。

回頭參看圖11，在步驟660中，使用一組讀取比較值讀取連接至WL0之所有或子組記憶體單元。舉例而言，讀取比較值Vra、Vrb及Vrc(參見圖9)可用以讀取儲存於記憶體單元中之資料。在步驟662中，使用與步驟660中使用之相同組讀取比較值讀取連接至WL0以外之字線的所有或子組記憶體單元。應注意，添加步驟652與步驟660之間的箭頭以代表可在不同於步驟650及652之時間及/或以與步驟651及652不相關之方式執行步驟660。

圖13提供闡釋對在增壓區域之邊緣處之字線使用一組靶標位準且對其他字線使用另一組靶標位準的方法之一實施例的流程圖。在上文所述之圖11之方法中，WL0在增壓區域之邊緣處。然而，在其他實施例中，增壓區域之邊緣可定位於其他地方處。在圖13之步驟680中，使用第二組靶標位準程式設計連接至第一組字線的記憶體單元以驗證各別記憶體單元是否已完成程式設計。在步驟682中，使用

第一組靶標位準程式設計連接至增壓區域之邊緣處之字線的記憶體單元以驗證各別記憶體單元是否已完成程式設計。在步驟684中，使用第二組靶標位準程式設計連接至剩餘字線的記憶體單元以驗證各別記憶體單元是否已完成程式設計。在其他實施例中，可包括額外組字線及額外邊緣字線。

在步驟690中，使用一組讀取比較值(例如，Vra、Vrb及Vrc)讀取連接至第一組字線的記憶體單元。在步驟692中，使用與步驟692中使用之相同組的讀取比較值讀取在程式設計期間連接至增壓區域之邊緣處之字線的記憶體單元。在步驟694中，使用與步驟692中使用之相同組的讀取比較值讀取連接至剩餘組字線的記憶體單元。應注意，添加步驟684與步驟690之間的箭頭以代表可在不同於步驟684之時間及/或以與步驟684不相關之方式執行步驟690。

圖14提供闡釋對與增壓區域之邊緣處之字線(例如，鄰接源極選擇線)相關聯的不同頁資料使用不同組靶標位準且對其他字線使用另一組靶標位準的方法之一實施例的流程圖。在步驟710中，對第一頁資料使用第一組靶標位準(Vva1、Vvb1、Vvc1)且對第二頁資料使用不同組靶標位準程式設計連接至字線WL0(或另一字線)的記憶體單元。舉例而言，不同組靶標位準可包括靶標位準Vva3、Vvb3、Vvc3，其中：

(1)Vva3≠Vva1，Vvb3≠Vvb1，Vvc3≠Vvc1；及

(2)Vva3<Vva2，Vvb3<Vvb2，Vvc3<Vvc2。

在其他實施例中，不同組靶標位準可包括靶標位準Vva3、Vva3及Vvb3中的一些，且剩餘靶標位準與第一組靶標位準或第二組靶標位準相同。

在步驟712中，如上文所述，使用第二組靶標位準程式設計連接至WL0以外之額外字線的記憶體單元。

在步驟720中，使用一組讀取比較值(例如，Vra、Vrb及Vrc)讀取連接至字線WL0的所有或子組記憶體單元。在步驟722中，使用與步驟720中使用之相同組讀取比較值讀取連接至字線WL0以外之字線的所有或子組記憶體單元。應注意，步驟712與步驟720之間的箭頭用虛線表示以代表可在不同於步驟712及710之時間及/或以與步驟712及710不相關之方式執行步驟720。

圖15提供闡釋對連接至增壓區域之邊緣處之字線(例如，鄰接源極選擇線，諸如WL0)的記憶體單元之不同平面(或區或群)使用不同組靶標位準且對其他字線使用另一組靶標位準的方法之一實施例的流程圖。在步驟740中，對第一組群之記憶體單元使用第一組靶標位準且對第二組群之記憶體單元使用不同組靶標位準來程式設計連接至字線WL0(或不同字線)的記憶體單元。在步驟742中，使用第二組靶標位準程式設計連接至WL0以外之額外字線的記憶體單元。

舉例而言，回頭參看圖8，第一平面或組群可包括連接至位元線Ble0至Ble2127之反及串上的記憶體單元且第二平面或組群可包括連接至位元線Ble2128至Ble4255之反及

串上的記憶體單元。在另一實施例中，第一平面或組群可包括連接至位元線Blo0至Blo2127之反及串上的記憶體單元且第二平面或組群可包括連接至位元線Blo2128至Blo4255之反及串上的記憶體單元。第一平面或組群之另一替代包括連接至位元線0至(½(x)-1)之反及串上的記憶體單元且第二平面或組群之另一替代可包括連接至位元線½(x)至(x-1)之反及串上的記憶體單元，其中x為使用者資料之位元線的總數目。第一平面或組群之另一替代可包括連接至奇數位元線之反及串上的記憶體單元且第二平面或組群之另一替代可包括連接至偶數位元線之反及串上的記憶體單元。亦可使用其他組群，且可使用兩個以上的組群。

在步驟750中，使用一組讀取比較值(例如，Vra、Vrb及Vrc)讀取連接至字線WL0(或另一字線)的所有或子組記憶體單元。在步驟752中，使用與步驟750中使用之相同組的讀取比較值讀取連接至字線WL0以外之字線的所有或子組記憶體單元。應注意，添加步驟742與步驟750之間的箭頭以代表可在不同於步驟740及742之時間及/或以與步驟740及742不相關之方式執行步驟750。

圖16為描述程式設計操作之一實施例的流程圖。圖16之方法可用以使用全序列程式設計來程式設計連接至字線的記憶體單元。在不同時間程式設計不同頁之實施例中，圖16之方法可用以為一特定字線或特定組記憶體單元程式設計一頁或一遍。因為程式設計過程可包括程式設計多個頁

及連接至多個字線之記憶體單元，所以程式設計過程可包括執行圖16之程式設計操作多次。

在步驟840處擦除待經程式設計之記憶體單元。步驟840可包括比待經程式設計之彼等記憶體單元(例如，在區塊或其他單元中)擦除更多記憶體單元。在步驟842處，執行軟體程式設計以限定擦除記憶體單元之擦除臨限電壓的分佈。由於擦除過程，一些記憶體單元可比必要時處於更深的擦除狀態。軟體程式設計可施加小的程式脈衝以移動擦除記憶體單元之臨限電壓較接近擦除驗證位準。在圖16之步驟850處，"資料載入"指令由控制器518頒予且輸入至指令電路514，從而允許資料輸入至資料輸入/輸出緩衝器512。輸入資料被認為一指令且由狀態機516鎖存，經由一指令鎖存信號(未圖示)輸入至指令電路514。在步驟852處，將表示頁位址之位址資料自控制器或主機輸入至列控制器或解碼器506。輸入資料被認為頁位址且經由狀態機516鎖存，受位址鎖存信號的影響輸入至指令電路514。在步驟854處，將定址頁之一頁程式資料輸入至資料輸入/輸出緩衝器512以用於程式設計。舉例而言，可在一實施例中輸入582字組之資料。將該資料鎖存於選定位元線之適當暫存器中。在一些實施例中，亦將資料鎖存於選定位元線之第二暫存器中以用於驗證操作。在步驟856處，"程式"指令由控制器518頒予且輸入至資料輸入/輸出緩衝器512。該指令由狀態機516鎖存且經由指令鎖存信號輸入至指令電路514。

在由"程式"指令觸發後，藉由使用向適當字線施加之階躍脈衝，將在步驟854中鎖存之資料程式設計至由狀態機516控制的選定記憶體單元中。在步驟858處，初始化Vpgm(向選定字線施加之程式電壓脈衝)至起始量值(例如，約12 V或另一適合位準)且在0處初始化由狀態機516維持之程式計數器PC。在步驟860處，向選定字線施加第一Vpgm脈衝。若邏輯"0"儲存於一指示應程式設計對應記憶體單元之特定資料鎖存器中，則對應位元線接地。另一方面，若邏輯"1"儲存於指示對應記憶體單元應保持處於其當前資料狀態之特定鎖存器中，則對應位元線連接至V_{DD}以禁止程式設計。如圖4及圖5中所描繪，未選定字線接收Vpass，在Vsgd處設定汲極選擇信號且在0v處設定源極選擇信號。在0伏特或接近0伏特處設定源極線。

在步驟862處，使用適當組靶標位準來驗證選定記憶體單元的狀態，如上文參看圖11、13、14及15所論述。若偵測選定單元之臨限電壓已達到適當靶標位準，則儲存於對應資料鎖存器中之資料改變至邏輯"1"。若偵測臨限電壓尚未達到適當靶標位準，則儲存於對應資料鎖存器中之資料未被改變。以此方式，不必程式設計儲存於其對應資料鎖存器中之具有邏輯"1"的位元線。當所有資料鎖存器正儲存邏輯"1"時，狀態機瞭解已程式設計所有選定單元。在步驟864處，檢查所有資料鎖存器是否正儲存邏輯"1"。倘若如此，則程式設計過程完成且為成功的，此係因為所有選定記憶體單元經程式設計及驗證至其靶標狀態。在步

驟866處報告"通過"狀態。應注意，在一些實施例中，在步驟864處檢查至少一預定數目之資料鎖存器是否正儲存邏輯"1"。該預定數目可小於所有資料鎖存器之數目。因此，允許程式設計過程在所有記憶體單元已達到其適當驗證位準之前停止。可在讀取過程期間使用誤差校正來校正未經成功程式設計的記憶體單元。

若在步驟864處，確定並非所有資料鎖存器正儲存邏輯"1"，則程式設計過程繼續。在步驟868處，對照程式限制值來檢查程式計數器PC。程式限制值之一實例為20；然而，在各種實施例中可使用其他值。若程式計數器PC不小於20，則在步驟869處確定未經成功程式設計之記憶體單元的數目是否等於或小於一預定數目。若不成功程式設計之記憶體單元的數目等於或小於該預定數目，則程式設計過程被標記為通過且在步驟871處報告通過狀態。在許多狀況下，可在讀取過程期間使用誤差校正來校正未經成功程式設計的記憶體單元。然而，若不成功程式設計之記憶體單元的數目大於該預定數目，則程式設計過程被標記為失效且在步驟870處報告失效狀態。若程式計數器PC小於20，則Vpgm位準增加步長(例如，0.2至0.4伏特步長)且在步驟872處程式計數器PC增加。在步驟872後，該過程返回至步驟860以施加下一Vpgm脈衝。

圖17為描繪在讀取或驗證操作之一迭代期間各種信號之行為的時序圖。舉例而言，若記憶體單元為二元記憶體單元，則在讀取或驗證過程期間每一記憶體單元可並行地執

行圖17之過程。若記憶體單元為具有四種狀態(例如，E、A、B及C)之多狀態記憶體單元，則在讀取或驗證過程期間每一記憶體單元可並行地執行圖17之過程三次。舉例而言，當自具有四種狀態之記憶體單元讀取資料時，可用Vcgr=Vra執行讀取過程一次，用Vcgr=Vrb執行讀取過程一次且用Vcgr=Vrc執行讀取過程一次，或其他組讀取值。當為具有四種狀態之記憶體單元驗證資料時，可用Vcgr=Vva2執行讀取過程一次，用Vcgr=Vvb2執行讀取過程一次且用Vcgr=Vvc2執行讀取過程一次，或其他組驗證位準。

通常，在讀取及驗證操作期間，選定字線連接至一電壓，該電壓之位準專用於每一讀取及驗證操作以確定有關記憶體單元之臨限電壓是否已達到該位準。在施加字線電壓後，量測記憶體單元之傳導電流以確定是否回應於向字線施加之電壓而接通記憶體單元。若量測傳導電流大於一特定值，則假定記憶體單元接通且向字線施加之電壓大於記憶體單元之臨限電壓。若量測傳導電流不大於該特定值，則假定記憶體單元不接通且向字線施加之電壓不大於記憶體單元之臨限電壓。

存在在讀取或驗證操作期間量測記憶體單元之傳導電流的許多方法。在一實例中，記憶體單元之傳導電流可藉由其在感應放大器中放電專用電容器之速率來量測。在一實施例中，使用所有位元線程式設計之記憶體陣列可藉由其在感應放大器中放電專用電容器之速率而量測記憶體單元

之傳導電流。在另一實例中，選定記憶體單元之傳導電流允許(或未能允許)包括記憶體單元之反及串放電位元線。在一時段後量測位元線上之電荷以瞭解其是否已被放電。在一實施例中，使用奇數/偶數程式設計之記憶體陣列可藉由確定是否已放電位元線來量測記憶體單元之傳導電流。

圖17展示起始於Vss(約為0伏特)之信號SGD、WL_unsel、WLn、SGS、選定BL及源極。SGD代表連接至汲極選擇閘極之閘極之汲極選擇線上的信號。SGS代表連接至源極選擇閘極之閘極之源極選擇線上的信號。WLn為經選定用於讀取/驗證之字線。WL_unsel代表未選定字線。Selected_BL為經選定用於讀取/驗證之位元線。源極為記憶體單元之源極線。

圖17描述藉由確定是否已適當放電位元線而量測記憶體單元之傳導電流之系統的行為。在圖10之時間t1處，使SGD升高至Vdd(例如，約3.5伏特)或另一電壓(通常在3-5V範圍中)，使未選定字線(WL_unsel)升高至Vread(例如，約5.5伏特)，使選定字線WLn升高至Vcgr，且使選定位元線選定BL預充電至約0.7伏特。電壓Vread充當通過電壓(因為其引起未選定記憶體單元接通)且充當通過閘極。在時間t2處，藉由升高SGS至Vdd而接通源極選擇閘極。此提供一路徑以減少位元線上的電荷。若經選定用於讀取之記憶體單元的臨限電壓大於Vcgr，則選定記憶體單元將不接通(或至少將不充分地接通)且位元線將不放電(或至少將

不充分地放電)，如由信號線890所描繪。若經選定用於讀取之記憶體單元中的臨限電壓小於Vcgr，則經選定用於讀取之記憶體單元將接通(傳導)且位元線電壓將減少，如由曲線892所描繪。在時間t2之後及時間t3之前的某個點處(如由特定實施例確定)，適當感應放大器將確定位元線電壓是否已達到足夠量。在時間t3處，將使所述信號降低至Vss(或用於待命或回復之另一值)。應注意在其他實施例中，可改變一些信號的時序。

而不是或除藉由改變驗證靶標位準而減少程式干擾衝擊之外，不同讀取比較值可在讀取過程期間用於一特定字線(或儲存元件之其他組群)。舉例而言，圖18描述操作非揮發性儲存器之方法的一實施例，該方法包括為一或多個特定字線使用不同讀取比較值。在步驟920中，使用上文所提及之第二組靶標位準程式設計連接至WL0之記憶體單元。在步驟922中，使用上文所提及之第二組靶標位準程式設計連接至額外字線的記憶體單元。在步驟930中，使用第一組讀取比較值讀取連接至WL0之記憶體單元。亦即，經由適當字線將第二組讀取比較值應用於適當控制閘極。在步驟932中，使用第二組讀取比較值讀取連接至額外字線的記憶體單元。應注意，添加步驟922與步驟930之間的箭頭以代表可在不同於步驟922及920之時間及/或以與步驟922及920不相關之方式執行步驟930。

在另一實施例中，可將步驟920及930應用於多個字線(例如，WL0及WL1、WL0-2或包括不包括WL0但可處於邊

緣處之組群的其他組群，如下文所闡釋)。亦即，可存在兩群字線。將使用第一組讀取比較值讀取第一群字線且將使用第二組讀取比較值讀取第二群字線。

圖19展示類似於圖9中所描繪之分佈之一實例組臨限電壓分佈。圖19描繪每一狀態之兩個讀取比較值。讀取比較值Vra1及Vra2與狀態A相關聯。讀取比較值Vrb1及Vrb2與狀態B相關聯。讀取比較值Vrc1及Vrc2與狀態C相關聯。在一實施例中，第一組讀取比較值包括Vra1、Vrb1及Vrc1；第二組讀取比較值包括Vra2、Vrb2及Vrc2；且Vra1>Vra2，Vrb1>Vrb2且Vrc1>Vrc2。因此，當執行步驟930時，WL0用Vcgr=Vra1執行圖17之過程一次，WL0用Vcgr=Vrb1執行圖17之過程一次且WL0用Vcgr=Vrc1執行圖17之過程一次。當執行步驟932時，主字線之每一者用Vcgr=Vra2執行圖17之過程一次，主字線之每一者用Vcgr=Vrb2執行圖17之過程一次，且主字線之每一者用Vcgr=Vrc2執行圖17之過程一次。在其他實施例中，第一組讀取比較值可包括Vra1、Vrb1及Vrc2；或第一組讀取比較值可包括Vra1、Vrb2及Vrc2。亦可實施其他排列。

在步驟930之另一實施例中，第一組讀取比較值用以讀取連接至字線WL0之第一組記憶體單元且第三組讀取比較值用以讀取連接至字線WL0之第二子組記憶體單元。如上文所述，兩個子組可為在不同平面或組群中之記憶體單元。在一實施例中，兩個子組為分離的，例如，奇數及偶數位元線；或第一平面或組群包括連接至位元線0至

(½(x)-1)之反及串上的記憶體單元且第二平面或組群可包括連接至位元線½(x)至(x-1)之反及串上的記憶體單元，其中x為使用者資料之位元線的總數目。亦可使用其他組群。應注意，第三組讀取比較值與第二組讀取比較值(部分或完全地)不同。

在步驟930之另一實施例中，第一組讀取比較值用以為儲存於連接至字線WL0之記憶體單元中的第一頁資料讀取資料且第三組讀取比較值用以為儲存於連接至字線WL0之記憶體單元中的第二頁資料讀取資料。第三組讀取比較值與第二組讀取比較值(部分或完全地)不同。

圖20描述操作非揮發性儲存器之方法的另一實施例，該方法包括為一特定字線使用不同讀取比較值。在步驟950中，使用上文所提及之第二組靶標位準程式設計連接至第一組字線的記憶體單元。在步驟952中，使用上文所提及之第二組靶標位準程式設計連接至增壓區域之邊緣處之字線的記憶體單元。在步驟954中，使用上文所提及之第二組靶標位準程式設計連接至剩餘字線的記憶體單元。應注意，在增壓區域之邊緣處的字線不為第一組字線及剩餘字線之部分。

在圖20之步驟950、952及954期間，程式設計操作包括在一字線上提供0伏特信號(或其他適當信號)或選擇線以斷開對應電晶體以便形成增壓區域。一實例包括向源極選擇線SGS施加0伏特以使得源極選擇閘極斷開，該源極選擇閘極自源極線切斷通道且有助於引起反及串的增壓。在一

些實施例中，連接至反及串之字線可接收0伏特信號(或其他適當信號)以切斷連接至該字線的記憶體單元以使得增壓區域結束或起始於該字線。此亦可用以形成多個增壓區域。

在步驟960中，使用上文所提及之第二組讀取比較值讀取連接至第一組字線的記憶體單元。在步驟962中，使用上文所提及之第一組讀取比較值讀取連接至增壓區域之邊緣處之字線的記憶體單元。在步驟964中，使用第二組讀取比較值讀取連接至剩餘字線的記憶體單元。應注意，添加步驟954與步驟960之間的箭頭以代表可在不同於步驟954之時間及/或以與步驟964不相關之方式執行步驟960。

在步驟962之一些實施例中，不同組讀取比較值可用以讀取與增壓區域之邊緣處之字線相關聯的不同頁資料。不同組讀取比較值可用以讀取連接至增壓區域之邊緣處之字線之記憶體單元的平面或組群。在兩種替代中，不同組讀取比較值亦與第二組讀取比較值(部分或完全地)不同。

儘管以上論述聚焦於減少對特定字線之程式干擾衝擊，但本發明亦可用以減少由於任何其他理由而具有較寬Vt分佈之字線的衝擊。在一些字線上較寬Vt分佈出現的一種其他理由可為所謂的過多程式設計，其係由於(例如)集中在一個或一限定數目之字線上的快速程式設計記憶體單元造成的。過多程式設計亦產生如圖12中所描繪之類似的Vt分佈。藉由將不同驗證靶標位準或讀取比較值應用於此等字線，亦可減少在彼等字線上Vt分佈擴展的衝擊。

為達成說明及描述目的，已提供本發明之以上實施方式。其不意欲為詳盡的或將本發明限於所揭示之精確形式。根據以上教示之許多修改及變化為可能的。選擇所述實施例以最好地闡釋本發明之原理及其實際應用以藉此使其他熟習此項技術者能夠在各種實施例中最好地利用本發明且使各種修改適於所涵蓋之特定使用。希望本發明之範疇由附屬於其之申請專利範圍界定。

【圖式簡單說明】

圖1為一反及串之俯視圖。

圖2為該反及串之等效電路圖。

圖3為描繪三個反及串之示意圖。

圖4展示經程式設計之反及串。

圖5展示使用自增壓方法禁止之反及串。

圖6描繪反及串之一部分。

圖7為一記憶體系統之一實例的方塊圖。

圖8說明一記憶體陣列之一組織的一實例。

圖9描繪一組臨限電壓分佈。

圖10A、圖10B及圖10C描繪臨限電壓分佈。

圖11為描述程式設計及讀取非揮發性記憶體之方法之一實施例的流程圖。

圖12A及圖12B描繪臨限電壓分佈。

圖13為描述程式設計及讀取非揮發性記憶體之方法之一實施例的流程圖。

圖14為描述程式設計及讀取非揮發性記憶體之方法之一

實施例的流程圖。

圖15為描述程式設計及讀取非揮發性記憶體之方法之一實施例的流程圖。

圖16為描述程式設計操作之一實施例的流程圖。

圖17為描繪讀取操作之一實施例的信號圖。

圖18為描述程式設計及讀取非揮發性記憶體之方法之一實施例的流程圖。

圖19描繪一組臨限電壓分佈。

圖20為描述程式設計及讀取非揮發性記憶體之方法之一實施例的流程圖。

【主要元件符號說明】

100	電晶體
100CG	控制閘極
100FG	浮動閘極
102	電晶體
102CG	控制閘極
102FG	浮動閘極
104	電晶體
104CG	控制閘極
104FG	浮動閘極
106	電晶體
106CG	控制閘極
106FG	浮動閘極
120	第一(汲極)選擇閘極

122	第二(源極)選擇閘極
126	位元線接點
128	源極線
202	反及串
204	反及串
206	反及串
220	選擇電晶體
222	記憶體單元
224	記憶體單元
226	記憶體單元
228	記憶體單元
230	選擇電晶體
240	選擇電晶體
242	記憶體單元
244	記憶體單元
246	記憶體單元
248	記憶體單元
250	選擇電晶體
252	記憶體單元
304	記憶體單元/行控制
306	記憶體單元/列控制
308	記憶體單元
310	記憶體單元
312	記憶體單元

314	記憶體單元
316	記憶體單元
318	記憶體單元
322	源極選擇閘極
324	汲極選擇閘極
330	源極/汲極區
332	共同源極線
334	位元線接點
340	通道
350	記憶體單元
352	記憶體單元
354	記憶體單元
356	記憶體單元
358	記憶體單元
360	記憶體單元
362	記憶體單元
364	記憶體單元
366	汲極選擇閘極
368	源極選擇閘極
370	源極/汲極區
374	位元線接點
380	增壓區域
384	P井區域
502	記憶體單元陣列

504	行控制電路
506	列控制電路
508	p-井控制電路
510	c-源極控制電路
512	資料輸入/輸出緩衝器
514	指令電路
515	控制電路
516	狀態機
518	控制器
620	臨限電壓分佈
670	分佈
672	分佈
890	信號線
892	曲線
CG	控制閘極
FG	浮動閘極
G	閘極
SGD	選擇線
SGS	選擇線
WL0	字線
WL1	字線
WL2	字線
WL3	字線

五、中文發明摘要：

一未選定(或禁止的)非揮發性儲存元件在意欲程式設計另一非揮發性儲存元件之一程式操作期間的非故意程式設計被稱作"程式干擾"。推薦一種用於程式設計及/或讀取非揮發性儲存器之系統，該系統減少程式干擾作用。在一實施例中，在一程式設計過程期間不同驗證位準用於一特定字線(或儲存元件之其他組群)。在另一實施例中，在一讀取過程期間不同比較位準用於一特定字(或儲存元件之其他組群)。

六、英文發明摘要：

十一、圖式：

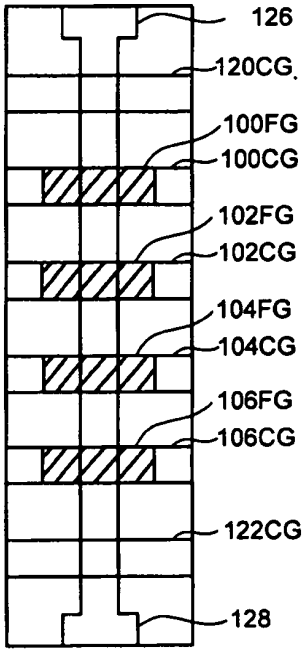

126
120CG
100FG
100CG
102FG
102CG
104FG
104CG
106FG
106CG
122CG
128

圖1

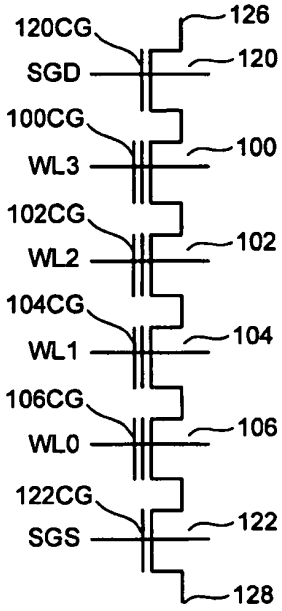

120CG
126
SGD
120
100CG
100
WL3
102CG
102
WL2
104CG
104
WL1
106CG
106
WL0
122CG
122
SGS
128

圖2

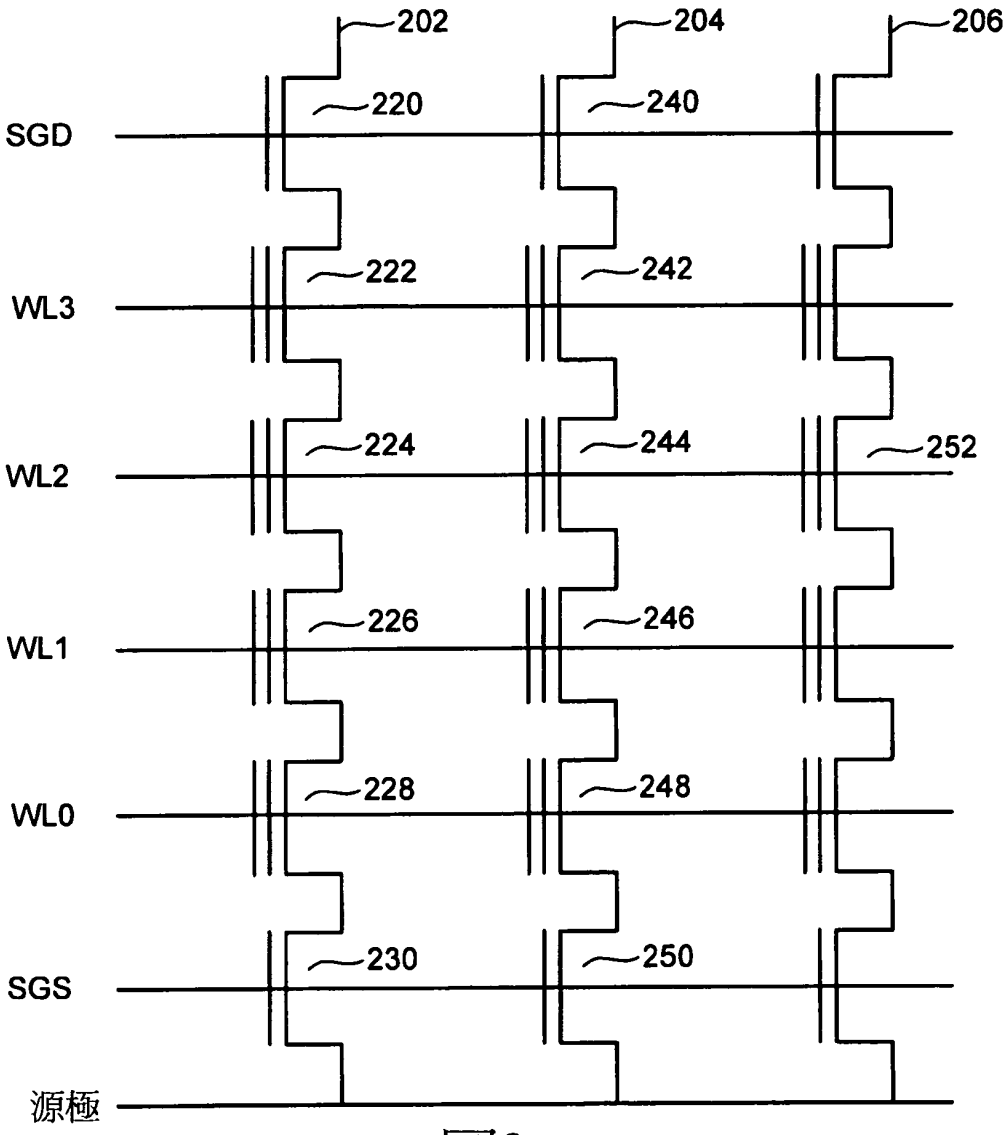

202
204
206
220
240
SGD
222
242
WL3
224
244
252
WL2
226
246
WL1
228
248
WL0
230
250
SGS
源極

圖3

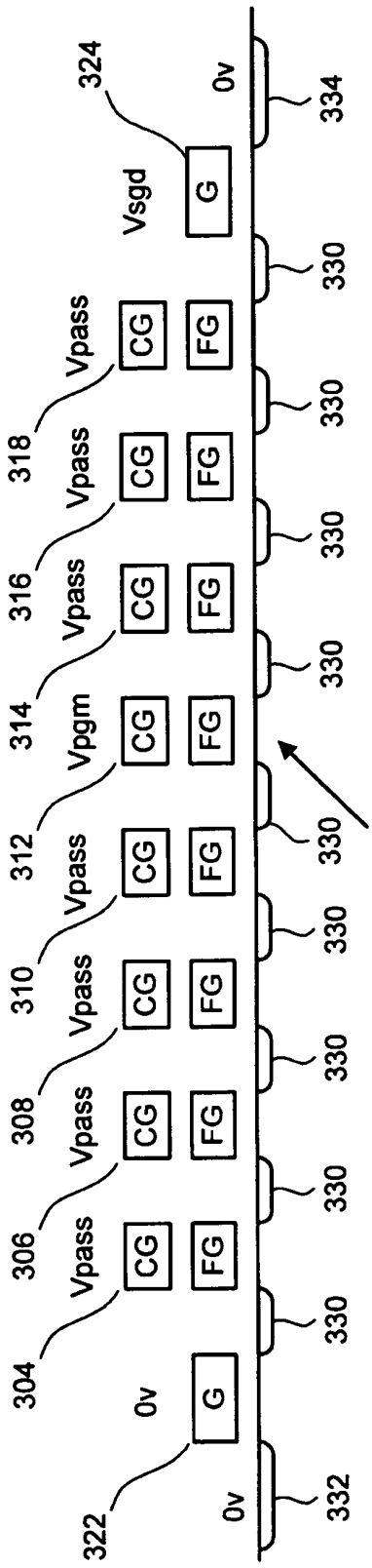

322
304
306
308
310
312
314
316
318
324
334
0v
Vpass
Vpgm
Vsgd
G
CG
FG
330
332
通道340處於0 v

圖4

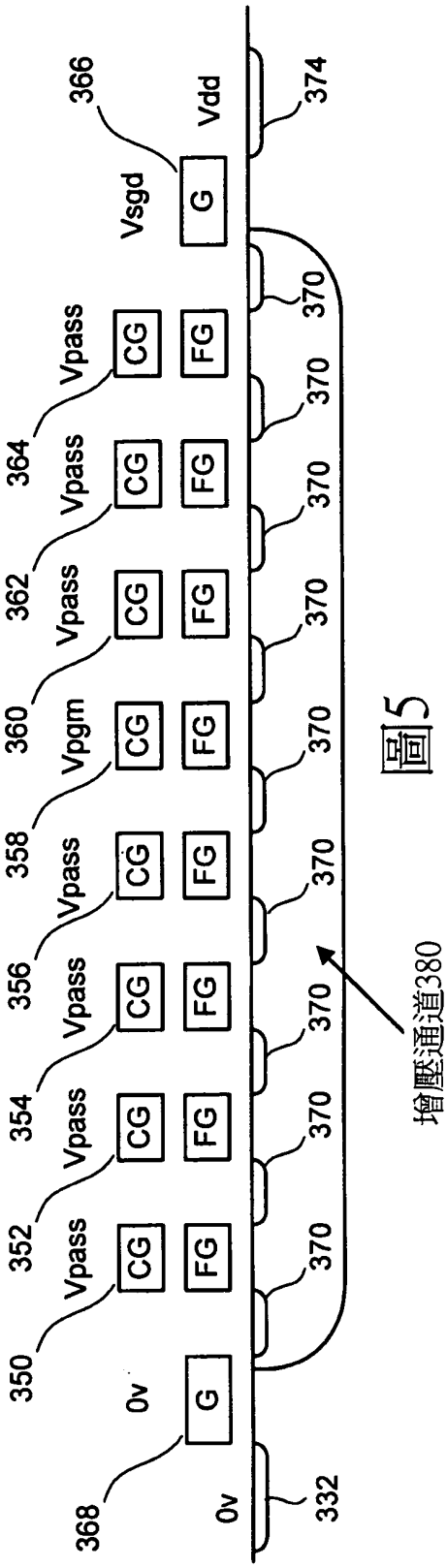

368
350
352
354
356
358
360
362
364
366
374
0v
Vpass
Vpgm
Vsgd
Vdd
G
CG
FG
370
332
增壓通道380

圖5

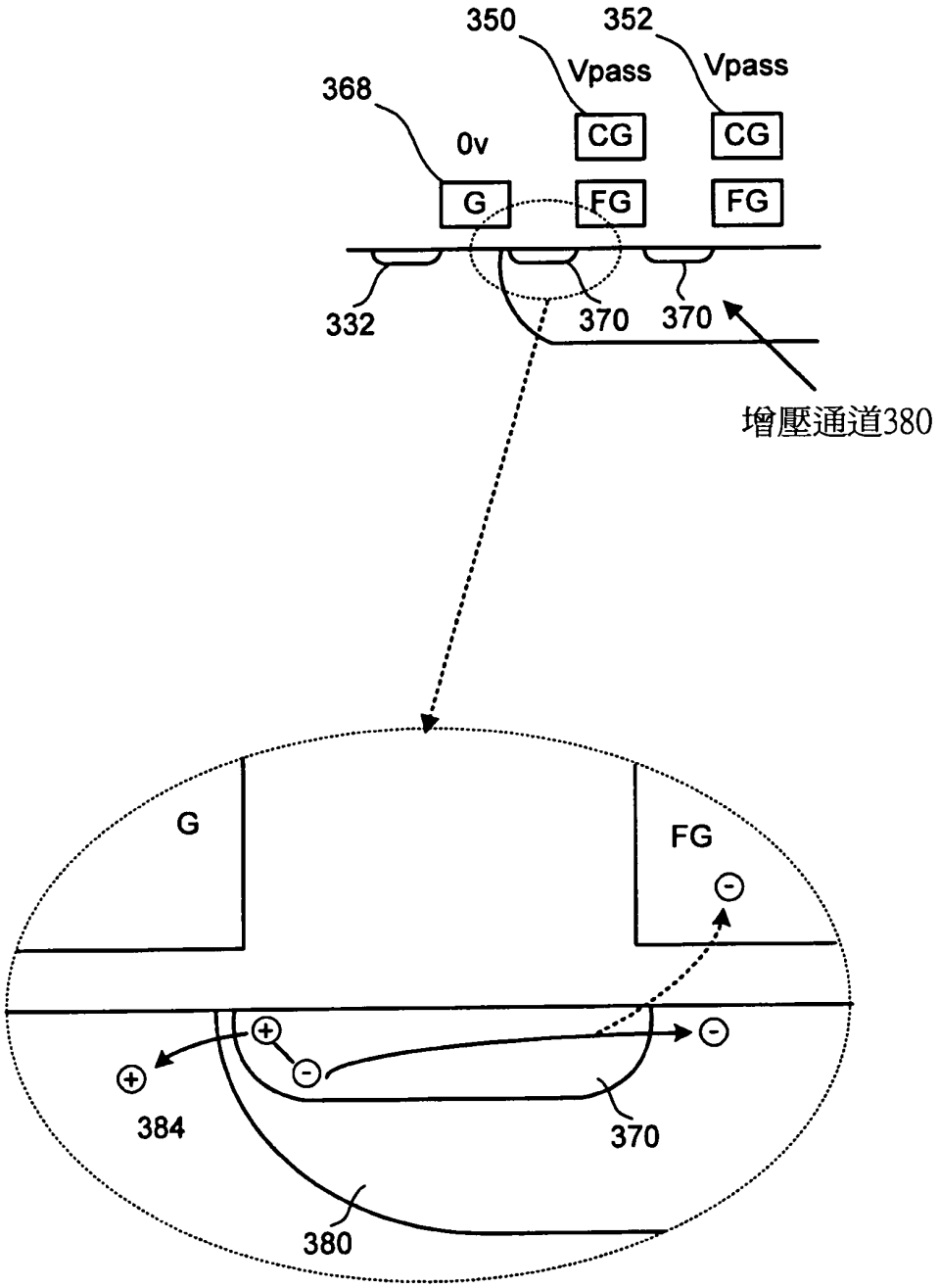

350
352
Vpass
Vpass
368
0v
CG
CG
G
FG
FG
332
370
370
增壓通道380
G
FG
384
370
380

圖6

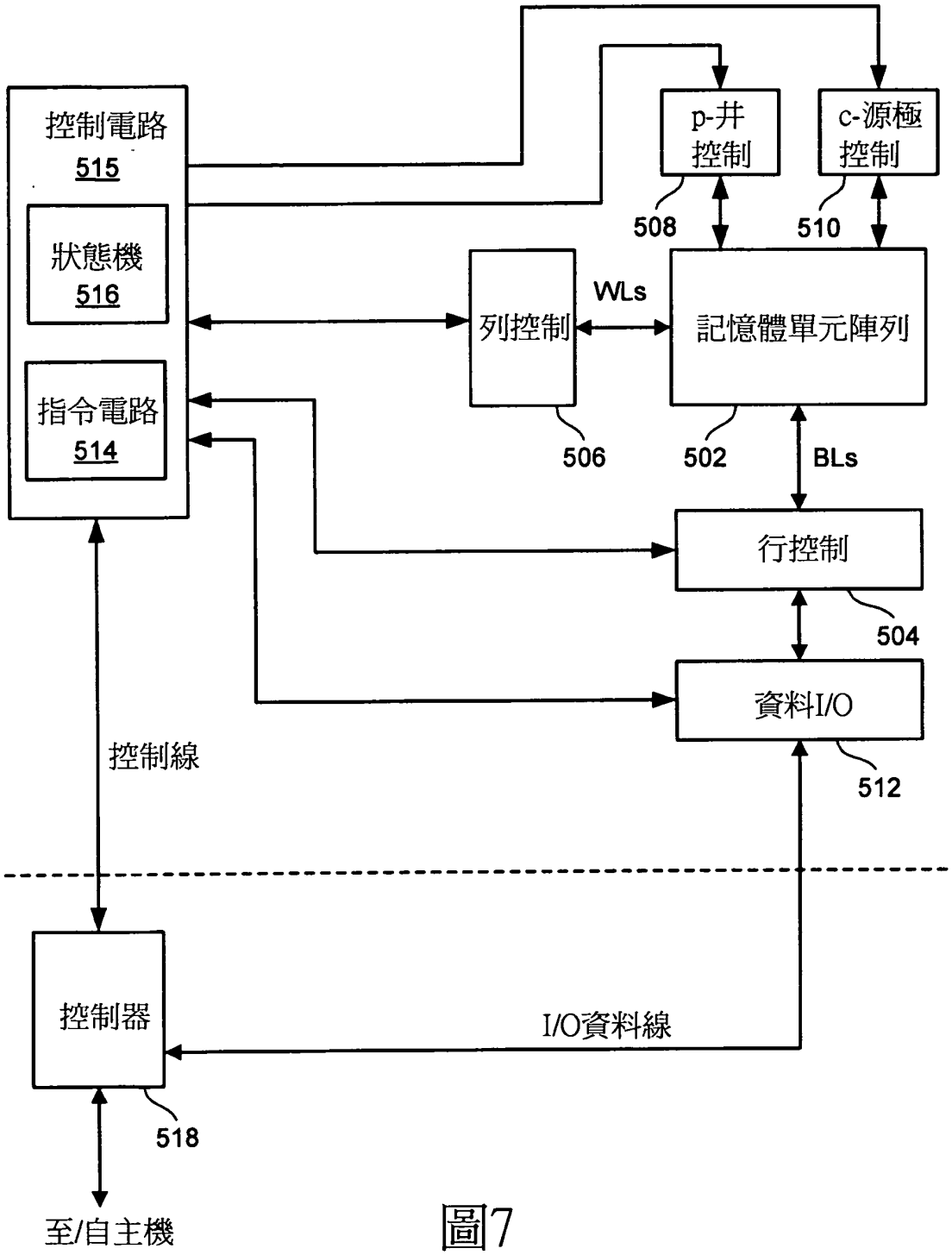

控制電路
515
狀態機
516
指令電路
514
p-井
控制
c-源極
控制
508
510
列控制
WLs
記憶體單元陣列
506
502
BLs
行控制
504
資料I/O
512
控制線
控制器
I/O資料線
518
至/自主機

圖7

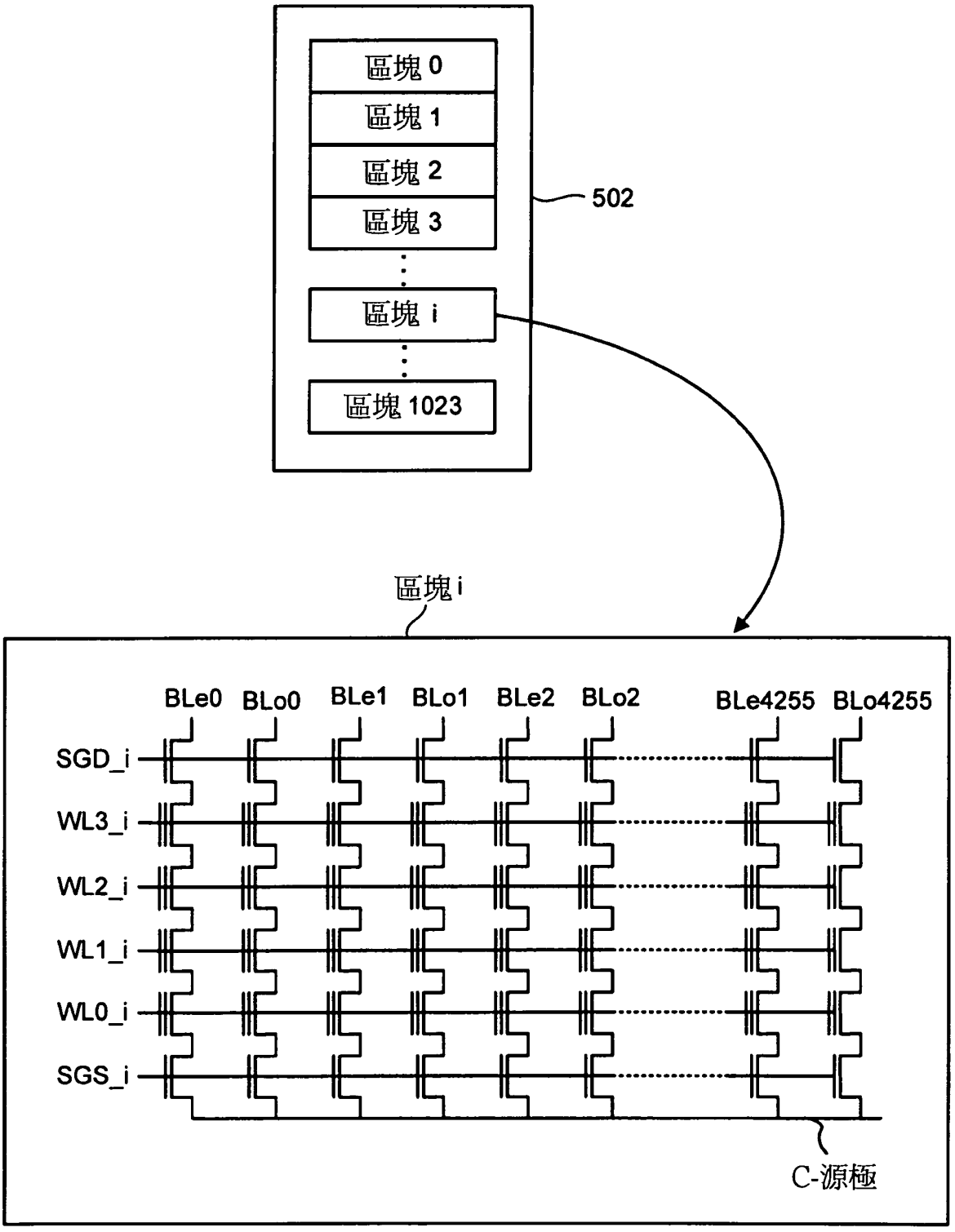

區塊 0
區塊 1
區塊 2
區塊 3
區塊 i
區塊 1023
502
區塊i
BLe0
BLo0
BLe1
BLo1
BLe2
BLo2
BLe4255
BLo4255
SGD_i
WL3_i
WL2_i
WL1_i
WL0_i
SGS_i
C-源極

圖8

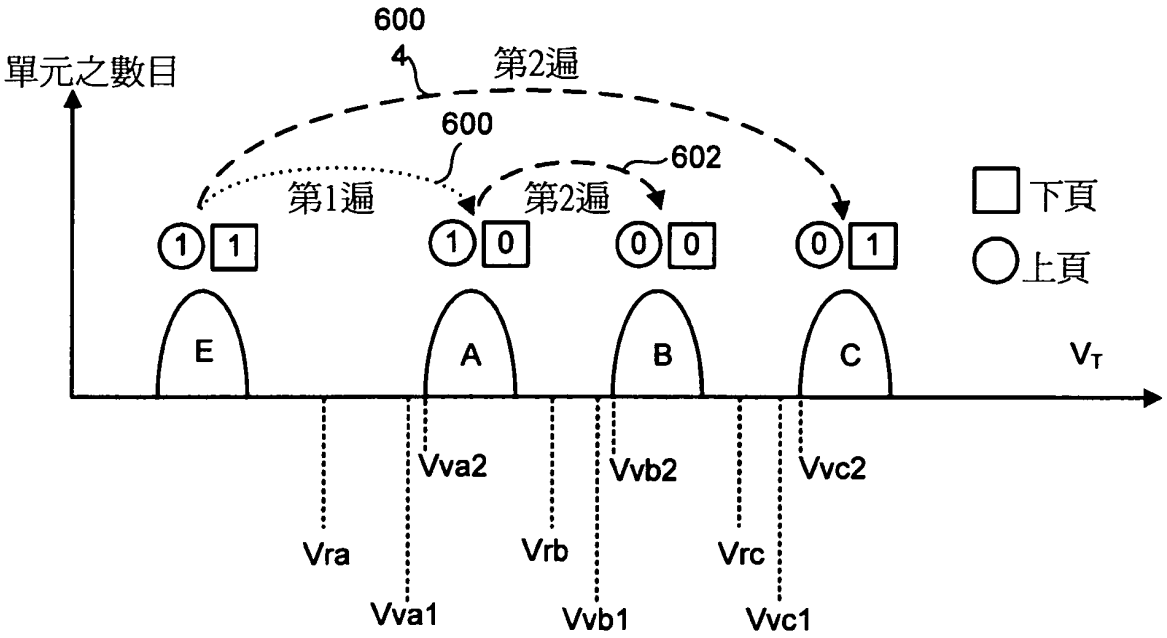

600
4
第2遍
單元之數目
600
602
第1遍
第2遍
下頁
上頁
1 1
1 0
0 0
0 1
E
A
B
C
V_T
Vra
Vva1
Vva2
Vrb
Vvb1
Vvb2
Vrc
Vvc1
Vvc2

圖9

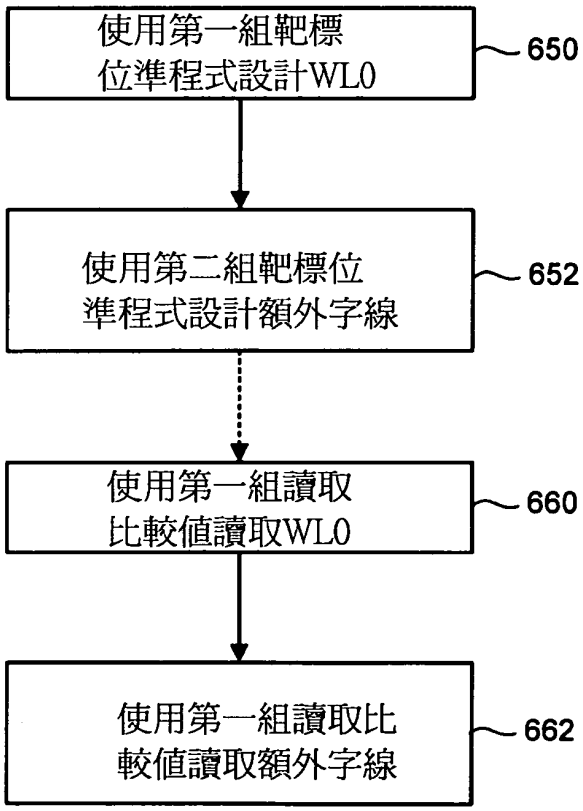

使用第一組靶標
位準程式設計WL0
650
使用第二組靶標位
準程式設計額外字線
652
使用第一組讀取
比較值讀取WL0
660
使用第一組讀取比
較值讀取額外字線
662

圖11

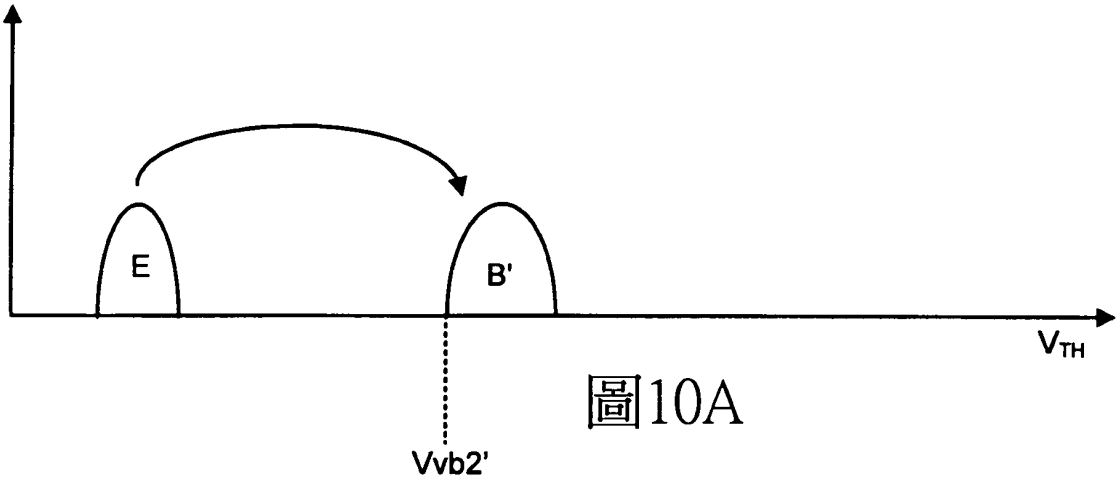


圖10A

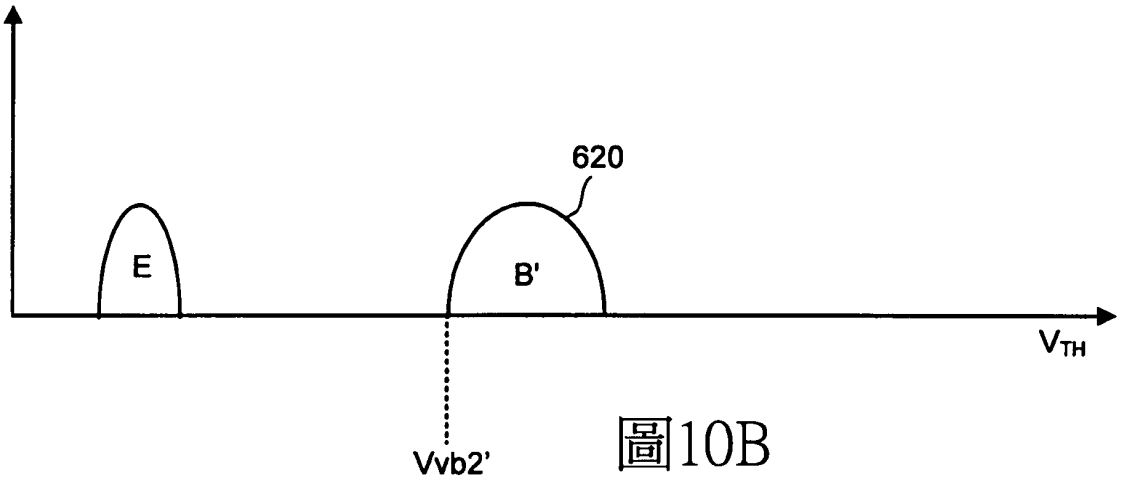
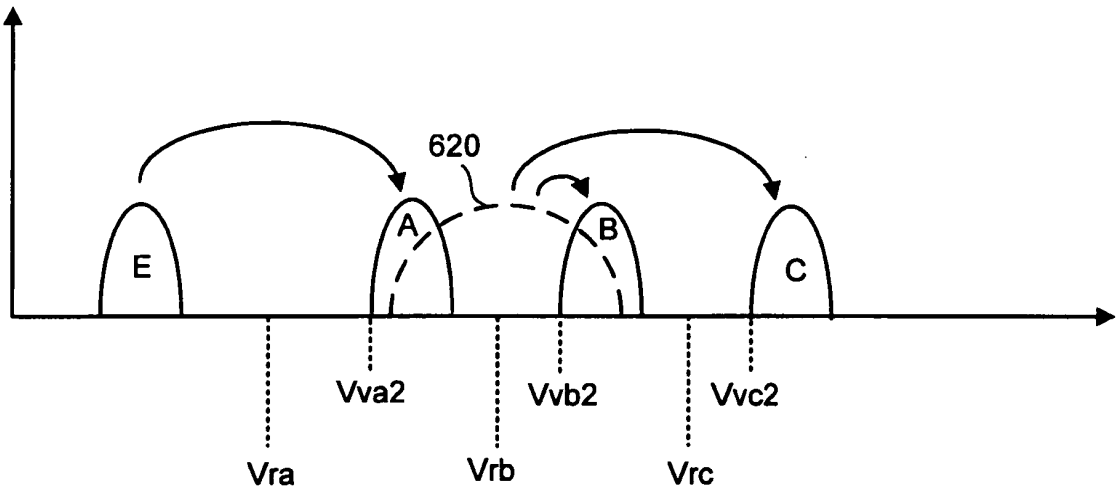


圖10B



上	1	0	1	0
下	1	1	0	0

圖10C

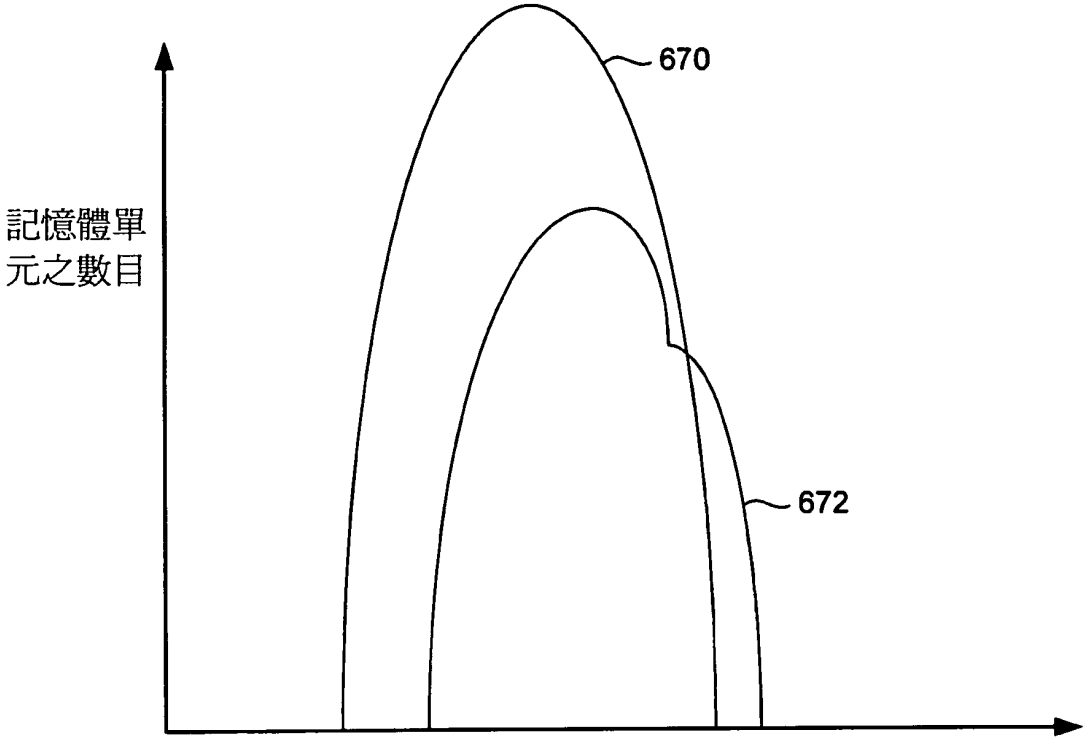


圖12A

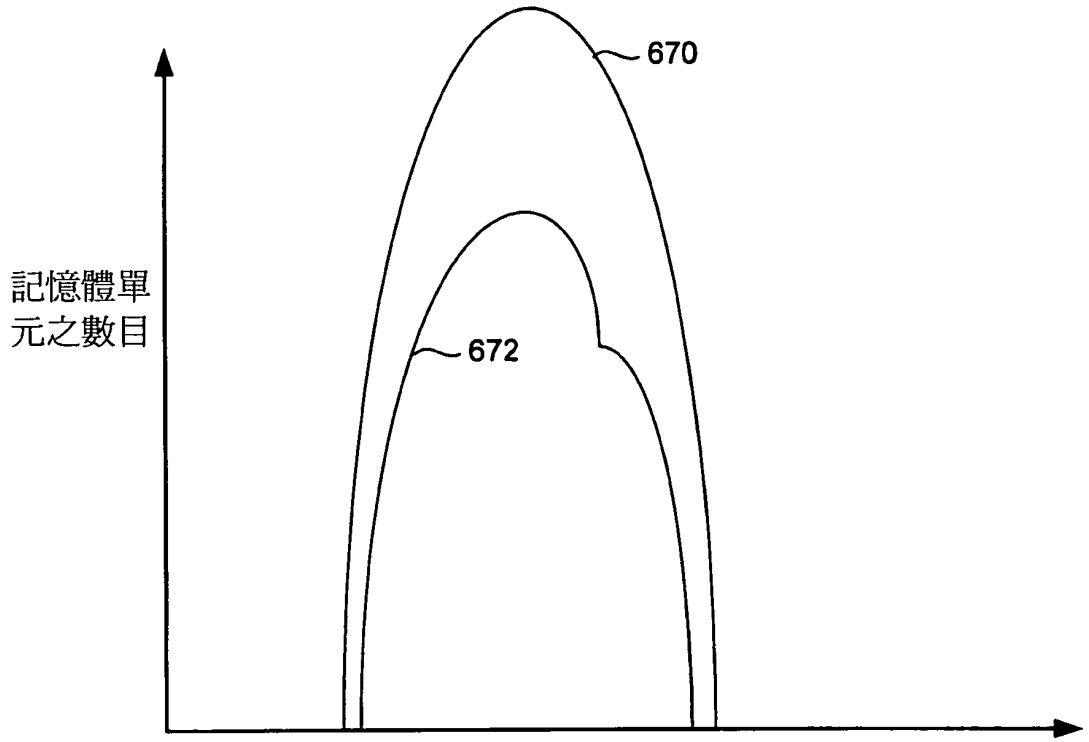


圖12B

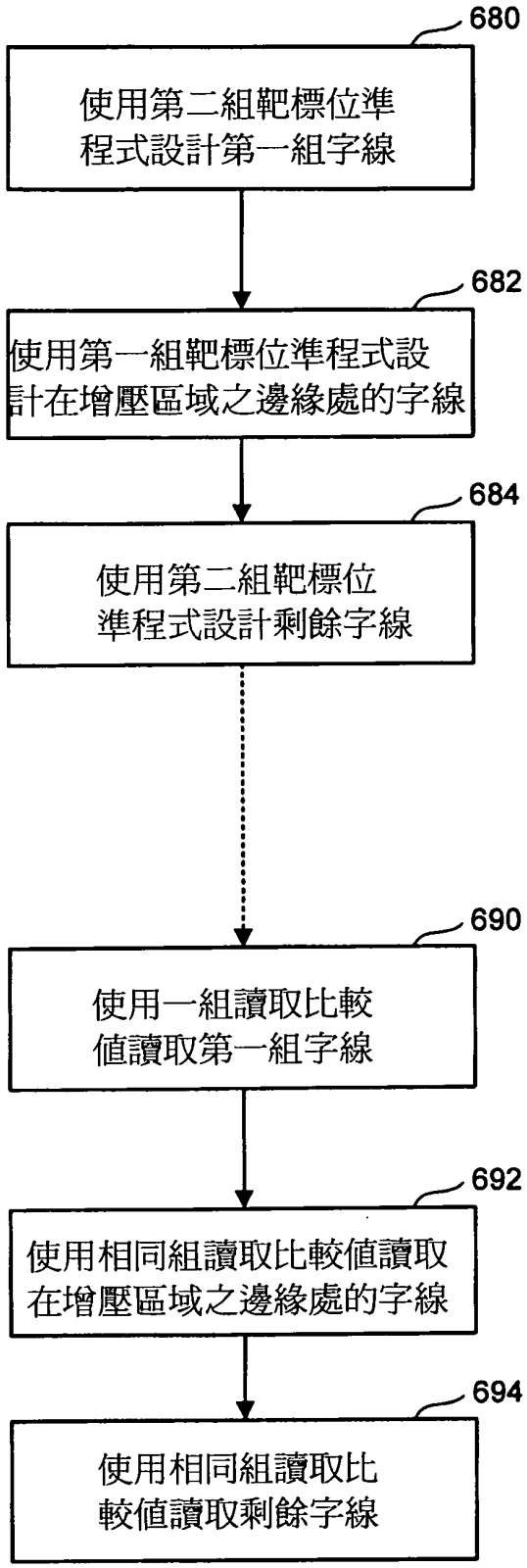

680
使用第二組靶標位準程式設計第一組字線
682
使用第一組靶標位準程式設計在增壓區域之邊緣處的字線
684
使用第二組靶標位準程式設計剩餘字線
690
使用一組讀取比較值讀取第一組字線
692
使用相同組讀取比較值讀取在增壓區域之邊緣處的字線
694
使用相同組讀取比較值讀取剩餘字線

圖13

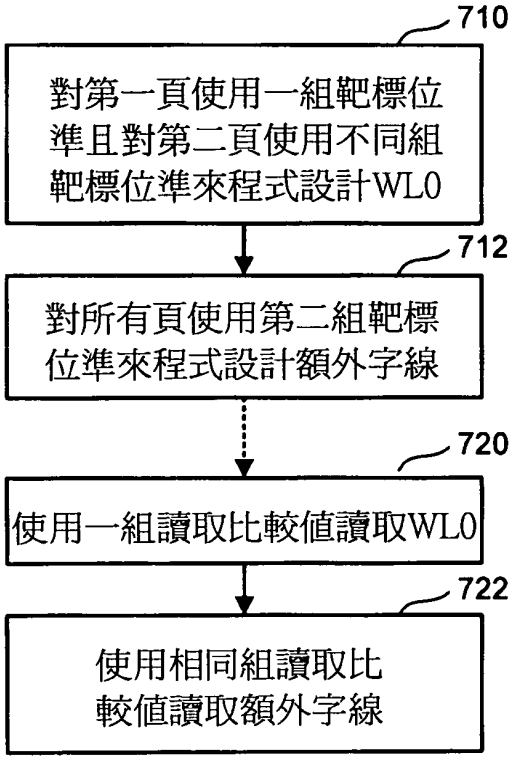

710
對第一頁使用一組靶標位準且對第二頁使用不同組靶標位準來程式設計WL0
712
對所有頁使用第二組靶標位準來程式設計額外字線
720
使用一組讀取比較值讀取WL0
722
使用相同組讀取比較值讀取額外字線

圖14

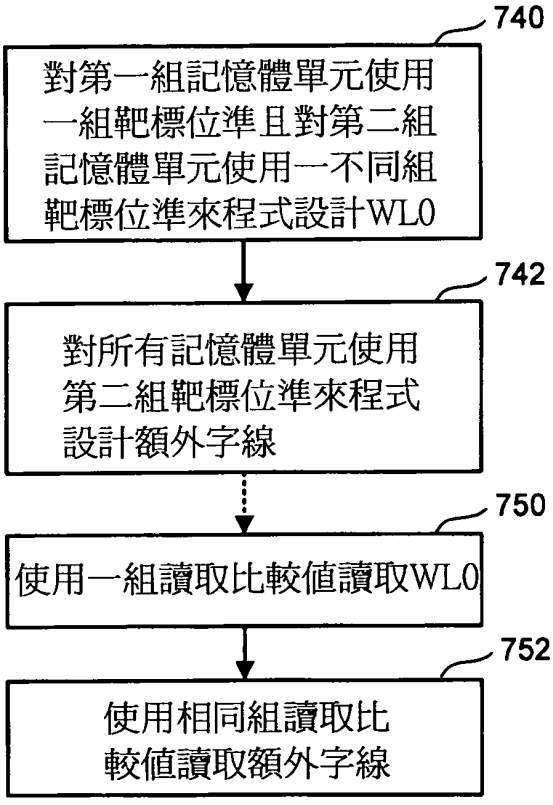

740
對第一組記憶體單元使用一組靶標位準且對第二組記憶體單元使用一不同組靶標位準來程式設計WL0
742
對所有記憶體單元使用第二組靶標位準來程式設計額外字線
750
使用一組讀取比較值讀取WL0
752
使用相同組讀取比較值讀取額外字線

圖15

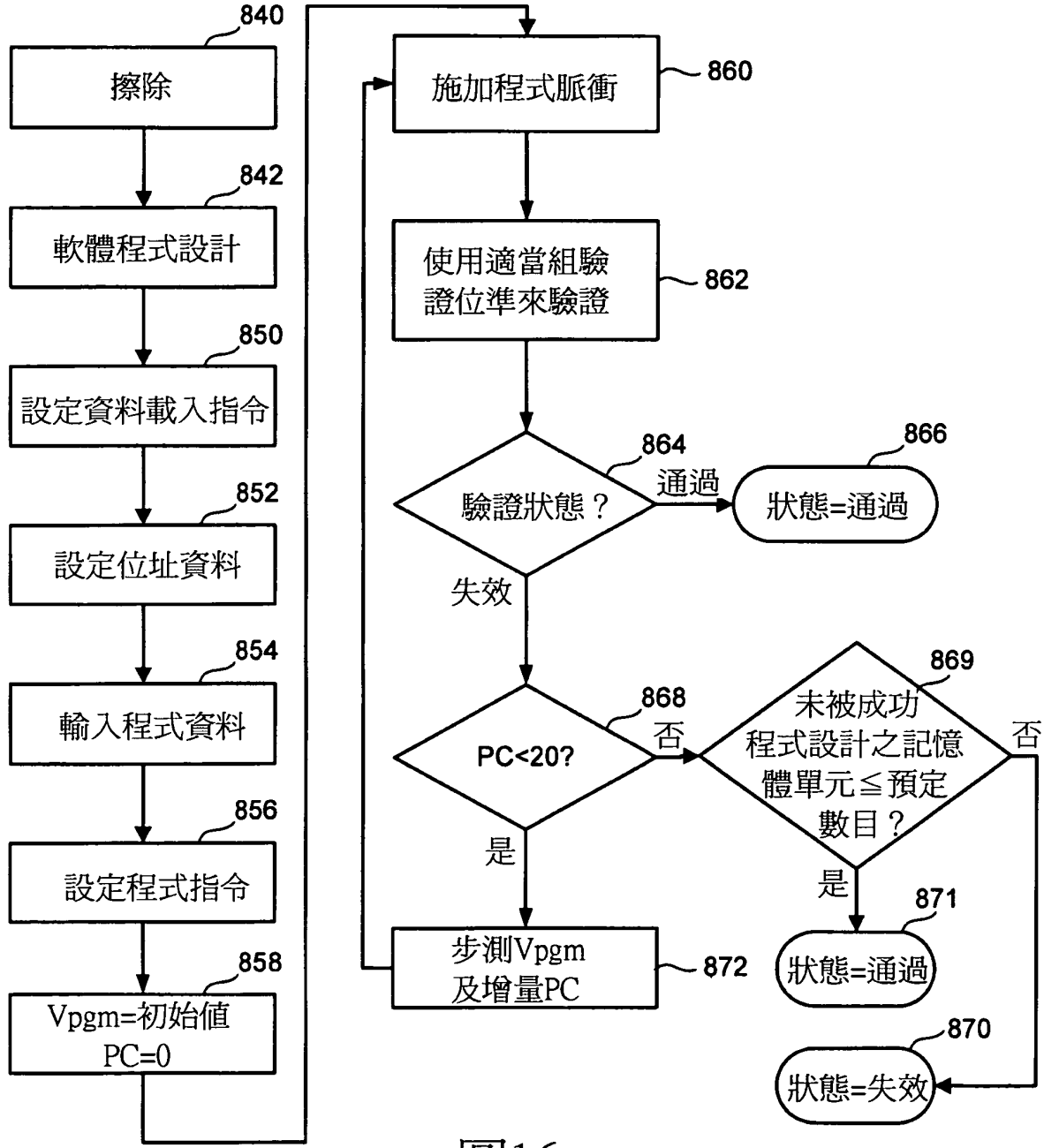

840
擦除
842
軟體程式設計
850
設定資料載入指令
852
設定位址資料
854
輸入程式資料
856
設定程式指令
858
Vpgm=初始值
PC=0
860
施加程式脈衝
862
使用適當組驗
證位準來驗證
864
驗證狀態？
通過
866
狀態=通過
失效
868
PC<20?
否
869
未被成功
程式設計之記憶
體單元≦預定
數目？
否
是
是
871
狀態=通過
步測Vpgm
及增量PC
872
870
狀態=失效

圖16

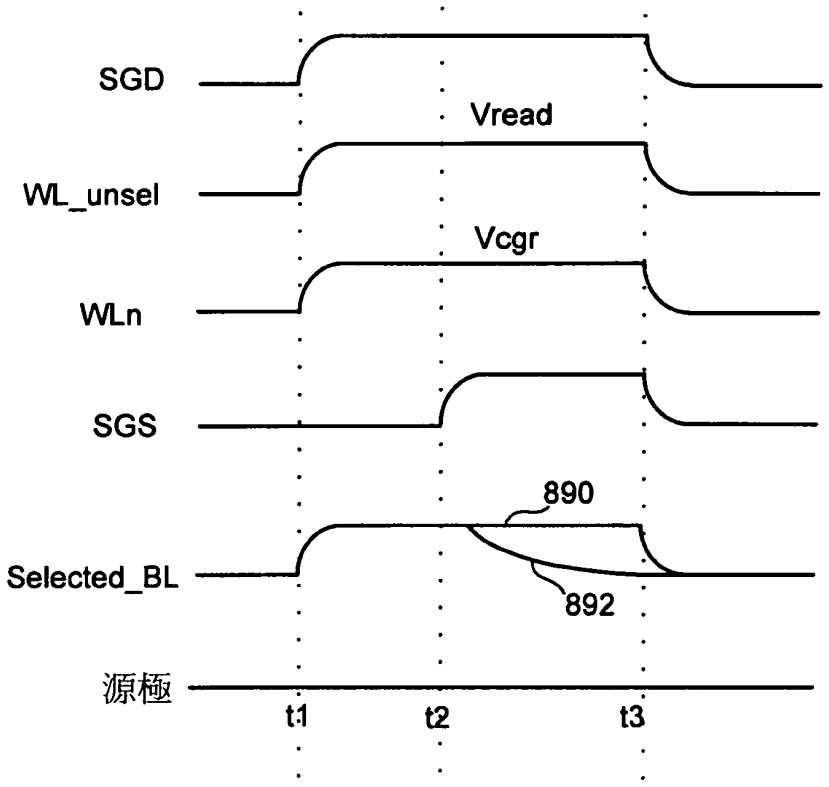

SGD
Vread
WL_unsel
Vcgr
WLn
SGS
890
Selected_BL
892
源極
t1
t2
t3

圖17

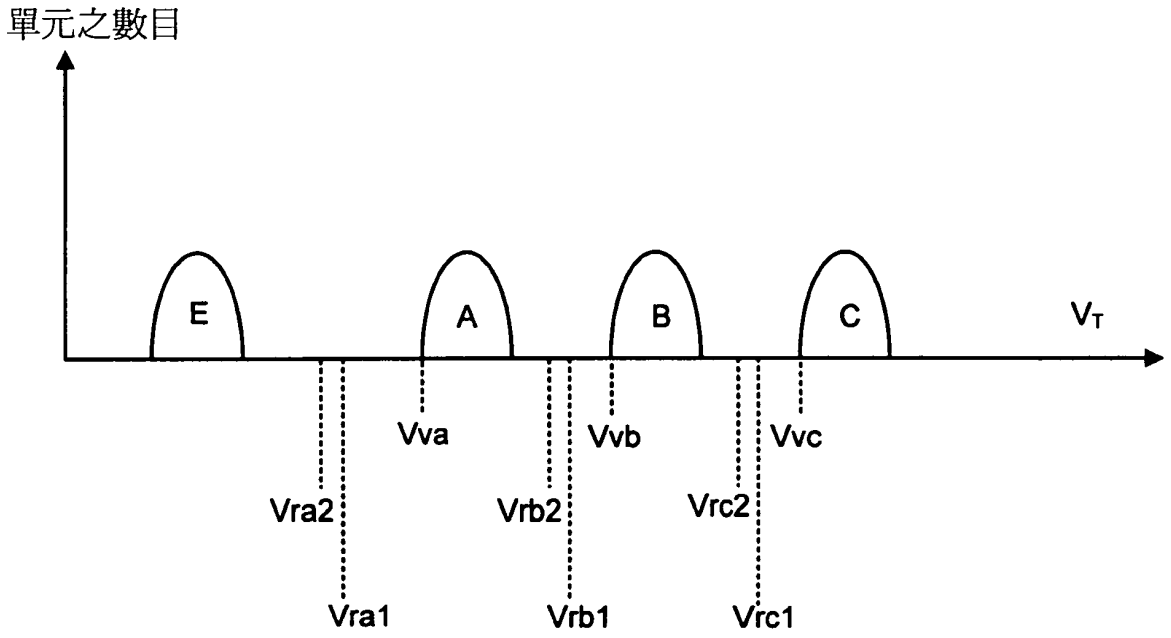

單元之數目
E
A
B
C
V_T
Vra2
Vra1
Vva
Vrb2
Vrb1
Vvb
Vrc2
Vrc1
Vvc

圖19

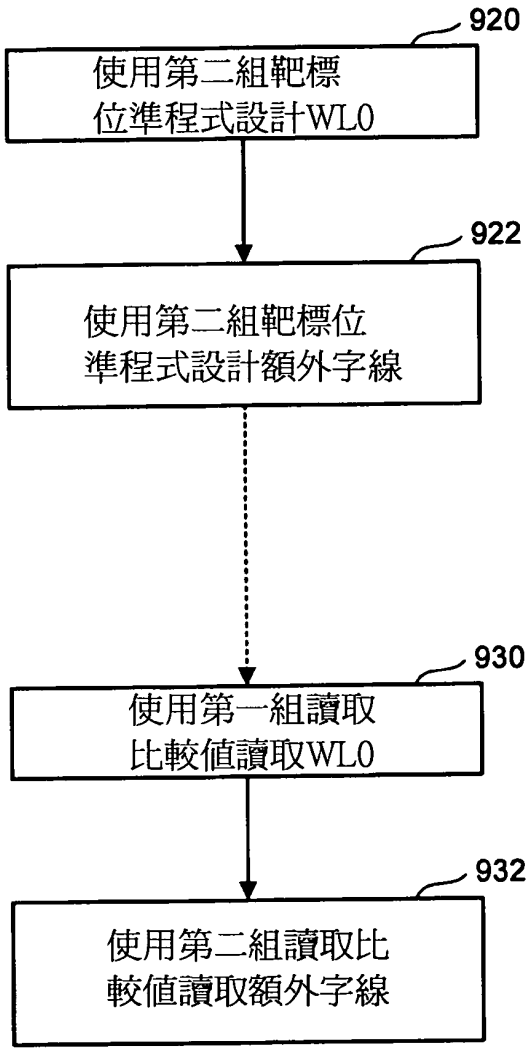

920
使用第二組靶標
位準程式設計WL0
922
使用第二組靶標位
準程式設計額外字線
930
使用第一組讀取
比較值讀取WL0
932
使用第二組讀取比
較值讀取額外字線

圖18

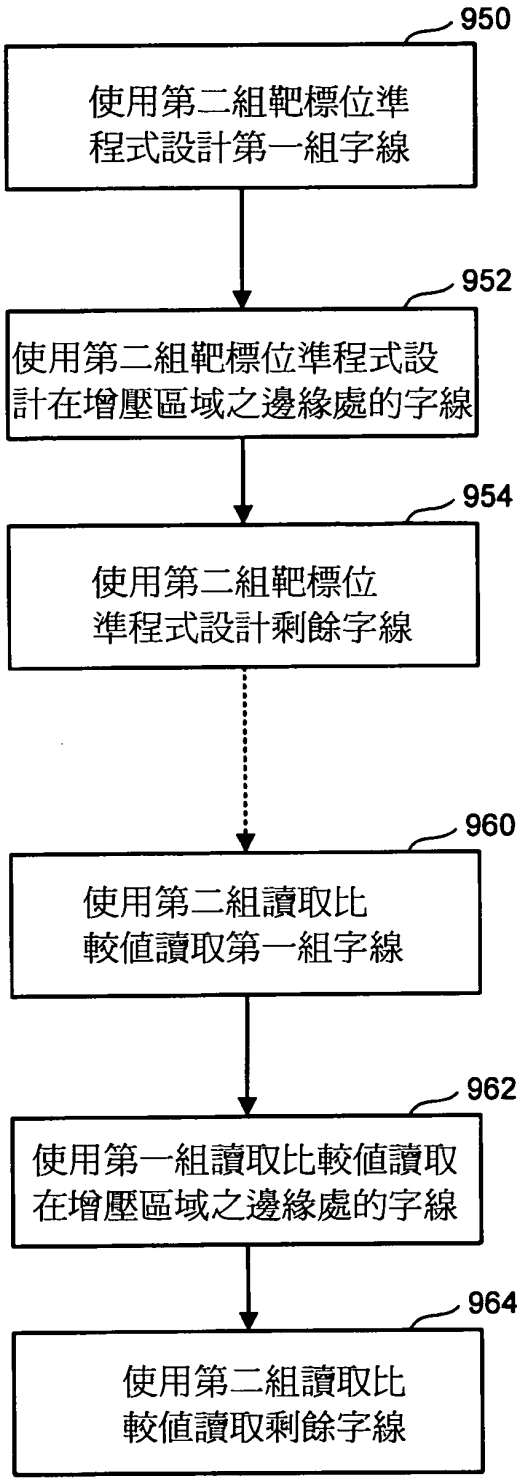

950
使用第二組靶標位準
程式設計第一組字線
952
使用第二組靶標位準程式設
計在增壓區域之邊緣處的字線
954
使用第二組靶標位
準程式設計剩餘字線
960
使用第二組讀取比
較值讀取第一組字線
962
使用第一組讀取比較值讀取
在增壓區域之邊緣處的字線
964
使用第二組讀取比
較值讀取剩餘字線

圖20

七、指定代表圖：

(一)本案指定代表圖為：第（ 11 ）圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

第 096111656 號專利申請案
中文申請專利範圍替換本(99 年 8 月)

99.8.06
年 月 日修正本

十、申請專利範圍：

1. 一種操作非揮發性記憶體之方法，其包含：

使用一第一組讀取比較值讀取一第一組非揮發性儲存元件，該第一組非揮發性儲存元件鄰接一源極選擇控制線；及

使用一第二組讀取比較值讀取一不鄰接該源極選擇控制線之第二組非揮發性儲存元件，該第一組讀取比較值中的至少一者不同於該第二組讀取比較值之一對應比較位準。

2. 如請求項1之方法，其中：

所有該第一組讀取比較值不同於該第二組讀取比較值之對應比較位準。

3. 如請求項1之方法，其中：

該第一組讀取比較值中的該一者大於該第二組讀取比較值之該對應比較位準。

4. 如請求項1之方法，其中：

該第一組非揮發性儲存元件連接至一第一控制線，該第一控制線鄰接該源極選擇控制線；及

該第二組非揮發性儲存元件連接至一第二控制線。

5. 如請求項4之方法，其進一步包含：

使用一第三組讀取比較值讀取一第三組一或多個非揮發性儲存元件，該第三組非揮發性儲存元件連接至該第一控制線。

6. 如請求項1之方法，其中：

該讀取該第一組非揮發性儲存元件包括使用該第一組讀取比較值讀取一第一頁資料及使用一第三組讀取比較值讀取一第二頁資料。

7. 如請求項4之方法，其中：

該第一組一或多個非揮發性儲存元件及該第二組一或多個非揮發性儲存元件為多狀態反及(NAND)快閃記憶體設備；及

該第一控制線及該第二組控制線為字線。

8. 一種非揮發性儲存系統，其包含：

複數個非揮發性儲存元件，該等非揮發性儲存元件包括一連接至一第一控制線的第一組非揮發性儲存元件，及一連接至一與該第一控制線不同之第二組控制線的第二組非揮發性儲存元件，該第一控制線鄰接一源極選擇控制線；及

一與該等非揮發性儲存元件通信之管理電路，該管理電路使得使用一第一組讀取比較值讀取該第一組非揮發性儲存元件及使用一第二組讀取比較值讀取該第二組一或多個非揮發性儲存元件，該第一組讀取比較值中的至少一者不同於該第二組讀取比較值之一對應比較位準。

9. 如請求項8之非揮發性儲存系統，其中：

該第一組一或多個非揮發性儲存元件及該第二組一或多個非揮發性儲存元件為多狀態反及快閃記憶體設備。

10. 如請求項8之非揮發性儲存系統，其中：

該等非揮發性儲存元件配置於區塊中，每一區塊包括

一組頁，該等頁界定程式設計之單元且區塊界定擦除之單元；

該第一控制線及該第二組控制線為字線，該等字線為一共同區塊之部分；

該共同區塊包括一組位元線；及

該第一組非揮發性儲存元件之每一者連接至該組位元線的一不同位元線。

11. 如請求項8之非揮發性儲存系統，其中：

該第一組讀取比較值中的該一者大於該第二組讀取比較值之該對應比較位準。

12. 如請求項8之非揮發性儲存系統，其中：

該讀取該第一組非揮發性儲存元件包括使用該第一組讀取比較值讀取一第一頁資料及使用一第三組讀取比較值讀取一第二頁資料。

13. 如請求項8之非揮發性儲存系統，其中：

該管理電路使用一第三組讀取比較值讀取一第三組非揮發性儲存元件，該第三組非揮發性儲存元件連接至該第一控制線。

14. 如請求項8之非揮發性記憶體系統，其中：

所有該第一組讀取比較值大於該第二組讀取比較值之對應比較位準。

15. 如請求項8之非揮發性記憶體系統，其中：

該管理電路包括一控制器、一狀態機、指令電路、控制電路及解碼器之任何一者或一組合。