(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7030254号
(P7030254)

(45)発行日　令和4年3月7日(2022.3.7)

(24)登録日　令和4年2月25日(2022.2.25)

(51)国際特許分類
Ｈ０２Ｍ　3/28　(2006.01)

ＦＩ
Ｈ０２Ｍ　3/28　Q
Ｈ０２Ｍ　3/28　Ｈ

請求項の数　5　（全14頁）

(21)出願番号　特願2018-119552(P2018-119552)
(22)出願日　平成30年6月25日(2018.6.25)
(65)公開番号　特開2020-5332(P2020-5332A)
(43)公開日　令和2年1月9日(2020.1.9)
審査請求日　令和3年3月11日(2021.3.11)

(73)特許権者　000217491
ダイヤゼブラ電機株式会社
大阪府大阪市淀川区塚本一丁目１５番２７号
(74)代理人　100135013
弁理士　西田 隆美
(72)発明者　中原 将吾
大阪府大阪市淀川区塚本１丁目１５番２７号 ダイヤモンド電機株式会社内
(72)発明者　中山 大禎
大阪府大阪市淀川区塚本１丁目１５番２７号 ダイヤモンド電機株式会社内
審査官　栗栖 正和

最終頁に続く

(54)【発明の名称】　ＤＣ－ＤＣコンバータ

(57)【特許請求の範囲】
【請求項１】
寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、４つのスイッチング素子を有する第１フルブリッジ回路と、
寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、４つのスイッチング素子を有する第２フルブリッジ回路と、
前記第１フルブリッジ回路に接続された第１巻線と、前記第２フルブリッジ回路に接続され、前記第１巻線と磁気結合する第２巻線とを有するトランスと、
前記第１巻線または前記第２巻線に直列接続されたインダクタンス成分と、
前記第１フルブリッジ回路および前記第２フルブリッジ回路それぞれの各スイッチング素子をソフトスイッチング制御する制御回路と、
を備え、
スイッチング素子のターンオンとターンオフとの切り替えタイミングで、前記トランスおよび前記インダクタンス成分の等価インダクタに流れるインダクタ電流は、閾値電流以上であり、
前記制御回路は、
前記第１フルブリッジ回路および前記第２フルブリッジ回路それぞれの出力電圧が異なる場合、前記第１フルブリッジ回路の出力と、前記第２フルブリッジ回路の出力とが極性反転する極性反転期間の開始タイミングにおける前記インダクタ電流と、前記極性反転期間の終了タイミングにおける前記インダクタ電流と、を近づける、

ＤＣ－ＤＣコンバータ。
【請求項２】
請求項１に記載のＤＣ－ＤＣコンバータであって、
前記制御回路は、
前記第１フルブリッジ回路の入力電圧に基づき、前記第１フルブリッジ回路の電圧出力期間を調整し、前記第２フルブリッジ回路の入力電圧に基づいて、前記第２フルブリッジ回路の電圧出力期間を調整する、
ＤＣ－ＤＣコンバータ。
【請求項３】
請求項２に記載のＤＣ－ＤＣコンバータであって、
前記制御回路は、
前記第１フルブリッジ回路の出力と、前記第２フルブリッジ回路の出力とが極性反転する極性反転期間をτ_c、前記第１フルブリッジ回路の電圧出力期間をτ_1、前記第２フルブリッジ回路の電圧出力期間をτ_2、前記第１フルブリッジ回路の入力電圧をＶｘ、前記第２フルブリッジ回路の入力電圧をＶｙ、で表した場合、τ_1、τ_2、τ_cはラジアン表記であるとすると、
$(\tau_2-\tau_c)V_y=(\tau_1-\tau_c)V_x$
を満たす、τ_1、τ_2に調整する、
ＤＣ－ＤＣコンバータ。
【請求項４】
請求項１から請求項３までのいずれか一つに記載のＤＣ－ＤＣコンバータであって、
前記閾値電流は、前記等価インダクタに蓄積されるエネルギーが、２つの前記キャパシタに蓄積されるエネルギー以上となるように、設定されている、
ＤＣ－ＤＣコンバータ。
【請求項５】
請求項４に記載のＤＣ－ＤＣコンバータであって、
前記閾値電流をI_{ref}、前記第１フルブリッジ回路の入力電圧をＶｘ、前記キャパシタのキャパシタンスをＣ、前記等価インダクタのインダクタンスをＬ、補正係数をαで表した場合、
$I_{ref}=\alpha\cdot V_x\sqrt{(2C/L)}$、
を満たす、ＤＣ－ＤＣコンバータ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ソフトスイッチングを行うＤＣ－ＤＣコンバータに関する。
【背景技術】
【０００２】
ＤＣ－ＤＣコンバータなどの電力変換装置では、スイッチング損失を低減して、高効率で電力伝送を行うため、また、ノイズを低減して、スイッチングサージを抑えて、耐圧の低い安価な素子を用いるために、ゼロボルトスイッチング（以下、ＺＶＳと言う）が用いられている。特許文献１には、１次側直流電圧と２次側直流電圧の電圧差が大きい場合に、ＺＶＳ動作を成立させて、高効率な電力伝送を可能としたＤＣ－ＤＣコンバータが開示されている。特許文献１に記載のＤＣ－ＤＣコンバータでは、１次側および２次側それぞれで電力を検出し、それら２つの電力差が最小となるように、１次側スイッチのデューティと２次側スイッチのデューティとを増減させている。これにより、ＺＶＳ動作が成立するようにしている。
【先行技術文献】
【特許文献】
【０００３】
【文献】特開２０１６－０１２９７０号公報

【発明の概要】
【発明が解決しようとする課題】
【０００４】
特許文献１では、１次側スイッチおよび２次側スイッチそれぞれを、デューティ制御している。この場合、オンデューティが短いと、ＺＶＳをするために十分な電流を流すことができないことがある。一方で、十分な電流を流すためにデューティを変更すると、過度な電流が流れて、損失が増大し、電力伝送効率の低下を招くおそれがある。
複雑となり、生産性の向上およびコストダウンを図ることが難しい。
【０００５】
そこで、本発明は、大電流が流れることによる損失増大を抑制し、ＺＶＳ制御を可能にするＤＣ－ＤＣコンバータを提供することを目的とする。
【課題を解決するための手段】
【０００６】
上記課題を解決するため、本願の第１発明のＤＣ－ＤＣコンバータは、寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、４つのスイッチング素子を有する第１フルブリッジ回路と、寄生容量であるキャパシタ、または、並列接続された外付けのキャパシタを含む、４つのスイッチング素子を有する第２フルブリッジ回路と、前記第１フルブリッジ回路に接続された第１巻線と、前記第２フルブリッジ回路に接続され、前記第１巻線と磁気結合する第２巻線とを有するトランスと、前記第１巻線または前記第２巻線に直列接続されたインダクタンス成分と、前記第１フルブリッジ回路および前記第２フルブリッジ回路それぞれの各スイッチング素子をソフトスイッチング制御する制御回路と、を備え、スイッチング素子のターンオンとターンオフとの切り替えタイミングで、前記トランスおよび前記インダクタンス成分の等価インダクタに流れるインダクタ電流は、閾値電流以上であり、前記制御回路は、前記第１フルブリッジ回路および前記第２フルブリッジ回路それぞれの出力電圧が異なる場合、前記第１フルブリッジ回路の出力と、前記第２フルブリッジ回路の出力とが極性反転する極性反転期間の開始タイミングにおける前記インダクタ電流と、前記極性反転期間の終了タイミングにおける前記インダクタ電流と、を近づける。
【０００７】
本願の第２発明は、第１発明のＤＣ－ＤＣコンバータであって、前記第１フルブリッジ回路の入力電圧に基づき、前記第１フルブリッジ回路の電圧出力期間を調整し、前記第２フルブリッジ回路の入力電圧に基づいて、前記第２フルブリッジ回路の電圧出力期間を調整する。
【０００８】
本願の第３発明は、第２発明のＤＣ－ＤＣコンバータであって、前記制御回路は、前記第１フルブリッジ回路の出力と、前記第２フルブリッジ回路の出力とが極性反転する極性反転期間をτ_c、前記第１フルブリッジ回路の電圧出力期間をτ_1、前記第２フルブリッジ回路の電圧出力期間をτ_2、前記第１フルブリッジ回路の入力電圧をＶｘ、前記第２フルブリッジ回路の入力電圧をＶｙ、で表した場合、τ_1、τ_2、τ_cはラジアン表記であるとすると、$(\tau_2-\tau_c)Vy=(\tau_1-\tau_c)Vx$、を満たす、$\tau_1$、$\tau_2$に調整する
【０００９】
本願の第４発明は、第１発明から第３発明のＤＣ－ＤＣコンバータであって、前記閾値電流は、前記等価インダクタに蓄積されるエネルギーが、２つの前記キャパシタに蓄積されるエネルギー以上となるように、設定されている。
【００１０】
本願の第５発明は、第４発明のＤＣ－ＤＣコンバータであって、前記閾値電流をI_{ref}、前記第１フルブリッジ回路の入力電圧をＶｘ、前記キャパシタのキャパシタンスをＣ、前記等価インダクタのインダクタンスをＬ、補正係数をαで表した場合、$I_{ref}=\alpha\cdot Vx\sqrt{(2C/L)}$、を満たす。
【発明の効果】

【００１１】
本願の第１発明～第５発明によれば、極性反転期間の開始タイミングのインダクタ電流と、終了タイミングのインダクタ電流と、を近づける。これにより、開始タイミングと、終了タイミングとにおけるインダクタ電流は、等しくなる。これにより、一方のタイミングでのインダクタ電流を大きくすることで、他方のタイミングでのインダクタ電流が大きくなることを抑制できる。そして、過度な電流が流れないようにして損失増大を防止し、ＤＣ－ＤＣコンバータの電力伝送効率の低下を抑制できる。
【図面の簡単な説明】
【００１２】
【図１】実施形態に係るＤＣ－ＤＣコンバータの回路図である。
【図２】ＤＣ－ＤＣコンバータのタイミングチャートを示す図である。
【図３】ＤＣ－ＤＣコンバータでの電流経路を説明するための図である。
【図４】ＤＣ－ＤＣコンバータでの電流経路を説明するための図である。
【図５】ＤＣ－ＤＣコンバータでの電流経路を説明するための図である。
【図６】ＤＣ－ＤＣコンバータでの電流経路を説明するための図である。
【図７】ＤＣ－ＤＣコンバータでの電流経路を説明するための図である。
【図８】ＤＣ－ＤＣコンバータでの電流経路を説明するための図である。
【図９】図２のＶ１、Ｖ２、I_Lの波形を重ねて表わした図である。
【発明を実施するための形態】
【００１３】
以下、本発明の実施形態について、図面を参照しつつ説明する。以下では、本発明の「ＤＣ－ＤＣコンバータ」について、デュアルアクティブブリッジ（ＤＡＢ）コンバータ（以下、ＤＣ－ＤＣコンバータと称す）を例に挙げて説明する。
【００１４】
＜１．ＤＣ－ＤＣコンバータの回路構成＞
図１は、本実施形態に係るＤＣ－ＤＣコンバータ１の回路図である。
【００１５】
ＤＣ－ＤＣコンバータ１は、一対の入出力端子ＩＯ１１および入出力端子ＩＯ１２と、一対の入出力端子ＩＯ２１および入出力端子ＩＯ２２と、を備えている。一対の入出力端子ＩＯ１１、ＩＯ１２には直流電源Ｅ１が接続されている。一対の入出力端子ＩＯ２１、ＩＯ２２には直流電源Ｅ２が接続されている。本実施形態では、直流電源Ｅ２の電源電圧Ｖｙは、直流電源Ｅ１の電源電圧Ｖｘより低い。つまり、Ｖｘ＞Ｖｙである。
【００１６】
ＤＣ－ＤＣコンバータ１は、入出力端子ＩＯ１１、ＩＯ１２から入力される直流電源Ｅ１の電源電圧を変圧し、入出力端子ＩＯ２１、ＩＯ２２から出力する。また、ＤＣ－ＤＣコンバータ１は、入出力端子ＩＯ２１、ＩＯ２２から入力される、直流電源Ｅ２の電源電圧を変圧し、入出力端子ＩＯ１１、ＩＯ１２から出力する。つまり、ＤＣ－ＤＣコンバータ１は、双方向に電力伝送が可能なコンバータである。
【００１７】
ＤＣ－ＤＣコンバータ１は、第１フルブリッジ回路１０と、第２フルブリッジ回路２０と、トランスＴと、を備えている。
【００１８】
トランスＴは、第１巻線ｎ１と、第２巻線ｎ２とを備えている。第１巻線ｎ１と第２巻線ｎ２とは磁気結合する。第１巻線ｎ１は、第１フルブリッジ回路１０を介して、入出力端子ＩＯ１１、ＩＯ１２に接続されている。第２巻線ｎ２は、第２フルブリッジ回路２０を介して、入出力端子ＩＯ２１、ＩＯ２２に接続されている。
【００１９】
第１フルブリッジ回路１０は、スイッチング素子Ｑ１１とスイッチング素子Ｑ１２とが直列接続された第１レグと、スイッチング素子Ｑ１３とスイッチング素子Ｑ１４とが直列接続された第２レグと、を有している。スイッチング素子Ｑ１１、Ｑ１２、Ｑ１３、Ｑ１４

には、ダイオードＤ１１、Ｄ１２、Ｄ１３、Ｄ１４、および、キャパシタＣ１１、Ｃ１２、Ｃ１３、Ｃ１４が並列に接続されている。スイッチング素子Ｑ１１～Ｑ１４はＭＯＳ－ＦＥＴである。ただし、スイッチング素子Ｑ１１～Ｑ１４は、ＩＧＢＴまたはＪＦＥＴ等であってもよい。ダイオードＤ１１～Ｄ１４は、実素子であってもよいし、寄生ダイオードであってもよい。また、キャパシタＣ１１～Ｃ１４は、実素子、寄生容量、または、寄生容量と実素子との組み合わせであってもよい。

【００２０】

トランスＴの第１巻線ｎ１は、第１レグおよび第２レグそれぞれの中点に接続されている。トランスＴの第１巻線ｎ１と、第１レグの中点との間には、インダクタＬ１が設けられている。ただし、インダクタＬ１は、第１巻線ｎ１または第２巻線ｎ２に直列接続されていればよく、その配置場所は適宜変更可能である。例えば、インダクタＬ１は、第１巻線ｎ１と第２レグの中点との間に設けられていてもよい。また、インダクタＬ１は、実素子、トランスＴの漏れインダクタンス、または、実素子と漏れインダクタンスとの組み合わせであってもよい。

【００２１】

第２フルブリッジ回路２０は、スイッチング素子Ｑ２１とスイッチング素子Ｑ２２とが直列接続された第３レグと、スイッチング素子Ｑ２３とスイッチング素子Ｑ２４とが直列接続された第４レグと、を有している。スイッチング素子Ｑ２１、Ｑ２２、Ｑ２３、Ｑ２４には、ダイオードＤ２１、Ｄ２２、Ｄ２３、Ｄ２４、および、キャパシタＣ２１、Ｃ２２、Ｃ２３、Ｃ２４が並列に接続されている。スイッチング素子Ｑ２１～Ｑ２４はＭＯＳ－ＦＥＴである。ただし、スイッチング素子Ｑ２１～Ｑ２４は、ＩＧＢＴまたはＪＦＥＴ等であってもよい。ダイオードＤ２１～Ｄ２４は、実素子であってもよいし、寄生ダイオードであってもよい。また、キャパシタＣ２１～Ｃ２４は、実素子、寄生容量、または、寄生容量と実素子との組み合わせであってもよい。

【００２２】

トランスＴの第２巻線ｎ２は、第３レグおよび第４レグそれぞれの中点に接続されている。前記のインダクタＬ１は、第２巻線ｎ２と、第３レグまたは第４レグの中点との間に設けられていてもよい。

【００２３】

スイッチング素子Ｑ１１～Ｑ１４およびスイッチング素子Ｑ２１～Ｑ２４それぞれのゲート端子は、制御回路３０に接続されている。制御回路３０は、ＤＣ－ＤＣコンバータ１の出力電力が設定される目標電力となるように、スイッチング素子Ｑ１１～Ｑ１４、Ｑ２１～Ｑ２４それぞれをスイッチング制御する。本実施形態では、制御回路３０は、スイッチング損失を低減するために、スイッチング素子Ｑ１１～Ｑ１４、Ｑ２１～Ｑ２４それぞれをソフトスイッチングする。

【００２４】

＜２．ソフトスイッチング動作について＞

以下に、各スイッチング素子Ｑ１１～Ｑ１４、Ｑ２１～Ｑ２４のソフトスイッチング動作について説明する。なお、本実施の形態では、3-ＬＥＶＥＬ方式のＤＡＢ制御が採用されている。

【００２５】

ＤＣ－ＤＣコンバータ１は、入出力端子ＩＯ１１、ＩＯ１２および入出力端子ＩＯ２１、ＩＯ２２の一方から他方、または、他方から一方への電力伝送を行う。以下では、入出力端子ＩＯ１１、ＩＯ１２を入力側（１次側）とし、入出力端子ＩＯ２１、ＩＯ２２を出力側（２次側）として説明する。

【００２６】

図２は、ＤＣ－ＤＣコンバータ１のタイミングチャートを示す図である。図３、図４、図５、図６、図７および図８は、ＤＣ－ＤＣコンバータ１での電流経路を説明するための図である。図３～図８では、第２フルブリッジ回路２０の図示は簡略し、図１のインダクタＬ１およびトランスＴは、等価的なインダクタＬで表す。

【００２７】
図２では、第１フルブリッジ回路１０の各スイッチング素子Ｑ１１～Ｑ１４についてのみ、そのタイミングチャートを示す。また、図２のＶ１は、図１に示す、スイッチング素子Ｑ１１とスイッチング素子Ｑ１２との中点と、スイッチング素子Ｑ１３とスイッチング素子Ｑ１４との中点との間の電圧である。Ｖ２は、スイッチング素子Ｑ２１とスイッチング素子Ｑ２２との中点と、スイッチング素子Ｑ２３とスイッチング素子Ｑ２４との中点との間の電圧である。I_Lは、インダクタＬ（図３～図８参照）に流れるインダクタ電流である。
【００２８】
制御回路３０は、位相差を設けて、第１フルブリッジ回路１０と、第２フルブリッジ回路２０とをスイッチング制御する。以下では、第１フルブリッジ回路１０と、第２フルブリッジ回路２０との位相差を、δで表す。制御回路３０は、第１フルブリッジ回路１０および第２フルブリッジ回路２０それぞれにおいて、スイッチング周波数ｆ（周期１／ｆ）で、フェーズシフトＰＷＭ制御を行う。
【００２９】
また、以下では、第１フルブリッジ回路１０の各スイッチング素子Ｑ１１～Ｑ１４についてのスイッチング制御について、説明する。第２フルブリッジ回路２０については、電圧Ｖ２が、図２に示す波形となるように、スイッチング制御され、その説明は、第１フルブリッジ回路１０と同様に説明することができる。したがって、図３～図８では、説明を簡易にするために、第１フルブリッジ回路１０側の電流経路についてのみ示す。なお、各図では、各スイッチング素子は簡略化した回路記号で示している。
【００３０】
（ｔ０～ｔ１）
ｔ０～ｔ１期間では、スイッチング素子Ｑ１１、Ｑ１４がオン、スイッチング素子Ｑ１２、Ｑ１３がオフである。
【００３１】
この場合、図３に示すように、直流電源Ｅ１から、スイッチング素子Ｑ１１、インダクタＬ、第２フルブリッジ回路２０、スイッチング素子Ｑ１４、直流電源Ｅ１の順に電流が流れる。この期間の電圧Ｖ１はＨｉである。
【００３２】
タイミングｔ１では、スイッチング素子Ｑ１１がターンオフされた後、デッドタイムを挟んで、スイッチング素子Ｑ１２がターンオンされる。このデッドタイムでは、スイッチング素子Ｑ１１、Ｑ１２は共にオフとなる。このとき、インダクタＬには、その性質上、インダクタ電流ＩＬが流れ続けるため、図４に示すように、キャパシタＣ１１およびキャパシタＣ１２それぞれから、インダクタＬに電流が流れる。そして、キャパシタＣ１１は充電し、キャパシタＣ１２は放電される。キャパシタＣ１２が放電されると、スイッチング素子Ｑ１２のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Ｑ１２をターンオンすると、ＺＶＳとなる。
【００３３】
（ｔ１～ｔ２）
ｔ１～ｔ２期間では、スイッチング素子Ｑ１２、Ｑ１４がオン、スイッチング素子Ｑ１１、Ｑ１３がオフである。この場合、図５に示すように、スイッチング素子Ｑ１４、スイッチング素子Ｑ１２からインダクタＬの経路に電流が流れる。このときの電圧Ｖ１はゼロである。
【００３４】
タイミングｔ２では、スイッチング素子Ｑ１４がターンオフされた後、デッドタイムを挟んで、スイッチング素子Ｑ１３がターンオンされる。このデッドタイムでは、図４での説明と同様、キャパシタＣ１４は充電し、キャパシタＣ１３は放電される。キャパシタＣ１３が放電されることで、スイッチング素子Ｑ１３のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Ｑ１３をターンオンすると、ＺＶＳとなる。

【００３５】
（ｔ２～ｔ３）
ｔ２～ｔ３期間では、スイッチング素子Ｑ１２、Ｑ１３がオン、スイッチング素子Ｑ１１、Ｑ１４がオフである。タイミングｔ２で、スイッチング素子Ｑ１３をターンオンした直後は、図６に示すように、直流電源Ｅ１、スイッチング素子Ｑ１２、インダクタＬ、第２フルブリッジ回路２０、スイッチング素子Ｑ１３、直流電源Ｅ１の経路に電流が流れる。この電流は、直流電源Ｅ１に逆流することになり、その結果、図７に示すように、直流電源Ｅ１、スイッチング素子Ｑ１３、第２フルブリッジ回路２０、インダクタＬ、スイッチング素子Ｑ１２、直流電源Ｅ１の経路に電流が流れるようになる。この期間の電圧Ｖ１は、ｔ０～ｔ１期間と逆極性となる。
【００３６】
また、タイミングｔ３では、スイッチング素子Ｑ１２がターンオフされた後、デッドタイムを挟んで、スイッチング素子Ｑ１１がターンオンされる。そして、図４での説明と同様、キャパシタＣ１２は充電し、キャパシタＣ１１は放電される。そして、キャパシタＣ１１が放電されることで、スイッチング素子Ｑ１１のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Ｑ１１をターンオンすると、ＺＶＳとなる。
【００３７】
（ｔ３～ｔ０）
ｔ３～ｔ０期間では、スイッチング素子Ｑ１１、Ｑ１３がオン、スイッチング素子Ｑ１２、Ｑ１４がオフである。この場合、図８に示すように、インダクタＬ、スイッチング素子Ｑ１１、スイッチング素子Ｑ１３の経路に電流が流れる。このときの電圧Ｖ１はゼロである。
【００３８】
タイミングｔ０では、スイッチング素子Ｑ１３がターンオフされた後、デッドタイムが設けられて、スイッチング素子Ｑ１４がターンオンされる。そして、図４での説明と同様、キャパシタＣ１３は充電し、キャパシタＣ１４は放電される。キャパシタＣ１４が放電されることで、スイッチング素子Ｑ１４のドレイン・ソース間電圧はゼロである。このときに、スイッチング素子Ｑ１４をターンオンすると、ＺＶＳとなる。そして、図３の状態に遷移する。
【００３９】
上記のようにスイッチング制御することで、電圧Ｖ１は、図２に示す波形のように、遷移する。また、制御回路３０が、第２フルブリッジ回路２０をスイッチング制御することで、電圧Ｖ２は、図２に示す波形のように遷移する。上記のように、第１フルブリッジ回路１０と、第２フルブリッジ回路２０とは、位相差δでスイッチング制御されるため、電圧Ｖ１の立ち上がりと、電圧Ｖ２の立ち上がりとの位相差は、δである。
【００４０】
＜３．ＤＣ－ＤＣコンバータの出力電力について＞
制御回路３０は、各スイッチング素子の駆動信号の位相を制御して、ＤＣ－ＤＣコンバータ１の出力電力を制御する。
【００４１】
本実施形態では、Ｖｘ＞Ｖｙである。つまり、ＨｉのＶ１と、ＨｉのＶ２とは、それぞれ異なる。インダクタＬには、Ｖ１とＶ２との電圧差により電流が流れている。本実施の形態に係る制御回路３０は、各スイッチング素子のＺＶＳを可能にするため、以下の通り、この期間でのインダクタ電流I_Lを制御する。
【００４２】
ここで、電圧Ｖ１と電圧Ｖ２とが、互いに逆極性となる極性反転期間を、τ_cで表す。また、第１フルブリッジ回路１０の電圧出力期間を、τ_1で表す。第２フルブリッジ回路２０の電圧出力期間を、τ_2で表す。τ_1、τ_2、τ_cは、時間を角度（ラジアン）表記したものである。
【００４３】

制御回路３０は、極性反転期間τ$_c$を一定に保ち、かつ、Ｖ１、Ｖ２から算出した電圧出力期間τ$_1$、τ$_2$を用いて、ＤＣ－ＤＣコンバータ１からの出力電力を制御する。τ$_1$は、第１フルブリッジ回路１０の各スイッチング素子の駆動信号の位相を制御することで、変更できる。また、τ$_2$は、第２フルブリッジ回路２０の各スイッチング素子の駆動信号の位相を制御することで、変更できる。

【００４４】

固定値であるτ$_c$は、各スイッチング素子をＺＶＳできるように設定される。そのために、τ$_c$は、以下の式（１）の条件を満たす必要がある。

【数１】

$$\tau_c \geqq \frac{I_{ref} \cdot L}{Vx} \qquad \cdots (1)$$

【００４５】

上記の式（１）において、Ｌは、図３などのインダクタＬのインダクタンスである。Ｖｘは、上記のように、直流電源Ｅ１の電源電圧を（図１参照）である。

【００４６】

また、Ｉ$_{ref}$は、ＺＶＳを実現するために必要なインダクタ電流ＩＬの電流値である。上記のように、例えば、タイミングｔ２のデッドタイムにおいて、キャパシタＣ１４が充電し、キャパシタＣ１３が放電した後に、スイッチング素子Ｑ１３のドレイン・ソース間電圧がゼロであれば、スイッチング素子Ｑ１３のターンオンはＺＶＳとなる。つまり、インダクタＬのエネルギーは、少なくとも、キャパシタＣ１３、Ｃ１４それぞれに蓄積されるエネルギー以上であれば、スイッチング素子Ｑ１３をＺＶＳできる。このためには、以下の式（２）が成り立つ必要がある。

【００４７】

式（２）において、Ｉ$_L$はインダクタＬに流れるインダクタ電流である。Ｃは、キャパシタＣ１１～Ｃ１４、Ｃ２１～Ｃ２４それぞれのキャパシタンスである。そして、式（２）は、以下の式（３）に変換される。なお、式（３）のαは補正係数であり、必要に応じて適宜値が設定される。ここでは、α＝１とする。

【数３】

$$I_L \geqq \alpha \cdot Vx \sqrt{\frac{2C}{L}} \qquad \cdots (3)$$

【００４８】

式（３）のα・Ｖｘ√（４Ｃ／Ｌ）を閾値電流Ｉ$_{ref}$とする。タイミングｔ０、ｔ２でのデッドタイムにおいて、｜Ｉ$_L$｜≧｜Ｉ$_{ref}$｜であれば、スイッチング素子Ｑ１３のＺＶＳが可能となる。同様に、各スイッチング素子をターンオンするタイミングにおいて、上記の式（３）の条件を満たせば、各スイッチング素子をＺＶＳできる。

【００４９】

制御回路３０は、各スイッチング素子のＺＶＳを可能にするために、Ｖ１とＶ２とが互いに逆極性となる期間のインダクタ電流Ｉ$_L$を制御する。

【００５０】

図９は、図２のＶ１、Ｖ２、Ｉ$_L$の波形を重ねて表わした図である。図９の破線はＶ１、一点鎖線はＶ２、実線はＩ$_L$の波形を示す。

【００５１】

図９に示すように、Ｖ１およびＶ２それぞれのＨｉとＬｏとが切り替わる各タイミングｔ４～ｔ１１では、インダクタＬに流れるインダクタ電流Ｉ$_L$は異なる。そして、Ｖ１とＶ

２とが互いに逆極性となる期間ｔ４～ｔ５、ｔ８～ｔ９それぞれでは、インダクタＬの両端の電圧差が最も大きいため、この期間のインダクタ電流ＩＬの傾きは、他の期間の傾きより急峻である。

【００５２】

この期間の開始タイミングｔ４、ｔ８と、終了タイミングｔ５、ｔ９とに流れる、インダクタ電流ＩＬの向きは逆となる。タイミングｔ５、ｔ９でのインダクタ電流ＩＬは、タイミングｔ４、ｔ８でのインダクタ電流ＩＬより小さい。そして、Ｖ１およびＶ２それぞれのＨｉとＬｏとが切り替わる各タイミングｔ４～ｔ１１のなかで、タイミングｔ５、ｔ９でのインダクタ電流ＩＬが最も小さい。したがって、タイミングｔ５、ｔ９でのインダクタ電流ＩＬが、上記の式（３）の条件を満たせば、各スイッチング素子のＺＶＳが可能となる。

【００５３】

しかしながら、タイミングｔ５、ｔ９でのインダクタ電流ＩＬを大きくすると、他のタイミングでのインダクタ電流ＩＬも大きくなり、過度な電流が流れることで、損失が増大し、ＤＣ－ＤＣコンバータ１の電力伝送効率の低下を招く。そこで、制御回路３０は、タイミングｔ５、ｔ９でのインダクタ電流ＩＬと、タイミングｔ４、ｔ８でのインダクタ電流ＩＬとを、近づける制御を行う。

【００５４】

タイミングｔ５、ｔ９でのインダクタ電流ＩＬは、以下の式（４）で表される。

【数４】

$$|I_L| = \frac{V2\cdot\tau_2 - V1\cdot\tau_1 + 2\cdot V1(\delta - \pi + \tau_2)}{2\omega L} \quad \cdots (4)$$

【００５５】

タイミングｔ４、ｔ８でのインダクタ電流ＩＬは、以下の式（５）で表される。

【数５】

$$|I_L| = \frac{V1\cdot\tau_1 - 2\cdot V2(2\pi - 2\delta - \tau_2)}{2\omega L} \quad \cdots (5)$$

【００５６】

式（４）で表されるＩＬと、式（５）で表されるＩＬと、が等しくなるための条件は、以下の式（６）となる。

【数６】

$$(\tau_2 - \tau_c)Vy = (\tau_1 - \tau_c)Vx \quad \cdots (6)$$

【００５７】

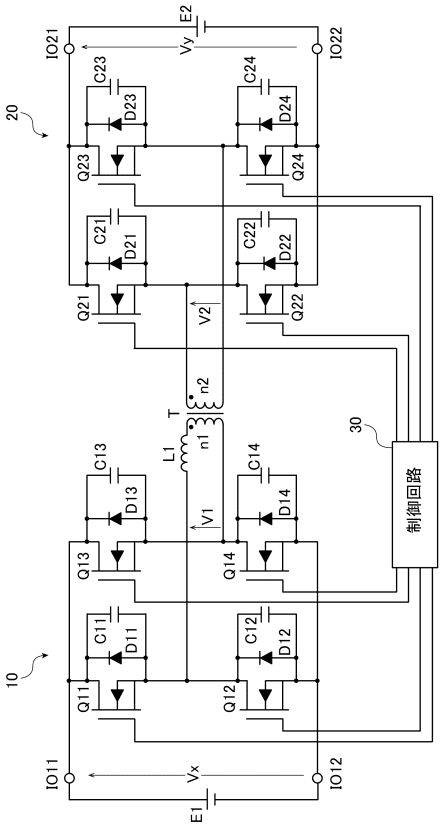
式（６）に示すように、τ１と、τ２とは、Ｖｘと、Ｖｙとの比に基づいて算出される。制御回路３０は、τ１と、τ２が、式（６）から算出された値となり、ＤＣ－ＤＣコンバータ１の出力電力が目標値となるように、スイッチング制御する。これにより、タイミングｔ５、ｔ９でのインダクタ電流ＩＬと、タイミングｔ４、ｔ８でのインダクタ電流ＩＬとが、等しくなり、大電流が流れることを防ぎつつ、各スイッチング素子のＺＶＳが可能となる。この結果、大電流が流れることによる損失増大を抑制することができる。

【００５８】

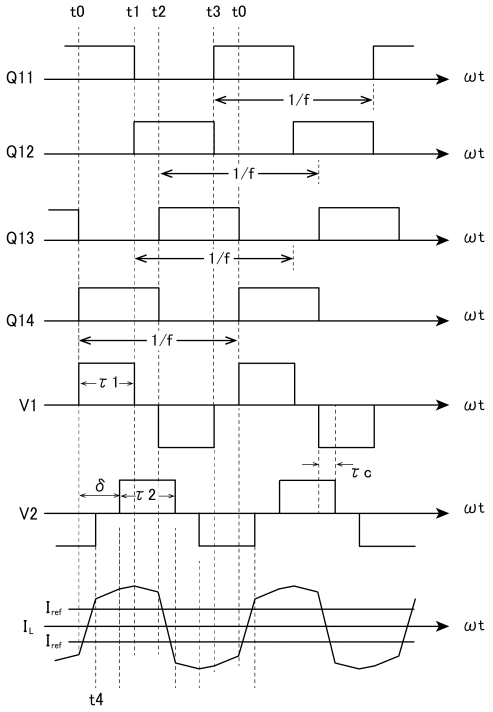
＜４．変形例＞
以上、本発明の一実施形態について説明したが、本発明は、上記の実施形態に限定されるものではない。
【００５９】
上記の実施形態では、Ｖｘ＞Ｖｙとして説明したが、Ｖｘ＜Ｖｙであってもよい。また、上記の実施形態において、τ１＝τ２であってもよいし、τ１≠τ２であってもよく、τ１、τ２は、式（６）の条件を満たせばよい。さらに、式（６）において、左辺と右辺は完全に一致してなくてもよい。
【００６０】
また、上記の実施形態では、入出力端子ＩＯ１１、ＩＯ１２を入力側とし、入出力端子ＩＯ２１、ＩＯ２２を出力側として説明した。しかしながら、ＤＣ－ＤＣコンバータ１は双方向に電力伝送可能である。したがって、入出力端子ＩＯ１１、ＩＯ１２を出力側とし、入出力端子ＩＯ２１、ＩＯ２２を入出力側とすることが可能である。この場合、上記の実施形態と同様に説明することができため、その説明を省略する。なお、ＤＣ－ＤＣコンバータ１は、双方向型でなくてもよい。
【００６１】
また、上記の実施形態または変形例に登場した各要素を、矛盾が生じない範囲で、適宜に組み合わせてもよい。
【符号の説明】
【００６２】
１　　：ＤＣ－ＤＣコンバータ
１０　　：第１フルブリッジ回路
２０　　：第２フルブリッジ回路
３０　　：制御回路
Ｃ１１、Ｃ１２、Ｃ１３、Ｃ１４：キャパシタ
Ｃ２１、Ｃ２２、Ｃ２３、Ｃ２４：キャパシタ
Ｄ１１、Ｄ１２、Ｄ１３、Ｄ１４：ダイオード
Ｄ２１、Ｄ２２、Ｄ２３、Ｄ２４：ダイオード
Ｅ１、Ｅ２：直流電源
I_L　　：インダクタ電流
ＩＯ１１、ＩＯ１２：入出力端子
ＩＯ２１、ＩＯ２２：入出力端子
Ｌ　　：インダクタ
Ｌ１　　：インダクタ
Ｑ１１、Ｑ１２、Ｑ１３、Ｑ１４：スイッチング素子
Ｑ２１、Ｑ２２、Ｑ２３、Ｑ２４：スイッチング素子
Ｔ　　：トランス

【図面】

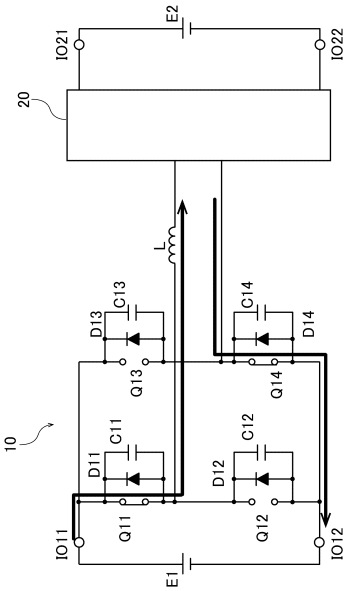
【図１】


E2
Vy
IO21
IO22
C23
D23
C24
D24
20
Q23
Q24
C21
D21
C22
D22
Q21
Q22
V2
n2
T
L1
n1
30
制御回路
C13
D13
C14
D14
V1
Q13
Q14
C11
D11
C12
D12
10
Q11
Q12
IO11
Vx
IO12
E1

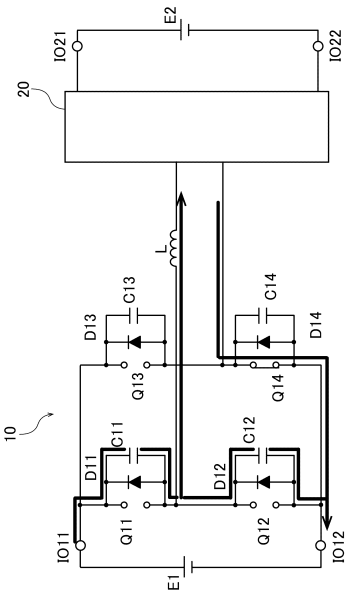
【図２】


t0
t1
t2
t3
t0
Q11
ωt
1/f
Q12
Q13
Q14
τ 1
V1
δ
τ 2
τ c
V2
I_ref
I_L
t4

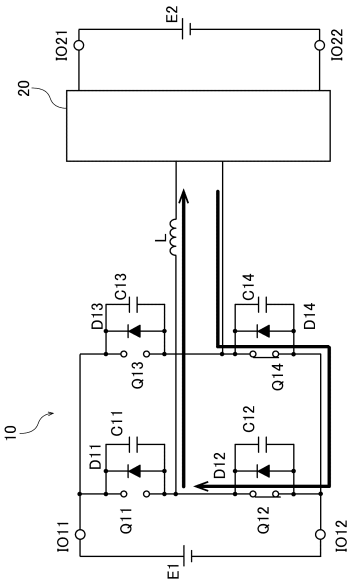
【図３】


E2
IO21
IO22
20
L
C13
D13
C14
D14
Q13
Q14
10
C11
D11
C12
D12
IO11
Q11
Q12
IO12
E1

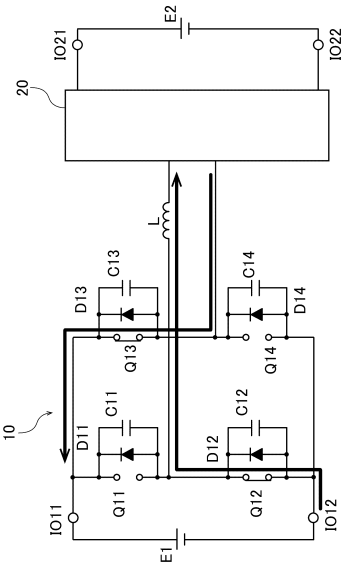
【図４】


E2
IO21
IO22
20
L
C13
D13
C14
D14
Q13
Q14
10
C11
D11
C12
D12
IO11
Q11
Q12
IO12
E1

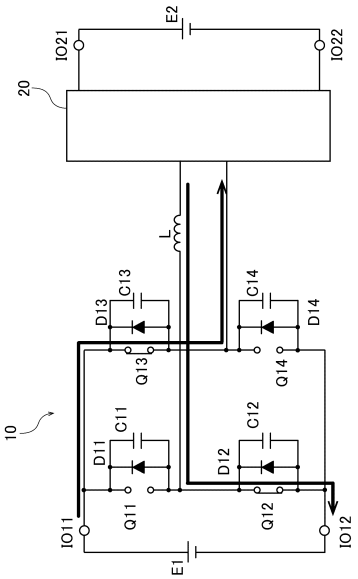
【図５】


E2
IO21
IO22
20
L
C13
C14
D13
D14
Q13
Q14
10
C11
C12
D11
D12
Q11
Q12
IO11
IO12
E1

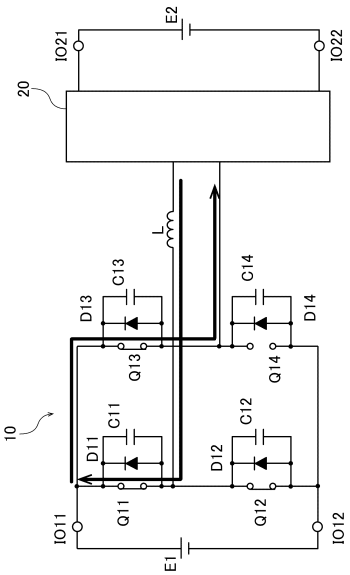
【図６】


E2
IO21
IO22
20
L
C13
C14
D13
D14
Q13
Q14
10
C11
C12
D11
D12
Q11
Q12
IO11
IO12
E1

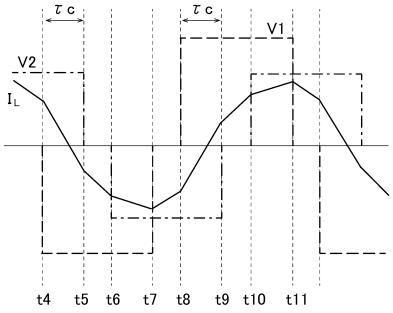
【図７】


E2
IO21
IO22
20
L
C13
C14
D13
D14
Q13
Q14
10
C11
C12
D11
D12
Q11
Q12
IO11
IO12
E1

【図８】


E2
IO21
IO22
20
L
C13
C14
D13
D14
Q13
Q14
10
C11
C12
D11
D12
Q11
Q12
IO11
IO12
E1

【図９】



フロントページの続き

(56)参考文献 特開２０１３－０２７２０１（ＪＰ，Ａ）
特開２０１７－０５１０８２（ＪＰ，Ａ）
特開２０１４－０７５９４４（ＪＰ，Ａ）
米国特許出願公開第２０１６／００２０７０２（ＵＳ，Ａ１）
米国特許出願公開第２０１５／０２２９２２５（ＵＳ，Ａ１）

(58)調査した分野 (Int.Cl.，ＤＢ名)
Ｈ０２Ｍ　３／２８