

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6773795号
(P6773795)

(45) 発行日 令和2年10月21日(2020.10.21)

(24) 登録日 令和2年10月5日(2020.10.5)

(51) Int.Cl.	F I				
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 Y			
HO 1 L 29/78 (2006.01)	HO 1 L 27/088	E			
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78	6 1 8 C			
HO 1 L 27/088 (2006.01)	HO 1 L 29/78	6 1 8 E			
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 2 7 F			
請求項の数 37 (全 18 頁) 最終頁に続く					

(21) 出願番号	特願2018-542684 (P2018-542684)	(73) 特許権者	512218599
(86) (22) 出願日	平成28年10月27日(2016.10.27)		ユニバーシティ オブ フロリダ リサー
(65) 公表番号	特表2018-537867 (P2018-537867A)		チ ファウンデーション インコーポレイ
(43) 公表日	平成30年12月20日(2018.12.20)		テッド
(86) 国際出願番号	PCT/US2016/059037		アメリカ合衆国 フロリダ州 3 2 6 1 1
(87) 国際公開番号	W02017/075165		ゲインズヴィル グリントー ホール
(87) 国際公開日	平成29年5月4日(2017.5.4)		2 2 3
審査請求日	令和1年10月28日(2019.10.28)	(73) 特許権者	500239188
(31) 優先権主張番号	62/248,561		ヴァリアン セミコンダクター イクイッ
(32) 優先日	平成27年10月30日(2015.10.30)		プメント アソシエイツ インコーポレイ
(33) 優先権主張国・地域又は機関	米国 (US)		テッド
			アメリカ合衆国 マサチューセッツ州 O
			1 9 3 0 グローチェスター ドリー
			ード 3 5
最終頁に続く			

(54) 【発明の名称】 カプセル化ナノ構造及び作製方法

(57) 【特許請求の範囲】

【請求項 1】

ナノワイヤの形成方法であって、

基板の基板面上方に延伸するフィン構造を提供するステップであって、前記フィン構造は少なくとも3層からなり、前記フィン構造は、少なくとも1つのシリコン層と少なくとも2つのシリコン-ゲルマニウム合金(SiGe)層を備え、前記少なくとも1つのシリコン層と前記少なくとも2つのSiGe層は前記フィン構造の側壁を画定する、フィン構造を提供するステップと、

前記フィン構造を酸素雰囲気アニールするステップであって、シリコンナノワイヤ集合体が形成され、前記シリコンナノワイヤ集合体は、

前記少なくとも1つのシリコン層から形成されるシリコンナノワイヤと、

前記シリコンナノワイヤを囲むSiGeマトリックスと、

前記SiGeマトリックス上に配設されたシリコンオ산화物と、

を備える、前記フィン構造をアニールするステップと、

を含む、方法。

【請求項 2】

前記アニールは、前記フィン構造を酸素雰囲気800 から1000 の間の温度でアニールすることを含む、請求項1に記載の方法。

【請求項 3】

前記アニールは、前記フィン構造を5分から60分の間アニールすることを含む、請求

項 1 に記載の方法。

【請求項 4】

前記少なくとも 2 つの SiGe 層は 30% 以下の第 1 のゲルマニウム濃度を有し、かつ前記 SiGe マトリックスは、30% 超の第 2 のゲルマニウム濃度を有する、請求項 1 に記載の方法。

【請求項 5】

前記第 2 のゲルマニウム濃度は 50% 超である、請求項 4 に記載の方法。

【請求項 6】

シリコン酸化物層を除去するステップと、前記 SiGe マトリックスを選択除去するステップとをさらに含み、露出された外表面を有する少なくとも 1 つの自立シリコンナノワイヤが形成される、請求項 5 に記載の方法。

10

【請求項 7】

シリコン酸化物層を除去するステップと、前記 SiGe マトリックスを選択除去するステップとをさらに含み、露出された外表面を有する少なくとも 1 つの自立シリコンナノワイヤが形成される、請求項 1 に記載の方法。

【請求項 8】

前記フィン構造は少なくとも 3 つの SiGe 層と少なくとも 2 つのシリコン層を備え、前記シリコンナノワイヤ集合体は少なくとも 2 つのシリコンナノワイヤを備える、請求項 1 に記載の方法。

【請求項 9】

前記少なくとも 1 つの自立シリコンナノワイヤは、前記基板上に形成されたソース/ドレイン領域に接続され、前記方法は前記露出された外表面の周りにゲートを形成するステップをさらに含み、前記ゲートは前記少なくとも 1 つの自立シリコンナノワイヤをカプセル化する、請求項 7 に記載の方法。

20

【請求項 10】

前記少なくとも 1 つの自立シリコンナノワイヤは無欠陥である、請求項 1 に記載の方法。

【請求項 11】

前記フィン構造は、基板面に平行に延伸するフィン軸を備え、

前記フィン構造は 60 nm 以下のフィン幅を備え、

前記シリコンナノワイヤは、前記フィン軸に直交する第 1 の方向に 50 nm 未満だけ延伸する第 1 の寸法と、前記第 1 の方向及び前記フィン軸に直交する第 2 の方向に 50 nm 未満だけ延伸する第 2 の寸法とを有する、請求項 1 に記載の方法。

30

【請求項 12】

基板と、

前記基板上に配設され、フィン軸を有するフィン構造であって、

前記フィン軸に沿って延伸する長軸を有し、単結晶のシリコンからなる少なくとも 1 つのシリコンナノワイヤと、

前記少なくとも 1 つのシリコンナノワイヤを囲み、単結晶のシリコン - ゲルマニウム合金 (SiGe) からなるマトリックス材料と、

を含むフィン構造と、

を備えるナノ構造であって、

前記少なくとも 1 つのシリコンナノワイヤは、前記フィン軸に直交する第 1 の方向に 50 nm 未満だけ延伸する第 1 の寸法と、前記第 1 の方向及び前記フィン軸に直交する第 2 の方向に 50 nm 未満だけ延伸する第 2 の寸法とを有し、

前記フィン構造は SiGe 材料からなる外表面を有し、

前記少なくとも 1 つのシリコンナノワイヤは前記フィン構造の外表面上には延伸しない、ナノ構造。

40

【請求項 13】

前記少なくとも 1 つのシリコンナノワイヤと前記シリコン - ゲルマニウム合金 (SiGe)

50

e) は、単一の単結晶構造を備える、請求項 1 2 に記載のナノ構造。

【請求項 1 4】

前記シリコン - ゲルマニウム合金 (S i G e) は、50% 超のゲルマニウム濃度を有する、請求項 1 3 に記載のナノ構造。

【請求項 1 5】

前記シリコン - ゲルマニウム合金 (S i G e) は、歪入りのシリコンナノワイヤである、請求項 1 2 に記載のナノ構造。

【請求項 1 6】

前記少なくとも 1 つのシリコンナノワイヤは、複数のシリコンナノワイヤを備え、前記マトリックス材料は前記複数のシリコンナノワイヤを囲む、請求項 1 2 に記載のナノ構造。

10

【請求項 1 7】

前記フィン軸は基板面に平行に延伸し、

前記少なくとも 1 つのシリコンナノワイヤは、前記フィン軸に直交する第 1 の方向に 20 nm 未満だけ延伸する第 1 の寸法と、前記第 1 の方向及び前記フィン軸に直交する第 2 の方向に 20 nm 未満だけ延伸する第 2 の寸法とを有する、請求項 1 2 に記載のナノ構造。

【請求項 1 8】

前記少なくとも 1 つのシリコンナノワイヤは無欠陥である、請求項 1 2 に記載のナノ構造。

20

【請求項 1 9】

カプセル化されたナノワイヤの形成方法であって、

基板の基板面上方に延伸する多層構造を形成するステップであって、前記多層構造は少なくとも 3 層からなり、前記多層構造は少なくとも 1 つのシリコン層と少なくとも 2 つのシリコン - ゲルマニウム合金 (S i G e) 層を備え、前記少なくとも 1 つのシリコン層と前記少なくとも 2 つの S i G e 層は前記多層構造の複数の側部を画定する、多層構造を形成するステップと、

前記多層構造を酸素雰囲気中でアニールするステップであって、シリコンナノアイランド集合体が形成され、前記シリコンナノアイランド集合体が、

上面と複数の側部を有する外表面と、

30

前記少なくとも 1 つのシリコン層で形成され、かつ前記シリコンナノアイランド集合体の内部に配設されたシリコンナノアイランドと、

前記シリコンナノアイランドを囲む S i G e マトリックスと、

前記外表面がシリコン酸化物を備える、前記 S i G e マトリックス上に配設されたシリコン酸化物層と、

を備える、アニールステップと、

を含む方法。

【請求項 2 0】

前記少なくとも 2 つの S i G e 層は、第 1 のゲルマニウム濃度を備え、前記 S i G e マトリックスは第 1 の G e 濃度よりも高い、第 2 の G e 濃度を備える、請求項 1 9 に記載の方法。

40

【請求項 2 1】

基板と、

ナノ構造と、

を備えた装置であって、

前記ナノ構造は、前記基板上に配設されたフィン構造を備え、

前記フィン構造は、

フィン軸と、

前記フィン軸に沿って延伸する長軸を有し、単結晶シリコンを備えた少なくとも 1 つのナノワイヤと、

50

前記 ナノワイヤを囲み、単結晶シリコン - ゲルマニウム合金 (S i G e) を備えたマトリックス材料と、

を備え、

前記少なくとも1つのシリコンナノワイヤは、前記フィン軸に直交する第1の方向に沿って50nm未満延伸する第1の寸法と、前記第1の方向及び前記フィン軸に直交する第2の方向に沿って50nm未満延伸する第2の寸法とを有し、

前記フィン構造はS i G e材料からなる外表面を有し、

前記少なくとも1つのシリコンナノワイヤは前記フィン構造の外表面上には延伸せず、前記少なくとも1つのシリコンナノワイヤとシリコン - ゲルマニウム合金 (S i G e) とは、単一の単結晶構造である、

10

装置。

【請求項22】

前記シリコン - ゲルマニウム合金 (S i G e) は、50%より大きいゲルマニウム濃度を有する、請求項21に記載の装置。

【請求項23】

前記少なくとも1つのシリコンナノワイヤは、歪入りのシリコンナノワイヤである、請求項21に記載の装置。

【請求項24】

前記フィン軸は、前記基板の平面に平行に延伸し、

前記少なくとも1つのシリコンナノワイヤは、前記フィン軸に直交する第1の方向に沿って20nm未満延伸する第1の寸法と、前記第1の方向及び前記フィン軸に直交する第2の方向に沿って20nm未満延伸する第2の寸法とを有する、

20

請求項21に記載の装置。

【請求項25】

基板上に配設されたフィン構造を備えるナノ構造であって、

(a) 前記フィン構造に電気を流し、単結晶シリコンを備える少なくとも1つのシリコンナノワイヤと、

(b) 前記シリコンナノワイヤを囲み、単結晶シリコン - ゲルマニウム合金 (S i G e) を備えるマトリックス材料と、

を備え、

30

前記フィン構造は、前記フィン構造での電流方向を規定する第1の方向に細長く伸びかつ寸法が50nm以下の断面を有し、

前記少なくとも1つのシリコンナノワイヤは前記フィン構造の外表面上には延伸せず、

前記少なくとも1つのシリコンナノワイヤとシリコン - ゲルマニウム合金 (S i G e) とは、単一の単結晶構造である、

ナノ構造。

【請求項26】

前記シリコン - ゲルマニウム合金 (S i G e) は、50%より大きいゲルマニウム濃度を有する、請求項25に記載のナノ構造。

【請求項27】

40

前記少なくとも1つのシリコンナノワイヤは、歪入りのシリコンナノワイヤである、請求項25に記載のナノ構造。

【請求項28】

前記少なくとも1つのシリコンナノワイヤは、複数のシリコンナノワイヤを備え、前記マトリックス材料は、前記複数のシリコンナノワイヤを囲む、請求項25に記載のナノ構造。

【請求項29】

前記第1の方向は、前記基板の平面に平行に延伸し、前記断面の寸法は20nm以下である、請求項25に記載のナノ構造。

【請求項30】

50

前記少なくとも1つのシリコンナノワイヤは、無欠陥である、請求項25に記載のナノ構造。

【請求項31】

前記断面は10nm以下である、請求項25に記載のナノ構造。

【請求項32】

(a) 基板と、

(b) 前記基板上に配設された第1の側壁構造と第2の側壁構造と、

(c) 前記第1の側壁構造と前記第2の側壁構造との間の前記基板上に配設された請求項25に記載のナノ構造と、

を備えた装置。

10

【請求項33】

前記シリコン-ゲルマニウム合金(SiGe)は、50%より大きいゲルマニウム濃度を有する、請求項32に記載の装置。

【請求項34】

前記少なくとも1つのシリコンナノワイヤは、複数のシリコンナノワイヤを備え、前記マトリクス材料は、前記複数のシリコンナノワイヤを囲む、請求項32に記載の装置。

【請求項35】

前記第1の方向は、前記基板の平面に平行に延伸し、前記断面は20nm以下である、請求項32に記載の装置。

【請求項36】

20

前記少なくとも1つのシリコンナノワイヤを囲む前記マトリクス材料は、自立シリコンナノワイヤ部を形成するように、取り除かれる、請求項32に記載の装置。

【請求項37】

前記自立シリコンナノワイヤ部は、ゲート材料により囲まれている、請求項36に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、同時係属中の2015年10月30日出願の「カプセル化ナノ構造及び製造方法」と題する米国特許仮出願シリアル番号第62/248,561号の優先権及び利益を主張し、参照によりその内容全体を援用する。

30

【0002】

本実施形態は素子構造に関し、より具体的にはナノワイヤ構造などの半導体素子構造及び関連の作製方法に関する。

【背景技術】

【0003】

今日では、3次元トランジスタ素子がプレーナトランジスタよりも優れた性能の提供に使用される。フィン型FET素子及び水平全周ゲート型(HGAA)FETなどの素子は、シリコンウェハ面などの基板面から垂直に延伸するフィン型半導体領域から形成される。シリコン又は他の半導体材料でできた狭幅構造をHGAA FET又は類似の素子構造内に形成することができ、狭幅構造が素子構造における電流方向を規定する第1の方向に細長く伸びている。狭幅構造は、幅の狭い方向に50nm以下、いくつかの例では10nm未満の寸法の断面を有し得る。そのような構造を素子のゲート内に集積して、チャンネルを画定するように形成することが可能である。シリコンの場合、この狭幅構造はシリコンナノワイヤとも称される。そのようなナノワイヤは、水平すなわちウェハ面に平行、又は垂直すなわちウェハ面に直交であってよい。

40

【0004】

HGAA素子(「HGAA素子」という用語は「HGAA FET素子」と互換的に使用される)のいくつかの方法では、フィン構造内にシリコンとシリコン-ゲルマニウム合金(SiGe)の交互の層からなる多層構造を作製することにより、シリコンナノワイヤ

50

が形成される。フィン形成後のHGA A素子の全体形状は、シリコンだけで形成される通常のフィン型FETに似ていてもよい。フィン構造内の所与のシリコン層に隣接するSiGe層は、フィン構造の露出領域で選択的に除去可能であって、元のフィン構造内部のシリコン層を全側面で露出させることができる。そうして形成される素子のチャネル領域にナノワイヤの自立部分を形成する。これにより、露出された自立ナノワイヤの全側面へのゲート材料形成が容易となる。

【0005】

HGA A FET構造ではシリコンナノワイヤを全側面で電氣的にゲート動作可能であるが、既知の方法によるHGA Aの形成は複雑である。素子作製は、マスクしてエッチングするプロセスに限定され得るので、フィン幅を10nm未満にうまく制御することはできない。さらに、既知の方法の使用では、シリコンとSiGeの超格子は、ゲルマニウム濃度が増加すると格子の不整合と欠陥発生を生じるために、SiGe層のゲルマニウム濃度は30%が上限となる可能性がある。さらに、Si/SiGe超格子を利用するHGA A形成の既知の方法では、得られるシリコンを同軸的に歪ませることに限界がある。

【発明の概要】

【発明が解決しようとする課題】

【0006】

上記の欠点を克服できるナノ構造及びナノ構造の作製方法が依然として必要とされている。

【課題を解決するための手段】

【0007】

様々な実施形態において、上記の1又は複数の欠点を克服するナノ構造及びナノ構造の作製方法が提供される。この方法には、ナノワイヤの形成方法及びカプセル化されたナノ構造の形成方法が含まれる。様々な実施形態において、本明細書に記載の1又は複数の方法によって作製可能なナノ構造が提供される。ナノ構造には、ナノワイヤ及び/又はカプセル化されたナノ構造が含まれてよい。

【0008】

様々な実施形態において、ナノワイヤの形成方法が提供される。本方法には、基板の基板面の上に延伸するフィン構造を提供することが含まれる。ここでフィン構造は少なくとも3層を備える。この3層には、例えば、少なくとも1つのシリコン層と、少なくとも2つのシリコン-ゲルマニウム合金(SiGe)層が含まれ得る。これらの層は、フィン構造の側壁を画定可能である。この方法には、酸素などの酸化雰囲気中でフィン構造をアニールすることが含まれ得る。様々な態様において、シリコンナノワイヤの集合体が形成可能であって、シリコンナノワイヤ集合体には、少なくとも1つのシリコン層から形成されるシリコンナノワイヤと、シリコンナノワイヤを囲むSiGeマトリックスと、SiGeマトリックス上に配設されたシリコン酸化物とが含まれる。いくつかの態様では、フィン構造が少なくとも3つのSiGe層と、少なくとも2つのシリコン層とを有し、形成されるシリコンナノワイヤ集合体は、少なくとも2つのシリコンナノワイヤを有する。

【0009】

いくつかの実施形態で、フィン構造は基板面に平行に延伸するフィン軸を有する。ここで、フィン構造は60nm以下のフィン幅を有し、シリコンナノワイヤは、フィン軸に垂直な第1の方向に沿って50nm未満の第1の寸法と、第1の方向とフィン軸に垂直な第2の方向に沿って50nm未満の第2の寸法とを有する。

【0010】

ナノワイヤ形成方法の様々な態様には、酸素雰囲気において800 から1000 の間でフィン構造をアニールすることが含まれ得る。フィン構造のアニールは、例えば5分から60分の間であってよい。様々な態様において、アニールはSiGeマトリックス内のゲルマニウム濃度を増加させることができる。例えばいくつかの実施形態において、3層に、少なくとも2つのシリコン-ゲルマニウム合金(SiGe)層を含むことができ、この少なくとも2つのSiGe層が30%以下の第1のゲルマニウム濃度を持ち、アニー

10

20

30

40

50

ルによってシリコンナノワイヤ集合体が30%超の第2のゲルマニウム濃度を有するSiGeマトリックスを含むことができる。いくつかの態様では、第2のゲルマニウム濃度は50%超である。

【0011】

シリコンナノワイヤ集合体には、SiGeマトリックス上に配設されたシリコン酸化物層を含むことができる。いくつかの実施形態では、この方法が、シリコン酸化物層を除去することと、SiGeマトリックスを選択除去することとをさらに含み、露出された外表面を有する少なくとも1つの自立シリコンナノワイヤが形成される。少なくとも1つの自立シリコンナノワイヤは、基板上に形成されたソース/ドレイン領域に接続することができる。いくつかの実施形態では、本方法はさらに、露出外表面の周りにゲートを形成することをさらに含み、ゲートは少なくとも1つの自立シリコンナノワイヤをカプセル化する。いくつかの実施形態では、少なくとも1つの自立シリコンナノワイヤは無欠陥とすることができる。

10

【0012】

様々な実施形態において、ナノ構造が提供される。ナノ構造が基板を含み、基板上にフィン構造が配設され、フィン構造はフィン軸を有する。フィン構造は、フィン軸に沿って延伸する長軸を有する少なくとも1つのシリコンナノワイヤであって単結晶シリコンを含むナノワイヤと、ナノワイヤを囲むマトリックス材料であって単結晶シリコン-ゲルマニウム合金(SiGe)を含むマトリックス材料とを含むことができる。様々な態様において、少なくとも1つのシリコンナノワイヤは、フィン軸に直交する第1の方向に50nm未満だけ延伸する第1の寸法と、第1の方向及びフィン軸に直交する第2の方向に50nm未満だけ延伸する第2の寸法とを有する。フィン構造はSiGe材料を含む外表面を有することができる。様々な態様において、少なくとも1つのシリコンナノワイヤはフィン構造の外表面上には延伸しない。いくつかの態様において、少なくとも1つのシリコンナノワイヤは無欠陥であり得る。

20

【0013】

いくつかの態様では、少なくとも1つのシリコンナノワイヤとSiGe材料は、単一の単結晶構造を有する。SiGe材料は50%超のゲルマニウム濃度を有することができる。いくつかの態様では、少なくとも1つのシリコンナノワイヤは歪入りのシリコンナノワイヤである。ナノ構造は複数のシリコンナノワイヤを含むことができ、マトリックス材料が複数のシリコンナノワイヤを囲むことができる。

30

【0014】

いくつかの実施形態では、フィン軸は基板面に平行に延伸し、少なくとも1つのシリコンナノワイヤは、フィン軸に直交する第1の方向に20nm未満だけ延伸する第1の寸法と、第1の方向及びフィン軸に直交する第2の方向に20nm未満だけ延伸する第2の寸法とを有する。

【0015】

カプセル化されたナノ構造を形成する方法とカプセル化されたナノ構造もまた提供される。この方法は、基板の基板面上方に延伸する多層構造の形成を含むことができる。多層構造は少なくとも3層を有し、多層構造は少なくとも1つのシリコン層と少なくとも2つのシリコン-ゲルマニウム合金(SiGe)層を有し、少なくとも1つのシリコン層と少なくとも2つのSiGe層は多層構造の複数の側部を画定する。この方法はさらに、多層構造を酸素雰囲気中でアニールすることを含み、そこでシリコンナノアイランド集合体が形成される。

40

【0016】

シリコンナノアイランド集合体が提供される。シリコンナノアイランド集合体は、上面と複数の側部を有する外表面と、少なくとも1つのシリコン層で形成されかつシリコンナノアイランド集合体の内部に配設されたシリコンナノアイランドと、シリコンナノアイランドを囲むSiGeマトリックスと、外表面がシリコン酸化物を備えるSiGeマトリックス上に配設されたシリコン酸化物層と、を有することができる。

50

【0017】

アニールのステップは、SiGeマトリック内のゲルマニウム濃度を増加させることができる。例えばいくつかの実施形態において、少なくとも2つのSiGe層は第1のゲルマニウム濃度を有し、SiGeマトリックスは第1のゲルマニウム濃度よりも大きい第2のゲルマニウム濃度を有する。

【0018】

ナノ構造及びナノ構造の作製方法のこの他のシステム、方法、特徴及び利点は、以下の図面及び詳細な説明を精査することで当業者には自明であるか又は明らかとなるであろう。そのような追加的なシステム、方法、特徴及び利点のすべては、本説明内に含まれ、本開示の範囲内であり、添付の特許請求の範囲によって保護されるべきものである。

10

【0019】

本開示の更なる態様は、添付の図面とともに以下に述べる様々な実施形態の詳細な説明を検討することにより容易に理解されるであろう。

【図面の簡単な説明】

【0020】

【図1A】本開示の実施形態による、異なる作製段階における素子構造の端面図である。

【図1B】本開示の実施形態による、異なる作製段階における素子構造の端面図である。

【図1C】本開示の実施形態による、異なる作製段階における素子構造の端面図である。

【図1D】本開示の実施形態による、異なる作製段階における素子構造の端面図である。

【図1E】図1Aに概略的に示す素子構造を含む素子の端部斜視図である。

20

【図2A】プロセスの第1段階における素子構造端面の電子顕微鏡写真である。

【図2B】本開示の実施形態による、図1Aの段階に続くプロセスの後続段階における、図2Aの素子構造端面の電子顕微鏡写真である。

【図2C】図2Bの素子構造の一部の拡大電子顕微鏡写真である。

【図3】本開示の実施形態による例示的プロセスフローである。

【図4】本開示の実施形態による別の例示的プロセスフローである。

【発明を実施するための形態】

【0021】

本開示の詳細を説明する前に、本開示は記載の特定の実施形態に限定されないこと、及び当然ながらそれ自体変化し得ることを理解されたい。本明細書で使用する用語は、特定の例示的な実施形態を記述するためだけのものであり、限定することを意図するものではないことも理解されたい。当業者であれば、本明細書に記載の実施形態の多くの変形及び改作があることを理解するであろう。これらの変形及び改作は、本開示の教示に含まれ、かつ本特許請求の範囲に包含されることが意図される。

30

【0022】

添付の図面に示される様々な層及び/又は領域は縮尺どおりには描かれていないこと、及びフィン型FET素子に一般的に使用されるタイプの1又は複数の層及び/又は領域は添付の図面には明示されていない場合があることを理解されたい。このことは、明示されていない層及び/又は領域が実際のフィン型FET素子から省略されることを示すものではない。さらに、図面を通じて使用される同一又は類似の参照番号は、同一又は類似の特徴、要素又は構造を表すために使用される。したがって、同一又は類似の特徴、要素又は構造の説明は図面ごとには繰り返さない。

40

【0023】

本明細書に引用されたすべての刊行物及び特許は、各個別の文献又は特許が参照により具体的かつ個別に援用されたかのように、参照により本明細書に援用される。そして引用された文献に係わる方法及び/又は材料を開示及び記述するために、参照によって本明細書に援用される。任意の刊行物の引用は、本出願日以前の開示に係わるものであり、本開示が、先行開示によりそれらの刊行物に先行する権利を有さないことを認めるものとして解釈されるべきではない。さらに、提供された刊行日は実際の刊行日とは異なる場合があり、それは個別に確認の必要があり得る。

50

【 0 0 2 4 】

本開示の実行又は試験には、本明細書に記載のものと類似又は等価な任意の方法及び材料も使用可能であるが、好適な方法及び材料を以下に記述する。当分野で周知の機能や構成は、簡潔及びノ又は明瞭とするために詳細には記述しない。本開示の実施形態には、特に明記しない限り、当業者の技術範囲にあるナノテクノロジー、有機化学、材料科学及び工学などの技術を使用する。このような技術は文献で十分に説明されている。

【 0 0 2 5 】

比、濃度、量、及びその他の数値データは本明細書においては範囲形式で表されることに留意されたい。このような範囲形式は、便宜さかつ簡潔さのために使用されることを理解されたい。したがって、範囲の限界として明示された数値のみでなく、あたかも各数値と下位範囲が明示されているかのように、その範囲内に包含されるすべての個別の数値又は下位範囲が含まれることを、柔軟に解釈すべきである。例えば、「約 0.1% から約 5%」という数値範囲は、明示的に引用された値の約 0.1% から約 5% だけでなく、個別の値（例えば 1%、2%、3% 及び 4%）と、その示された範囲内の下位範囲（例えば 0.5%、1.1%、2.2%、3.3% 及び 4.4%）も含むと解釈されるべきである。記述された範囲が 1 又は両方の限界を含む場合、これらの含まれた限界の片方又は両方を含まない範囲もまた本開示に含まれる。例えば、「x から y」という表現は、「x」から「y」までの範囲、並びに「x」より大きくかつ「y」より小さい範囲を含む。範囲は、例えば「約 x、y、z 又は未満」のように上限として表現することができ、これは、「約 x」、「約 y」、「約 z」の特定の範囲、並びに「x 未満」、「y 未満」及び「z 未満」の範囲を含むものと解釈されるべきである。同様に、「約 x、y、z 又はそれを超える」という表現は、「約 x」、「約 y」、「約 z」の特定の範囲、並びに「x 超」、「y 超」及び「z 超」の範囲を含むものと解釈されるべきである。いくつかの実施形態において、「約」という用語は、数値の有効数字による従来の丸めを含むことがある。さらに、「x」と「y」が数値であるとき、「約「x」から「y」」という表現は、「約「x」から約「y」」を含む。

【 0 0 2 6 】

他の定義がされない限り、本明細書に使用のすべての技術的及び科学的用語は、本開示が属する分野の当業者に普通に理解されるものと同じ意味を有する。さらに、通常使用される辞書に定義されるような用語は、それらの意味に一致する意味を明細書及び関連分野の文脈において有するものと解釈されるべきであり、本明細書に明示されない限りは理想化又は過度に形式化された意味で解釈されるべきではない。

【 0 0 2 7 】

本明細書で使用する冠詞の「a」及び「an」は、明細書に記載の本発明の実施形態及び特許請求の範囲における任意の特徴に適用される場合に、1 又は複数を意味する。「a」及び「an」の使用は、具体的な制限の記述がない限りはその意味が単数形に限定されない。単数形又は複数形の名詞又は名詞句に先行する冠詞の「the」は、1つの特定の具体的特徴、又は複数の特定の具体的特徴を表し、それが使用される文脈に依存して、単数又は複数の含意があってもよい。

【 0 0 2 8 】

本明細書に記載の実施形態は、処理方法及び三次元素子を含む素子構造を提供する。本実施形態により作製される三次元素子の例としては、HGAA、フィン型 3D トランジスタ素子及びその他の素子がある。実施形態はこの文脈に限定されるものではない。3D 素子のフィン型構造又は類似の構造を形成する半導体材料の例としては、シリコン及びシリコン-ゲルマニウム合金がある。フィン型 FET 素子又は HGAA 素子の特徴には、所与のゲート構造を半導体チャネルの様々な異なる側に形成することが含まれる。ここで半導体チャネルはフィン構造内に形成され得る。こうして、ゲート構造は様々な側面からチャネルをゲート制御するように作用可能であり、これは電氣的なゲート作用がトランジスタチャネルの上側からのみ行われる平面 MOSFET とは対照的である。HGAA 素子の場合、ゲートはすべての側からトランジスタチャネルを包み、平面 FET 素子に対比して非

10

20

30

40

50

常に優れた制御性を与える。様々な実施形態が、HGAA素子、改良HGAA素子及び素子構造の形成のための改善された技術を容易にする。

【0029】

図1A～図1Dは、本開示の実施形態による、異なる作製段階における素子構造の端面図である。図1Eは、図1Aに概略的に示す素子構造を含む素子の端部斜視図である。図1Aを見ると、素子構造100が基板上に形成されるHGAA素子の一部を表している。HGAA素子は、基板上に形成された少なくとも1つのトランジスタを含むことができる。図1Aと図1Eには、基板102上に配設された1つのフィンと3つのフィンがそれぞれ示されている。具体的に図1Aでは、単一のフィンがフィン構造104で表されており、ここでフィン構造104は図に示すように基板面Pの上に延伸する。フィン構造104は、面P(X-Y平面)に平行に、かつ図に示す直交座標系のX軸方向に平行に伸びるフィン軸を有してよい。以下に詳述するように、フィン構造104は、形成されるHGAAに対する前駆体として作用し得る。

10

【0030】

図1Aにさらに示すように、フィン構造104には複数の異なる層が含まれる。様々な実施形態によれば、フィン構造104は、少なくとも1つのシリコン層と少なくとも2つのシリコン-ゲルマニウム合金(SiGe)層を含むことができ、この少なくとも1つのシリコン層と少なくとも2つのSiGe層が、フィン構造の側壁を含むフィンの全体形状を画定する。図1Aの特定の図では、層106で示される一連の4つのSiGe層と、層108で示される一連の4つのシリコン層が示されている。層108は、層106と交互に超格子状に配置されている。様々な実施形態において、層106は30%以下のゲルマニウム濃度を有する。図1Aに示すプロセスの段階では、素子構造100は、HGAAを形成する従来の素子構造に似ている。

20

【0031】

図1Bにおいて、図1Aの素子構造100のプロセスの次の段階が示されている。本開示の実施形態によれば、図1Aの素子構造100は酸素雰囲気での高温アニールを受けてもよい。いくつかの実施形態において、フィン構造104は大気圧で純酸素などの酸素雰囲気内でアニールされてもよい。実施形態はこの文脈に限定されるものではない。いくつかの実施形態では、フィン構造のアニールは800～1000の温度で5分～60分の継続時間で行われてもよい。実施形態はこの文脈に限定されるものではない。いくつかの態様では、温度は約800～850、850～900、900～950又は950～1000で、約5分～15分、15分～30分、30分～45分又は45分～60分の時間であってもよい。

30

【0032】

本実施形態によれば、図1Aに示すフィン型の超格子構造の酸素雰囲気でのアニールでは、図1Bに示すようなカプセル化されたナノワイヤを有するフィン構造が形成される。例示的なカプセル化されたナノワイヤ構造が示されている図1Bに具体的に示されるように、フィン構造104は図1Aの構造に比べて内部的に非常に異なった構造となっている。特に、フィン構造104は、フィン構造104の外側に配置された酸化物層114を含む。様々な実施形態において、酸素アニールを行った後はフィン構造104には、フィン軸(X軸)に沿って延伸する長軸を有する少なくとも1つのナノワイヤが含まれてよい。ナノワイヤは単結晶シリコンで構成されてもよい。図1Bの実施例では、シリコンとSiGeが離散的な層として配置されている図1Aの以前の構造が、一続きのシリコンナノワイヤ112が形成される構造に変化する。この段階でフィン構造104は、シリコンナノワイヤ112を取り囲むマトリックス材料110を含む。この実施形態ではマトリックス材料110は、単結晶SiGeを含む。

40

【0033】

様々な実施形態において、シリコンナノワイヤ112とマトリックス材料110のSiGe材料は、あとでさらに議論するように単一の単結晶構造を含んでもよい。さらに、マトリックス材料110は、層106におけるよりも実質的に高いゲルマニウム濃度を有す

50

る組成であってもよい。例えば、マトリックス材料 110 の SiGe 材料は、30% 超のゲルマニウム濃度であり、場合によって 50% 超であってもよい。ここですべての濃度はモルパーセントで表される。例えばいくつかの実施形態において SiGe マトリックス材料がアニール後に約 30% ~ 75%、35% ~ 70%、40% ~ 70%、45% ~ 70% 又は 50% ~ 70% のゲルマニウム濃度を有する。

【0034】

特定の理論に関する説明として、ただし限定ではなく、図 1B に示す構造は次のようにして生じ得る。適切な温度と酸素を含む周辺雰囲気への露出継続時間が与えられると、図 1A のフィン構造 104 などの超格子フィン構造が酸化され得る。酸化は、側壁 124 並びに上面などの、フィン構造 104 の外表面から進行することができる。具体的には、層 108 及び層 106 内のシリコンが酸化して、SiO₂ を形成し得る。SiO₂ はこうしてフィン構造 104 の外表面上に形成され得る。SiGe 層、つまり層 106 内のゲルマニウム材料は、酸素と反応しない可能性がある。それは、Si-Ge-O 集合体の低自由エネルギー状態には、SiO₂ と Ge の 2 つの相の形成が含まれるからである。したがって、酸化物層 114 が、ほとんどゲルマニウム含有量なしで SiO₂ 層として形成され得る。高ゲルマニウム濃度領域が、酸化物層 114 で表示される SiO₂ 領域の前面あるいは内面より前方に形成され得る。SiGe 層 (層 106) のコア領域内への Ge 拡散速度よりも酸化速度が大きい条件下では、SiO₂ 前面での Ge は界面を通してシリコン層内へ拡散し得る。このプロセスは SiO₂ 領域 (酸化物層 114) の前面端部 (内表面) でのみ発生し得るので、Ge 原子の拡散によりシリコン層 (層 108) 内の側壁 124 へ向かう領域に SiGe 領域が形成され得る。この結果、その前に純粋なシリコン層であったところに SiGe 領域が形成される。図 1B に示すように、SiGe マトリックスがシリコンナノワイヤ 112 を上面、下面及び両側面上で取り囲んだところに後続のカプセル化ナノ構造が生じ得る。

【0035】

いくつかの態様では、図 1B の素子構造 100 で示されるナノ構造は、酸素雰囲気でのアニールのプロセスウィンドウ内で生成可能である。アニールが過度であれば、例えば 1000 超のアニール温度を特定の時間だけ使用する場合などでは、シリコンナノワイヤ構造は形成されない可能性がある。同様に、800 未満のアニール温度ではシリコンナノワイヤ構造は形成されない可能性がある。もちろん、カプセル化シリコンナノワイヤ構造形成のための温度の上限と下限は、アニール継続時間、アニール雰囲気並びにフィン幅 (Y 軸方向の)、層 106 と層 108 の厚さにとりわけ依存する。

【0036】

したがって、様々な実施形態が図 1B 又は図 1C のフィン構造 104 に示すようなカプセル化されたナノ構造を提供する。いくつかの実施形態において、ナノ構造には、Z 軸方向の第 1 の寸法と Y 軸方向の第 2 の寸法が 50 nm 未満の、例えば約 45 nm、40 nm、35 nm、30 nm 又はそれ未満の断面を有する、少なくとも 1 つのナノワイヤが含まれる。カプセル化されたナノワイヤは、外表面が SiGe 材料で構成され、かつシリコンナノワイヤはフィン構造の外表面には延伸しない、図に示すようなフィン構造にカプセル化され得る。

【0037】

具体的な実施形態では、シリコンナノワイヤの断面寸法は 10 ナノメートル未満であり、いくつかの実施形態では 5 ナノメートル未満であってもよい。シリコンナノワイヤの最終的断面形状は、特にシリコン層の初期厚さとフィン構造の幅の選択によって制御できる。さらに、シリコンナノワイヤの最終寸法は、例えばアニール処理時間を調整することで、調節及び正確な制御が可能である。

【0038】

図 1B に示すような、カプセル化されたナノワイヤを有するナノ構造の形成により、優れた HGA 素子の作製が容易となり得る。例えば図 1C に示すように、酸化物層 114 がシリコン酸化物を除去する既知のエッチングプロセスによって後で除去され、マトリッ

10

20

30

40

50

クス材料 110 で囲まれたシリコンナノワイヤ 112 からなるカプセル化されたナノ構造を有するフィン構造 116 を作製することができる。マトリックス材料 110 は SiGe で構成されているので、いくつかの実施形態において、シリコンに対して SiGe を選択エッチするエッチャント内でマトリックス材料 110 をエッチングすることで、SiGe マトリックスすなわちマトリックス材料 110 を後から除去することが可能である。

【0039】

例えば図 1 E を参照すると、図 1 B 及び図 1 C の工程によりシリコンナノワイヤを形成する前の素子構造 100 の斜視図が示されている。素子構造 100 には、トレンチ分離領域 120 と側壁部 122 が含まれる。素子構造 100 がアニールされてフィン構造 104 内に図 1 B に示すようなナノ構造が形成された後、酸化物層 114 が除去され、その後フィン構造 104 内の SiGe 材料の選択エッチングが行われてもよい。側壁 122 同士の間のフィン構造 104 の部分は、選択エッチング液に晒され、マトリックス材料 110 を除去できる。得られた構造を図 1 D に示す。図 1 D に示すように、ここでシリコンナノワイヤ 112 は形成される素子のチャネル領域に自立したシリコンナノワイヤのアレイを形成する。側壁領域 122 の外部のフィン構造 104 領域では、フィン構造 104 は素子構造 100 のソース/ドレイン領域（図示せず）の他の特徴部に結合されてよい。したがって、自立シリコンナノワイヤ、すなわちシリコンナノワイヤ 112 は、ゲート形成前の既知の HGA A 素子構造と同様に、HGA A 素子のソース/ドレイン領域の間に延伸し得る。この後、側壁領域 122 の間の領域のシリコンナノワイヤ 112 の周りに、既知のプロセスにしたがってゲートを形成することができる。

【0040】

いくつかの実施例では、ナノワイヤ形成に使用されるフィン構造のフィン幅は 60 nm 以下であってよい。シリコンナノワイヤの断面寸法及び形状は、図 1 B のナノ構造形成プロセスによれば正確に制御可能であり、得られる HGA A 素子のナノワイヤは、従来の HGA A 素子に比べるとより正確かつ再現性よく形成可能である。これは、例えば 30 nm 未満又は 10 nm 未満の断面寸法を有するナノワイヤの形成に特に有効であり得る。図 2 A は、プロセスの第 1 段階におけるフィン構造 104 の一実施形態の端面の電子顕微鏡写真である。図 2 B は、本開示の実施形態による、図 1 A の段階に続くプロセスの後続段階における、図 2 A のフィン構造の端面の電子顕微鏡写真である。さらに図 2 C は、図 2 B の素子構造の一部の拡大電子顕微鏡写真を示す。この実施例において、フィン構造 104 は Y 軸方向に約 50 nm の初期幅と、Z 方向に約 120 nm の初期高さを有する。フィン構造 104 は、交互に配置された、層 106 と層 108 として示される 8 層を含んでいる。この実施例では前述したように、層 106 は SiGe 層であり、層 108 は Si からなる。層 106 と層 108 は、Z 軸方向の初期厚さが約 15 nm である。酸素雰囲気中で高温アニールした後、得られる構造を図 2 B に示す。図に示すように、この段階のフィン構造 104 は、SiGe で構成されるマトリックス材料 110 を取り囲む酸化物層 114 を含む。次にマトリックス材料 110 が、シリコンナノワイヤ 112 のアレイをカプセル化する。フィン構造 104 の半導体部分の幅は約 20 nm ~ 35 nm である。図 2 A に示すようなフィン構造 104 の幅全体を横断する連続層で構成されるのではなく、層 108 はカプセル化されたワイヤ、すなわちシリコンナノワイヤ 112 に変換される。

【0041】

図 2 C には、シリコンナノワイヤ 112 とマトリックス材料 110 を含む、図 2 B のフィン構造 104 の一部が示されている。この部分において、フィン構造 104 の半導体部分の幅は約 25 nm ~ 30 nm である。示された 2 つのシリコンナノワイヤの幅はそれぞれ約 15 nm と 22 nm である。各シリコンナノワイヤ 112 は、側壁 124 に隣接する外周領域において、3 nm 幅から 4 nm 幅のマトリックス材料 110 で縁取られている。したがって、マトリックス材料 110 がシリコンナノワイヤ 112 をカプセル化する。さらに、図 2 C の電子顕微鏡写真は、シリコンナノワイヤ 112 の原子面が、SiGe で構成されたマトリックス材料 110 と整合していることを示している。こうして、シリコンナノワイヤ 112 とマトリックス材料 110 の SiGe 材料とは単一の単結晶構造を形成

10

20

30

40

50

する。さらに、図 2 C の構造は無欠陥であることを示す。つまり、図 2 C の構造内には結晶欠陥は見当たらないことを意味している。

【 0 0 4 2 】

図 1 B や図 2 B に示すプロセスの結果として、例えばマトリックス材料 1 1 0 のゲルマニウム組成は、層 1 0 6 のゲルマニウム濃度よりも高くなる。酸化物層 1 1 4 から Ge が排除され得るために、マトリックス材料 1 1 0 内の平均 Ge 濃度は、フィン構造 1 0 4 の酸化量に比例して増加することができる。例えばいくつかの実施例において、図 1 A のフィン構造 1 0 4 の Si Ge 層内の Ge 濃度は 3 0 % 以下であってよい。これにより、シリコン層と Si Ge 層との格子不整合が大きすぎることにより生じる結晶欠陥の発生なしに、層 1 0 6 と層 1 0 8 の超格子構造形成が可能となる。エピタキシャル Si 層を形成するための Si Ge 層の Ge 濃度のこの上限は、約 3 0 % である。これより上の Ge 濃度では、前に述べた結晶欠陥が発生して、Si 層と Si Ge 層との格子不整合により生じる応力を含む可能性がある。図 1 B のカプセル化ナノ構造の形成後、マトリックス材料 1 1 0 中の Ge 濃度は、初期状態の層 1 0 6 内の Ge 濃度が 3 0 % 以下の状況であったとしても、5 0 % 超に上昇し得る。いくつかの実施形態では、マトリックス材料 1 1 0 中の Ge 濃度は、シリコンナノワイヤ 1 1 2 内の欠陥を生じることなしに 7 0 % 以上に近くなり得る。図 2 B 及び図 2 C に示す構造では Ge 濃度は約 7 0 % であると推定される。

10

【 0 0 4 3 】

本実施形態の技術のさらに有用な結果は、例えば図 2 C に示すような、シリコンナノワイヤの丸められた形状である。

20

【 0 0 4 4 】

本実施形態はこのように、Si Ge マトリックスが Si ナノワイヤを取り囲み、単一の単結晶構造を有するカプセル化されたナノ構造を含む素子構造を生成する能力がある。この素子構造は、そのようなカプセル化されたシリコンナノワイヤで有用な特性を生成することができる。例えば、そのようなナノワイヤは、シリコンナノワイヤが弾性ひずみのある状態で存在する、歪入りのシリコンナノワイヤを構成し得る。そのようなカプセル化されたナノ構造に付与される弾性ひずみの程度は、Si Ge マトリックス内の Ge 濃度が 5 0 % を超える場合には、Si Ge マトリックスとシリコンナノワイヤとの間の格子の不整合が大きいために、既知の素子よりも大きくなり得る。例えばシリコンナノワイヤ内のキャリア移動度を上げるために、弾性ひずみをより大きくすることも行われ得る。

30

【 0 0 4 5 】

他の実施形態によれば、カプセル化されたナノ構造を、前述の実施形態のフィン形状とは異なる全体形状を有するように形成することができる。例えば一実施形態では、シリコン層と Si Ge 層が交互になった超格子からなる立方体形状構造を、上記で開示したアニール手順に適用することができる。アニール後、得られる構造は、Si Ge マトリックスを覆う外側の酸化物層を含み、その Si Ge マトリックスが少なくとも 1 つのシリコン領域をカプセル化するものとなり得る。これにより、シリコン領域がシリコンナノアイランドで構成される、シリコンナノアイランド集合体を形成することができる。

【 0 0 4 6 】

Si が 4 層で Si Ge が 4 層の、8 層が立方体形の超格子に配置された実施例において、アニール後に得られる構造は、内部領域に 4 つの球形又は等軸のシリコンアイランドをカプセル化した Si Ge マトリックスが含まれ得る。ここで、シリコンアイランドは弾性的に歪んでいる。

40

【 0 0 4 7 】

他の実施形態では、第 1 のタイプの層の成分が第 2 のタイプの層の成分よりも優先的に酸化する、2 つの異なるタイプの層で構成される超格子を用意することで、カプセル化されたナノ構造を形成し得る。このようにして、酸化アニールを受けた後に、本明細書に開示の Si / Si Ge 系と同様の形で、第 2 のタイプの層の材料が、第 1 のタイプの層からの材料を取り囲むカプセル化領域を形成し得る。

【 0 0 4 8 】

50

図3は、本開示の他の実施形態による例示的プロセスフロー300である。ブロック302において、基板の基板面の上に延伸するフィン構造を提供する工程が遂行される。ここでフィン構造は少なくとも3層を備える。フィン構造は、少なくとも1つのシリコン層と、少なくとも2つのSiGe層であってよい。ここで少なくとも1つのシリコン層と少なくとも2つのSiGe層がフィン構造の側壁を画定する。いくつかの実施例において、フィン構造は少なくとも3つのSiGe層と少なくとも2つのシリコン層であってよい。

【0049】

ブロック304において、酸素雰囲気でのフィン構造のアニールが遂行される。ここでシリコンナノワイヤ集合体が形成される。シリコンナノワイヤ集合体は、少なくとも1つのシリコン層から形成されたシリコンナノワイヤと、シリコンナノワイヤを囲むSiGeマトリックスと、SiGeマトリックス上に配設されたシリコン酸化物層とを含み得る。

10

【0050】

ブロック306で、酸化物層除去工程が行われる。ブロック308で、SiGeマトリックスの選択除去工程が行われる。ここで、外表面が露出された、少なくとも1つの自立シリコンナノワイヤが形成される。

【0051】

図4は、本開示の別の実施形態による別のプロセスフロー400である。プロセスフロー400には、ブロック402からブロック460の複数の工程が含まれる。各工程の機能が図4に示されている。プロセスフロー400には、HGA構造を形成する既知のプロセスと同じ工程が含まれ得る。図に示す工程は、一般的に図示した順序で実行されてよい。ブロック402では、分離イオン注入が行われ、ブロック404で分離イオン注入後のアニールが行われてよい。ブロック406で、 Si_7Ge_3 のエピタキシャル層成長が行われてよい。ブロック408で、 Si_7Ge_3 層上にシリコンのエピタキシャル層成長が行われてよい。ブロック410で、ブロック406とブロック408が例えば2回反復されてよい。ブロック412で、トレンチ分離リソグラフィが行われ、その後、トレンチエッチ、充填、化学機械研磨(CMP)及びアニールがブロック414で行われてよい。ブロック416で、しきい値電圧調整/ウェル形成のためのイオン注入が行われてよい。ブロック418でアニールが行われた後、ブロック420で浅溝分離リセス工程が行われてよい。ブロック422でポリシリコン成膜とCMPが行われる。ブロック424でリソグラフィステップが行われた後、426のエッチングステップでポリシリコン構造が画定されてよい。ブロック428で、ソース/ドレイン延伸スペーサ成膜とエッチ工程が行われ、スペーサが画定される。ブロック430で、ソース/ドレイン延伸/ハローインプラント工程が行われてよい。ブロック432でEPIスペーサ成膜とエッチプロセスが行われてよい。ブロック434でリセスエッチが行われてよい。ブロック435で、上述の実施形態による高温酸化プロセスが行われてよい。ブロック436で、隆起ソース/ドレイン(RSD)エピタキシャル成膜が行われてよい。ブロック438でレベル間誘電体成膜とCMPプロセスが行われてよい。ブロック440で、置換金属ゲートポリエッチプロセスが行われてよい。ブロック442で、ゲート領域の Si_7Ge_3 層の選択除去のための選択エッチを行い、自立シリコンナノワイヤを形成してよい。ブロック444で、シリコンナノワイヤの周りに高誘電率ゲート絶縁物を成膜してよい。金属ゲートなどのゲート材料をゲート絶縁物の周りに成膜してよい。ブロック446で、ゲートスタックのアニールが行われる。ブロック448で、レベル間誘電体剥離が行われてよい。ブロック450でW1レベル間誘電体が成膜された後に、ブロック452でW1エッチが行われてよい。ブロック454で、トップオフインプラントプロセスが行われる。ブロック456で、トップオフインプラント後の更なるアニールが行われる。ブロック458でシリサイド材料が成膜され、コンタクト形成が行われてよい。ブロック460で金属層M1が成膜される。特に工程435は、上に開示したような高温酸化工程を構成し得る。工程435は、自立シリコンナノワイヤ形成のためのSiGe層の選択エッチング(工程442)の前に行われ得る。

20

30

40

【0052】

50

本実施形態で提供される利点は、HGA素子に優れたシリコンナノワイヤを形成可能であることと、そのようなナノワイヤプロセスをよく制御できることである。さらに、SiGeマトリックス中に歪入りのシリコンナノワイヤを含む、カプセル化されたナノワイヤが形成され得る。

【0053】

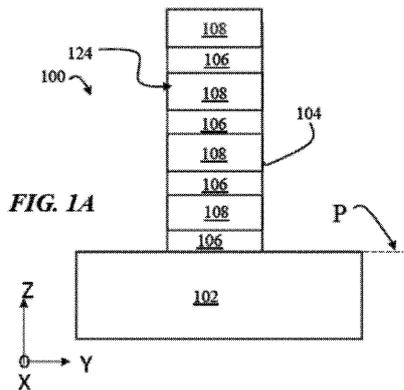
本開示は、本明細書で記述した具体的な実施形態によって範囲を制限されるものではない。実際に、本明細書で記述したもののほかに、本開示の様々な他の実施形態及び変形が、前述の説明及び添付の図面から当業者には明らかであろう。したがって、そのような他の実施形態及び変形は、本開示の範囲内にあることが意図されている。さらに、本開示は、特定の目的のための特定の環境内での特定の実装という文脈で本明細書中に記述された。当業者であれば、有効性がそれに限定されるものではなく、本開示はいかなる目的のためのいかなる環境においても有益に実施され得ることを理解するであろう。したがって、以下に述べる特許請求の範囲は、本明細書に記載したような本開示の完全な範囲と精神を考慮して解釈されるべきである。

10

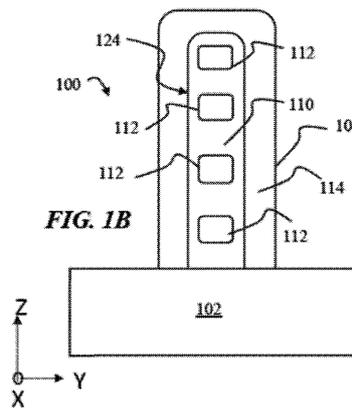
【0054】

本開示の上記の実施形態は、実装の単なる可能な例であって、本開示の原理を明快に理解するためにのみ提供される。本開示の精神と原理から実質的に乖離することなしに、本開示の上記の実施形態に対し多くの変形及び変更がなされ得る。そのような変更及び変形のすべては、本開示の範囲内に含まれることが意図される。

【図1A】



【図1B】



【 1 C】

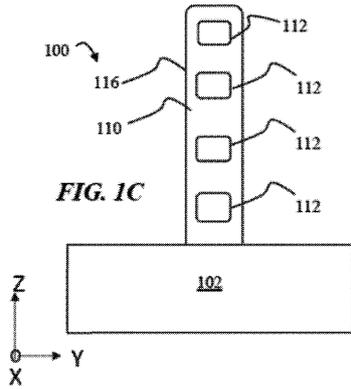


FIG. 1C

【 1 D】

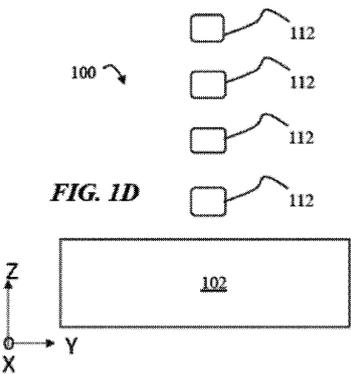


FIG. 1D

【 1 E】

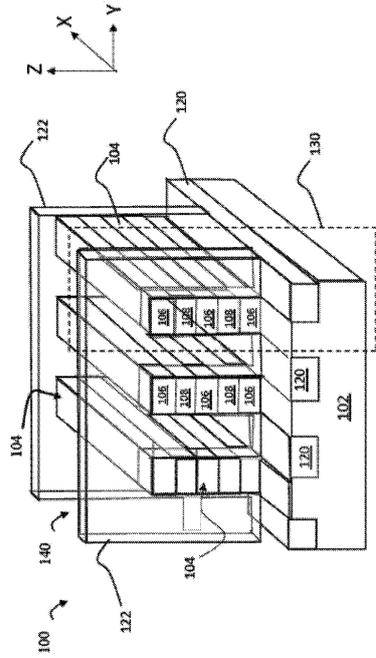
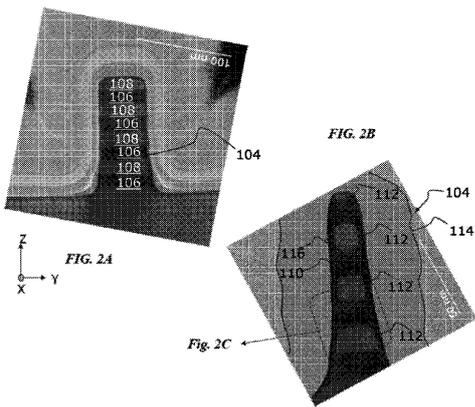


FIG. 1E

【 2 A - 2 B】



FIGS. 2A-2B

【 2 C】

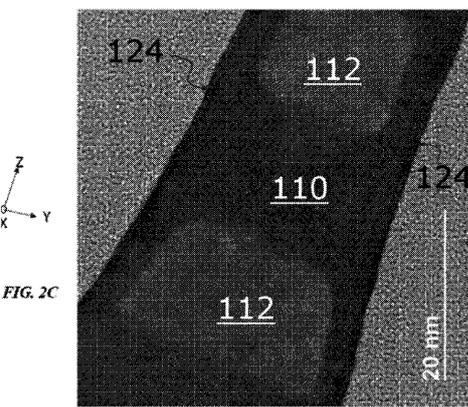


FIG. 2C

【図3】

基板の基板面上方に延伸するフィン構造を提供。ここで、フィン構造は少なくとも3層からなり、フィン構造は、少なくとも1つのシリコン層と少なくとも2つのシリコン-ゲルマニウム合金 (SiGe) 層を備え、少なくとも1つのシリコン層と少なくとも2つのSiGe層はフィン構造の側壁を画定する。

302

酸素雰囲気でのフィン構造のアニール。ここで、シリコンナノワイヤ集合体が形成される。ここで、シリコンナノワイヤ集合体は、少なくとも1つのシリコン層から形成されたシリコンナノワイヤと、シリコンナノワイヤを囲むSiGeマトリックスと、SiGeマトリックス上に配設されたシリコン酸化物層とを備える。

304

酸化層除去

306

SiGeマトリックスの選択除去。ここで露出した外表面を有する、少なくとも1つの自立シリコンナノワイヤが形成される。

酸化層除去。

308

300

【図4】

400

- 402 ● 分離インプラント
- 404 ● アニール
- 406 ● リリース層エビ (Si70Ge30)
- 408 ● ワイヤエビ (Si)
- 410 ● 繰り返し2回
- 412 ● STIリソ
- 414 ● STIエッチ/充填/CMP/アニール
- 416 ● Vi/ウェルインプラント
- 418 ● アニール
- 420 ● STIリセス
- 422 ● ポリ成膜/CMP
- 424 ● ポリリソ
- 426 ● ポリエッチ
- 428 ● SDEスペース成膜/エッチ
- 430 ● SDE/ハローインプラント
- 432 ● エピスペース成膜/エッチ
- 434 ● リセスエッチ
- 435 ● 酸化 (本実施形態)
- 436 ● RSDエビ
- 438 ● ILDO成膜/CMP
- 440 ● RMGポリエッチ
- 442 ● SiGeエッチ (ワイヤリリース)
- 444 ● HK/MGスタック成膜
- 446 ● HKアニール
- 448 ● ILDO剥離
- 450 ● WI-ILDO成膜
- 452 ● WIエッチ
- 454 ● Top-Offインプラント
- 456 ● アニール
- 458 ● シリサイド成膜
- 460 ● M1

フロントページの続き

- (51)Int.Cl. F I
H 0 1 L 29/06 (2006.01) H 0 1 L 29/78 6 2 6 C
H 0 1 L 29/06 6 0 1 N
- (74)代理人 100079049
弁理士 中島 淳
- (74)代理人 100084995
弁理士 加藤 和詳
- (72)発明者 ジョーンズ、 ケビン、 エス.
アメリカ合衆国 3 2 6 1 8 フロリダ州 アーチャー サウスウエスト 7 2 テラス 1 3 8
1 4
- (72)発明者 ハテム、 クリストファー
アメリカ合衆国 0 1 8 6 2 マサチューセッツ州 ノース ビレリカ スイート 2アール フ
ォークナー ストリート 7 1
- (72)発明者 ブリュワー、 ウィリアム、 エム.
アメリカ合衆国 3 2 6 0 8 フロリダ州 ゲインズビル アパート 4 0 2 サウスウエスト2
3 テラス 2 9 3 0

審査官 高橋 優斗

- (56)参考文献 特開2004-128508(JP,A)
特開2008-147366(JP,A)
特開2006-080519(JP,A)
特開2010-129974(JP,A)
特開2011-199105(JP,A)
特表2014-505995(JP,A)
特開2012-199274(JP,A)
特開2012-160730(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6 ,
H 0 1 L 2 1 / 8 2 3 2 - 2 1 / 8 2 3 8 ,
H 0 1 L 2 1 / 8 2 4 9 ,
H 0 1 L 2 7 / 0 6 ,
H 0 1 L 2 7 / 0 7 ,
H 0 1 L 2 7 / 0 8 5 - 2 7 / 0 9 2 ,
H 0 1 L 2 7 / 1 1 8 ,
H 0 1 L 2 9 / 0 0 - 2 9 / 3 8 ,
H 0 1 L 2 9 / 7 6 ,
H 0 1 L 2 9 / 7 7 2 ,
H 0 1 L 2 9 / 7 8 - 2 9 / 7 8 6