



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I462291 B

(45)公告日：中華民國 103 (2014) 年 11 月 21 日

(21)申請案號：098105809

(22)申請日：中華民國 98 (2009) 年 02 月 24 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/28 (2006.01)

H01L21/3205(2006.01)

H01L21/336 (2006.01)

(30)優先權：2008/02/27 日本

2008-046370

(71)申請人：精工電子有限公司 (日本) SEIKO INSTRUMENTS INC. (JP)

日本

(72)發明人：理崎智光 RISAKI, TOMOMITSU (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2005/0179081A1

US 2007/0032029A1

審查人員：王順德

申請專利範圍項數：9 項 圖式數：3 共 19 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

本案提供一半導體裝置。形成在半導體基板(1)上之井區(2)包含多數溝渠區(12)，及源極電極(10)係連接至形成在溝渠區(12)間之基板表面上之源極區(6)。鄰近於源極區(6)形成一高濃度區(11)，該高濃度區係貼近源極電極(10)與源極區(6)，藉以固定基板電位。汲極區(5)係被形成在溝渠區(12)的底部，溝渠區的電位係為埋在溝渠區(12)內之汲極電極(9)所帶至基板表面。任意電壓係被施加至閘極電極(4a、4b)與汲極電極(9)，藉以載子由源極區(6)流至汲極區(5)，及半導體在導通狀態。

Provided is a semiconductor device. A well region (2) formed on a semiconductor substrate (1) includes a plurality of trench regions (12), and a source electrode (10) is connected to a source region (6) formed on a substrate surface between the trench regions (12). Adjacent to the source region (6), a high concentration region (11) is formed, which is brought into butting contact with the source electrode (10) together with the source region (6), whereby a substrate potential is fixed. A drain region (5) is formed at a bottom portion of the trench region (12), whose potential is taken to the substrate surface by a drain electrode (9) buried inside the trench region (12). An arbitrary voltage is applied to a gate electrode (4a, 4b), and the drain electrode (9), whereby carriers flow from the source region (6) to the drain region (5) and the semiconductor device is in an on-state.

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98105809

H01L 29/78 (2006.01)

※申請日：98 年 02 月 24 日

※IPC 分類：

H01L 21/28 (2006.01)

H01L 21/3205 (2006.01)

一、發明名稱：(中文／英文)

H01L 21/336 (2006.01)

半導體裝置及其製造方法

Semiconductor device and method of manufacturing the same

二、中文發明摘要：

本案提供一半導體裝置。形成在半導體基板(1)上之井區(2)包含多數溝渠區(12)，及源極電極(10)係連接至形成在溝渠區(12)間之基板表面上之源極區(6)。鄰近於源極區(6)形成一高濃度區(11)，該高濃度區係貼近源極電極(10)與源極區(6)，藉以固定基板電位。汲極區(5)係被形成在溝渠區(12)的底部，溝渠區的電位係為埋在溝渠區(12)內之汲極電極(9)所帶至基板表面。任意電壓係被施加至閘極電極(4a、4b)與汲極電極(9)，藉以載子由源極區(6)流至汲極區(5)，及半導體在導通狀態。

三、英文發明摘要：

Provided is a semiconductor device. A well region (2) formed on a semiconductor substrate (1) includes a plurality of trench regions (12), and a source electrode (10) is connected to a source region (6) formed on a substrate surface between the trench regions (12). Adjacent to the source region (6), a high concentration region (11) is formed, which is brought into butting contact with the source electrode (10) together with the source region (6), whereby a substrate potential is fixed. A drain region (5) is formed at a bottom portion of the trench region (12), whose potential is taken to the substrate surface by a drain electrode (9) buried inside the trench region (12). An arbitrary voltage is applied to a gate electrode (4a, 4b), and the drain electrode (9), whereby carriers flow from the source region (6) to the drain region (5) and the semiconductor device is in an on-state.

四、指定代表圖：

(一) 本案指定代表圖為：第 1 圖。

(二) 本代表圖之元件符號簡單說明：

- 1：半 導 體 基 板
- 2：第 一 導 電 類 型 井 區
- 3：閘 氧 化 膜
- 4a：閘 電 極 膜
- 4b：閘 電 極
- 5：第 二 導 電 類 型 汲 極 區
- 6：第 二 導 電 類 型 源 極 區
- 7：層 間 絕 緣 膜
- 8：箭 頭
- 9：汲 極 電 極
- 10：源 極 電 極
- 11：第 一 導 電 類 型 高 濃 度 區
- 12：溝 渠 區

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明關係於半導體裝置及例如金屬氧化物半導體（MOS）電晶體的半導體裝置之製造方法。

【先前技術】

隨著微製造技術的完整使用，有可能製造半導體裝置，同時，縮小尺寸又不降低其效能。這傾向也可以在具有高驅動效能的半導體元件中找到，因此，在每單位面積的導通電阻的降低也藉由微製造技術的完整使用加以完成。然而，事實上，由於元件的縮小化降低了耐壓力，阻礙了由於微製造技術對驅動效能的進一步加強。爲了克服在縮小化與耐壓間之取捨（trade-off），已經提議出各種結構的元件，及溝渠閘極 MOS 電晶體可以被稱爲是現今功率 MOS 場效電晶體（FET）領域的主流結構，其具有高耐壓及高驅動能力。

在具有高耐壓及高驅動能力的雙擴散（DMOS）電晶體中，溝渠閘極 MOS 電晶體具有在積集度上的最高規格（例如，日本專利第 01-310576A）。

溝渠閘極 MOS 電晶體在作爲元件時顯示極端優良的效能，然而，其缺點爲當其與其他半導體元件被一起安裝在晶片上時，因爲溝渠閘極 MOS 電晶體具有垂直 MOS 結構，所以，其中電流會流動於基板的深度方向，及半導體基板的整個背面爲電極。

【發明內容】

本發明之目的為提供一具有低導通電阻的半導體裝置，其能與其他半導體元件一起被安裝在晶片上。

(1) 依據本發明，其中提供一半導體裝置，包含：第一導電類型井區，形成在半導體基板表面上之任意深度；多數溝渠區，形成在小於第一導電類型井區的預定深度為小的深度處；一閘極電極，經由閘極絕緣膜安置在多數各個溝渠區的側面上並與該閘極絕緣膜接觸；一第二導電類型汲極區，形成在多數各個溝渠區的底部中；一第二導電類型源極區，形成在一區域部份上，該部份係形成該半導體基板的表面上之該等多數溝渠之間；及一第一導電類型高濃度區，形成在一區域部份上，該部份係形成在該半導體基板的表面上的該等多數溝渠區之間。

(2) 依據項目(1)的半導體裝置更包含第二導電類型低濃度擴散區，形成在該半導體基板與該第一導電類型井區間，以包圍該第二導電類型汲極區。

(3) 依據本發明，提供有一製造半導體裝置的方法，包含：在半導體基板上形成第一導電類型井區；在較該第一導電類型井區的深度為小之深度形成多數溝渠區；形成閘極絕緣膜；形成一閘極電極膜；藉由非等向蝕刻，移除形成各個該等多數溝渠區的底部份上的該閘極絕緣膜與該閘極電極膜及形成在多數溝渠區之兩溝渠區間之在半導體基板表面上之閘極絕緣膜及閘極電極膜的一部份；形成一層間絕緣膜；藉由蝕刻移除形成在閘極電極膜上的層間

絕緣膜的一部份；形成在各個該等溝渠區的底部上之層間絕緣膜的一部份；及形成在多數溝渠區之兩溝渠區間之半導體基板的表面上的層間絕緣膜的一部份；形成一金屬膜；及蝕刻該金屬膜的一部份。

(4) 依據項目(3)的製造半導體裝置的方法更包含形成一第二導電類型低濃度擴散區。

(5) 依據項目(3)的製造半導體裝置的方法更包含執行一磊晶成長。

依據本發明，汲極電極係由溝渠的內側拉出，因此，汲極電極可以由半導體基板的表面取出，藉以可以容易地完成與其他半導體元件的晶片上安裝。

【實施方式】

(1) 實施例概要

圖 1A 及 1B 顯示依據本發明實施例之半導體裝置的基板。圖 1A 為俯視圖，及圖 1B 為立體圖並沿著圖 1A 的虛線部分剖面。

多數溝渠區 12 係被形在被形成在半導體基板 1 上的第一導電類型井區 2 中。一源極電極 10 與形成在溝渠區 12 間之基板表面上的第二導電類型源極區 6 歐姆接觸。鄰近於第二導電類型源極區 6，形成有第一導電類型高濃度區 11，其係倚靠接觸該源極電極 10 及第二導電類型源極區 6，藉以基板電位被固定。

第二導電類型汲極區 5 係被形成在溝渠區 12 的底部

份，及一電位係為埋在溝渠區 12 內之汲極電極 9 所帶至基板表面。

任意電壓係被施加至汲極電極 9 及由金屬作成之閘極電極 4b，該閘極電極係被連接至連續形成在溝渠區 12 的外側上之扁平區域及在溝渠區 12 的外側上之扁平區上，藉以來自第二導電類型源極區 6 至第二導電類型汲極區 5 的載子係被進行於箭頭 8 所表示之方向，使得半導體裝置進入導通狀態。

明確地說，如同在溝渠 MOS 電晶體中，一閘極長度延伸於垂直於半導體基板的表面之方向，因此，區域效率相較於平面型 MOS 電晶體係優良的，造成每單位面積的驅動效能的加強。再者，所有電極曝露至半導體基板的表面，因此，與其他元件作晶片上安裝，這對於溝渠 MOS 電晶體係很難完成，並容易實現。

再者，描述半導體裝置的製造方法。

圖 2A 至 2F 為製造流程的立體圖，顯示依據本發明基本實施例之半導體裝置的製造方法，該半導體裝置係如圖 1A 及 1B 所示。

首先，如圖 2A 所示，第一導電類型井區 2 係被形成在半導體基板 1 上，然後，溝渠區 12 係被形成在第一導電類型井區 2 中，其深度係小於第一導電類型井區 2 的深度。隨後，熱氧化係被執行，以在基板表面上及溝渠區 12 內形成閘極氧化膜 3。

再者，如圖 2B 所示，閘極電極膜 4a 係沈積於閘極氧

化物膜 3 上，及如圖 2C 所示，閘極電極膜 4a 及閘極氧化膜 3 為高非等向乾蝕刻所部份移除。在此時，對於該基板表面及包含在予以蝕刻之區域中之溝渠底面，閘極電極膜 4a 及閘極氧化膜 3 全部被移除，但閘極電極膜 4a 及閘極電極膜 3 係沈積在溝渠側壁上，但未為高非等向乾蝕刻所移除。

如於圖 2D 所示，第二導電類型雜質係被離子佈植入排除第一導電類型高濃度區 11 形成的區域的該區域中，使得第二導電類型汲極區 5 及第二導電類型源極區 6 係係以自我對準方式被形成。隨後，排除第一導電類型高濃度區 11 以外之區域的該區域係被以光阻或類似物加以遮罩，藉以第一導電類型高濃度區 11 係藉由離子佈植等等加以形成。

再者，如圖 2E 所示，沈積層間絕緣膜 7。隨後，層間絕緣膜 7 在第二導電類型汲極區 5、第二導電類型源極區 6、第一導電類型高濃度區 11、及閘極電極 4a 的部份區域受到選擇性蝕刻，藉以形成開口。

最後，如圖 2F 所示，金屬被沈積以任意作出圖案，藉以形成閘極電極 4b、汲極電極 9、及源極電極 10。

（修改例）

在此修改例中，電場放鬆區係被形成在汲極區中，藉以加強半導體裝置的耐壓。

圖 3 為修改例之概念圖。圖 3 顯示一結構，其中圖

1A 及 1B 的基礎結構中，第二導電類型低濃度擴散區 13 係被形成在半導體基板 1 與第一導電類型井區 2 之間。此結構係為例如雙擴散或磊晶成長之製造方法加以實現。

如上所述，形成第二導電類型低濃度擴散區 13，藉以施加至汲極的電場可以被減緩及加強汲極耐壓。

在此時，第二導電類型汲極區 5 係被設定於第二導電類型低濃度區 13 內，及第二導電類型低濃度擴散區 13 之雜質濃度及在溝渠區 12 之最深底部份與第一導電類型井區 2 之底部份間之距離係根據目標耐壓加以任意調整。

注意在圖 1A 及 1B，2A 至 2F 及 3 中，第一導電類型被設定為 p-型，及第二導電類型被設定為 n-型，藉以描述 n-通道 MOS 電晶體。當第一導電類型被設定為 n-型，及第二導電類型被設定為 p-型時，此電晶體被操作為 p-通道 MOS 電晶體。

【圖式簡單說明】

圖 1A 及 1B 為描述依據本發明之實施例的半導體裝置的結構示意圖；

圖 2A 至 2F 描述依據本發明實施例之製造半導體裝置的方法的示意圖；及

圖 3 為依據本發明實施例之半導體裝置的修改例之示意圖。

【主要元件符號說明】

- 1：半 導 體 基 板
- 2：第 一 導 電 類 型 井 區
- 3：閘 氧 化 膜
- 4 a：閘 電 極 膜
- 4 b：閘 電 極
- 5：第 二 導 電 類 型 汲 極 區
- 6：第 二 導 電 類 型 源 極 區
- 7：層 間 絕 緣 膜
- 8：箭 頭
- 9：汲 極 電 極
- 10：源 極 電 極
- 11：第 一 導 電 類 型 高 濃 度 區
- 12：溝 渠 區
- 13：第 二 導 電 類 型 低 濃 度 擴 散 區

空白頁

七、申請專利範圍：

1. 一種半導體裝置，包含：

第一導電類型井區，安置在半導體基板的表面上的預定深度處；

多數溝渠區，安置在小於該第一導電類型井區的該預定深度的深度處；

閘極電極，經由閘極絕緣膜安置在該各個多數溝渠區的側面上並與該閘極絕緣膜接觸；

第二導電類型汲極區，安置在該各個多數溝渠區的底部份中，其中該汲極區的寬度係小於該溝渠區的寬度並且該汲極區的橫側係與該溝渠區的對應側分開至少該閘極絕緣膜的厚度；

第二導電類型源極區，安置在形成在該多數溝渠區間之區域中，並沿著該閘極絕緣膜設置在該半導體基板的該表面上；及

第一導電類型高濃度區，安置在形成在該多數溝渠區間之區域中，並安置在該半導體基板的該表面上，以便使其與該第二導電類型源極區接觸。

2. 如申請專利範圍第 1 項所述之半導體裝置，更包含第二導電類型低濃度擴散區，形成在該半導體基板與該第一導電類型井區間，以包圍該第二導電類型汲極區。

3. 一種半導體裝置，包含：

第一導電類型井區，安置在半導體基板的表面上的預定深度處；

多數溝渠區，安置在小於該第一導電類型井區的該預定深度的深度處；

閘極電極，經由閘極絕緣膜安置在該各個多數溝渠區的側面上並與該閘極絕緣膜接觸；

第二導電類型汲極區，安置在該各個多數溝渠區的底部份中；

第二導電類型源極區，安置在形成在該多數溝渠區間之區域中，並沿著該閘極絕緣膜設置在該半導體基板的該表面上；

第一導電類型高濃度區，安置在形成在該多數溝渠區間之區域中，並安置在該半導體基板的該表面上，以便使其與該第二導電類型源極區接觸；及

第二導電類型低濃度擴散區，形成在該半導體基板與該第一導電類型井區的底面之間。

4.如申請專利範圍第 3 項所述之半導體裝置，其中該第二導電類型低濃度擴散區包圍該第二導電類型汲極區。

5.一種製造半導體裝置的方法，包含：

在半導體基板上形成第一導電類型井區；

在較該第一導電類型井區的深度為小之深度，形成多數溝渠區；

形成閘極絕緣膜；

形成閘極電極膜；

藉由非等向蝕刻，移除形成在各個該等多數溝渠區的底部份上的該閘極絕緣膜與該閘極電極膜及在多數溝渠區

其中的兩溝渠區間之在該半導體基板表面上形成之閘極絕緣膜及閘極電極膜的一部份；

形成第二導電類型汲極區，在各個該多數溝渠區的底部的一部份上，使得該汲極區的寬度係低於該溝渠區的寬度；

形成一層間絕緣膜；

藉由蝕刻移除：形成在該閘極電極膜上的該層間絕緣膜的一部份；形成在各個該等多數溝渠區的該底部上之該層間絕緣膜的一部份；及形成在該多數溝渠區之兩溝渠區間之該半導體基板的該表面上的該層間絕緣膜的一部份；

形成一金屬膜；及

蝕刻該金屬膜的一部份。

6.如申請專利範圍第 5 項所述之製造半導體裝置的方法，其中該第二導電類型汲極區係被形成，使得該汲極區的橫側係與該溝渠區的對應側分開至少該閘極絕緣膜的厚度。

7.如申請專利範圍第 6 項所述之製造半導體裝置的方法，更包含

在該半導體基板上形成該第一導電類型井區之前，形成一第二導電類型低濃度擴散區，於該半導體基板上，

其中該第二導電類型汲極區係被形成在該第二導電類型低濃度擴散區內，使得該第二導電類型低濃度擴散區包圍該第二導電類型汲極區。

8.一種製造半導體裝置的方法，包含：

在半導體基板上形成第一導電類型低濃度擴散區；

在該第一導電類型低濃度擴散區上形成第二導電類型井區，使得該第一導電類型低濃度擴散區係於該半導體基板與該第二導電類型井區之間；

形成多數溝渠區，在小於該第二導電類型井區的深度的一深度處；

形成閘極絕緣膜；

形成閘極電極膜；

藉由非等向蝕刻，移除：形成在各個該等多數溝渠區的底部份上的該閘極絕緣膜與該閘極電極膜；及在多數溝渠區其中的兩溝渠區間之在該半導體基板表面上形成之閘極絕緣膜及閘極電極膜的一部份；

形成層間絕緣膜；

藉由蝕刻，移除：形成在該閘極電極膜上的該層間絕緣膜的一部份；形成在各個該多數溝渠區的該底部份上的該層間絕緣膜的一部份；及形成在該多數溝渠區的兩溝渠區間的該半導體基板上的層間絕緣膜的一部份；及

蝕刻該金屬膜的一部份。

9.如申請專利範圍第 8 項所述之製造半導體裝置的方法，其中在形成該電晶體的該區域的該整個表面上形成該第一導電類型低濃度擴散區包含磊晶成長。

八、圖式

圖 1A

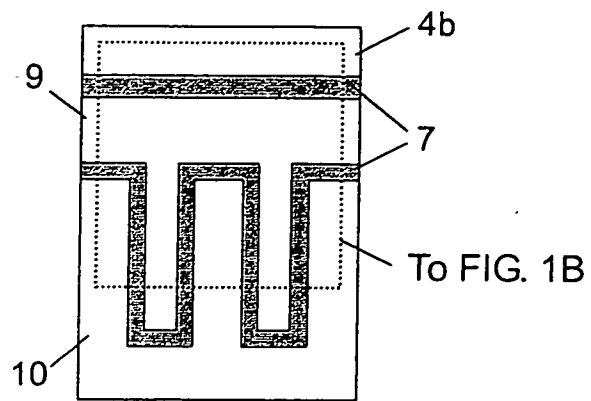


圖 1B

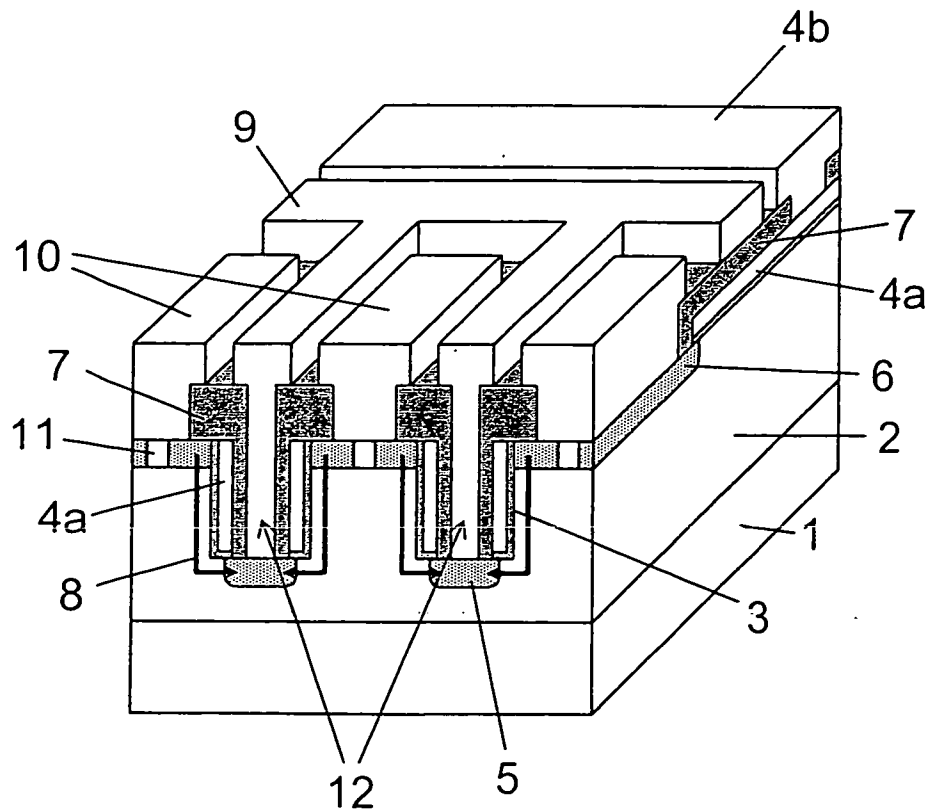


圖 2A

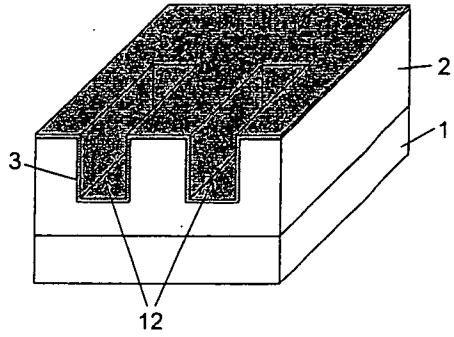


圖 2B

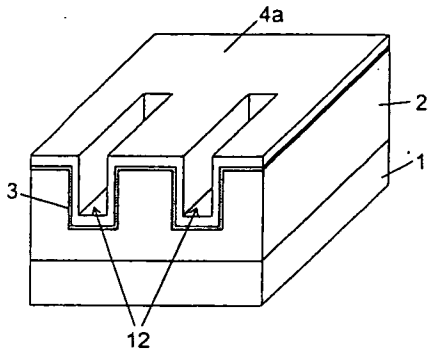


圖 2C

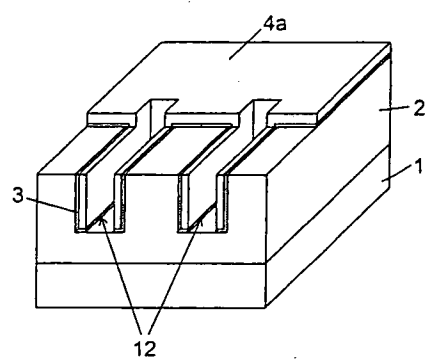


圖 2D

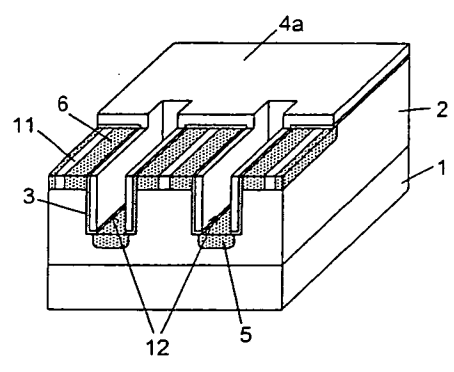


圖 2E

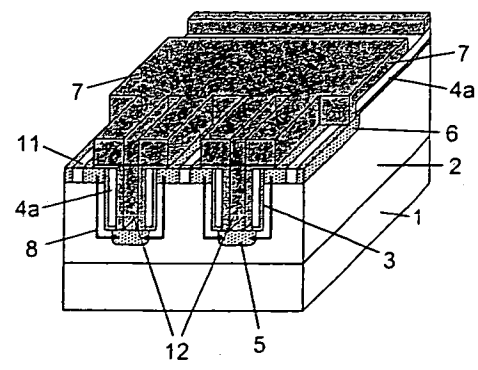


圖 2F

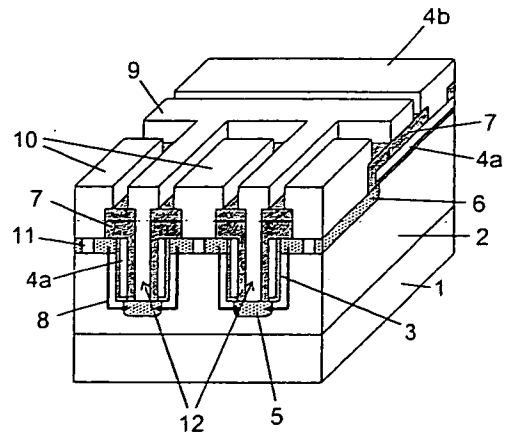


圖3

