



(12) 发明专利

(10) 授权公告号 CN 101315799 B

(45) 授权公告日 2011.06.15

(21) 申请号 200810098367.6

审查员 曾雪莲

(22) 申请日 2008.05.30

(30) 优先权数据

2007-143923 2007.05.30 JP

(73) 专利权人 索尼株式会社

地址 日本东京都

(72) 发明人 冈田慎也

(74) 专利代理机构 北京东方亿思知识产权代理
有限责任公司 11258

代理人 董方源

(51) Int. Cl.

G11B 20/10 (2006.01)

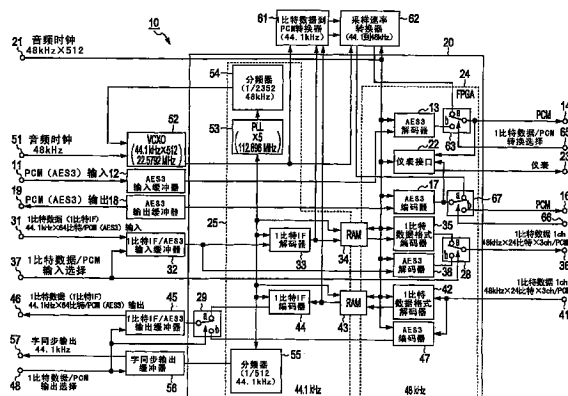
权利要求书 3 页 说明书 11 页 附图 12 页

(54) 发明名称

数字记录和再现装置及方法和数字数据转换装置

(57) 摘要

一种数字记录和再现装置及方法和数字数据转换装置,该数字记录装置用于根据第二采样频率的多比特 PCM 数据的记录格式来在记录介质上记录第一采样频率的 1 比特数字音频数据,包括:存储部件,输入的所述第一采样频率的 1 比特数字音频数据被写入所述存储部件;编码器,被配置为从所述存储部件以与所述第二采样频率同步的时钟读取所述 1 比特数字音频数据,并被配置为通过下述方式转换所述 1 比特数字音频数据:所述 1 比特数字音频数据的比特被排列在与所述记录格式一致的多比特 PCM 数据内提供的 1 比特数据区域中;以及记录器,被配置为根据所述记录格式在所述记录介质上记录从所述编码器输出的数据。



1. 一种数字记录装置,用于根据第二采样频率的多比特脉冲编码调制数据的记录格式来在记录介质上记录第一采样频率的 1 比特数字音频数据,所述数字记录装置包括:

存储部件,输入的所述第一采样频率的 1 比特数字音频数据被写入所述存储部件;

编码器,被配置为以与所述第二采样频率同步的时钟从所述存储部件读取所述 1 比特数字音频数据,并被配置为通过下述方式转换所述 1 比特数字音频数据:所述 1 比特数字音频数据的比特被排列在与所述记录格式一致的多比特脉冲编码调制数据内提供的 1 比特数据区域中;

记录器,被配置为根据所述记录格式在所述记录介质上记录从所述编码器输出的数据;以及

时钟发生器,用于实现所述第一采样频率和所述第二采样频率之间的同步,并生成每个采样频率的整倍数的时钟,

其中以来自所述时钟发生器的所述第一采样频率的整数倍的第一时钟输入的 1 比特数字音频数据被写入所述存储部件,以所述第二采样频率的整数倍的第二时钟从所述存储部件读取 1 比特数字音频数据,并且所述编码器以所述第二时钟被驱动,

其中所述记录格式的多比特脉冲编码调制数据的每个采样的与多个通道相对应的一些比特被用作所述 1 比特数据区域。

2. 根据权利要求 1 所述的数字记录装置,其中所述第一采样频率为 2.8224MHz ($=64 \times 44.1\text{kHz}$),所述第二采样频率为 48kHz ,

所述时钟发生器包括:主时钟振荡器,用于生成频率是 44.1kHz 的 512 倍的时钟;乘法器,用于将来自所述主时钟振荡器的主时钟加倍到 5 倍以上;以及分频器,用于将来自所述乘法器的时钟分频到 $1/2352$,所述时钟发生器输出所述主时钟作为所述第一时钟,并且

频率为作为所述第二采样频率的 48kHz 的 512 倍的时钟被用作所述第二时钟。

3. 根据权利要求 1 所述的数字记录装置,其中所述第一采样频率为 2.8224MHz ($=64 \times 44.1\text{kHz}$),所述第二采样频率为 48kHz ,

所述记录器将 12 个通道的 $48\text{kHz}/24$ 比特脉冲编码调制数据作为所述多比特脉冲编码调制数据与数字视频数据一起记录,并且

所述 $48\text{kHz}/24$ 比特脉冲编码调制数据的每个采样的 24 比特中的 20 比特被用作所述 1 比特数据区域,并且通过使用具有所述 1 比特数据区域的三个通道的所述 $48\text{kHz}/24$ 比特脉冲编码调制数据,一个通道的所述 1 比特数字音频数据被分配。

4. 根据权利要求 3 所述的数字记录装置,其中,通过使用用于识别与所述数字视频数据的场的对应关系、所述场中的位置、以及针对所述 $48\text{kHz}/24$ 比特脉冲编码调制数据分配的比特数目的识别信息,所述识别信息优选地排列在所述脉冲编码调制数据每个采样的 24 比特中所述 1 比特数据区域之外的三个通道的 4 比特共 12 个比特的区域中。

5. 一种数字记录方法,用于根据第二采样频率的多比特脉冲编码调制数据的记录格式来在记录介质上记录第一采样频率的 1 比特数字音频数据,所述数字记录方法包括以下步骤:

接收所述第一采样频率的 1 比特数字音频数据并将所述 1 比特数字音频数据写入存储部件;

以与所述第二采样频率同步的时钟从所述存储部件读取所述 1 比特数字音频数据;

通过下述方式对从所述存储部件读取的 1 比特数字音频数据进行编码 : 比特被排列在与所述记录格式一致的多比特脉冲编码调制数据内提供的 1 比特数据区域中 ; 以及

根据所述记录格式在记录介质上记录经编码的输出数据,

其中所述第一采样频率和所述第二采样频率之间的同步被实现, 并每个采样频率的整倍数的时钟被生成,

其中以所述第一采样频率的整数倍的第一时钟输入的 1 比特数字音频数据被写入所述存储部件, 以所述第二采样频率的整数倍的第二时钟读取 1 比特数字音频数据, 并且编码是以所述第二时钟来驱动的,

其中所述记录格式的多比特脉冲编码调制数据的每个采样的与多个通道相对应的一些比特被用作所述 1 比特数据区域。

6. 一种数字数据转换装置, 用于根据第二采样频率的多比特脉冲编码调制数据的记录格式来转换第一采样频率的 1 比特数字音频数据, 所述 1 比特数字音频数据根据所述记录格式被记录在记录介质上, 所述数字数据转换装置包括 :

存储部件, 输入的所述第一采样频率的 1 比特数字音频数据被写入所述存储部件 ;

编码器, 被配置为以与所述第二采样频率同步的时钟从所述存储部件读取所述 1 比特数字音频数据, 并被配置为转换所述 1 比特数字音频数据使得所述 1 比特数字音频数据的比特被排列在与所述记录格式一致的多比特脉冲编码调制数据内提供的 1 比特数据区域中 ; 以及

时钟发生器, 用于实现所述第一采样频率和所述第二采样频率之间的同步, 并生成每个采样频率的整倍数的时钟,

其中以来自所述时钟发生器的所述第一采样频率的整数倍的第一时钟输入的 1 比特数字音频数据被写入所述存储部件, 以所述第二采样频率的整数倍的第二时钟从所述存储部件读取 1 比特数字音频数据, 并且所述编码器以所述第二时钟被驱动,

其中所述记录格式的多比特脉冲编码调制数据的每个采样的与多个通道相对应的一些比特被用作所述 1 比特数据区域。

7. 一种数字再现装置, 用于再现第一采样频率的 1 比特数字音频数据根据第二采样频率的多比特脉冲编码调制数据的记录格式被记录在其上的记录介质, 所述数字再现装置包括 :

再现部件, 被配置为读取与所述记录介质的记录格式一致的多比特脉冲编码调制数据, 所述多比特脉冲编码调制数据被转换并以下述方式被记录在所述记录介质上 : 所述 1 比特数字音频数据的比特被排列在与所述记录格式一致的多比特脉冲编码调制数据内提供的 1 比特数据区域中 ;

解码器, 被配置为将来自被所述再现部件再现的多比特脉冲编码调制数据内提供的所述 1 比特数据区域的数据返回到所述 1 比特数字音频数据的数据序列, 并被配置为以与所述第二采样频率同步的时钟输出所述数据序列 ;

存储部件, 来自所述解码器的所述第二采样频率的 1 比特数字音频数据被写入所述存储部件, 并且原始的 1 比特数字音频数据以与所述第一采样频率同步的时钟被从所述存储部件读取 ; 以及

时钟发生器, 用于实现所述第一采样频率和所述第二采样频率之间的同步, 并生成每

个采样频率的整倍数的时钟，

其中以来自所述时钟发生器的所述第一采样频率的整数倍的第一时钟输入的 1 比特数字音频数据被写入所述存储部件，以所述第二采样频率的整数倍的第二时钟从所述存储部件读取 1 比特数字音频数据，

其中所述记录格式的多比特脉冲编码调制数据的每个采样的与多个通道相对应的一些比特被用作所述 1 比特数据区域。

8. 一种数字再现方法，用于再现第一采样频率的 1 比特数字音频数据根据第二采样频率的多比特脉冲编码调制数据的记录格式被记录在其上的记录介质，所述数字再现方法包括以下步骤：

读取与所述记录介质的记录格式一致的多比特脉冲编码调制数据，所述多比特脉冲编码调制数据被转换并以下述方式被记录在所述记录介质上：所述 1 比特数字音频数据的比特被排列在与所述记录格式一致的多比特脉冲编码调制数据内提供的 1 比特数据区域中；

以下述方式执行解码：来自在所述再现中再现的多比特脉冲编码调制数据内提供的所述 1 比特数据区域的数据被返回到所述 1 比特数字音频数据的数据序列，并以与所述第二采样频率同步的时钟被输出；

将所述第二采样频率的 1 比特数字音频数据写入存储部件，所述 1 比特数字音频数据在所述解码中被解码；以及，

以与所述第一采样频率同步的时钟从所述存储部件读取原始的 1 比特数字音频数据，

其中所述第一采样频率和所述第二采样频率的同步被实现，并每个采样频率的整倍数的时钟被生成，

其中以所述第一采样频率的整数倍的第一时钟输入的 1 比特数字音频数据被写入所述存储部件，以所述第二采样频率的整数倍的第二时钟读取 1 比特数字音频数据，

其中所述记录格式的多比特脉冲编码调制数据的每个采样的与多个通道相对应的一些比特被用作所述 1 比特数据区域。

数字记录和再现装置及方法和数字数据转换装置

技术领域

[0001] 本发明涉及数字记录装置及方法、数字再现装置及方法和数字数据转换装置。更具体而言,本发明涉及用于将希格玛-德尔塔($\Sigma \Delta$)调制的1比特数字音频数据(1比特数据)转换成PCM(脉冲编码调制)数字信号(PCM数据)并对其进行记录的数字记录装置及方法,涉及用于再现记录的数字信号并获得原始的1比特数字音频数据的数字再现装置及方法,并涉及数字数据转换装置。

背景技术

[0002] 作为用于记录和再现视频/音频信号的装置,使用录像带的VTR装置迄今为止已为大家所知。近年来,用于记录和再现数字视频/音频数据的数字VTR装置变得常用。另外,使用磁盘、存储器等作为记录介质的装置已被提供。诸如该数字VTR装置之类的数字视频装置中数字音频信号的采样频率通常是48kHz。

[0003] 相比之下,在CD(致密光盘)等格式的情况下(音频信号利用该格式被转换成数字形式并记录和再现),采样频率常常是44.1kHz。例如,在CD-DA(数字音频)标准中,使用具有44.1kHz的采样频率、量化比特数为16的PCM(脉冲编码调制)数字信号(PCM数据)。

[0004] 另一方面,作为用于数字音频信号的另一种方法,被称为希格玛-德尔塔($\Sigma \Delta$)调制的方法已在例如“AD/DA converter and digital filter”,The Journal of the Acoustical Society of Japan, Volume 46, No. 3(1990),第251到257页中提出。与现有技术的CD等数字音频使用的数据格式相比,通过该 $\Sigma \Delta$ 调制获得的一比特数字音频数据(1比特数据)具有很高的采样频率和短数据字长(例如,采样频率是44.1kHz的64倍那么高,数据字长为1比特),并且具有可传输频带较宽的优势。另外,即使对于1比特信号, $\Sigma \Delta$ 调制也能在位于低于64倍以上的过采样频率的频率处的音频频带中确保高动态范围。利用这一优势,本方法可以应用于具有高音质和数据传输的记录和再现。

[0005] 该1比特 $\Sigma \Delta$ 调制的音频信号被用作所谓的超级音频CD(SACD)中的DSD(直接数字流, Direct Stream Digital)方法的信号, SACD由索尼公司和飞利浦公司提出作为下一代CD标准。

[0006] 作为现有技术的示例,第9-261071号日本未实审专利申请公布公开了一种用于DSD方法的1比特数字音频数据(1比特数据)的主控(mastering)装置。第2001-5499号日本未实审专利申请公布公开了一种音乐数据信息传送方法和装置,用于对诸如将在数字音乐数据传送中传送的音乐数据的采样频率之类的音乐数据信息进行数字传送。

发明内容

[0007] 当具有上述 $64 \times 44.1\text{kHz}$ ($= 2.8224\text{MHz}$)采样频率的1比特数据将被诸如数字VTR装置之类的具有48kHz的音频采样频率的数字视频设备记录和再现时,有必要暂时将1比特数据转换成模拟信号,按48kHz的采样频率对其进行采样,并将其转换成PCM数字音频

信号(PCM 数据)。诸如滤波过程之类的信号处理对于变成模拟和数字形式的转换变得必需。结果,发生音质退化。

[0008] 考虑到现有技术的这类情况,提出本发明。希望提供这样的数字记录装置及方法,数字再现装置及方法,以及数字数据转换装置,它们能够在采样频率为 44.1kHz 的系统的 1 比特数字音频数据(1 比特数据)被记录和再现到采样频率为 48kHz 系列的记录装置或从该装置被记录和再现时最小化音质的退化。

[0009] 根据本发明的实施例,提供了一种数字记录装置,用于根据第二采样频率的多比特 PCM 数据的记录格式来在记录介质上记录第一采样频率的 1 比特数字音频数据,所述数字记录装置包括:存储部件,第一采样频率的 1 比特数字音频数据被写入所述存储部件;编码器,被配置为从所述存储部件以与第二采样频率同步的时钟读取所述 1 比特数字音频数据,并被配置为通过下述方式转换所述 1 比特数字音频数据:所述 1 比特数字音频数据的比特被排列在与所述记录格式一致的多比特 PCM 数据内提供的 1 比特数据区域中;以及记录器,用于根据所述记录格式在所述记录介质上记录从所述编码器输出的记录数据。

[0010] 该数字记录装置还可包括时钟发生器用于实现所述第一采样频率和所述第二采样频率之间的同步并用于生成每个采样频率的整倍数的时钟,其中以来自所述时钟发生器的所述第一采样频率的整数倍的第一时钟输入的所述 1 比特数字音频数据被写入所述存储部件,以所述第二采样频率的整数倍的第二时钟从所述存储部件读取 1 比特数字音频数据,并且所述编码器以所述第二时钟被驱动。其中所述记录格式的多比特脉冲编码调制数据的每个采样的与多个通道相对应的一些比特被用作所述 1 比特数据区域。

[0011] 所述第一采样频率可以是 2.8224MHz($= 64 \times 44.1\text{kHz}$),所述第二采样频率可以是 48kHz,所述时钟发生器包括:主时钟振荡器,用于生成频率是 44.1kHz 的 512 倍那么高的时钟;乘法器,用于将来自主时钟振荡器的主时钟加倍到 5 倍以上;以及分频器,用于将来自乘法器的时钟分频到 1/2352,所述时钟发生器可输出主时钟作为第一时钟,并且高达作为第二采样频率的 48kHz 的 512 倍的时钟可被用作第二时钟。

[0012] 记录器可将用于 12 个通道的 48kHz/24 比特 PCM 数据记录为多比特 PCM 数据,并且一起记录数字视频数据。48kHz/24 比特 PCM 数据的每个采样的 24 比特中的 20 比特可被用作 1 比特数据区域,并且通过使用具有 1 比特数据区域的三个通道的 48kHz/24 比特 PCM 数据,1 比特数字音频数据的 1 个通道可被分配。通过使用用于识别与数字视频数据的场的对应关系、场中的位置和针对 48kHz/24 比特 PCM 数据而分配比特数目的识别信息,该识别信息优选地排列在 PCM 数据每个采样的 24 比特中的所述 1 比特数据区域之外的 4 比特用于三个通道的 12 比特区域中。

[0013] 根据本发明的另一个实施例,提供了一种数字记录方法,该方法根据第二采样频率的多比特 PCM 数据的记录格式来在记录介质上记录第一采样频率的 1 比特数字音频数据,该数字记录方法包括以下步骤:接收第一采样频率的 1 比特数字音频数据并将所述 1 比特数字音频数据写入存储部件;以与第二采样频率同步的时钟从所述存储部件读取所述 1 比特数字音频数据;对从所述存储部件读取的 1 比特数字音频数据进行编码,使得这些比特排列在与所述记录格式一致的多比特 PCM 数据内提供的 1 比特数据区域中;以及根据所述记录格式在记录介质上记录编码的输出数据。

[0014] 根据本发明的另一个实施例,提供了一种数字数据转换装置,用于根据第二采样

频率的多比特 PCM 数据的记录格式来转换第一采样频率的 1 比特数字音频数据,所述 1 比特数字音频数据根据所述记录格式被记录在记录介质上,所述数字数据转换装置包括:存储部件,第一采样频率的 1 比特数字音频数据被写入所述存储部件;以及编码器,被配置为从所述存储部件以与第二采样频率同步的时钟读取所述 1 比特数字音频数据,并被配置为转换所述 1 比特数字音频数据使得所述 1 比特数字音频数据的比特排列在与所述记录格式一致的多比特 PCM 数据内提供的 1 比特数据区域中。

[0015] 根据本发明的另一实施例,提供了一种数字再现装置用于再现第一采样频率的 1 比特数字音频数据根据第二采样频率的多比特 PCM 数据的记录格式被记录在其上的记录介质,所述数字再现装置包括:再现部件,用于读取与所述记录介质的记录格式一致的多比特 PCM 数据,所述多比特 PCM 数据通过下述的方式被转换和记录在所述记录介质上,其中所述 1 比特数字音频数据的比特排列在与所述记录格式一致的多比特 PCM 数据内提供的 1 比特数据区域中;解码器,被配置为将来自被所述再现部件再现的多比特 PCM 数据内提供的 1 比特数据区域的数据返回到所述 1 比特数字音频数据的数据序列,并被配置为以与所述第二采样频率同步的时钟输出所述数据序列;以及存储部件,来自所述解码器的所述第二采样频率的 1 比特数字音频数据被写入所述存储部件,并从所述存储部件以与所述第一采样频率同步的时钟读取原始的 1 比特数字音频数据。

[0016] 根据本发明的另一实施例,提供了一种数字再现方法用于再现第一采样频率的 1 比特数字音频数据根据第二采样频率的多比特 PCM 数据的记录格式被记录在其上的记录介质,所述数字再现方法包括以下步骤:读取与所述记录介质的记录格式一致的多比特 PCM 数据,所述多比特 PCM 数据通过下述方式被转换并记录在所述记录介质上,其中所述 1 比特数字音频数据的比特排列在与所述记录格式一致的多比特 PCM 数据内提供的 1 比特数据区域中;以下述方式执行解码:来自在所述再现中再现的多比特 PCM 数据内提供的 1 比特数据区域的数据被返回到所述 1 比特数字音频数据的数据序列,并以与所述第二采样频率同步的时钟被输出;将所述第二采样频率的 1 比特数字音频数据写入存储部件,所述 1 比特数字音频数据在所述解码中被解码;以及,以与所述第一采样频率同步的时钟从所述存储部件读取原始的 1 比特数字音频数据。

[0017] 根据本发明的另一实施例,提供了另一种数字数据转换装置,用于将第一采样频率的 1 比特数字音频数据反向转换成原始的 1 比特数字音频数据,所述 1 比特数字音频数据通过下述方式被记录在记录介质上:所述 1 比特数字音频数据的比特排列在与第二采样频率的多比特 PCM 数据的记录格式一致的多比特 PCM 数据内提供的 1 比特数据区域中,所述数字数据转换装置包括:解码器,被配置为将从所述多比特脉冲编码调制数据的 1 比特数据区域读取的数据返回到所述 1 比特数字音频数据的数据序列,并被配置为以与所述第二采样频率同步的时钟输出数据序列;以及存储部件,向所述存储部件写入来自所述解码器的所述第二采样频率的 1 比特数字音频数据,并从所述存储部件以与所述第一采样频率同步的时钟读取原始的 1 比特数字音频数据。

[0018] 根据本发明的实施例,当第一采样频率的 1 比特数字音频数据根据第二采样频率的多比特 PCM 数据的记录格式被转换以记录到记录介质上时,所述第一采样频率的 1 比特数字音频数据被输入并写入存储部件,所述 1 比特数字音频数据以与所述第二采样频率同步的时钟从所述存储部件被读取,并且读取的 1 比特数字音频数据被转换使得这些比特排

列在与所述记录格式一致的多比特 PCM 数据内提供的 1 比特数据区域中。结果,可以最小化音质退化并根据多比特 PCM 数据的记录格式来记录所述 1 比特数字音频数据,使得将记录的数据反向转换成原始的 1 比特数字音频数据成为可能。

附图说明

[0019] 图 1 是示出作为在本发明的实施例中使用的记录和再现装置的示例的数字 VTR 装置的示意性配置的框图;

[0020] 图 2 示出数字 VTR 装置在其上执行记录的录像带上的记录格式的示例;

[0021] 图 3 是示出数字 VTR 装置的现有技术的音频处理器的配置示例的框图;

[0022] 图 4 是示出在本发明的实施例中使用的数字 VTR 装置的音频处理器的配置示例的框图;

[0023] 图 5A 和 5B 是示出基于数据传输标准的输入 / 输出电平的具体示例的波形图;

[0024] 图 6A 和 6B 是示出如下输入缓冲器和输出缓冲器的示例的框图,两个不同的数据传输标准通过所述输入缓冲器和输出缓冲器可进行交换;

[0025] 图 7A 和 7B 是当场频为 60Hz 或 59.94Hz 时对于每场的 1 比特数据分配的图解;

[0026] 图 8A、8B 和 8C 是分别当场频为 50Hz、当帧频为 24Hz 和当帧频为 23.98Hz 时,对于 1 比特数据的每场的分配的图解;

[0027] 图 9 例示了当场频为 60Hz 时,对于一场中每个采样周期的 1 比特数据分配;

[0028] 图 10A 和 10B 例示了当场频为 60Hz 时,在 1 个采样周期中将 1 比特数据分配给用于三个通道的 3 个采样;

[0029] 图 11 例示了当场频为 59.94Hz 时,对于一场中每个采样周期的 1 比特数据分配;并且

[0030] 图 12A、12B 和 12C 例示了当场频为 59.94Hz 时,对于在 1 个采样周期中与三个通道相对应的 3 个采样的 1 比特数据分配。

具体实施方式

[0031] 下面参考附图来描述应用本发明的具体实施例。

[0032] 图 1 是示意性地示出充当在本发明的实施例中使用的记录和再现装置的数字 VTR 装置的具体示例的框图。图 1 中示出的数字 VTR 装置记录和 再现来自和去往作为带状记录介质的所谓的录像带 110 的数字视频 / 音频信号。

[0033] 虽然将被记录到数字 VTR 装置或从数字 VTR 装置再现的数字音频数据的采样频率为 48kHz,但是在该实施例中假设了如下情况,其中为了在数字 VTR 装置中记录具有 44.1kHz 系列的采样频率的 1 比特数据 (1 比特数字音频数据),1 比特数据通过比特重排被转换成 48kHz 采样频率的 PCM 数据,该 PCM 数据在再现期间被反向转换成 1 比特数据。1 比特数据的示例包括作为由索尼公司和飞利浦公司提出的下一代 CD 标准的所谓的超级音频 CD (SACD) 中的 DSD (直接数字流) 方法的 1 比特 $\Sigma \Delta$ 调制的音频信号数据。DSD 方法的 1 比特数据的采样频率为 2.8224MHz ($= 64 \times 44.1\text{kHz}$)。

[0034] 在图 1 中,被输入到视频输入端子 101 的数字视频数据被发送到压缩编码器 102,藉此被压缩和编码,并发送到记录系统 103。另外,被输入到音频输入端子 111 的数字音频

数据被发送到音频处理器 10 的记录音频处理电路单元 10a, 藉此执行用于记录的音频处理, 并被发送到记录系统 103。在记录系统 103 中, 来自压缩编码器 102 的压缩视频数据和来自记录音频处理电路单元 10a 的数字音频数据被转换成与预定的记录格式一致的记录信号, 并经由记录放大器 104 被提供到旋转磁头 105, 从而被记录在录像带 110 的倾斜的记录磁道 (oblique recording tracks) (螺旋轨道) 上。

[0035] 图 2 示出在录像带 110 上使用的记录格式的示例。在录像带 110 上, 沿作为磁带前进方向的纵向方向倾斜的记录磁道 115 依次形成。在这一具体示例中, 两个相互靠近的记录磁道 115 中的记录方位互不相同。记录磁道 115 的扫描起点侧和扫描终点侧上的区域分别被设为视频数据区 ARVU 和 ARVL, 夹在视频数据区 ARVU 和 ARVL 中间的区域被设为音频数据区 ARA。

[0036] 通过使用图 1 的旋转磁头 105 来扫描图 2 所示录像带 110 的记录磁道 115 而获得的再现信号被再现放大器 106 放大并被发送到再现系统 107, 藉此执行包含波形均衡和解调过程的信号再现过程。然后, 数字视频数据 被发送到解压缩解码器 108, 且数字音频数据被发送到音频处理器 10 的再现音频处理电路单元 10b。在解压缩解码器 108 中, 作为与视频记录期间在压缩编码器 102 中执行的压缩编码过程相反的过程的解压缩解码过程被执行, 且得到的数字视频数据从输出端子 109 获取。在再现音频处理电路单元 10b 中, 与在记录音频处理电路单元 10a 中执行的过程相反的过程被执行, 且得到的数字音频数据从输出端子 119 获取。

[0037] 这里, 作为被数字 VTR 装置记录和再现的数字音频数据的标准的示例, 假设了以 48kHz 的采样频率为 12 个通道记录和再现 24 比特 PCM 数据的示例。在该实施例中, 如上所述, 具有 $64 \times 44.1\text{kHz}$ ($= 2.8224\text{MHz}$) 采样频率的 1 比特数据通过比特重排被转换成 48kHz/24 比特采样频率的 PCM 数据记录帧, 并且通过使用 12 个通道中的音频通道中的三个通道的记录帧来记录 1 比特数据, 如后面将要描述的那样。

[0038] 即, 数字 VTR 装置的用于原始 48kHz/24 比特 PCM 音频记录和再现的音频处理器具有类似于图 3 示出的音频处理器 10' 的配置。相比之下, 如图 4 所示, 该实施例的音频处理器是添加了用于通过比特重排将 44.1kHz 系列的 1 比特数字音频数据转换成 48kHz 系列的 PCM 数据 (PCM 数字音频数据) 或用于执行相反转换的配置的音频处理器 10。首先, 给出对于作为图 3 的音频处理器 10' 和图 4 的音频处理器 10 的公共部分的用于记录和再现 48kHz/24 比特 PCM 数据的配置的描述。

[0039] 在图 3 和 4 中, 48kHz/24 比特 PCM 数据被输入到输入端子 11。该示例中的 PCM 数据根据作为 AES/EBU (音频工程师协会 / 欧洲广播联盟) 的标准之一并作为数字音频标准的 AES3 格式 (AES-3id-2001) 来传送。使用同轴电缆来进行信号传送, 并使用 BNC 连接器来做输入端子 11。来自输入端子 11 的 PCM 数据经由 AES3 输入缓冲器 12 被发送到 AES3 解码器 13, 并被 AES3 解码器 13 从 AES3 标准的格式转换成用于 VTR 记录的 PCM 数据格式。之后, PCM 数据经由输出端子 14 被获取并被发送到图 1 的记录系统 103。

[0040] 来自图 1 的再现系统 107 的 PCM 数据经由图 3 和 4 的输入端子 16 被发送到 AES3 编码器 17, 藉此 PCM 数据被转换成 AES3 标准的格式的 PCM 数据, 并经由 AES3 输出缓冲器 18 从输出端子 19 被获取。使用 BNC 连接器来做输出端子 19, 并使用同轴电缆来进行信号传送。

[0041] 频率为 $48\text{kHz} \times 512$ 的时钟信号作为数字 VTR 装置的 PCM 数据的音频时钟被输入到输入端子 21, 并提供到 AES3 解码器 13、AES3 编码器 17 和仪表接口 22。来自 AES3 解码器 13 的 PCM 数据和来自输入端子 16 的 PCM 数据被输入到仪表接口 22, 且用于显示数字 VTR 装置的音频电平表的仪表数据被输出并发送到输出端子 23。

[0042] 在图 3 和 4 示出的示例中, 音频处理器 10 (10') 的主电路例如由所谓的 FPGA (现场可编程门阵列) 20 (20') 形成。块 24 (24') 示出 48kHz 系列的电路单元, 且块 25 示出 44.1kHz 系列的电路单元。

[0043] 接下来, 给出对于图 4 的音频处理器 10 中从图 3 的配置添加的部分的描述。

[0044] 具有 $2.8224\text{MHz} (= 64 \times 44.1\text{kHz})$ 采样频率的 1 比特数据 (1 比特数字音频数据) 被输入到图 4 的输入端子 31。该 1 比特数据是索尼公司和飞利浦公司的上述所谓超级音频 CD (SACD) 使用的 DSD (直接数字流) 方法的 1 比特 $\Sigma \Delta$ 调制的音频信号数据, 并且能够传送上述 1 比特数据的标准 (1 比特 IF) 被用于信号传送。这里, 作为 1 比特数据传送标准 (1 比特 IF) 的具体示例, SDIF (索尼数字接口格式) 标准的 SDIF-3 可被使用, 它是索尼公司提出的数字音频传送标准。在 SDIF-3 标准中, 发送和接收是利用具有 BNC 连接器和 75 欧姆特征阻抗的同轴电缆来执行的, 且输入 / 输出电平是如图 5A 所示的 TTL 电平。图 5B 示出采用正负值的上述 AES3 的输入 / 输出电平。

[0045] 如图 5A 和 5B 所示, 1 比特数据传送标准 (1 比特 IF) 和 AES3 的输入 / 输出电平互不相同, 但是它们二者都使用同轴电缆和 BNC 连接器。因此, 输入端子 31 可以被 1 比特数据的输入和 PCM 数据的输入共享。另外, BNC 连接器可以类似地用作输出端子 46, 且输出端子 46 可以被 1 比特数据的输出和 PCM 数据的输出共享。

[0046] 被输入到输入端子 31 的 1 比特数据或 PCM 数据被发送到 1 比特 IF/AES3 输入缓冲器 32。例如在图 6A 中示出的 1 比特 IF/AES3 输入缓冲器 32 按如下方式来配置: 来自使用 BNC 连接器的输入端子 31 的数据被发送到 1 比特 IF 输入缓冲器 32a 和 AES3 输入缓冲器 32b, 来自 1 比特 IF 输入缓冲器 32a 的输出被发送到选择器开关 32c 的选中端子 a, 且来自 AES3 输入缓冲器 32b 的输出被发送到选择器开关 32c 的选中端子 b。选择器开关 32c 的切换以来自输入端子 37 的 1 比特数据 / PCM 数据输入切换控制信号为基础被控制。来自选择器开关 32c 的输出数据被发送到图 4 的 1 比特 IF 解码器 33 和 AES3 解码器 38。1 比特 IF/AES3 输入缓冲器 32 可以做成共用的, 且用于输入信号的门限电平可被切换和选择。这种情况下, 例如, 切换控制可按如下方式来执行: 当输入 1 比特数据时, 门限电平被设为 1.5 伏, 当输入 PCM 数据时, 门限电平被设为 0 伏。

[0047] 类似地, 连接到使用 BNC 连接器的输出端子 46 的 1 比特 IF/AES3 输出缓冲器 45 例如可按图 6B 所示来配置。在图 6B 的示例中, 来自图 4 的选择器开关 29 的数据被发送到 1 比特 IF 输出缓冲器 45a 和 AES3 输出缓冲器 45b, 来自 1 比特 IF 输出缓冲器 45a 的输出被发送到选择器开关 45c 的选中端子 a, 来自 AES3 输出缓冲器 45b 的输出被发送到选择器开关 45c 的选中端子 b, 且来自选择器开关 45c 的输出数据被发送到输出端子 46。选择器开关 45c 的切换以来自输入端子 48 的 1 比特数据 / PCM 数据输出切换控制信号为基础被控制。1 比特 IF/AES3 输出缓冲器 45 也可做成共用的, 以便输出电平被切换和选择。这种情况下, 例如, 当要输出 1 比特数据时, DC 偏置可被切换到 1.5 伏, 增益可被切换到 3Vpp ; 当要输出 PCM 数据时, DC 偏置可被切换到 0 伏, 增益可被切换到 1Vpp 。

[0048] 参考回图 4, 来自 1 比特 IF/AES3 输入缓冲器 32 的 1 比特数据被发送到 44.1kHz 系列电路块 25 的 1 比特 IF 解码器 33, 藉此对 1 比特 IF 传送标准的解码被执行且数据被发送到 RAM (例如, 双端口 RAM) 34。在 RAM 34 中, 从 44.1kHz 系列到 48kHz 系列的时钟频率的转换被执行, 且来自 RAM 34 的数据被发送到 48kHz 系列电路块 24 的 1 比特数据格式编码器 35。在 1 比特数据格式编码器 35 中, 如稍后将要描述的那样, 通过比特重排执行数据转换以在 48kHz PCM 数据的记录帧中记录 1 比特数据, 且转换输出数据被发送到选择器开关 28 的选中端子 a。另外, 来自 1 比特 IF/AES3 输入缓冲器 32 的 PCM 数据被发送到 48kHz 系列电路块 24 的 AES3 解码器 38, 藉此对 AES3 传送标准的解码被执行, 并且此后数据被发送到选择器开关 28 的选中端子 b。选择器开关 28 的切换以来自输入端子 37 的 1 比特数据 / PCM 数据输出切换控制信号为基础被控制, 且来自选择器开关 28 的输出数据从输出端子 36 被输出并发送到图 1 的记录系统 103。

[0049] 来自图 1 的再现系统 107 的数据经由图 4 的输入端子 41 被发送到 48kHz 系列电路块 24 的 1 比特数据格式解码器 42 和 AES3 编码器 47。1 比特数据格式解码器 42 将被记录为 48kHz PCM 数据的 1 比特数据 (在 PCM 记录帧中记录的数据) 返回到原始的 1 比特数据, 并执行 1 比特数据格式编码器 35 的反向转换过程。时钟频率照原样仍为 48kHz 系列, 并使用 RAM (例如, 双端口 RAM) 43 被转换成 44.1kHz 系列的时钟频率。来自 RAM 43 的数据被发送到 44.1kHz 系列电路块 25 的 1 比特 IF 编码器 44, 藉此被转换成预定的 1 比特传送标准 (例如, 索尼公司提出的 SDIF-3 标准) 的格式的数据。来自 1 比特 IF 编码器 44 的数据被发送到选择器开关 29 的选中端子 a。另外, 在 AES3 编码器 47 中, 来自输入端子 41 的数据被转换成 AES3 传送标准的格式的 PCM 数据并被发送到选择器开关 29 的选中端子 b。选择器开关 29 的切换以来自输入端子 48 的 1 比特数据 / PCM 数据输出切换控制信号为基础被控制, 且来自选择器开关 29 的数据被发送到 1 比特 IF/AES3 输出缓冲器 45。

[0050] 接着, 给出对于具有 $2.8224\text{MHz} (= 64 \times 44.1\text{kHz})$ 采样频率的 1 比特数据和具有 48kHz 采样频率的 PCM 数据之间的时钟同步的描述。一般而言, 48kHz 的时钟是通过对 44.1kHz 系列的主时钟进行加倍和分频来生成的。该 48kHz 的时钟与数字 VTR 装置的音频时钟同步, 且将被输入 / 输出的 1 比特数据被重排并作为 48kHz 的 PCM 数据 (PCM 记录帧的数据) 被记录和再现。

[0051] 用于记录数字 VTR 装置的 PCM 数据的 48kHz 音频时钟已输入到图 4 的输入端子 51。该 48kHz 时钟被提供到作为晶体振荡器的 VCX0 (压控晶体振荡器) 52, 且 VCX0 52 生成频率是 44.1kHz 的 512 倍那么高 ($= 22.5792\text{MHz}$) 的主时钟。来自 VCX0 52 的主时钟被发送到 PLL (锁相环) 电路 53, 藉此成为频率高达 5 倍以上 (112.896MHz) 的时钟, 并被分频器 54 分频到 $1/2352$, 藉此变成 48kHz 的时钟。它被发送到 VCX0 52, 藉此与来自输入端子 51 的 48kHz 时钟同步。PLL 电路 53 被用作将频率加倍到 5 倍以上的乘法器。VCX0 52、PLL 电路 53 和分频器 54 构成用于生成与用来记录数字 VTR 装置的 PCM 数据的 48kHz 时钟同步的 44.1kHz 时钟的时钟发生器。

[0052] 来自 VCX0 52 的 $22.5792\text{MHz} (= 44.1\text{kHz} \times 512)$ 时钟被发送到 44.1kHz 系列电路块 25 的 1 比特 IF 解码器 33、1 比特 IF 编码器 44 以及 RAM 34 和 43, 还被发送到 44.1kHz 系列电路块 25 的分频器 55, 藉此驱动这些电路。分频器 55 通过将 22.5792MHz 的时钟分频到 $1/512$ 来生成 44.1kHz 的时钟, 并经由字同步输出缓冲器 56 从输出端子 57 获取 44.1kHz

的时钟。字同步输出缓冲器 56 的切换可按如下方式来配置：字同步输出缓冲器 56 以来自输入端子 48 的 1 比特数据 /PCM 数据输出切换控制信号为基础被控制，并且当要输出 PCM 数据时，字同步的或 AES3 编码的 48kHz PCM 数据被输出。

[0053] 来自输入端子 21 的频率为 $48\text{kHz} \times 512$ 的时钟被提供到 AES3 解码器 13、AES3 编码器 17 和仪表接口 22，还被发送到 1 比特数据格式编码器 35、AES3 解码器 38、1 比特数据格式解码器 42 和 AES3 编码器 47，藉此驱动这些电路。

[0054] 通过与现有技术类似的方式，还可以通过滤波过程等将 1 比特数据转换成多比特 PCM 数据然后将采样频率转换成 48kHz。在图 4 的示例中，来自 1 比特 IF 解码器 33 的 1 比特数据被 1 比特数据到 PCM 转换器 61 转换成具有 44.1kHz 采样频率的多比特 PCM 数据。多比特 PCM 数据的采样频率被采样速率转换器 62 转换成 48kHz，然后该数据被发送到选择器开关 63 的选中端子 a。来自 AES3 解码器 13 的 PCM 数据被提供到选择器开关 63 的选中端子 b，且来自选择器开关 63 的输出数据被发送到输出端子 14。选择器开关 63 的切换以来自输入端子 65 的 1 比特数据 /PCM 数据转换输入切换控制信号为基础被控制。另外，来自 RAM 43 的 1 比特数据被 1 比特到 PCM 转换器 61 转换成具有 44.1kHz 采样频率的多比特 PCM 数据，采样频率被采样速率转换器 62 转换成 48kHz，且该数据被发送到选择器开关 67 的选中端子 a。来自输入端子 16 的 PCM 数据被提供到选择器开关 67 的选中端子 b，且来自选择器开关 67 的输出数据被发送到 AES3 编码器 17。选择器开关 67 的切换以来自输入端子 66 的 1 比特数据 /PCM 数据转换输出切换控制信号为基础被控制。来自 VCXO 52 的 22.5792MHz ($= 44.1\text{kHz} \times 512$) 时钟被提供到 1 比特到 PCM 转换器 61 和采样速率转换器 62，且来自输入端子 21 的 $48\text{kHz} \times 512$ 时钟也被提供到采样速率转换器 62。

[0055] 在具有按如上所述来配置的音频处理器 10 的数字 VTR 装置中，来自输出端子 36 (或 14) 的 PCM 数据 (数字音频数据) 被发送到图 1 的记录系统，并与数字视频数据一起在录像带 110 上依次形成图 2 所示的记录磁道 115 的方式被记录。因此，对于将要记录的 PCM 数据，还必须考虑与视频信号的场 / 帧频的关系。

[0056] 作为数字视频信号的场频，有 59.94Hz (59.94 场 / 秒) 和在使用 NTSC 方法的电视广播系统中经常被使用的 60Hz (60 场 / 秒)。在使用 PAL 方法的电视广播系统中， 50Hz (50 场 / 秒) 经常被使用。众所周知的还有考虑到与电影 (24 帧 / 秒) 的对应关系，帧频为 24Hz (24 帧 / 秒) 或 23.98Hz 的方法。

[0057] 如图 7A 所示，当场频为 60Hz 时，采样频率为 2.8224MHz 的 1 比特数据为每场 47040 ($= 2822400/60$) 比特，且每场可平均分配 47040 比特。

[0058] 相比之下，当场频为 59.94Hz 时，采样频率为 2.8224MHz 的 1 比特数据为每场 47087.04 ($= 2822400/59.94$) 比特。这里，每场 0.04 比特的分数在 25 场时变为 1 比特。因此，如图 7B 所示，通过使用 25 场作为一个周期， 1177176 (47087.04×25) 比特可被分配。 47088 比特可被分配给每个周期的 25 场中的一场， 47087 比特可被分配给 24 场。对于这些场的识别，可执行控制使得在 25 场的周期中重复一个“0”和 24 个“1”的场 ID (标识信息) 被使用，并且 47088 比特被分配给场 ID 为“0”的场， 47087 比特被分配给场 ID 为“1”的场。

[0059] 接下来，当场频为 50Hz 时，如图 8A 所示，采样频率为 2.8224MHz 的 1 比特数据变为每场 56448 ($= 2822400/50$) 比特，且每场可平均分配 56448 比特。

[0060] 另外,如图 8B 所示,当帧频为 24Hz(场频为 48Hz)时,采样频率为 2.8224MHz 的 1 比特数据变为每帧 117600($= 2822400/24$) 比特,变为每场 58800($= 117600/2$) 比特,且每场可平均分配 58800 比特。

[0061] 相比之下,当帧频为 23.98Hz(场频为 47.96Hz)时,采样频率为 2.8224MHz 的 1 比特数据变为每帧 117717.6($= 2822400/23.98$) 比特,变为每场 58858.8($= 117717.6/2$) 比特。这里,由于每场 0.8 的分数在 5 帧时变为 4 比特,结果,如图 8C 所示,通过设 5 场为一个周期,58858 比特可被分配给每个周期的 5 场中的一场,58859 比特可被分配给 4 场。对于这些场的识别,可执行控制使得在 5 场的周期中重复一个“0”和 4 个“1”的场 ID(fieldID) 被使用,并且 58858 比特被分配给场 ID 为“0”的场,58859 比特被分配给场 ID 为“1”的场。

[0062] 接下来,作为图 4 的 1 比特数据格式编码器 35 中的数据转换过程的具体示例,给出对用于重排通过上述方式为每场分配的 1 比特数据(采样频率为 2.8224MHz)和用于将 1 比特数据转换成 48kHz 的多比特 PCM 数据的过程的描述。

[0063] 当场频为上述 60Hz 时,采样频率为 48kHz 的 PCM 数据变为每场 800($= 48000/60$) 个采样。如图 9 所示,这 800 个采样被分成每段 5 个采样的 160 段,且用于识别的段标识信息即段 ID(SegmentID:0 到 199) 被附加到每段上。这里,图 9 的部分 (A) 示出场脉冲。图 9 的部分 (B) 示出 PCM 数据的采样脉冲。图 9 的部分 (C) 示出一场被分成每段 5 个采样的 160 段。确切而言,每段 5 个采样是指一段的长度为 5 个采样周期。当场频为如上所述的 60Hz 时,每场 47040 比特的 1 比特数据可被平均分配,且该数据变为每段 294($= 47040/160$) 比特。为了将 294 比特分配给一段的 5 个采样周期,1 个采样周期可以为 58 比特,且剩下的 4 个采样周期可以各为 59 比特。更具体而言,通过使用作为识别采样周期的信息的采样周期 ID(FsID),可执行控制使得一个 5 采样周期被设为一个时段,一个“1”和四个“0”被重复,58 比特被分配给采样周期 ID 为“1”的采样周期,且 59 比特被分配给采样周期 ID 为“0”的采样周期。

[0064] 在本实施例的数字 VTR 装置的标准中,如上所述,可记录和再现用于 12 个通道的 48kHz/24 比特的数字音频 PCM 数据。为了记录和再现用于一个通道的 1 比特数据,每个采样周期需要 58 比特或 59 比特。结果,用于三个通道的 48kHz/24 比特 PCM 数据被使用,且 $24 \times 3 = 72$ 比特中的 58 或 59 比特被分配给 1 比特数据。

[0065] 图 10A 和 10B 示出用于一个采样周期的数量的这类 3 个通道的 PCM 数据(3 个采样的 24 比特数据)。58 比特的一比特数据 (D) 被分配给采样周期 ID 为“1”(FsID = 1) 的 3 个通道的采样(3 个采样),如图 10A 所示;59 比特的一比特数据 (D) 被分配给采样周期 ID 为“0”(FsID = 0) 的 3 个采样,如图 10B 所示。例如,1 个采样的 24 比特中从 LSB 开始的 20 比特被设为 1 比特数据区域。对于三个通道的总共 60 比特的 1 比特数据区域,在图 10A 中 FsID = 1 的采样周期中,20 比特被分配给第一通道(1ch),19 比特被分配给第二通道(2ch),且 19 比特被分配给第三通道(3ch),从而形成总共 58 比特。另外,在图 10B 中 FsID = 0 的采样周期中,20 比特被分配给第一通道(1ch),20 比特被分配给第二通道(2ch),且 19 比特被分配给第三通道(3ch),从而形成总共 59 比特。另外,每个采样的 24 比特中从 MSB 开始的与 4 比特的三个通道的数量(总共 12 比特)相对应的比特被分配给用于段 ID(SegmentID) 的 8 比特(S0 到 S7)、用于采样周期 ID(FsID) 的 2 比特(F0、F1) 以及用于场 ID(fieldID) 的 2 比特(f0、f1)。

[0066] 如上所述,在图 4 的 1 比特数据格式编码器 35 中,一个通道的采样频率为 2.8224MHz ($= 64 \times 44.1\text{kHz}$) 的 1 比特数据被转换成三个通道的 $48\text{kHz}/24$ 比特 PCM 数据。上面已经描述了来自 1 比特数据格式编码器 35 的数据经由选择器开关 28 和输出端子 36 被发送到图 1 的记录系统 103,然后该数据和数字视频数据一起被记录到录像带 110 上。通过上述方式,可以使用 3 个通道的 PCM 数据来记录和再现一个通道的 1 比特数据。为了记录和再现例如立体声左右两个通道的 1 比特数据,可使用对应于六个通道的 $48\text{kHz}/24$ 比特 PCM 数据。

[0067] 上面的描述示出在 $48\text{kHz}/24$ 比特 PCM 数据的 3 个通道中记录用于一个通道的 1 比特数据的示例。当把记录在 PCM 数据的 3 个通道中的数据作为 1 比特数据再现时,可执行与上面的描述相反的操作。即,将与用于一个通道的 1 比特数据相对应的 PCM 数据的 3 个通道的再现数据提供到图 4 的 1 比特数据格式解码器 42;使用段 ID、采样周期 ID 和场 ID 从每个采样的 24 比特中的 20 比特的 1 比特数据区域中获取 20 比特或 19 比特并将其写入图 4 的 RAM 43;然后以 2.8224MHz 的采样频率依次读取这些比特,从而可以再现 1 比特数据。

[0068] 接下来,当场频如上述图 7B 所示为 59.94Hz 时,采样频率为 2.8224MHz 的 1 比特数据变为每场 47087.04 ($= 2822400/59.94$) 比特。结果,25 场被设为一个周期,47088 比特被分配给每个周期 25 场中的一场 ($\text{fieldID} = 0$),47087 比特被分配给 24 场 ($\text{fieldID} = 1$)。但是,为了将采样频率为 48kHz 的 PCM 数据分配到场频为 59.94Hz 的每场,20020 个采样(采样周期)在 25 个场处被形成,即 4004 个采样在 5 个场处被形成。结果 800 个采样可被分配给每个周期 5 场中的一场 ($5\text{fieldID} = 0$),801 个采样可被分配给 4 场 ($5\text{fieldID} = 1$ 到 4)。

[0069] 图 11 示出针对具有 59.94Hz 场频的这类场,具有 48kHz 采样频率的 PCM 数据采样(采样周期)的分配。图 11 的部分 (A) 示出场脉冲。图 11 的部分 (B) 示出 PCM 数据的采样脉冲。图 11 的部分 (C) 将 800 个采样(采样周期)分配给每个周期 25 场中的一场 ($\text{fieldID} = 0$) 的示例。图 11 的部分 (D) 示出将 800 或 801 个采样(采样周期)分配给剩下的 24 场的每一场 ($\text{fieldID} = 1$) 的示例。

[0070] 如图 11 的部分 (C) 所示,将 800 个采样(采样周期),即上述每段 5 采样周期的 160 段 ($\text{SegmentID} = 0$ 到 159),分配给 $\text{fieldID} = 0$ 的场。将 295 比特的 1 比特数据分配给它们当中 48 段的每一段,将 294 比特的 1 比特数据分配给剩下 112 段的每一段,从而将 47088 比特的 1 比特数据分配给 $\text{fieldID} = 0$ 的场。

[0071] 如图 11 的部分 (D) 所示,将 800 或 801 个采样(采样周期)分配给每个周期 25 场中剩下的 24 场 ($\text{fieldID} = 1$)。这是通过将由 1 个采样周期形成的一段 ($\text{SegmentID} = 160$) 添加到 160 个段 ($\text{SegmentID} = 0$ 到 159) 从而使得一段为 5 个采样周期而实现的。这种情况下,将 295 比特的 1 比特数据分配给 $\text{SegmentID} = 0$ 到 159 的 160 段当中的 47 个段的每一段,将 294 比特的 1 比特数据分配给剩下 113 段的每一段,不将 1 比特数据(设为 0 个比特)分配给 $\text{SegmentID} = 160$ 的那一段,从而将 47087 比特的 1 比特数据分配给 $\text{fieldID} = 1$ 的场。

[0072] 这里,为了将 294 比特分配给每段 5 个采样周期的多个段,如结合上述图 9 所描述的那样,1 个采样周期 ($\text{FsID} = 1$) 可以为 58 比特,剩下的 4 个采样周期 ($\text{FsID} = 0$) 可以为

59 比特。

[0073] 为了将 295 比特分配给一段,通过设所有 5 个采样周期为 $FsID = 0$,可将 59 比特分配给它们的每一个。当有 801 个采样时,采样周期 ID 为 $FsID = 3$ 的一个采样周期被分配给 $SegmentID = 160$ 的那一段,它是第 801 个采样,所以不包含 1 比特数据(设为 0 个比特)。

[0074] 图 12A 示出当采样周期 ID 为“1”($FsID = 1$) 时用于三个通道的 PCM 数据(24 比特 $\times$ 3 个采样)。类似地,图 12B 示出 $FsID = 0$ 的情况,且图 12C 示出 $FsID = 3$ 的情况。由于图 12A 和 12B 与上述图 10A 和 10B 相同,省略对它们的描述。对于图 12C 的每个采样 24 比特的三个通道的数量,类似于图 10A 和 10B 以及图 12A 和 12B,每个通道从 MSB 开始的 4 个比特的数量(共 12 比特)被分配给用作段 ID($SegmentID$) 的 8 比特($S0$ 到 $S7$)、用作采样周期 ID($FsID$) 的 2 比特($F0$ 、 $F1$) 以及用作场 ID($fieldID$) 的 2 比特($f0$ 、 $f1$)。但是,1 比特数据不被分配(0 比特)给每个通道从 LSB 开始的 20 比特的数量(共 60 比特)。

[0075] 作为执行上述比特分配的结果,当场频为 59.94Hz 时,比特分配可以每场 47087.04 比特的速率来执行,即,1177176 比特的 1 比特数据可被分配给 25 场。另外,这种情况下,可以使用三个通道的 48kHz/24 比特 PCM 数据来记录和再现采样频率为 2.8224MHz($= 64 \times 44.1\text{kHz}$) 的一个通道的 1 比特数据。

[0076] 当场频为 50Hz 或当帧频为 24Hz 或 23.98Hz 时,如上述图 8A、8B 和 8C 所示,同样,通过考虑每场的比特分配并通过调整用于每个采样周期的比特分配,可以使用多个通道的 48kHz/24 比特 PCM 数据来记录和再现 1 比特数据。

[0077] 根据本发明的上述实施例,可以在将 44.1kHz 系列的 1 比特数据记录到采样频率为 48kHz 系列的数字 VTR 装置或从这类装置中再现 44.1kHz 系列的 1 比特数据时最小化音质的退化。

[0078] 本领域技术人员应该理解,取决于涉及要求和其他因素可以想到各种修改、组合、子组合及变更,只要它们落入所附权利要求及其等同物的范围之内。

[0079] 本发明包含与 2007 年 5 月 30 日向日本专利局递交的日本专利申请 JP2007-143923 相关的主题,其全部公开内容通过引用方式结合于此。

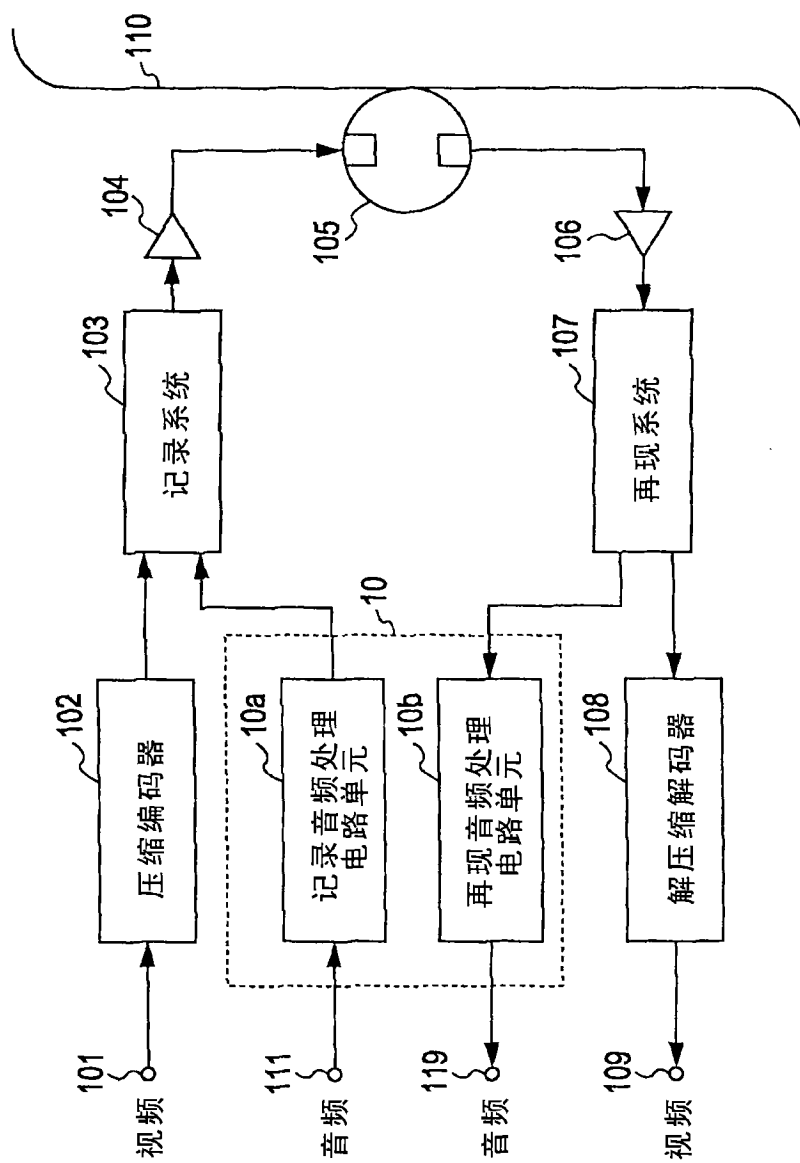


图1

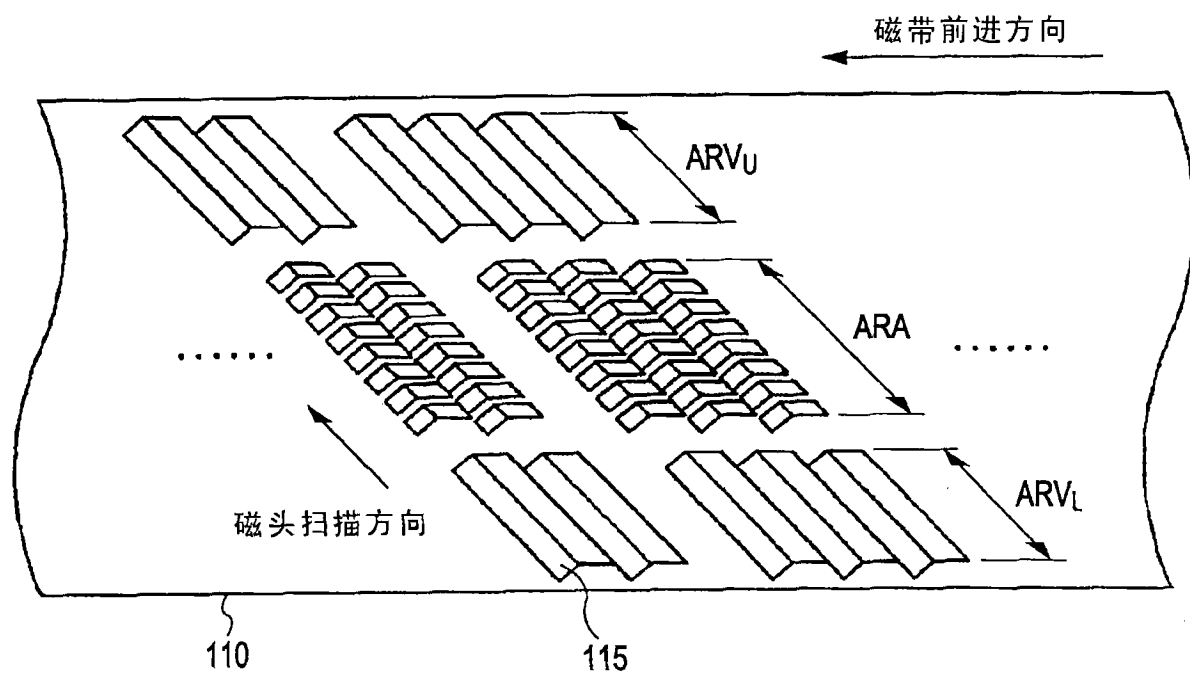


图2

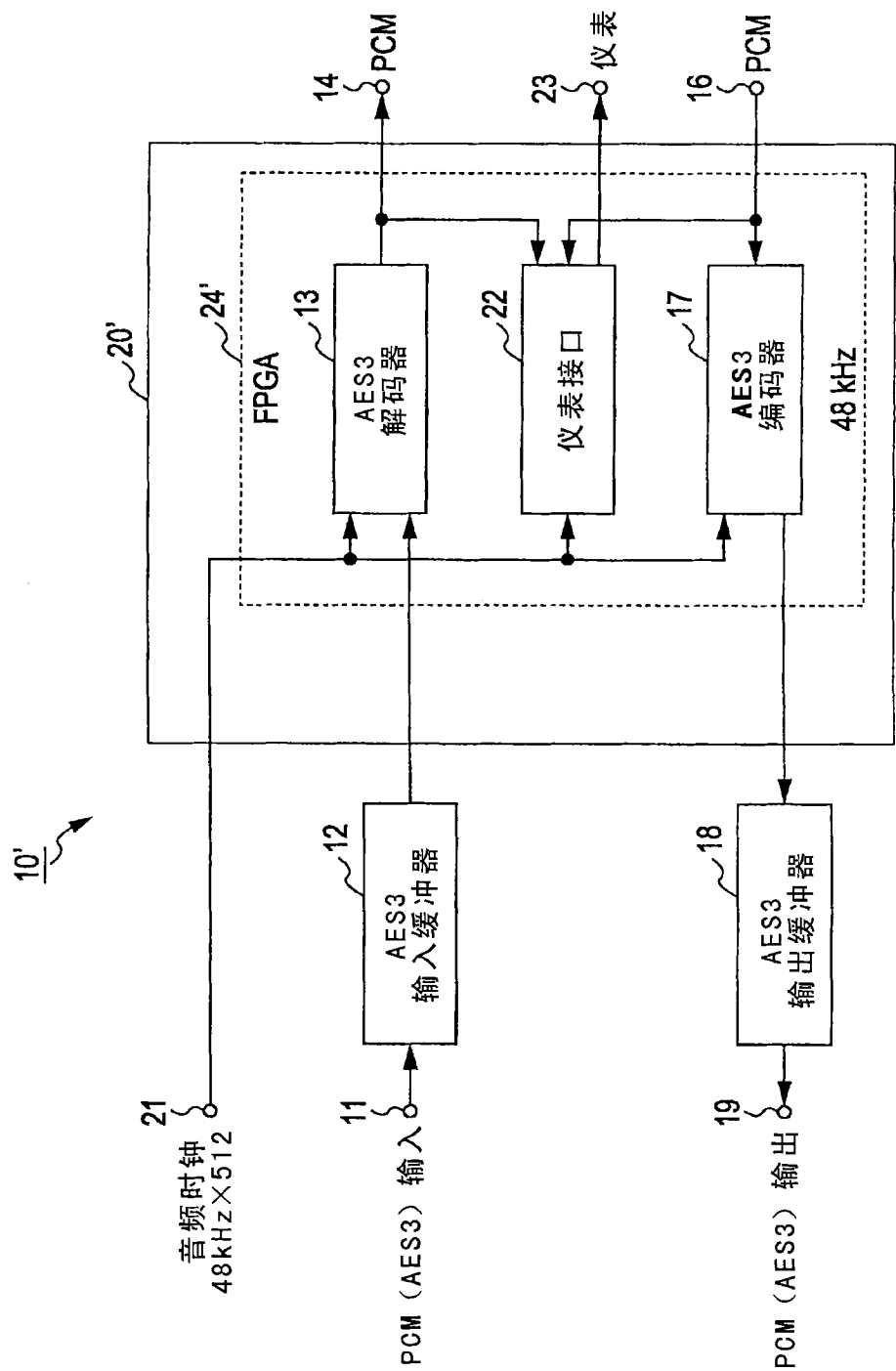


图3

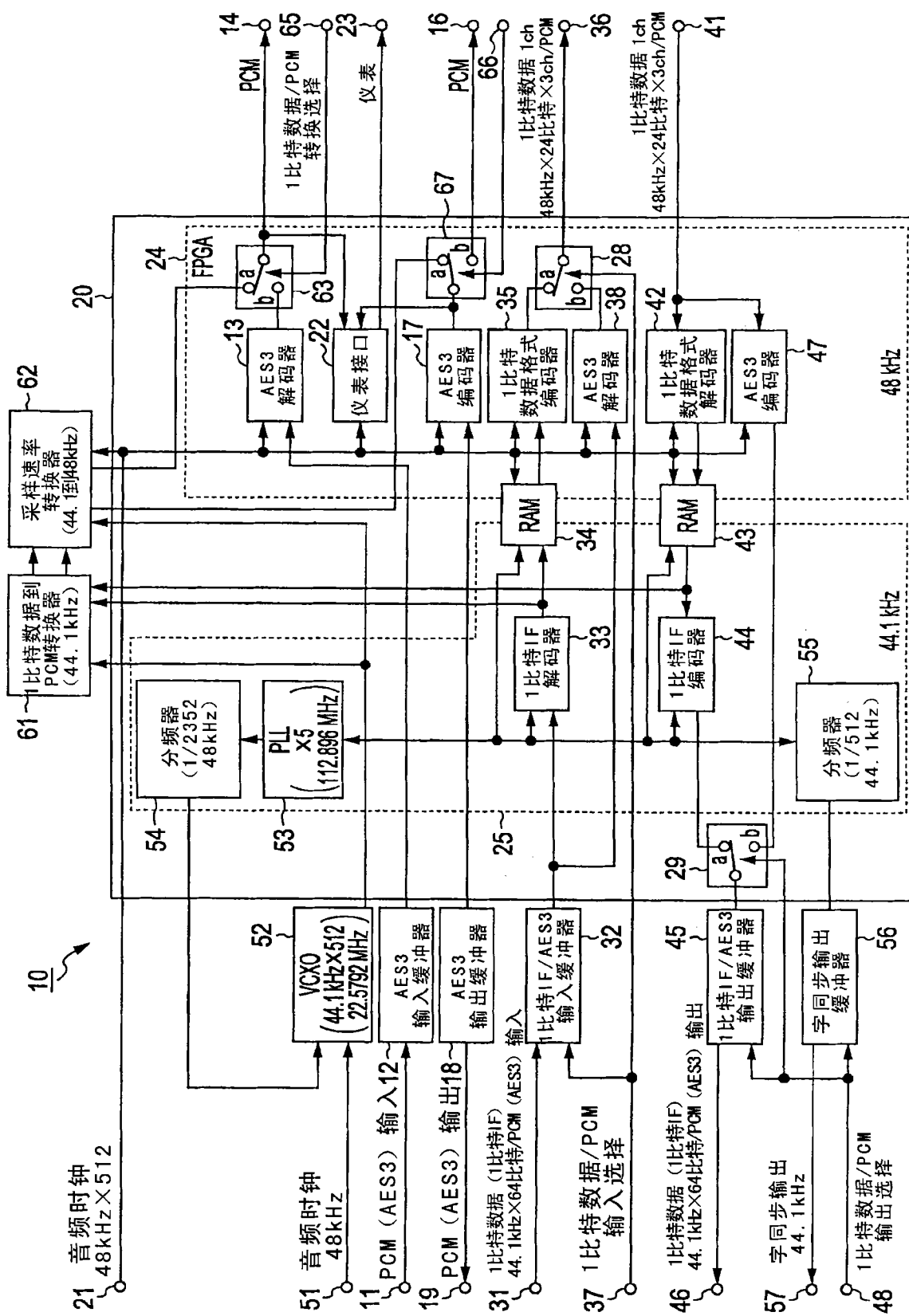


图4

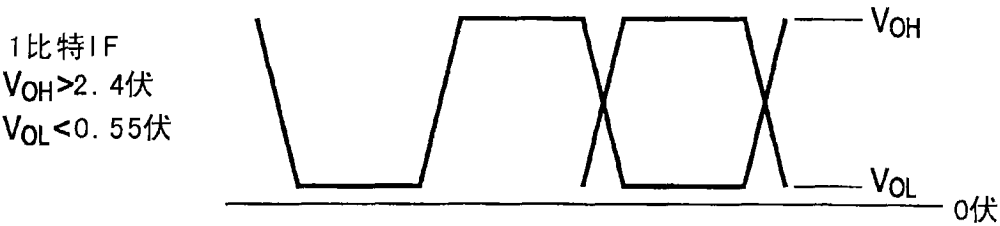


图5A

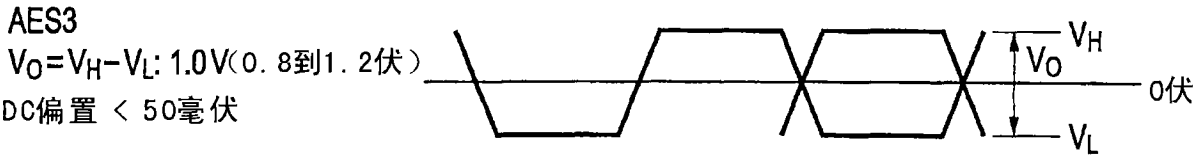


图5B

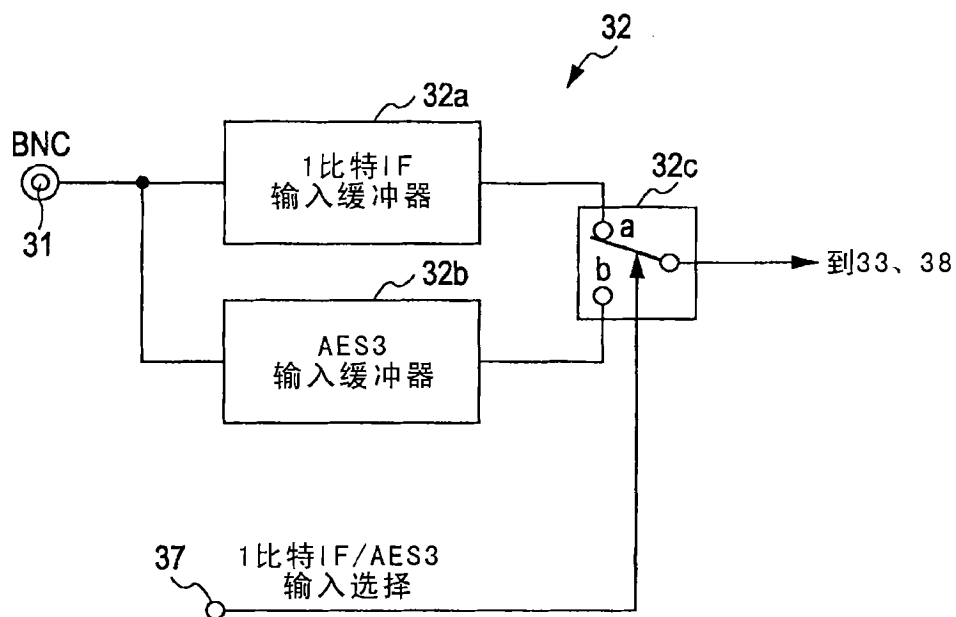


图 6A

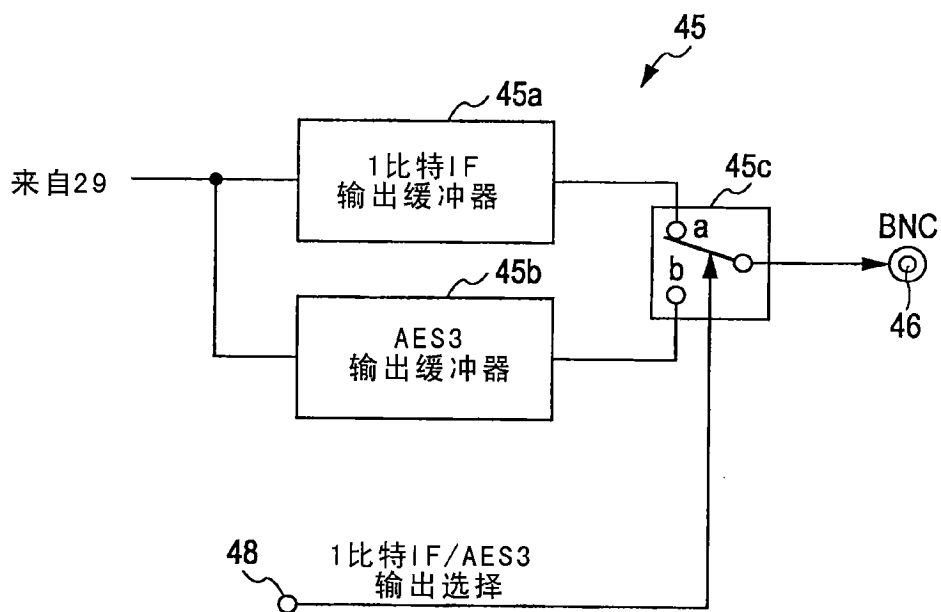


图 6B

50/25 2,822,400 比特/50 Hz = 56,448比特/f

场 

场ID 0 | 0

1比特 56448 56448

数据分组

图8A

24 2,822,400 比特/24 Hz = 117,600比特/F(58,800比特/f)

场 

场ID 0 | 0

1比特 58800 58800

数据分组

图8B

23.98 2,822,400 比特/(24 Hz × 1,000/1,001) = 117,717.64 比特/F(58,858.8比特/f)

场 

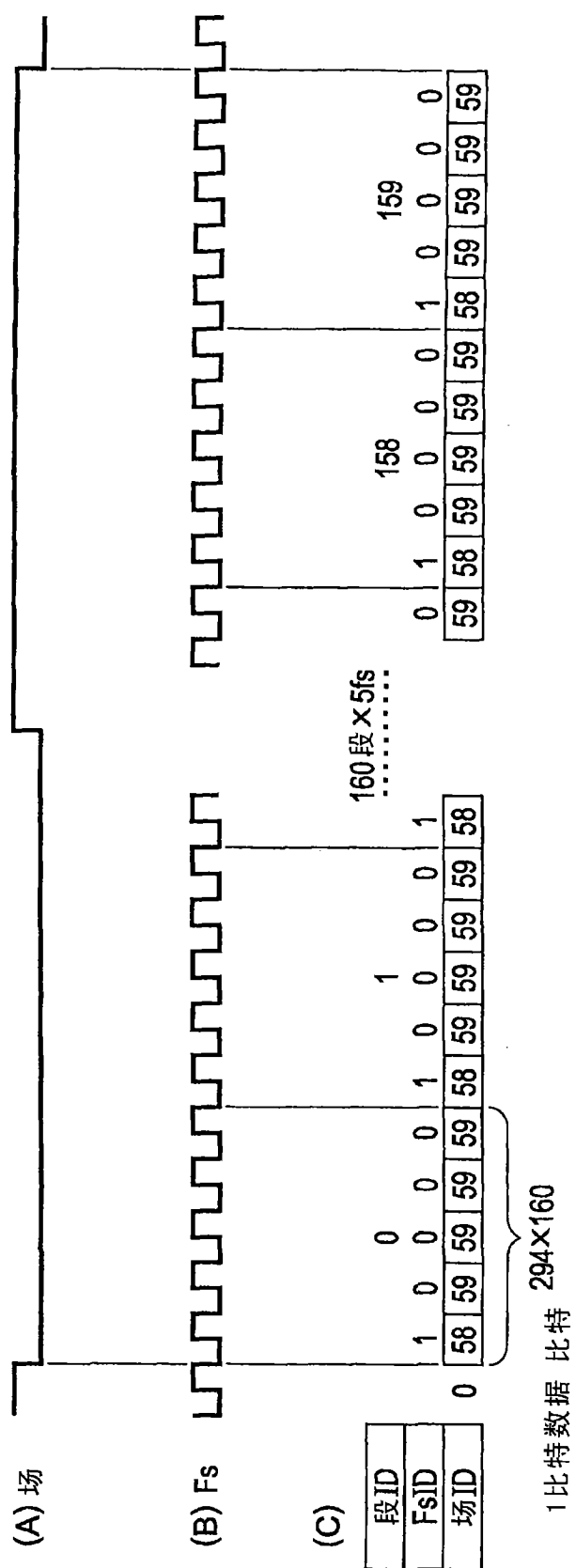
场ID 1 | 0 | 1

1比特 58859 58859 58859 58859 58859 58859

数据分组

58,858 比特 × 1f + 58,859比特 × 4f = 294,294比特 = (58,858.8比特 × 5f)

图8C



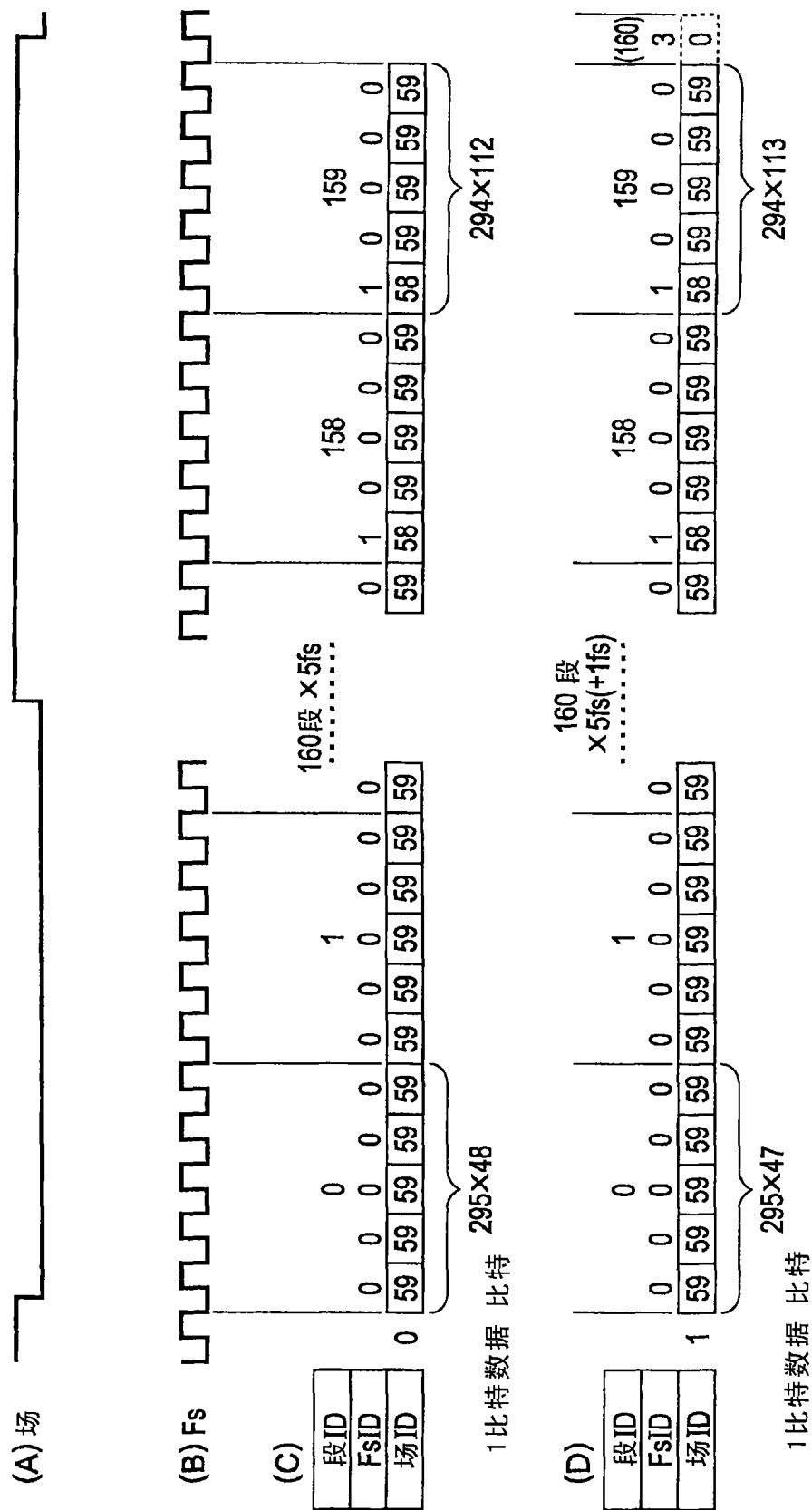
9

[illegible]

图10A

[illegible]

10B



一一一

MSB												LSB													
1 ch	S7	S6	S5	S4	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	20 比特
	S3	S2	S1	S0		D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	19 比特
3 ch	F1	F0	f1	f0		D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	19 比特

FsID=1

图 12A

1 ch	S7	S6	S5	S4	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	20 比特
2 ch	S3	S2	S1	S0	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	20 比特
3 ch	F1	F0	f1	f0		D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D	19 比特

FsID=0

图 12B

1 ch	S7	S6	S5	S4																					0 比特
2 ch	S3	S2	S1	S0																					0 比特
3 ch	F1	F0	f1	f0																					0 比特

FsID=3

图 12C