



(12) 发明专利申请

(10) 申请公布号 CN 101740393 A

(43) 申请公布日 2010.06.16

(21) 申请号 200810203539.1

(22) 申请日 2008.11.27

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 赵猛

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 李丽

(51) Int. Cl.

H01L 21/336(2006.01)

H01L 29/78(2006.01)

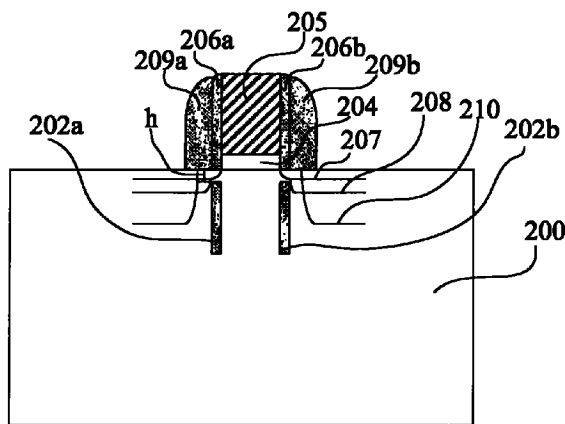
权利要求书 2 页 说明书 6 页 附图 5 页

(54) 发明名称

半导体器件的制作方法及其半导体器件

(57) 摘要

一种半导体器件的制作方法及其半导体器件,其中,所述制作方法包括:提供半导体衬底;对半导体衬底进行蚀刻以形成阻挡区块;在阻挡区块二侧形成阻挡壁;在半导体衬底上形成衬底覆层,阻挡壁与衬底覆层表面具有落差;在衬底覆层和半导体衬底上形成栅氧化层和栅极;在半导体衬底内进行低掺杂离子注入;快速热退火,在半导体衬底内形成低掺杂源/漏区;在栅氧化层和栅极的相对二侧形成隔离层;在半导体衬底内形成重掺杂源/漏区。本发明技术方案主要是在半导体衬底内形成有阻挡壁,可有效阻隔源/漏区之间的相互渗透,显著改善半导体器件的短沟道效应,避免源/漏区之间发生穿通(punch-through)效应,提升半导体器件的电学性能。同时为因超浅结工艺中结电容的降低和工艺窗口的扩大提供了更大的工艺调节空间。



1. 一种半导体器件的制作方法,其特征在于,包括:
提供半导体衬底;
对所述半导体衬底进行蚀刻以形成阻挡区块;
在所述阻挡区块的相对二侧形成阻挡壁;
在半导体衬底上形成能覆盖阻挡区块和阻挡壁的衬底覆层,所述衬底覆层与半导体衬底结合为一体,所述阻挡壁与衬底覆层表面具有落差;
在所述衬底覆层和半导体衬底上形成栅氧化层和栅极;
在半导体衬底内进行低掺杂离子注入;
快速热退火,在半导体衬底内形成低掺杂源 / 漏区;
在栅氧化层和栅极的相对二侧形成隔离层;
在半导体衬底内形成重掺杂源 / 漏区。
2. 根据权利要求 1 所述半导体器件的制作方法,其特征在于,在对所述半导体衬底进行蚀刻之前还包括在待形成阻挡区块的半导体衬底上形成掩膜层。
3. 根据权利要求 1 所述半导体器件的制作方法,其特征在于,在半导体衬底内进行低掺杂离子注入之前还包括在栅氧化层和栅极的相对二侧形成偏移隔离层,所述偏移隔离层在所述隔离层的内侧。
4. 根据权利要求 1 所述半导体器件的制作方法,其特征在于,所述阻挡壁为氧化硅、氮化硅、氮氧化硅中的一种或者它们的任一组合。
5. 根据权利要求 4 所述半导体器件的制作方法,其特征在于,所述阻挡壁的厚度为 5nm—30nm。
6. 根据权利要求 1 所述半导体器件的制作方法,其特征在于,所述落差的高度要大于所述低掺杂源 / 漏区的深度。
7. 根据权利要求 1 所述半导体器件的制作方法,其特征在于,所述形成重掺杂源 / 漏区包括至少一道离子注入步骤。
8. 根据权利要求 1 所述半导体器件的制作方法,其特征在于,在半导体衬底内进行低掺杂离子注入之前或者之后还包括袋状区离子注入步骤,所述袋状区离子注入的离子与低掺杂离子注入的离子导电类型相反。
9. 根据权利要求 1 所述半导体器件的制作方法,其特征在于,所述快速热退火的温度范围为 900℃至 1070℃,退火时间为 5 秒至 60 秒。
10. 一种半导体器件,包括:
半导体衬底;
位于半导体衬底上的栅氧化层和栅极、以及位于栅氧化层和栅极相对二侧的隔离层;
位于半导体衬底内的低掺杂源 / 漏区和重掺杂源 / 漏区;
其特征在于,还包括:位于半导体衬底内的源 / 漏区之间的阻挡壁,所述阻挡壁与半导体衬底表面之间具有落差。
11. 根据权利要求 10 所述半导体器件,其特征在于,在所述栅氧化层和栅极的相对二侧还包括偏移隔离层,所述偏移隔离层在所述隔离层的内侧。
12. 根据权利要求 10 所述半导体器件,其特征在于,所述阻挡壁为氧化硅、氮化硅、氮氧化硅中的一种或者它们的任一组合。

13. 根据权利要求 12 所述半导体器件,其特征在于,所述阻挡壁的厚度为 5nm--30nm。
14. 根据权利要求 10 所述半导体器件,其特征在于,所述落差的高度要大于所述低掺杂源 / 漏区的深度。
15. 根据权利要求 10 所述半导体器件,其特征在于,在半导体衬底内还包括袋状区,所述袋状区位于低掺杂源 / 漏区的外围。

半导体器件的制作方法及其半导体器件

技术领域

[0001] 本发明涉及半导体制造技术领域,特别涉及半导体器件的制作方法及其半导体器件。

背景技术

[0002] 随着超大规模集成电路(Ultra Large Scale Integration,ULSI)的快速发展,集成电路制造工艺变得越来越复杂和精细。为了提高集成度,降低制造成本,半导体器件的关键尺寸不断变小,芯片单位面积内的半导体器件数量不断增加,在半导体器件关键尺寸减小的同时,半导体器件图形也不断地细微化。

[0003] 对于MOS晶体管,当MOS晶体管的沟道长度 L 缩短到可与源和漏耗尽层宽度之和(W_s+W_d)相比拟时,器件将发生偏离长沟道的行为,即产生沟道长度 L 趋近于源和漏耗尽层宽度之和(W_s+W_d)的情形,这种因沟道长度缩短而发生的对器件特性的影响,即为短沟道效应(Short Channel Effects,SCE),短沟道效应会使MOS晶体的性能变坏且工作复杂化。

[0004] 为了抑制短沟道效应,MOS晶体管的沟道长度须大于某一特定值 L_{min} ,该特定值 $L_{min}=A[x_j d_{ox}(W_s+W_d)^2]^{1/3}$,其中 L_{min} 是为获得沟道亚阈值特性的最短沟道长度, x_j 是源/漏区的结深, W_s 和 W_d 分别是源/漏区的耗尽层宽度, d_{ox} 是栅氧化层厚度。如上式易知,为了制作超短沟道MOS晶体管,可通过降低栅氧化层厚度、源/漏区的耗尽层宽度或结深来实现。

[0005] 其中,栅氧化层厚度将达到极限。例如,对于栅氧化层厚度小于40埃的情形,隧穿电流可以穿过栅氧化层从栅极直接到衬底;对于栅氧化层厚度小于30埃的情形,隧穿电流将会移走MOS电容的反行层中的载流子。

[0006] 另外,由于源/漏区的耗尽层宽度反比于衬底(或阱)的浓度的平方,虽然增加衬底(或阱)的浓度可以降低耗尽层宽度,但同时却增加了结电容、体效应和阈值电压等,所以源/漏区的耗尽层宽度不可能变得很薄。

[0007] 所以,一般是通过降低源/漏区的结深来抑制短沟道效应。源/漏区的结深决定于离子注入或扩散工艺。由于离子注入的低能量限制和短沟道效应,所以形成很浅的结深(例如500埃)非常困难。一般来说,衬底的预非晶格化会大大降低离子注入沟道效应,但由于一些通过退火不能消除的缺陷会增加漏电流,虽然离子注入穿过一层非晶体或氧化层可以抑制短沟道效应,但这种方法还是不可能非常有效地消除短沟道效应。

发明内容

[0008] 本发明解决的问题是:在半导体器件的制作工艺中,如何改善短沟道效应中结电容和结漏电,避免源/漏区之间发生穿通效应以及电学性能恶化的问题。

[0009] 为解决上述问题,本发明提供一种半导体器件的制作方法,包括:提供半导体衬底;对所述半导体衬底进行蚀刻以形成阻挡区块;在所述阻挡区块的相对二侧形成阻挡壁;在半导体衬底上形成能覆盖阻挡区块和阻挡壁的衬底覆层,所述衬底覆层与半导体衬底结合为一体,所述阻挡壁与衬底覆层表面具有落差;在所述衬底覆层和半导体衬底上形

成栅氧化层和栅极；在半导体衬底内进行低掺杂离子注入；快速热退火，在半导体衬底内形成低掺杂源 / 漏区；在栅氧化层和栅极的相对二侧形成隔离层；在半导体衬底内形成重掺杂源 / 漏区。

[0010] 可选地，在对所述半导体衬底进行蚀刻之前还包括在待形成阻挡区块的半导体衬底上形成掩膜层。

[0011] 可选地，在半导体衬底内进行低掺杂离子注入之前还包括在栅氧化层和栅极的相对二侧形成偏移隔离层，所述偏移隔离层在所述隔离层的内侧。

[0012] 可选地，所述阻挡壁为氧化硅、氮化硅、氮氧化硅中的一种或者它们的任一组合。

[0013] 可选地，所述阻挡壁的厚度为 5nm--30nm。

[0014] 可选地，所述落差的高度要大于所述低掺杂源 / 漏区的深度。

[0015] 可选地，所述形成重掺杂源 / 漏区包括至少一道离子注入步骤。

[0016] 可选地，在半导体衬底内进行低掺杂离子注入之前或者之后还包括袋状区离子注入步骤，所述袋状区离子注入的离子与低掺杂离子注入的离子导电类型相反。

[0017] 可选地，所述快速热退火的温度范围为 900℃ 至 1070℃，退火时间为 5 秒至 60 秒。

[0018] 本发明另提供一种半导体器件，包括：半导体衬底；位于半导体衬底上的栅氧化层和栅极、以及位于栅氧化层和栅极相对二侧的隔离层；位于半导体衬底内的低掺杂源 / 漏区和重掺杂源 / 漏区；以及位于半导体衬底内的源 / 漏区之间的阻挡壁，所述阻挡壁与半导体衬底表面之间具有落差。

[0019] 可选地，在所述栅氧化层和栅极的相对二侧还包括偏移隔离层，所述偏移隔离层在所述隔离层的内侧。

[0020] 可选地，所述阻挡壁为氧化硅、氮化硅、氮氧化硅中的一种或者它们的任一组合。

[0021] 可选地，所述阻挡壁的厚度为 5nm--30nm。

[0022] 可选地，所述落差的高度要大于所述低掺杂源 / 漏区的深度。

[0023] 可选地，在半导体衬底内还包括袋状区，所述袋状区位于低掺杂源 / 漏区的外围。

[0024] 本发明技术方案主要是在半导体衬底内形成有阻挡壁，相对现有技术，可有效阻隔源 / 漏区之间的相互渗透，显著改善半导体器件的短沟道效应，避免源 / 漏区之间发生穿通 (punch-through) 效应，提升半导体器件的电学性能。

附图说明

[0025] 图 1 为本发明半导体器件的制作方法的流程示意图；

[0026] 图 2 至图 10 为按照图 1 所示的流程形成半导体器件的示意图。

具体实施方式

[0027] 发明人发现，由于现有的 MOS 晶体管为克服短沟道效应而采用超浅结技术制作源 / 漏区，但由于源 / 漏区的注入离子会产生扩散和渗透，会引起源 / 漏区的结电容和结漏电并导致源 / 漏区之间发生穿通效应，影响 MOS 晶体管的品质。

[0028] 因此，在制造半导体器件时，为防止上述缺陷的产生。本发明先将提供的半导体衬底进行蚀刻，形成阻挡区块；在阻挡区块的相对二侧形成阻挡壁；形成能覆盖阻挡区块和阻挡壁且与半导体衬底结合为一体的衬底覆层，所述阻挡壁与衬底覆层表面具有落差；

在所述衬底覆层和半导体衬底上形成栅氧化层和栅极；在半导体衬底内进行低掺杂离子注入；快速热退火，在半导体衬底内形成低掺杂源/漏区；在栅氧化层和栅极的相对二侧形成隔离层；在半导体衬底内形成重掺杂源/漏区，从而在确保半导体器件的电学性能不损耗的情形下，能有效阻隔源/漏区之间的相互渗透，避免源/漏区之间发生穿通效应，使得在半导体器件尺寸越来越小的情形下制作更浅的源/漏区结深成为可能。

[0029] 下面结合附图对本发明的内容进行详细说明。

[0030] 如图 1 所示，所述半导体器件的制作方法包括如下步骤：

[0031] S100，提供半导体衬底；

[0032] S101，对半导体衬底进行蚀刻以形成阻挡区块；

[0033] S102，在所述阻挡区块的相对二侧形成阻挡壁；

[0034] S103，在半导体衬底上形成能覆盖阻挡区块和阻挡壁的衬底覆层，所述衬底覆层与半导体衬底结合为一体；

[0035] S104，在衬底覆层上形成栅氧化层和栅极；

[0036] S105，在栅氧化层和栅极的相对二侧形成偏移隔离层；

[0037] S106，在半导体衬底内进行低掺杂离子注入和袋状区离子注入；

[0038] S107，快速热退火，在半导体衬底内形成低掺杂源/漏区和袋状区；

[0039] S108，在栅氧化层和栅极的相对二侧形成隔离层；

[0040] S109，在半导体衬底内形成重掺杂源/漏区。

[0041] 首先执行步骤 S100，提供半导体衬底 200。其中，所述半导体衬底 200 为形成有半导体器件的硅、形成有半导体器件的绝缘体上硅 (SOI)、或者为形成有半导体器件的 II-VI 或者 III ~ V 族化合物半导体。

[0042] 所述半导体衬底 200 中还形成有各种阱 (well) 结构与衬底表面的栅极沟道层。一般来说，形成阱 (well) 结构的离子掺杂导电类型与栅极沟道层离子掺杂导电类型相同，但是浓度较栅极沟道层低，离子注入的深度范围较广，同时需达到大于隔离结构 (未予以图示)，例如浅沟槽，的深度。为了简化，此处仅以一空白半导体衬底 200 图示，在此不应过分限制本发明的保护范围。

[0043] 接着执行步骤 S101，对半导体衬底 200 进行蚀刻以形成阻挡区块 201，形成如图 2 所示的结构。在本实施例中，在对所述半导体衬底 200 进行蚀刻之前还包括在待形成阻挡区块 201 的半导体衬底 200 上形成掩膜层 (未予以图示)，所述掩膜层位置是处于后续所定义的源/漏区之间，其宽度与后续所欲形成的栅极一致。所述掩膜层可以是光刻胶层，也可以是由衬垫层和硬掩膜层构成。这样，对半导体衬底 200 进行蚀刻后，所述掩膜层下未被蚀刻的那部分半导体衬底即作为阻挡区块 201。对半导体衬底 200 进行蚀刻的方法可以包括干法蚀刻或湿法蚀刻，因蚀刻方法已为本领域技术人员所熟知，在此不再赘述。

[0044] 接着执行步骤 S102，在阻挡区块 201 的相对二侧形成阻挡壁 202a、202b，形成如图 3 所示的结构。阻挡壁 202a、202b 可以是氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成，优选为氮化硅，其厚度可以为 5nm--30nm。

[0045] 由步骤 S101 和 S102 可知，蚀刻形成阻挡区块 201 的目的是在于为后续阻挡壁 202a、202b 创造形成基础，使得阻挡壁 202a、202b 能在阻挡区块 201 的二侧形成。

[0046] 接着执行步骤 S103，在半导体衬底 200 上形成能覆盖阻挡区块 201 和阻挡壁

202a、202b 的衬底覆层 203, 形成如图 4 所示的结构。在本实施例中, 衬底覆层 203 的材料可以是单晶硅, 其形成是通过例如低压化学气相淀积 (LPCVD) 或高密度等离子体化学气相淀积 (HDPCVD) 来实现的。通过上述淀积工艺形成的衬底覆层 203 可以与半导体衬底 200 结合为一体并作为新的衬底, 在如下描述中, 为便于说明, 将阻挡区块 201、衬底覆层 203 和半导体衬底 200 统称为半导体衬底, 并以 200 进行标示。

[0047] 需特别注意的是, 如图 4 所示, 阻挡壁 202a、202b 与衬底覆层 203 表面具有落差 h 。在实际应用中, 在一个实施例中, 所述落差 h 既可以是在步骤 S102 中形成, 即在阻挡区块 201 的相对二侧形成阻挡壁 202a、202b 是与阻挡区块 201 的顶端具有落差 h , 而在步骤 S103 中形成的衬底覆层 203 是与阻挡区块 201 相齐平。在另外的实施例中, 在步骤 S102 中形成的阻挡壁 202a、202b 与阻挡区块 201 的顶端的间距可以小于落差 h , 在步骤 S103 中形成的衬底覆层 203 覆盖阻挡区块 201, 并使得阻挡壁 202a、202b 与衬底覆层 203 表面的间距为落差 h 。在此不应过多限制本发明的保护范围。

[0048] 接着执行步骤 S104, 在衬底覆层 203 与半导体衬底 200 结合的衬底上形成栅氧化层 204 和栅极 205, 栅氧化层 204 和栅极 205 构成栅极结构, 形成如图 5 所示的结构。栅氧化层 204 可以是二氧化硅、氧化铪、氧化铝、高 k 介电材料以及氮氧化硅等, 比较优选的是二氧化硅。栅氧化层的形成工艺可以是化学气相沉积工艺。栅极 205 可以是多晶硅形成工艺可以采用本领域技术人员熟知的任何现有技术, 比较优选的为化学气相沉积法, 例如低压等离子体化学气相沉积或者等离子体增强化学气相沉积工艺。

[0049] 接着执行步骤 S105, 在栅氧化层 204 和栅极 205 的相对二侧形成偏移隔离层 206a、206b, 形成如图 6 所示的结构。在现有技术中, 所述偏移隔离层 206a、206b 的材质可以是氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成, 优选为氧化硅, 可以通过氧化工艺而形成。实际上, 所述偏移隔离层除了可以形成在栅氧化层 204 和栅极 205 的侧端外, 也可以在栅极 205 上形成, 从而能够保护栅极 205。

[0050] 接着执行步骤 S106, 在半导体衬底内进行低掺杂离子注入和袋状区离子注入, 形成未激活的低掺杂源 / 漏区 207a 和未激活的袋状区 208a, 形成如图 7 所示的结构。

[0051] 在现有技术中, 以 N 型 MOS 晶体管为例进行说明, 低掺杂离子注入是以栅氧化层 204 和栅极 205 为掩膜, 在半导体衬底 200 内进行低掺杂离子注入, 在半导体衬底 200 内形成未激活的低掺杂源 / 漏区 207a。由于该区域为 N 型 MOS 晶体管区域, 故该低掺杂离子注入的掺杂离子可以是磷离子或者砷离子等。

[0052] 当低掺杂离子注入的离子为磷离子时, 离子注入的能量范围为 1KeV 至 20KeV, 离子注入剂量为 $1E14$ 至 $1E15/cm^2$ 。进一步地, 注入的磷离子的能量可以是 3KeV、6KeV、10KeV、14KeV、18KeV 等, 注入的磷离子的剂量可以是 $2E14/cm^2$ 、 $4E14/cm^2$ 、 $6E14/cm^2$ 、 $8E14/cm^2$ 以及 $9E14/cm^2$ 等。

[0053] 当低掺杂离子注入的离子为砷离子时, 离子注入能量范围为 2KeV 至 35KeV, 离子注入剂量为 $1E14$ 至 $1E15/cm^2$ 。进一步地, 注入的砷离子的能量可以是 4KeV、10KeV、16KeV、22KeV、26KeV 以及 32KeV, 注入的砷离子的剂量可以是 $2E14/cm^2$ 、 $4E14/cm^2$ 、 $5E14/cm^2$ 、 $6E14/cm^2$ 、 $8E14/cm^2$ 以及 $9E14/cm^2$ 等。

[0054] 在现有技术中, 以 N 型 MOS 晶体管为例进行说明, 袋状区离子注入是以栅氧化层 204 和栅极 205 为掩膜, 在半导体衬底 200 内形成未激活的袋状区 208a, 所述袋状区离子注

入的深度略大于低掺杂离子注入的深度,所述袋状区离子注入的离子与低掺杂离子注入的离子导电类型相反,故该袋状区离子注入的掺杂离子可以是硼离子或者铟离子等。

[0055] 当袋状区离子注入的离子为硼离子,注入的能量范围为 3 至 20KeV,离子注入剂量为 $1E13$ 至 $9E13/cm^2$,离子注入的角度为 0° 至 45° 。进一步地,注入的硼离子的能量可以是 4KeV、6KeV、10KeV、14KeV、18KeV,注入的硼离子的剂量可以是 $2E13/cm^2$ 、 $4E13/cm^2$ 、 $5E13/cm^2$ 、 $6E13/cm^2$ 、 $8E13/cm^2$ 等。

[0056] 当袋状区离子注入的离子为铟离子,注入的能量范围为 100 至 150KeV,离子注入剂量为 $1E13$ 至 $9E13/cm^2$,离子注入的角度为 0° 至 45° 。进一步地,注入的铟离子的能量可以是 110KeV、120KeV、130KeV、140KeV,注入的硼离子的剂量可以是 $2E13/cm^2$ 、 $4E13/cm^2$ 、 $6E13/cm^2$ 、 $8E13/cm^2$ 等。

[0057] 袋状区离子注入的角度为 0° 至 45° ,在选定的离子注入角度下,进行旋转注入,可减小阴影效应和形成对称杂质分布,其离子注入能量、剂量、角度与低掺杂源 / 漏离子注入的能量、剂量、角度相对应匹配,其注入能量确保将栅极下低掺杂源 / 漏结包裹住,从而有效抑制住由漏致势垒降低 (DIBL) 所导致的短沟道效应。

[0058] 当 MOS 晶体管为 P 型时,该低掺杂离子注入的掺杂离子可以是硼离子或者铟离子等。

[0059] 当低掺杂离子注入的离子为硼离子时,离子注入的能量范围为 0.5 至 10KeV,离子注入剂量为 $1E14$ 至 $1E15/cm^2$ 。进一步地,注入的硼离子的能量可以是 1KeV、3KeV、5KeV、7KeV、9KeV 等,注入的硼离子的剂量可以是 $2E14/cm^2$ 、 $4E14/cm^2$ 、 $6E14/cm^2$ 以及 $8E14/cm^2$ 等。

[0060] 当注入的例子为铟离子时,离子注入能量范围为 10 至 70KeV,离子注入剂量为 $1E14$ 至 $1E15/cm^2$ 。进一步地,注入的铟离子的能量可以是 20KeV、40KeV、50KeV、60KeV 等,注入的铟离子的剂量可以是 $2E14/cm^2$ 、 $4E14/cm^2$ 、 $6E14/cm^2$ 以及 $8E14/cm^2$ 等。

[0061] 同样,当 MOS 晶体管为 P 型时,该袋状区离子注入的掺杂离子可以是磷离子或者砷离子等。

[0062] 当袋状区离子注入的离子为磷离子,注入的能量范围为 5KeV 至 35KeV,离子注入剂量为 $1E13$ 至 $1E14/cm^2$,离子注入的角度为 0° 至 45° 。进一步地,注入的磷离子的能量可以是 10KeV、15KeV、20KeV、25KeV 等,注入的磷离子的剂量可以是 $2E13/cm^2$ 、 $4E13/cm^2$ 、 $6E13/cm^2$ 以及 $8E13/cm^2$ 等。

[0063] 当袋状区离子注入的离子为砷离子,注入的能量范围为 10KeV 至 50KeV,离子注入剂量为 $1E13$ 至 $1E14/cm^2$,离子注入的角度为 0° 至 45° 。进一步地,注入的砷离子的能量可以是 200KeV、30KeV、40KeV 等,注入的砷离子的剂量可以是 $3E13/cm^2$ 、 $5E13/cm^2$ 、以及 $8E13/cm^2$ 等。

[0064] 接着执行步骤 S107,快速热退火,在半导体衬底 200 内形成低掺杂源 / 漏区 207 和袋状区 208,形成如图 8 所示的结构。

[0065] 本发明所述快速热退火的工艺为:在氮气或氩气等惰性气体环境中,退火温度为 900°C 至 1070°C ,退火时间为 5 秒至 60 秒。通过快速热退火,在激活杂质和消除离子注入产生缺陷的同时,可以利用瞬态增强扩散效应 (TED) 效应和自身热扩散,使结变更为缓变,能达到降低漏端沟道表面电场、抑制热载流子注入 (HCI) 效应的目的。当然,在其他实施例中,也可以采用其他的退火方式,应能达到类似的效果。

[0066] 在上述形成半导体器件的实施例中,快速热退火步骤是在低掺杂离子注入和袋状区离子注入步骤之后进行,但并不以此为限,在其他实施例中,快速热退火步骤也可以分二次进行,即在低掺杂离子注入步骤之后进行第一次快速热退火步骤以及在袋状区离子注入步骤之后进行第二次快速热退火步骤,在此不应过多限制本发明的保护范围。

[0067] 值得注意的是,阻挡壁 202a、202b 与衬底覆层 203 表面的落差 h 的高度要大于低掺杂源 / 漏区 207 的深度,这样就不会影响到低掺杂源 / 漏区 207 对热电子或热载流子注入效应的抑制效果。

[0068] 接着执行步骤 S108,在栅氧化层 204 和栅极 205 的相对二侧形成隔离层 209a、209b,形成如图 9 所示的结构。隔离层 209a、209b 可以是氧化硅、氮化硅、氮氧化硅中一种或者它们组合构成。作为本实施例的一个优化实施方式,所述隔离层 209a、209b 为氧化硅、氮化硅共同组成,具体工艺为:在半导体衬底 200 上以及偏移隔离层 206a、206b 上形成第一氧化硅层、第一氮化硅层以及第二氧化硅层,然后采用蚀刻方法形成侧墙。

[0069] 接着执行步骤 S109,在半导体衬底内形成重掺杂源 / 漏区 210,形成如图 10 所示的结构。因形成重掺杂源 / 漏区的工艺已为本领域技术人员所熟知,在此不再赘述。

[0070] 基于上述半导体工艺,形成本发明的半导体器件,如图 10 所示,包括:半导体衬底 200;位于半导体衬底 200 上的栅氧化层 204 和栅极 205、以及位于栅氧化层 204 和栅极 205 相对二侧的偏移隔离层 206a、206b 和隔离层 209a、209b;位于半导体衬底 200 内的低掺杂源 / 漏区 207、袋状区 208 和重掺杂源 / 漏区 210;还包括:位于半导体衬底 200 内的源 / 漏区 207 之间的阻挡壁 202a、202b,所述阻挡壁 202a、202b 与半导体衬底 200 表面之间具有落差 h。

[0071] 本发明技术方案主要是在半导体衬底内的源 / 漏区之间形成有阻挡结构,在确保半导体器件的电学性能不损耗的情形下,能有效阻隔源 / 漏区之间的相互渗透,避免源 / 漏区之间发生穿通效应,提升半导体器件的电学性能。

[0072] 另外,本发明技术方案中形成的阻挡结构,可有效减小短沟道效应中结电容和结漏电,为因超浅结工艺中结电容的降低和工艺窗口的扩大提供了更大的工艺调节空间,使得在半导体器件尺寸越来越小的情形下制作更浅的源 / 漏区结深成为可能。

[0073] 虽然本发明已以较佳实施例披露如上,但本发明并非限定于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

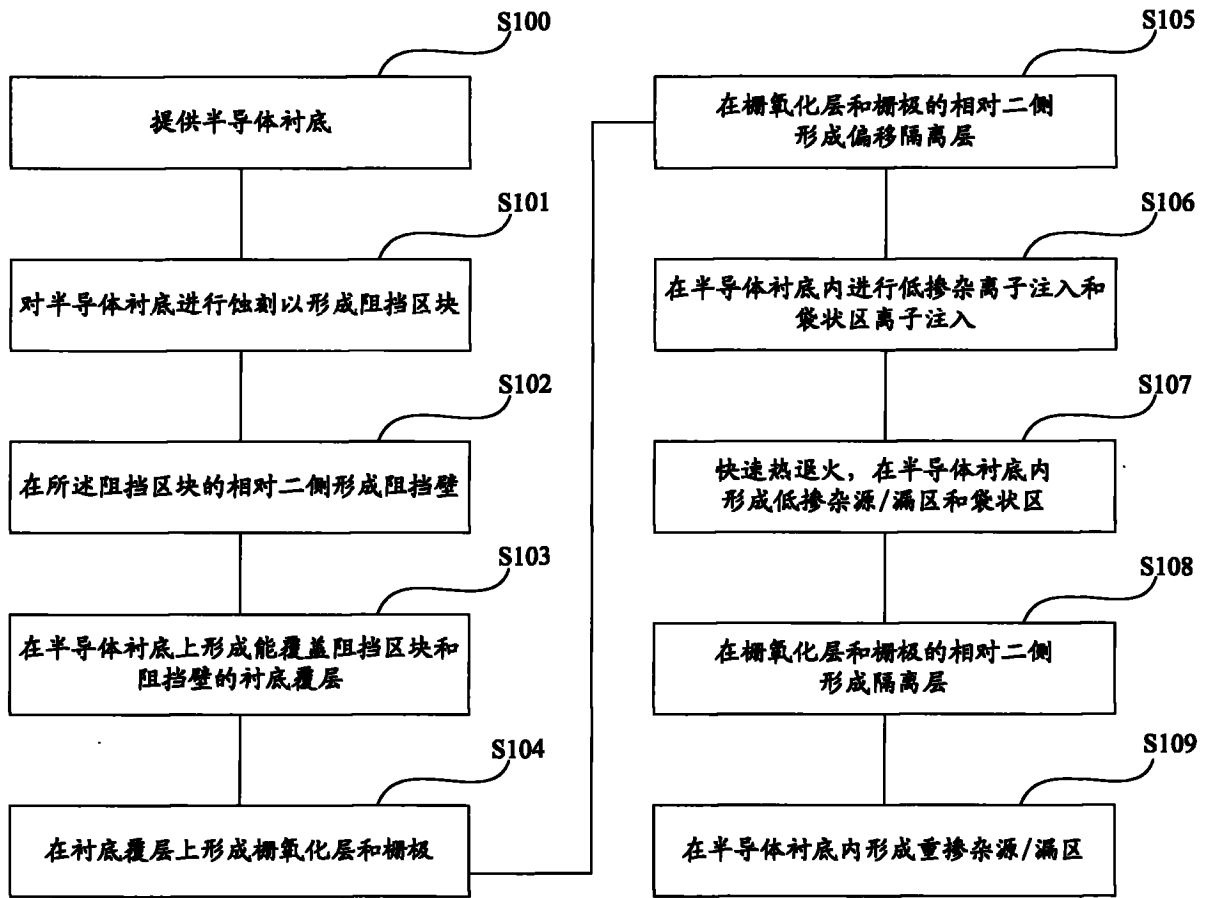


图 1

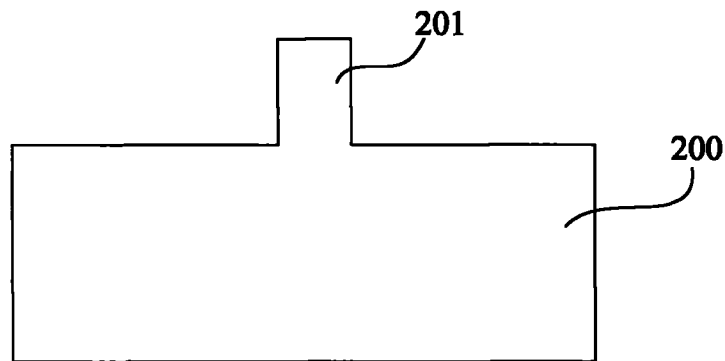


图 2

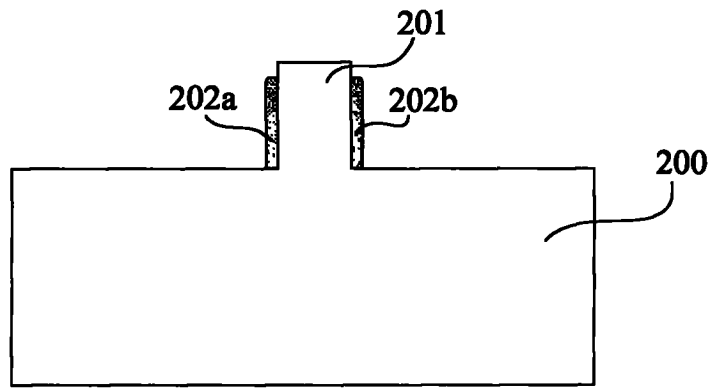


图 3

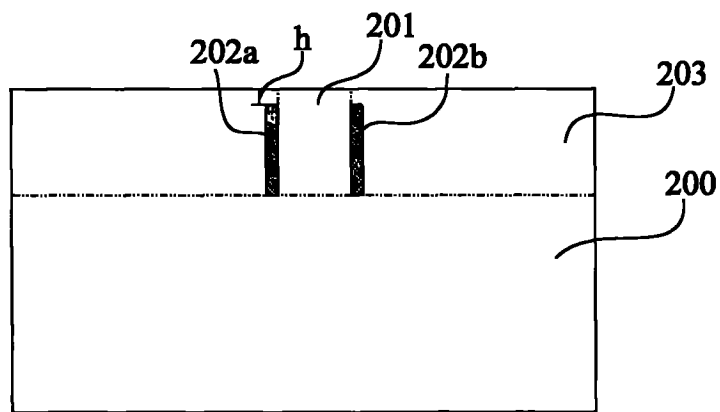


图 4

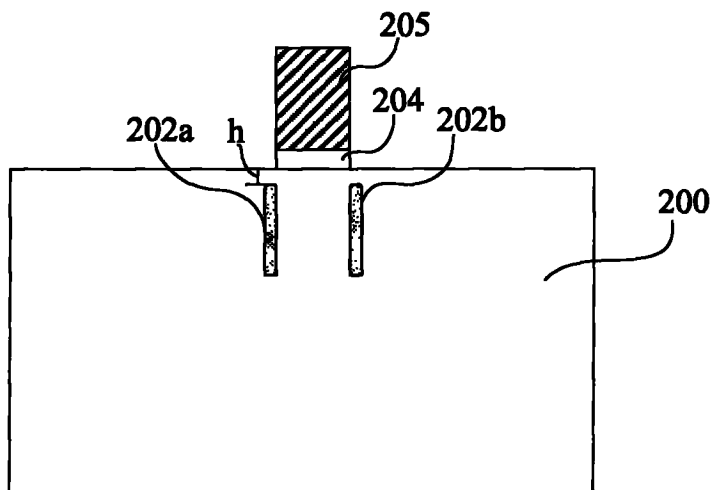


图 5

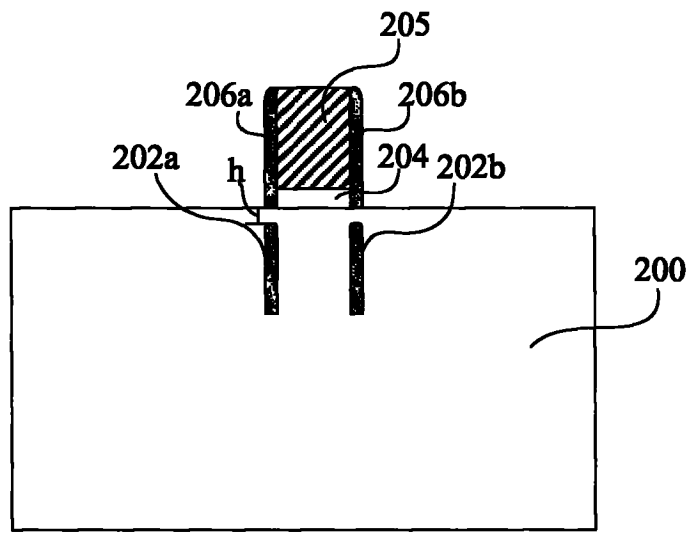


图 6

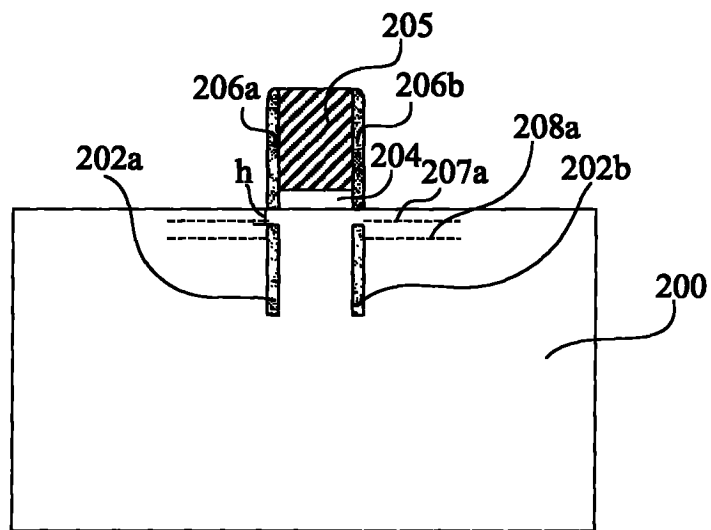


图 7

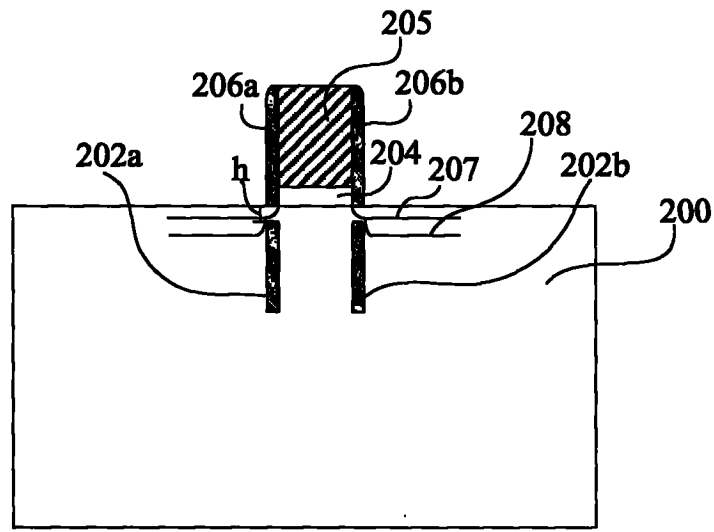


图 8

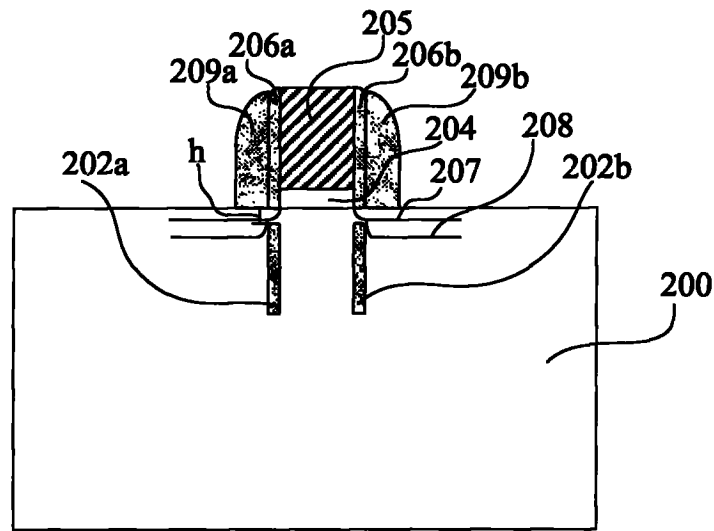


图 9

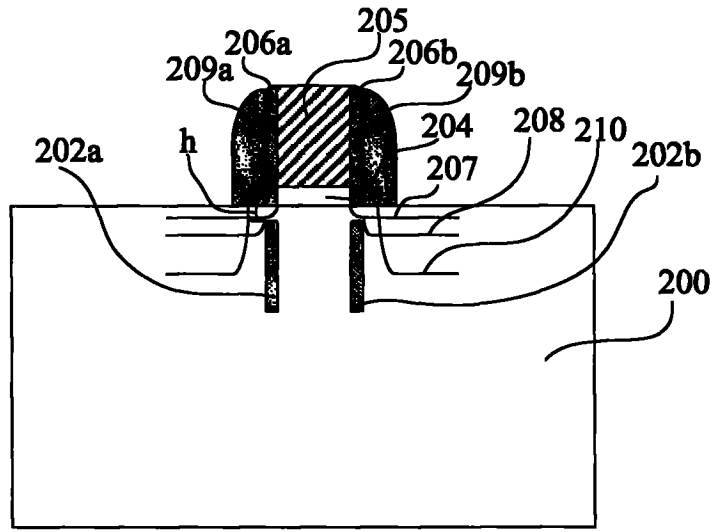


图 10