

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 2 月 17 日 (17.02.2022)



(10) 国际公布号
WO 2022/033147 A1

- (51) 国际专利分类号:
H01L 21/8242 (2006.01)
- (21) 国际申请号: PCT/CN2021/098929
- (22) 国际申请日: 2021 年 6 月 8 日 (08.06.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010814732.X 2020年8月13日 (13.08.2020) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (72) 发明人: 王凌翔 (WANG, Lingxiang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (74) 代理人: 上海晨皓知识产权代理事务所 (普通合伙) (SHANGHAI CHENHAO IN-

TELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP); 中国上海市黄浦区制造局路787号二幢202B室, Shanghai 200011 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

(54) Title: SEMICONDUCTOR STRUCTURE FORMING METHOD AND SEMICONDUCTOR STRUCTURE

(54) 发明名称: 半导体结构的形成方法及半导体结构

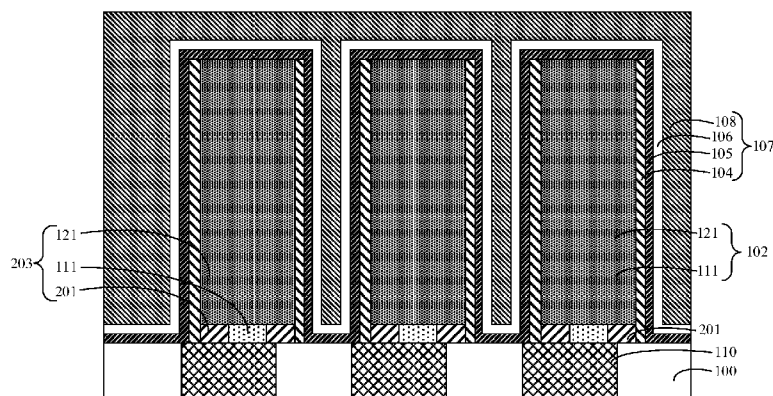


图 18

(57) Abstract: A semiconductor structure forming method and a semiconductor structure. The semiconductor structure forming method comprises: providing a semiconductor substrate (100), the semiconductor substrate (100) at least comprising discrete conductive layers (110); forming supporting structures (203) arranged in a discrete manner on the semiconductor substrate (100), the bottom of each supporting structure (203) comprising bottom conductive layers (201), capacitance openings (103) being comprised between the supporting structures (203), and the bottom conductive layers (201) being electrically connected to the conductive layers (110); forming a lower electrode (104) on each side wall of each supporting structure (203), and the lower electrode (104) being electrically connected to the bottom conductive layer (201); forming a capacitance dielectric layer (105) covering the tops of the supporting structures (203), the side walls of the lower electrodes (104), and the bottoms of the capacitance openings (103); and forming an upper electrode (106) covering the capacitance dielectric layer (105) so as to form a capacitor structure (107).



IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种半导体结构的形成方法及半导体结构，其中，半导体结构的形成方法包括：提供半导体基底(100)，半导体基底(100)中至少包括分立的导电层(110)；在半导体基底(100)上形成分立排布的支撑结构(203)，支撑结构(203)底部包括底部导电层(201)，且支撑结构(203)之间包括电容开口(103)，底部导电层(201)电连接导电层(110)；在支撑结构(203)的侧壁形成下电极(104)，下电极(104)电连接底部导电层(201)；形成覆盖支撑结构(203)顶部、下电极(104)侧壁和电容开口(103)底部的电容介质层(105)；形成覆盖电容介质层(105)的上电极(106)，以构成电容结构(107)。

半导体结构的形成方法及半导体结构

交叉引用

[0001] 本申请引用于 2020 年 8 月 13 日递交的名称为“半导体结构的形成方法及半导体结构”的第 202010814732.X 号中国专利申请，其通过引用被全部并入本申请。

技术领域

[0002] 本申请涉及半导体领域，特别涉及一种半导体结构的形成方法及半导体结构。

背景技术

[0003] 随着动态随机存取存储器（DRAM）特征尺寸持续缩小，形成的电容器的尺寸也在不断缩小，需要通过形成高身宽比电容器的方式以保证电容器的电容，目前主要通过形成双面电容的方式来提高电容器的电容，形成高深宽比的双面电容的过程中，需要刻蚀形成高深宽比的电容孔以形成空心电容柱。

[0004] 然而申请人发现：形成双面电容的过程中，若形成的双面电容的深宽比较大，在刻蚀形成空心电容柱的过程中，电容结构不稳定，容易出现倒塌的现象，且双面电容的内层电容存在电性不稳定的情况，从而影响半导体结构的良率。

发明内容

[0005] 本申请实施例提供一种半导体结构的形成方法及半导体结构，通过形成稳定的支撑结构以形成稳定柱状电容，提高了形成的电容结构的深宽比，且形成的电容结构稳定不易倒塌，提高了半导体结构的良率。

[0006] 为解决上述技术问题,本申请实施例提供了一种半导体结构的形成方法,包括:提供半导体基底,半导体基底中至少包括分立的导电层;在半导体基底上形成分立排布的支撑结构,支撑结构底部包括底部导电层,且支撑结构之间包括电容开口,底部导电层电连接导电层;在支撑结构的侧壁形成下电极,下电极电连接底部导电层;形成覆盖支撑结构顶部、下电极侧壁和电容开口底部的电容介质层;形成覆盖电容介质层的上电极,以构成电容结构。

[0007] 与相关技术形成双面电容的方式相比,本申请实施例通过在半导体基底上先形成稳定的支撑结构,基于稳定的支撑结构形成柱状结构的电容结构;由于具有稳定的支撑结构,形成的柱状电容的高度相比于双面电容有极大的提高,即柱状电容具有更大的深宽比;且在形成柱状电容的过程中,不需要刻蚀形成高深宽比的电容孔,工艺步骤更加简单,节约成本;由于不需要刻蚀形成高深宽比的电容孔,还保证了形成的电容结构的稳定性;另外,柱状电容相比于双面电容,避免了双面电容的内层电容存在典型不稳定的情况,从而提高了半导体结构的良率。

[0008] 另外,在半导体基底上形成分立排布的支撑结构的步骤包括:在半导体基底上形成底部导电层;在底部导电层上形成支撑层;图形化支撑层和底部导电层形成电容开口,剩余的支撑层和底部导电层构成支撑结构。

[0009] 另外,在半导体基底上形成底部导电层和在底部导电层上形成支撑层的步骤包括:在半导体基底上形成底部导电膜;图形化底部导电膜,形成贯穿底部导电膜的通孔,剩余底部导电膜作为底部导电层;在底部导电层上形成支撑层,支撑层还填充通孔。

[0010] 另外,图形化支撑层形成多个分立的电容开口的步骤包括:在支撑层上

依次形成掩膜层和图形化的光刻胶层；基于光刻胶层，图形化掩膜层；基于图形化后的掩膜层，刻蚀支撑层和底部导电层形成电容开口。

[0011] 另外，电容开口至少暴露出每个分立的导电层的部分顶部表面。

5 [0012] 另外，支撑层为依次堆叠形成底支撑层和填充层。通过依次堆叠形成的薄层的过程，避免了单次沉积形成厚度较大的薄层，保证形成的薄层的致密性更好，且通过依次堆叠形成的薄层，保证了支撑结构的具有较高的高度，从而增加后续形成的柱状电容的深宽比。

[0013] 另外，在半导体基底上形成分立排布的支撑结构的步骤包括：在半导体基底上形成分立排布的初始支撑结构，初始支撑结构包括依次堆叠形成的底支撑层和填充层；横向刻蚀部分宽度的底支撑层，形成导电开口；形成填充导电开口的底部导电层，底部导电层与剩余初始支撑结构成支撑结构。

10 [0014] 另外，平行于半导体基底顶部表面的方向上，形成的导电开口的宽度小于等于底部导电层宽度的三分之一。通过合理设置形成的导电开口的宽度，保证底部导电层的尺寸以增大下电极与导电层的接触面积，减小接触电阻，并保证支撑结构的稳定性。

[0015] 另外，形成填充导电开口的底部导电层的步骤包括：形成填充导电开口和部分高度电容开口的底部导电膜，底部导电膜顶部表面的高度高于底支撑层顶部表面的高度；刻蚀去除位于电容开口暴露出的底部导电膜，形成底部导电层。

20 [0016] 另外，在支撑结构的侧壁形成电连接一导电层的下电极的步骤包括：在支撑结构顶部和侧壁以及电容开口底部形成顶导电层；去除位于支撑结构顶部以及电容开口底部的顶导电层，形成位于支撑结构侧壁的下电极。

[0017] 另外，去除位于支撑结构顶部的顶导电层的方式包括化学机械研磨。

[0018] 另外，形成覆盖电容介质层的上电极的步骤包括：形成覆盖电容介质层的第一导电层；形成填充第一导电层之间间隙的第二导电层，第二导电层顶部表面与位于支撑结构上的第一导电层的顶部表面平行，且第二导电层顶部表面的高度高于位于支撑结构上的第一导电层顶部表面的高度。

[0019] 另外，形成填充第一导电层之间间隙的第二导电层包括以下步骤：形成填充第一导电层之间间隙的第二导电膜，第二导电膜顶部表面的高度高于位于支撑结构上的第一导电层顶部表面的高度；对第二导电膜顶部表面进行化学机械研磨处理，以形成第二导电层。

[0020] 本申请实施例还提供了一种半导体结构，包括：半导体基底，半导体基底中至少包括分立的导电层；多个分立的支撑结构，位于半导体基底上，支撑结构底部至少包括底部导电层，底部导电层电连接导电层；以及通过支撑结构支撑的电容结构，电容结构包括：下电极，位于支撑结构的侧壁，且电连接底部导电层；电容介质层，位于支撑结构顶部、下电极侧壁和支撑结构之间的间隙底部；上电极，位于电容介质层上。

[0021] 另外，支撑结构之间的间隙至少暴露出每个分立的导电层的部分顶部表面。

[0022] 另外，下电极与底部导电层为一体结构。一体形成下电极与底部导电层，进一步减少下电极的接触电阻。

[0023] 另外，平行于半导体基底顶部表面的方向上，底部导电层的宽度小于等于底部导电层宽度的三分之一。

[0024] 与双面电容的电容结构相比，柱状电容的电容结构基于稳定的支撑结构

形成；由于具有稳定的支撑结构，柱状电容的高度相比于双面电容有极大的提高，即柱状电容具有更大的深宽比；且形成柱状电容的工艺步骤更加简单，节约成本；由于不需要刻蚀形成高深宽比的电容孔，还保证了形成的柱状电容的电容结构的稳定性；另外，柱状电容相比于双面电容，避免了双面电容的内层电容存在典型不稳定的情况，从而提高了半导体结构的良率。

附图说明

[0025] 图 1 至图 18 为本申请一实施例提供的半导体结构的形成方法的各步骤对应的半导体结构的剖面结构示意图；

[0026] 图 19 至图 30 为本申请另一实施例提供的半导体结构的形成方法的各步骤对应的半导体结构的剖面结构示意图。

具体实施方式

[0027] 目前，形成双面电容的过程中，若形成的双面电容的深宽比较大，在刻蚀形成空心电容柱的过程中，电容结构不稳定，容易出现倒塌的现象，且双面电容的内层电容存在电性不稳定的情况，从而影响半导体结构的良率。

[0028] 为解决上述问题，本申请一实施例提供了一种半导体结构的形成方法，包括：提供半导体基底，半导体基底中至少包括分立的导电层；在半导体基底上形成分立排布的支撑结构，支撑结构之间包括电容开口；在支撑结构的侧壁形成下电极，下电极电连接导电层；形成覆盖支撑结构顶部、下电极侧壁和电容开口底部的电容介质层；形成覆盖电容介质层的上电极，以构成电容结构。

[0029] 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。

但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。以下各个实施例的划分是为了描述方便，不应对本申请的具体实现方式构成任何限定，各个实施例在不矛盾的前提下可以相互结合，相互引用。

5 [0030] 图 1 至图 18 为本实施例提供的半导体结构的形成方法各步骤对应的流程示意图，下面对本实施例的半导体结构的形成方法进行具体说明。需要说明的是，本实施例以存储器中的半导体结构为例进行具体介绍，即本实施例中所要保护的半导体结构形成在 DRAM 存储器或 SRAM 存储器中。

[0031] 参考图 1 和图 8，提供半导体基底 100，在半导体基底 100 上形成分立排
10 布的支撑结构 203，支撑结构 203 底部包括底部导电层 201，支撑结构 203 之间包括电容开口 103，底部导电层 201 电连接导电层 110。

[0032] 参考图 1，半导体基底 100 中至少包括分立的导电层 110。

[0033] 分立的导电层 110 在半导体基底 100 中排布方式如图 2 所示，导电层 110
15 即 DRAM 结构中的电容接触垫（landing pad），导电层 110 呈六方排布，用于电连接 DRAM 的阵列晶体管。

[0034] 继续参考图 1，在半导体基底 100 上形成初始支撑层 101，初始支撑层 101 用于后续刻蚀形成初始支撑结构 102。

[0035] 初始支撑层 101 包括依次堆叠形成的底支撑层 111 和填充层 121。通过
20 依次堆叠形成的初始支撑层 101 的过程，避免了单次沉积形成厚度较大的初始支撑层 101，保证形成的初始支撑层 101 的致密性更好，且通过依次堆叠形成初始支撑层 101，保证了后续形成的初始支撑结构 102 的具有较高的高度，从而增加后续形成的柱状电容的深宽比。在本实施例中底支撑层 111 和填充层 121

采用不同的绝缘材料形成。

[0036] 需要说明的是，在其他实施例中，初始支撑层也可以采用三层及三层以上的堆叠结构实现，以这种方式形成的堆叠结构的高度更高，即后续形成的支撑结构具有更高的高度。

- 5 [0037] 参考图 3~图 6，图形化初始支撑层 101 形成电容开口 103，剩余的初始支撑层 101 构成初始支撑结构 102。

[0038] 参考图 3，在初始支撑层 101 上依次形成掩膜层 120 和图形化的光刻胶层 130。

[0039] 参考图 4，基于光刻胶层 130 图形化掩膜层 120。

- 10 [0040] 参考图 5，基于图形化后的掩膜层 120，刻蚀初始支撑层 101 形成电容开口 103。

[0041] 在本实施例中，电容开口 103 至少暴露出每个分立的导电层 110 的部分顶部表面。电容开口 103 与导电层 110 的顶部形貌分布如图 6 所示，刻蚀电容开口 103 后剩余的初始支撑层 101 作为初始支撑结构 102，即在本实施例中，

- 15 初始支撑结构 102 为依次堆叠形成的底支撑层 111 填充层 121。

[0042] 刻蚀形成电容开口 103 之后还包括：依次去除光刻胶层 130 和掩膜层 120。

具体地，采用第一干法清洗工艺去除所述光刻胶层 130，第一干法清洗工艺采用氨气、氮气和氢气的混合气体，混合气体与光刻胶层 130 反应生成第一固化物，然后通过高温蒸发的方式蒸发第一固化物，即完成光刻胶层 130 的去除。

- 20 需要说明的是，在本实施例中采用氨气、氮气和氢气的混合气体与光刻胶层 130 反应生成第一固化物的过程中，由于混合气体中不含有氧气，且阻止了初始支撑结构 102 与空气相接触，在去除光刻胶层 130 的同时，防止初始支撑结构 102

侧壁的自然氧化。在去除光刻胶层 130 之后，采用第一湿法清洗工艺去除掩膜层 120，第一湿法清洗工艺采用 49%HF 以及 1:1:60APM (H₂O₂:NH₄OH:H₂O=1:1:60) 的混合溶液，混合溶液与掩膜层 120 发生化学反应以去除掩膜层 120。需要说明的是，在本实施例中采用 49%HF 以及 1:1:60APM 的混合溶液与掩膜层 120 反应去除掩膜层 120 的过程中，由于混合液体中含有 NH₄OH，会电离出 OH⁻，由于 OH⁻ 的负电荷排斥作用以及 H₂O₂ 的氧化性，可以去除初始支撑结构 102 侧壁的颗粒物。

[0043] 参考图 7，横向刻蚀部分宽度的底支撑层 111，形成导电开口 200。

[0044] 选择性横向刻蚀部分宽度的底支撑层 111。具体地，采用具有刻蚀选择比的材料，使得底支撑层 111 的被刻蚀速率高于填充层 121 的被刻蚀速率。

[0045] 在本实施例中，在平行于半导体基底 100 顶部表面的方向上，导电开口 200 的宽度小于等于底部导电层 201 宽度的三分之一。保证剩余底支撑层 111 仍然可以支撑初始支撑结构 102，防止初始支撑结构 102 坍塌。

[0046] 需要说明的是，在本实施例中，初始支撑结构 102 为圆柱形设置，即形成的底部导电层 201 为初始支撑结构 102 底部的环状结构。本实施例并不对底部导电层的形貌进行限定，在其他实施例中底部导电层的形貌与初始支撑结构相关。

[0047] 参考图 8，形成填充导电开口 200 的底部导电层 201，底部导电层 201 与剩余初始支撑结构 102 构成支撑结构 203。本实施例通过回刻蚀形成底部导电层 201，并后续形成电连接底部导电层 201 的下电极 104 以增大下电极 104 与导电层 110 的接触面积，从而减少下电极 104 与导电层 110 之间的接触电阻。

[0048] 底部导电层 201 可以为一种导电材料或者由多种导电材料构成，例如掺

杂多晶硅、钛、氮化钛、钨以及钨的复合物等，在本实施例中，底部导电层 201 采用氮化钛材料。

[0049] 具体地，形成填充导电开口 200 和部分高度电容开口 103 的底部导电膜（未图示），底部导电膜（未图示）顶部表面的高度高于底支撑层 111 顶部表面的高度。然后刻蚀去除位于电容开口 103 暴露出的底部导电膜（未图示）形成底部导电层 201。

[0050] 需要说明的是，在其他实施例中，参考图 9~图 12，基于图形化后的掩膜层 120 刻蚀初始支撑层 101 形成的电容开口 103，电容开口 103 并不暴露出导电层 110 的顶部表面。电容开口 103 与导电层 110 的顶部形貌分布如图 13 所示。

10 [0051] 参考图 14~图 18，基于支撑结构 203 形成电容结构 107。

[0052] 具体地，参考图 14~图 15，在支撑结构 203 的侧壁形成下电极 104，下电极 104 电连接底部导电层 201 和导电层 110。

[0053] 下电极 104 可以为一种导电材料或者由多种导电材料构成，例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等，在本实施例中，下电极 104 采用氮化钛材料。

[0054] 参考图 14，在支撑结构 203 顶部和侧壁以及电容开口 103 底部形成顶导电层 114。

[0055] 具体地，采用原子层沉积工艺或化学气相沉积的方法形成顶导电层 114，在本实施例中，采用原子层沉积工艺的方式形成顶导电层 114，采用原子层沉积工艺形成的顶导电层 114 具有良好的覆盖性；在其他实施例中，例如，可以采用 500℃ 或 600℃ 下进行化学气相沉积的方法形成顶导电层。需要说明的是，上述采用化学气相沉积的具体温度参数的举例说明，仅便于本领域技术人员的

理解，并不构成对本方案的限定，在实际应用中只要符合上述范围中的参数都应落入本申请的保护范围中。

[0056] 参考图 15，区域位于支撑结构 203 顶部以及电容开口 103 底部的顶导电层 114，形成于支撑结构 203 侧壁的下电极 104。

- 5 [0057] 具体地，去除位于支撑结构 203 顶部的顶导电层 114 的方式包括化学机械研磨。采用化学机械研磨的方式去除支撑结构的顶导电层 114，流程简单且成本低廉，可以有效提高电容结构的制造效率。需要说明的是，在其他实施例中，也可以通过刻蚀的方式对顶导电层进行平坦化处理。

- 10 [0058] 需要说明的是，在本实施例中，对底部导电层 201 和下电极 104 的形成方式为分步形成，即先形成的底部导电层 201，再形成下电极 104。在其他实施方式中，底部导电层 201 和下电极 104 可以在一步形成工艺中形成，此时形成的下电极 104 和底部导电层 201 为一体结构，可以进一步减少下电极 104 与底部导电层 201 之间的接触电阻。

- 15 [0059] 参考图 16，形成覆盖支撑结构 203 顶部、下电极 104 侧壁和电容开口 103 底部的电容介质层 105。

- [0060] 电容介质层 105 为高介电常数材料，例如 Hf、La、Ti 和 Zr 等高介电常数的元素或其氧化物，也可以采用 Si 和 N 的掺杂剂。具体地，采用原子层沉积工艺或化学气相沉积的方法形成电容介质层 105，在本实施例中，采用原子层沉积工艺的方式形成电容介质层 105，采用原子层沉积工艺形成的电容介质层 20 105 具有良好的覆盖性；在其他实施例中，例如，可以采用 500℃或 600℃下进行化学气相沉积的方法形成电容介质层。需要说明是的，上述采用化学气相沉积的具体温度参数的举例说明，仅便于本领域技术人员的理解，并不构成对本

方案的限定，在实际应用中只要符合上述范围中的参数都应落入本申请的保护范围中。

[0061] 参考图 17~图 18，形成覆盖电容介质层 105 的上电极，下电极 104、电容介质层 105 和上电极共同构成电容结构 107。

5 [0062] 具体地，形成覆盖电容介质层的上电极的步骤包括：

[0063] 参考图 17，形成覆盖电容介质层 105 的第一导电层 106。

[0064] 第一导电层 106 可以为一种导电材料或者由多种导电材料构成，例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等，在本实施例中，第一导电层 106 采用氮化钛材料。

10 [0065] 具体地，采用原子层沉积工艺或化学气相沉积的方法形成第一导电层 106，在本实施例中，采用原子层沉积工艺的方式形成第一导电层 106，采用原子层沉积工艺形成的第一导电层 106 具有良好的覆盖性；在其他实施例中，例如，可以采用 500℃ 或 600℃ 下进行化学气相沉积的方法形成第一导电层 106。需要说明的是，上述采用化学气相沉积的具体温度参数的举例说明，仅便于本
15 领域技术人员的理解，并不构成对本方案的限定，在实际应用中只要符合上述范围中的参数都应落入本申请的保护范围中。

[0066] 参考图 18，形成填充第一导电层 106 之间间隙的第二导电层 108。其中，第二导电层 108 顶部表面与位于支撑结构 203 上的第一导电层 106 的顶部表面平行，且第二导电层 108 顶部表面的高度高于位于支撑结构 203 上的第一导电
20 层 106 顶部表面的高度。

[0067] 具体地，形成填充第一导电层 106 之间间隙的第二导电膜（未图示），第二导电膜顶部表面的高度高于第一导电层 106 顶部表面的高度；对第二导电膜

(未图示)顶部表面进行化学机械研磨处理,以形成第二导电层 108。

[0068] 采用化学机械研磨的方式形成第二导电层 108, 流程简单且成本低廉, 可以有效提高半导体结构的制造效率。需要说明的是, 在其他实施例中, 也可以通过刻蚀第二导电膜以形成第二导电层。通过填充第一导电层 106 之间的空隙, 已将分立的电容结构 107 构成一个整体。

[0069] 与相关技术形成双面电容的方式相比, 本申请实施例通过在半导体基底上先形成稳定的支撑结构, 基于稳定的支撑结构形成柱状结构的电容结构; 由于具有稳定的支撑结构, 形成的柱状电容的高度相比于双面电容有极大的提高, 即柱状电容具有更大的深宽比; 且在形成柱状电容的过程中, 不需要刻蚀形成高深宽比的电容孔, 工艺步骤更加简单, 节约成本; 由于不需要刻蚀形成高深宽比的电容孔, 还保证了形成的电容结构的稳定性; 另外, 柱状电容相比于双面电容, 避免了双面电容的内层电容存在典型不稳定的情况, 从而提高了半导体结构的良率。

[0070] 上面各种步骤划分, 只是为了描述清楚, 实现时可以合并为一个步骤或者对某些步骤进行拆分, 分解为多个步骤, 只要包括相同的逻辑关系, 都在本专利的保护范围内; 对流程中添加无关紧要的修改或者引入无关紧要的设计, 但不改变其流程的核心设计都在该专利的保护范围内。

[0071] 本申请另一实施例涉及一种半导体结构的形成方法, 与上述实施例不同的是, 本实施例给出了另一种底部导电层的形成方法。

[0072] 图 19 至图 30 为本实施例提供的半导体结构的形成方法各步骤对应的流程示意图, 下面对本实施例的半导体结构的形成方法进行具体说明。

[0073] 参考图 19~图 22, 在半导体基底 300 上形成分立排布的支撑结构 302。

[0074] 参考图 19~图 20, 在半导体基底 300 上形成底部导电层 401

[0075] 具体地, 参考图 19, 在半导体基底 300 上形成底部导电膜 400, 底部导电膜 400 可以为一种导电材料或者由多种导电材料构成, 例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等, 在本实施例中, 底部导电膜 400 采用氮化钛材料。

[0076] 参考图 20, 图形化底部导电膜 400, 形成贯穿底部导电膜 400 的通孔 410。剩余底部导电膜 400 作为底部导电层 401。

[0077] 参考图 21, 在底部导电层 401 上形成支撑层 301, 支撑层 301 还填充通孔 410。在本实施例中支撑层 301 为依次堆叠形成的底支撑层 311 和填充层 321。

10 通过依次堆叠形成的支撑层 301 的过程, 避免了单次沉积形成厚度较大的支撑层 301, 保证形成的支撑层 301 的致密性更好, 且通过依次堆叠形成支撑层 301, 保证了后续形成的支撑结构 302 的具有较高的高度, 从而增加后续形成的柱状电容的深宽比。在本实施例中底支撑层 111 和填充层采用不同的绝缘材料形成。需要说明的是, 在其他实施例中, 支撑层也可以采用三层及三层以上的堆叠结构实现, 以这种方式形成的堆叠结构的高度更高, 即后续形成的支撑结构具有

15 更高的高度。

[0078] 参考图 22, 图形化支撑层 301 形成多个分立的电容开口 303, 剩余支撑层 301 作为支撑层 302。

[0079] 具体地, 在支撑层 301 上依次形成掩膜层 (未图示) 和图形化的光刻胶 (未图示), 基于光刻胶层, 图形化掩膜层 (未图示), 基于图形化后的掩膜层, 可是支撑层 301 和底部导电层 401 形成电容开口 303, 剩余支撑层 301 和底部导电层 401 作为支撑层 302。

20

[0080] 需要说明的是，在本实施例中，电容开口 303 至少暴露出每个分立的导电层 310 的部分顶部表面。在其他实施例中，参考图 23~图 25，基于图形化后的掩膜层可是支撑层 301 形成电容开口 303，电容开口 303 并不暴露出导电层 310 的顶部表面。

5 [0081] 参考图 26~图 30，基于支撑结构 302 形成电容结构 307。

[0082] 具体地，参考图 26~图 27，在支撑结构 302 的侧壁形成下电极 304，下电极 304 电连接底部导电层 401 和导电层 310。

[0083] 下电极 304 可以为一种导电材料或者由多种导电材料构成，例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等，在本实施例中，下电极 304 采用氮
10 化钛材料。

[0084] 参考图 26，在支撑结构 302 顶部和侧壁以及电容开口 303 底部形成顶导电层 314。

[0085] 具体地，采用原子层沉积工艺或化学气相沉积的方法形成顶导电层 314，在本实施例中，采用原子层沉积工艺的方式形成顶导电层 314，采用原子层沉积
15 工艺形成的顶导电层 314 具有良好的覆盖性；在其他实施例中，例如，可以采用 500℃或 600℃下进行化学气相沉积的方法形成顶导电层。需要说明的是，上述采用化学气相沉积的具体温度参数的举例说明，仅便于本领域技术人员的理解，并不构成对本方案的限定，在实际应用中只要符合上述范围中的参数都应落入本申请的保护范围中。

20 [0086] 参考图 27，区域位于支撑结构 302 顶部以及电容开口 303 底部的顶导电层 314，形成于支撑结构 302 侧壁的下电极 304。

[0087] 具体地，去除位于支撑结构 302 顶部的顶导电层 314 的方式包括化学机

械研磨。采用化学机械研磨的方式去除支撑结构的顶导电层 314，流程简单且成本低廉，可以有效提高电容结构的制造效率。需要说明的是，在其他实施例中，也可以通过刻蚀的方式对顶导电层进行平坦化处理。

[0088] 参考图 28，形成覆盖支撑结构 302 顶部、下电极 304 侧壁和电容开口 303 5 底部的电容介质层 305。

[0089] 电容介质层 305 为高介电常数材料，例如 Hf、La、Ti 和 Zr 等高介电常数的元素或其氧化物，也可以采用 Si 和 N 的掺杂剂。具体地，采用原子层沉积工艺或化学气相沉积的方法形成电容介质层 305，在本实施例中，采用原子层沉积工艺的方式形成电容介质层 305，采用原子层沉积工艺形成的电容介质层 10 305 具有良好的覆盖性；在其他实施例中，例如，可以采用 500℃或 600℃下进行化学气相沉积的方法形成电容介质层。需要说明是的，上述采用化学气相沉积的具体温度参数的举例说明，仅便于本领域技术人员的理解，并不构成对本方案的限定，在实际应用中只要符合上述范围中的参数都应落入本申请的保护范围中。

15 [0090] 参考图 29~图 30，形成覆盖电容介质层 305 的上电极，下电极 304、电容介质层 305 和上电极共同构成电容结构 307。

[0091] 具体地，形成覆盖电容介质层的上电极的步骤包括：

[0092] 参考图 29，形成覆盖电容介质层 305 的第一导电层 306。

[0093] 第一导电层 306 可以为一种导电材料或者由多种导电材料构成，例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等，在本实施例中，第一导电层 306 20 采用氮化钛材料。

[0094] 具体地，采用原子层沉积工艺或化学气相沉积的方法形成第一导电层

306, 在本实施例中, 采用原子层沉积工艺的方式形成第一导电层 306, 采用原子层沉积工艺形成的第一导电层 306 具有良好的覆盖性; 在其他实施例中, 例如, 可以采用 500℃或 600℃下进行化学气相沉积的方法形成第一导电层 306。需要说明的是, 上述采用化学气相沉积的具体温度参数的举例说明, 仅便于本领域技术人员的理解, 并不构成对本方案的限定, 在实际应用中只要符合上述范围中的参数都应落入本申请的保护范围中。

[0095] 参考图 30, 形成填充第一导电层 306 之间间隙的第二导电层 308。其中, 第二导电层 308 顶部表面与位于支撑结构 302 上的第一导电层 306 的顶部表面平行, 且第二导电层 308 顶部表面的高度高于位于支撑结构 302 上的第一导电层 306 顶部表面的高度。

[0096] 具体地, 形成填充第一导电层 306 之间间隙的第二导电膜 (未图示), 第二导电膜顶部表面的高度高于第一导电层 306 顶部表面的高度; 对第二导电膜 (未图示) 顶部表面进行化学机械研磨处理, 以形成第二导电层 308。

[0097] 采用化学机械研磨的方式形成第二导电层 308, 流程简单且成本低廉, 可以有效提高半导体结构的制造效率。需要说明的是, 在其他实施例中, 也可以通过刻蚀第二导电膜以形成第二导电层。通过填充第一导电层 306 之间的空隙, 已将分立的电容结构 307 构成一个整体。

[0098] 与相关技术形成双面电容的方式相比, 本申请实施例通过在半导体基底上先形成稳定的支撑结构, 基于稳定的支撑结构形成柱状结构的电容结构; 由于具有稳定的支撑结构, 形成的柱状电容的高度相比于双面电容有极大的提高, 即柱状电容具有更大的深宽比; 且在形成柱状电容的过程中, 不需要刻蚀形成高深宽比的电容孔, 工艺步骤更加简单, 节约成本; 由于不需要刻蚀形成高深

宽比的电容孔，还保证了形成的电容结构的稳定性；另外，柱状电容相比于双面电容，避免了双面电容的内层电容存在典型不稳定的情况，从而提高了半导体结构的良率。

5 [0099] 为了突出本申请的创新部分，本实施例中并没有将与解决本申请所提出的技术问题关系不太密切的单元引入，但这并不表明本实施例中不存在其它的结构。

[00100] 由于上述实施例与本实施例相互对应，因此本实施例可与上述实施例互相配合实施。上述实施例中提到的相关技术细节在本实施例中依然有效，在上述实施例中所能达到的技术效果在本实施例中也同样可以实现，为了减少重
10 复，这里不再赘述。相应地，本实施例中提到的相关技术细节也可应用在上述实施例中。

[00101] 上面各种步骤划分，只是为了描述清楚，实现时可以合并为一个步骤或者对某些步骤进行拆分，分解为多个步骤，只要包括相同的逻辑关系，都在本专利的保护范围内；对流程中添加无关紧要的修改或者引入无关紧要的设计，
15 但不改变其流程的核心设计都在该专利的保护范围内。

[00102] 本申请又一实施例涉及一种半导体结构。参考图 18，以下将结合附图对本实施例提供的半导体结构进行详细说明，与上述实施例相同或相应的部分，以下将不做详细赘述。

[00103] 半导体结构，包括：半导体基底 100，半导体基底 100 至少包括分立的导电层 110，多个分立的支撑结构 203，位于半导体基底 100 上，支撑结构
20 203 底部包括底部导电层 201，底部导电层 201 电连接导电层 110；以及通过支撑结构 203 支撑的电容结构 107，电容结构 107 包括：下电极 104，位于支撑结

构 203 的侧壁,且电连接导电层 110; 电容介质层 105, 位于支撑结构 203 顶部、下电极 104 侧壁和支撑结构 203 之间的间隙底部; 上电极, 位于电容介质层 105 上。

[00104] 分立的导电层 110 在半导体基底 100 中排布方式如图 2 所示, 导电层 110 即 DRAM 结构中的电容接触垫 (landing pad), 导电层 110 呈六方排布, 用于电连接 DRAM 的阵列晶体管。

[00105] 本实施例提供的支撑结构 203 可以通过堆叠结构的方式实现, 以堆叠结构形成支撑结构 203 的高度更高, 即后续形成的电容结构 107 具有更高的深宽比。

[00106] 在本实施例中, 支撑结构 203 之间的间隙至少暴露出每个分立的导电层 110 的部分顶部表面; 下电极 104 用于连接暴露出的分立的导电层 110 的顶部表面。

[00107] 在一个例子中, 下电极 104 与底部导电层 201 为一体结构, 一体形成下电极与底部导电层, 进一步减少下电极的接触电阻。

[00108] 在本实施例中, 在平行于半导体基底 100 顶部表面的方向上, 导电开口 200 的宽度小于等于底部导电层 201 宽度的三分之一。保证剩余底支撑层 111 仍然可以支撑初始支撑结构 102, 防止初始支撑结构 102 坍塌。

[00109] 电容结构 107 包括: 下电极 104, 位于支撑结构 102 的侧壁, 且电连接导电层 110; 电容介质层 105, 位于支撑结构 102 顶部、下电极 104 侧壁和支撑结构 102 之间的间隙底部; 上电极, 位于电容介质层 105 上。

[00110] 下电极 104 可以为一种导电材料或者由多种导电材料构成, 例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等, 在本实施例中, 下电极 104 采用

氮化钛材料。电容介质层 105 为高介电常数材料，例如 Hf、La、Ti 和 Zr 等高介电常数的元素或其氧化物，也可以采用 Si 和 N 的掺杂剂。

[00111] 上电极包括第一导电层 106 和第二导电层 108。第一导电层 106 覆盖电容介质层 105，第一导电层 106 可以为一种导电材料或者由多种导电材料构成，例如掺杂多晶硅、钛、氮化钛、钨以及钨的复合物等，在本实施例中，第一导电层 106 采用氮化钛材料。第二导电层 108 填充第一导电层 106 之间间隙，其中，第二导电层 108 顶部表面与位于支撑结构 203 上的第一导电层 106 的顶部表面平行，且第二导电层 108 顶部表面的高度高于位于支撑结构 203 上的第一导电层 106 顶部表面的高度。

[00112] 与双面电容的电容结构相比，柱状电容的电容结构基于稳定的支撑结构形成；由于具有稳定的支撑结构，柱状电容的高度相比于双面电容有极大的提高，即柱状电容具有更大的深宽比；且形成柱状电容的工艺步骤更加简单，节约成本；由于不需要刻蚀形成高深宽比的电容孔，还保证了形成的柱状电容的电容结构的稳定性；另外，柱状电容相比于双面电容，避免了双面电容的内层电容存在典型不稳定的情况，从而提高了半导体结构的良率。

[00113] 为了突出本申请的创新部分，本实施例中并没有将与解决本申请所提出的技术问题关系不太密切的单元引入，但这并不表明本实施例中不存在其它的结构。

[00114] 由于上述实施例与本实施例相互对应，因此本实施例可与上述实施例互相配合实施。上述实施例中提到的相关技术细节在本实施例中依然有效，在上述实施例中所能达到的技术效果在本实施例中也同样可以实现，为了减少重复，这里不再赘述。相应地，本实施例中提到的相关技术细节也可应用在上述

实施例。

[00115] 本领域的普通技术人员可以理解,上述各实施例是实现本申请的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本申请的精神和范围。

权利要求书

1. 一种半导体结构的形成方法，其特征在于，包括如下步骤：

提供半导体基底，所述半导体基底中至少包括分立的导电层；

5 在所述半导体基底上形成分立排布的支撑结构，所述支撑结构底部包括底部导电层，且所述支撑结构之间包括电容开口，所述底部导电层电连接所述导电层；

在所述支撑结构的侧壁形成下电极，所述下电极电连接所述底部导电层；

形成覆盖所述支撑结构顶部、所述下电极侧壁和所述电容开口底部的电容介质层；

10 形成覆盖所述电容介质层的上电极，以构成电容结构。

2. 根据权利要求 1 所述的半导体结构的形成方法，其特征在于，在所述半导体基底上形成分立排布的支撑结构的步骤包括：

在所述半导体基底上形成所述底部导电层；

在所述底部导电层上形成支撑层；

15 图形化所述支撑层和所述底部导电层形成所述电容开口，剩余的所述支撑层和所述底部导电层构成所述支撑结构。

3. 根据权利要求 2 所述的半导体结构的形成方法，其特征在于，在所述半导体基底上形成所述底部导电层和在所述底部导电层上形成支撑层的步骤包括：

在所述半导体基底上形成底部导电膜；

20 图形化所述底部导电膜，形成贯穿所述底部导电膜的通孔，剩余所述底部导电膜作为所述底部导电层；

在所述底部导电层上形成支撑层，所述支撑层还填充所述通孔。

4. 根据权利要求 2 所述的半导体结构的形成方法，其特征在于，图形化所述支撑层形成多个分立的所述电容开口的步骤包括：

25 在所述支撑层上依次形成掩膜层和图形化的光刻胶层；

基于所述光刻胶层，图形化所述掩膜层；

基于图形化后的所述掩膜层，刻蚀所述支撑层和所述底部导电层形成所述电容开口。

5 5. 根据权利要求 2 所述的半导体结构的形成方法，所述电容开口至少暴露出每个分立的所述导电层的部分顶部表面。

6. 根据权利要求 2 所述的半导体结构的形成方法，其特征在于，所述支撑层为依次堆叠形成底支撑层和填充层。

7. 根据权利要求 1 所述的半导体结构的形成方法，其特征在于，在所述半导体基底上形成分立排布的支撑结构的步骤包括：

10 在所述半导体基底上形成分立排布的初始支撑结构，所述初始支撑结构包括依次堆叠形成的底支撑层和填充层；

横向刻蚀部分宽度的所述底支撑层，形成导电开口；

形成填充所述导电开口的底部导电层，所述底部导电层与剩余所述初始支撑结构成所述支撑结构。

15 8. 根据权利要求 7 所述的半导体结构的形成方法，其特征在于，平行于所述半导体基底顶部表面的方向上，所述导电开口的宽度小于等于所述底部导电层宽度的三分之一。

9. 根据权利要求 7 所述的半导体结构的形成方法，其特征在于，形成填充所述导电开口的底部导电层的步骤包括：

20 形成填充所述导电开口和部分高度所述电容开口的底部导电膜，所述底部导电膜顶部表面的高度高于所述底支撑层顶部表面的高度；

刻蚀去除位于电容开口暴露出的所述底部导电膜，形成所述底部导电层。

10. 根据权利要求 1 所述的半导体结构的形成方法，其特征在于，在所述支撑结构的侧壁形成电连接一所述导电层的下电极的步骤包括：

25 在所述支撑结构顶部和侧壁以及所述电容开口底部形成顶导电层；

去除位于所述支撑结构顶部以及所述电容开口底部的所述顶导电层，形成

位于所述支撑结构侧壁的下电极。

11.根据权利要求 10 所述的半导体结构的形成方法，其特征在于，所述去除位于所述支撑结构顶部的所述顶导电层的方式包括化学机械研磨。

12.根据权利要求 1 所述的半导体结构的形成方法，其特征在于，形成覆盖所述
5 电容介质层的上电极的步骤包括：

形成覆盖所述电容介质层的第一导电层；

形成填充所述第一导电层之间间隙的第二导电层，所述第二导电层顶部表面与位于所述支撑结构上的所述第一导电层的顶部表面平行，且所述第二导电层顶部表面的高度高于位于所述支撑结构上的所述第一导电层顶部表面的高度。

10 13.根据权利要求 12 所述的半导体结构的形成方法，其特征在于，形成填充所述第一导电层之间间隙的第二导电层包括以下步骤：

形成填充所述第一导电层之间间隙的第二导电膜，所述第二导电膜顶部表面的高度高于位于所述支撑结构上的所述第一导电层顶部表面的高度；

15 对所述第二导电膜顶部表面进行化学机械研磨处理，以形成所述第二导电层。

14.一种半导体结构，其特征在于，包括：

半导体基底，所述半导体基底中至少包括分立的导电层；

多个分立的支撑结构，位于所述半导体基底上，所述支撑结构底部至少包括底部导电层，所述底部导电层电连接所述导电层；

20 以及通过所述支撑结构支撑的电容结构，所述电容结构包括：

下电极，位于所述支撑结构的侧壁，且电连接所述底部导电层；

电容介质层，位于所述支撑结构顶部、所述下电极侧壁和所述支撑结构之间的间隙底部；

上电极，位于所述电容介质层上。

25 15.根据权利要求 14 所述的半导体结构，其特征在于，所述支撑结构之间的间

隙至少暴露出每个分立的所述导电层的部分顶部表面。

16.根据权利要求 14 所述的半导体结构，其特征在于，所述下电极与所述底部导电层为一体结构。

5 17.根据权利要求 14 所述的半导体结构，其特征在于，平行于所述半导体基底顶部表面的方向上，所述底部导电层的宽度小于等于所述底部导电层宽度的三分之一。

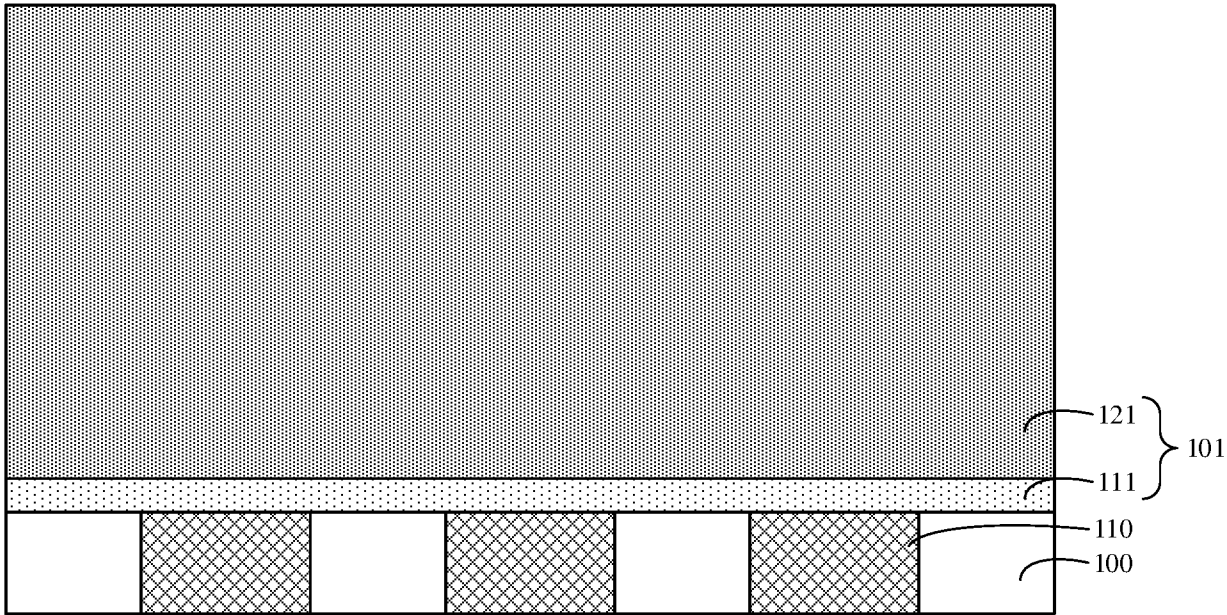


图 1

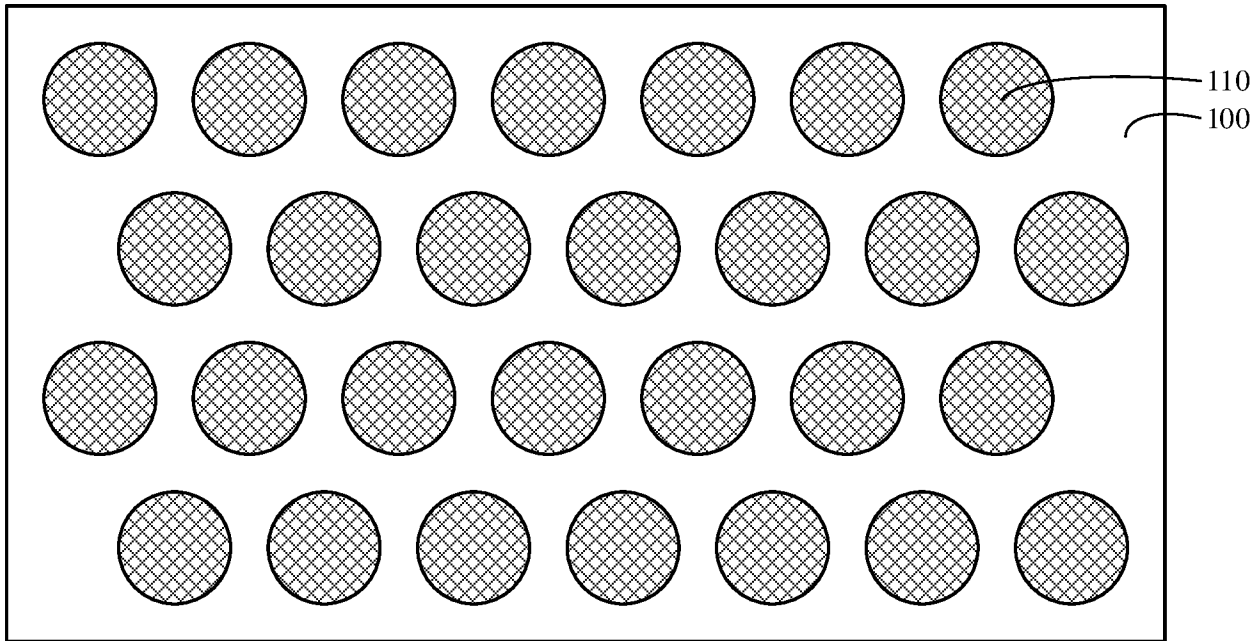


图 2

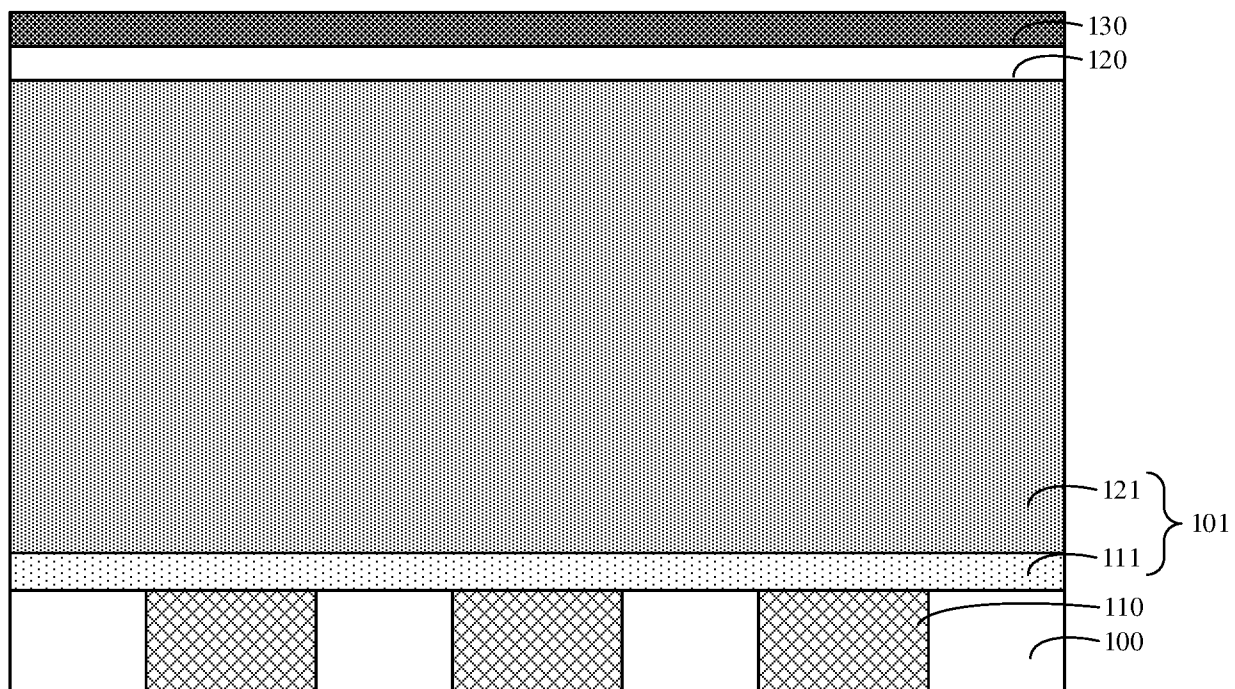


图 3

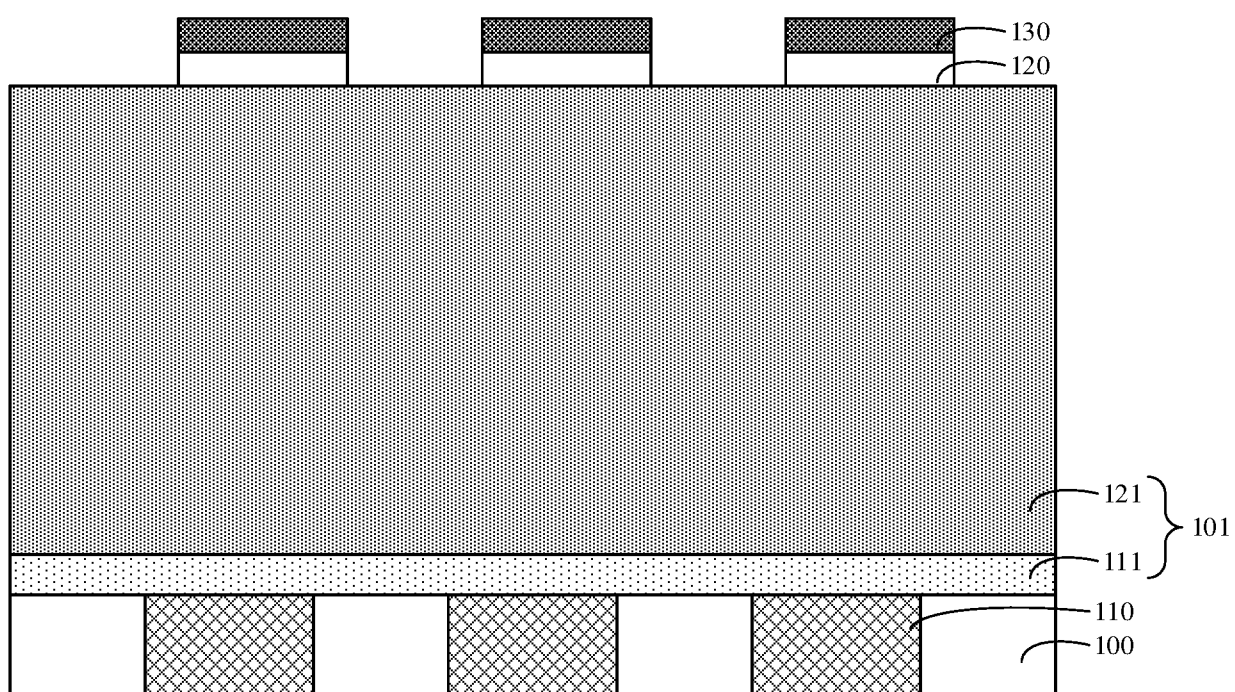


图 4

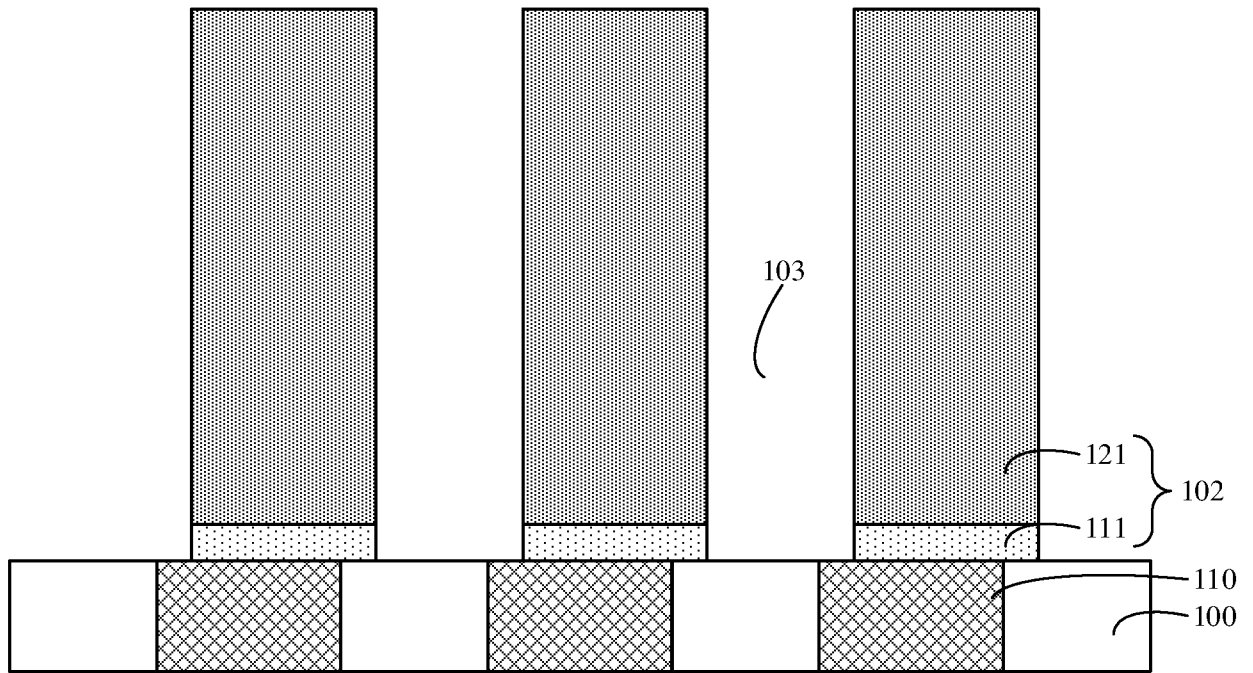


图 5

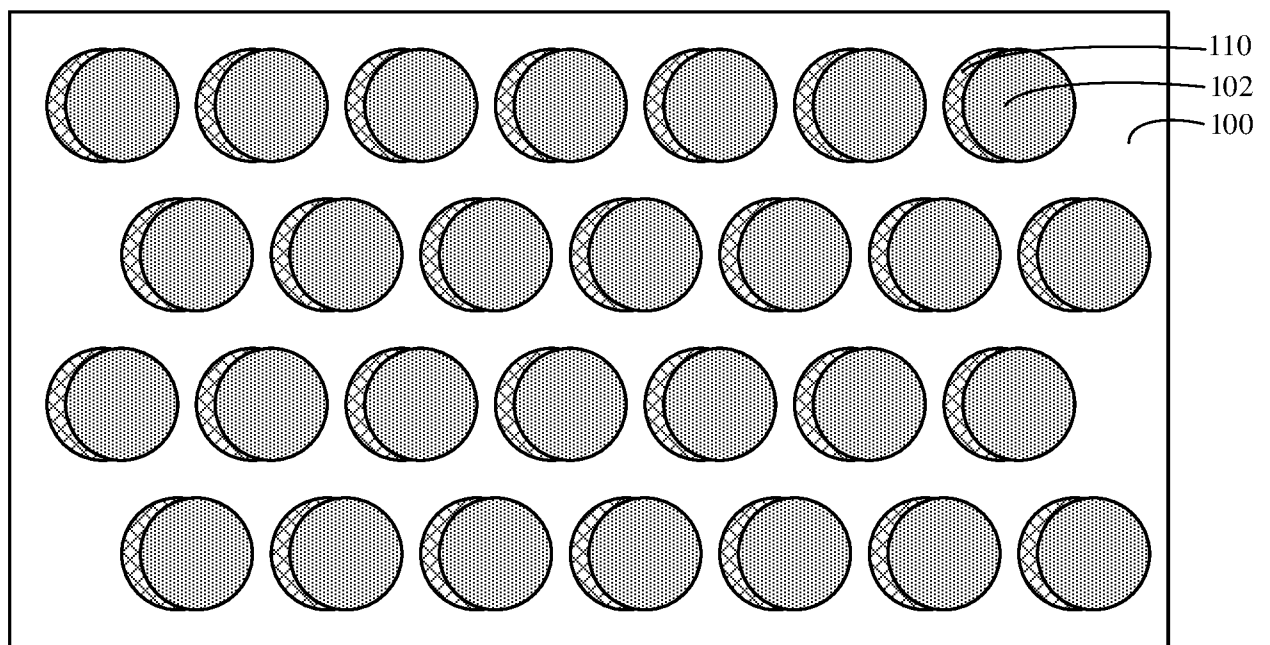


图 6

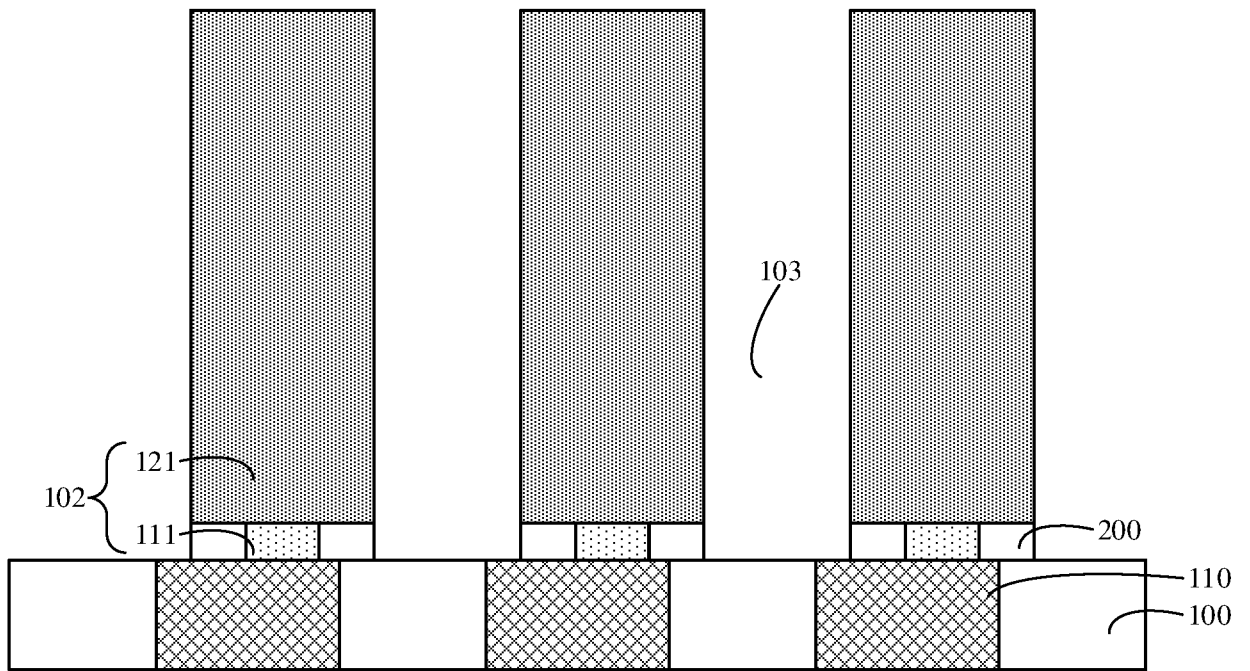


图 7

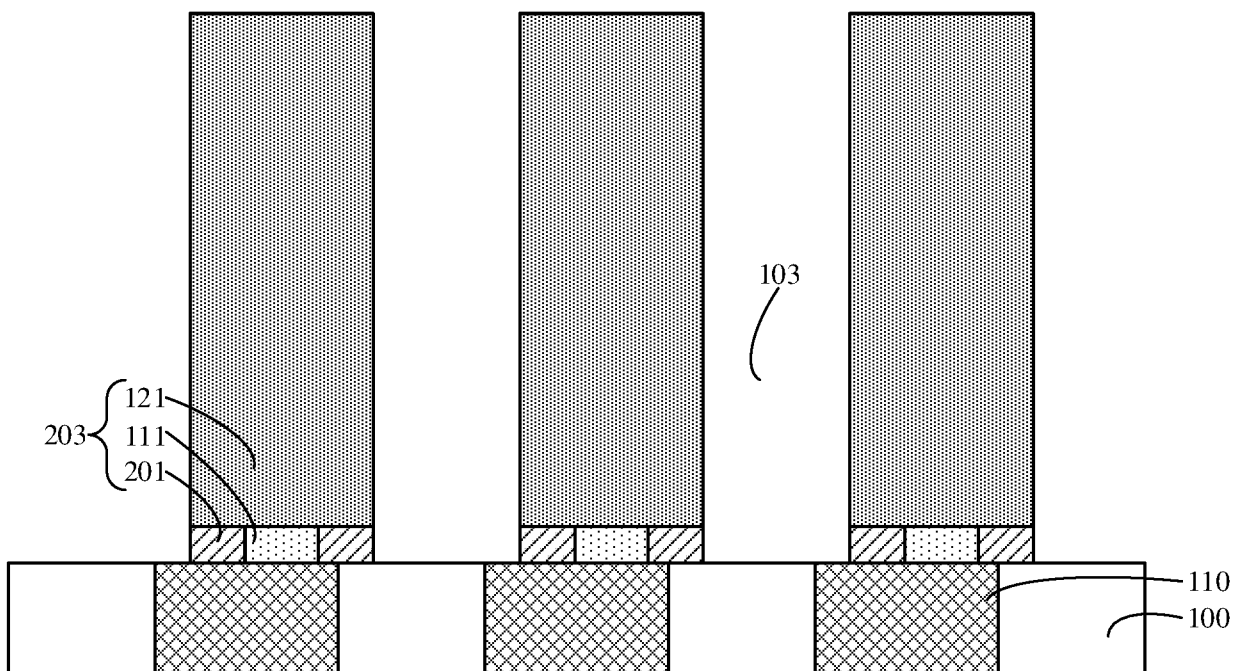


图 8

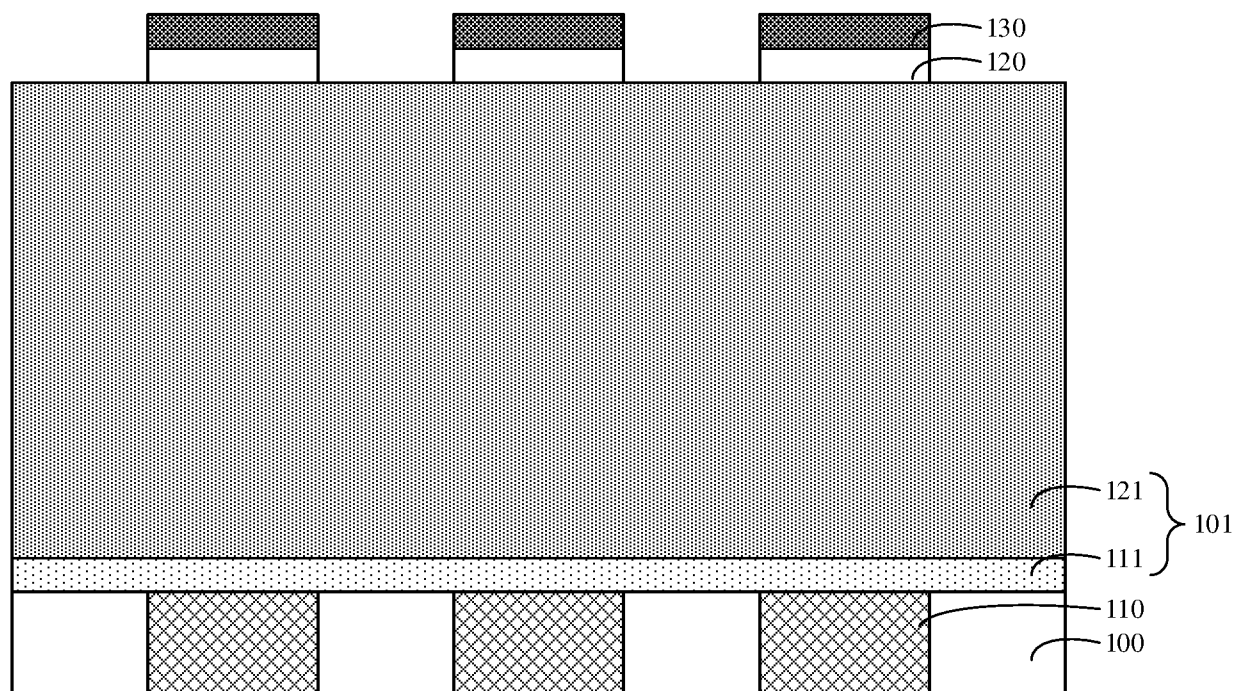


图 9

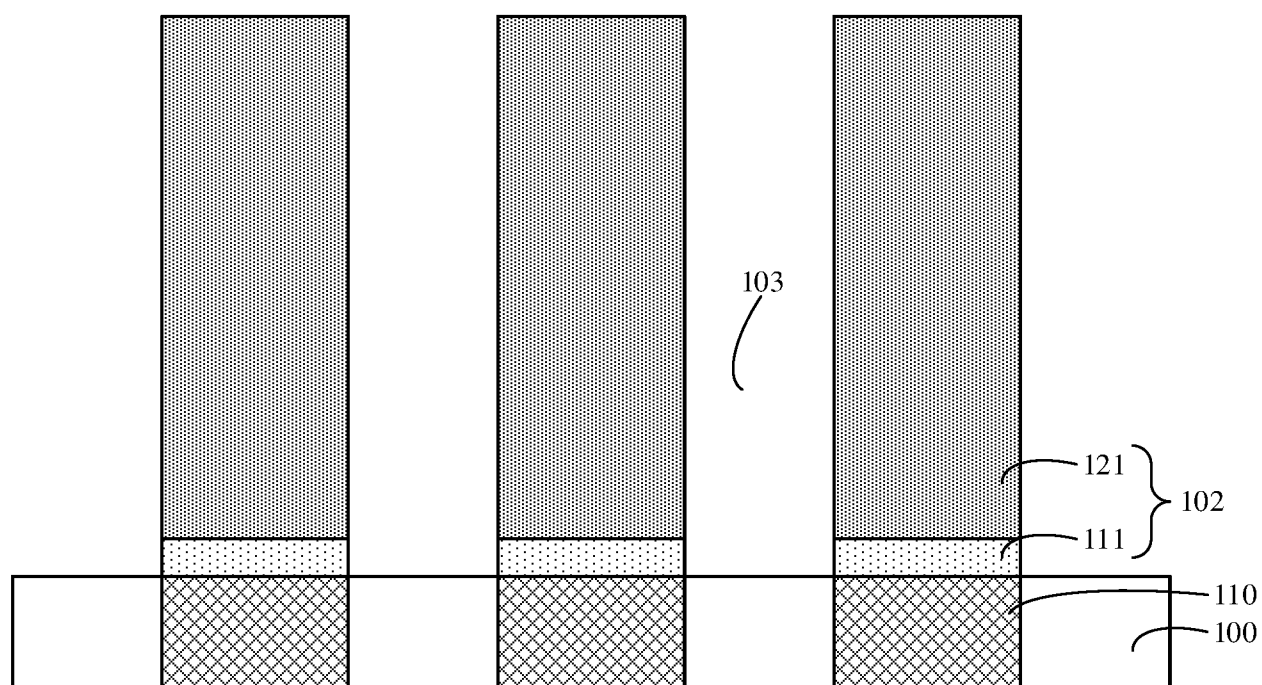


图 10

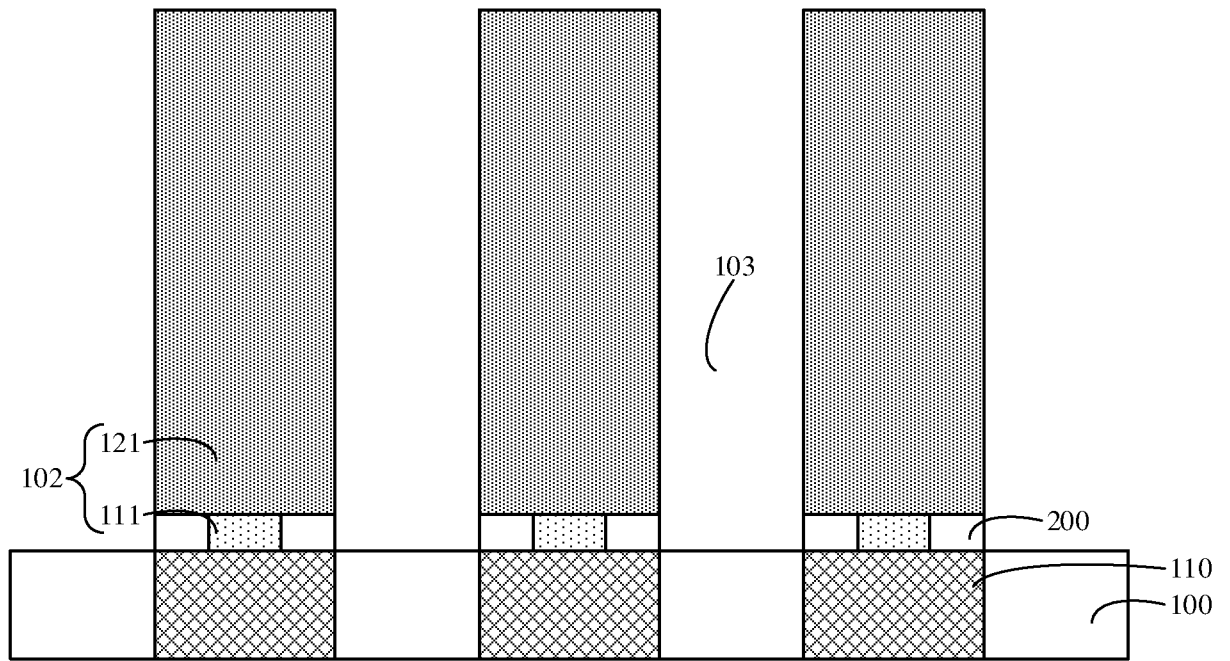


图 11

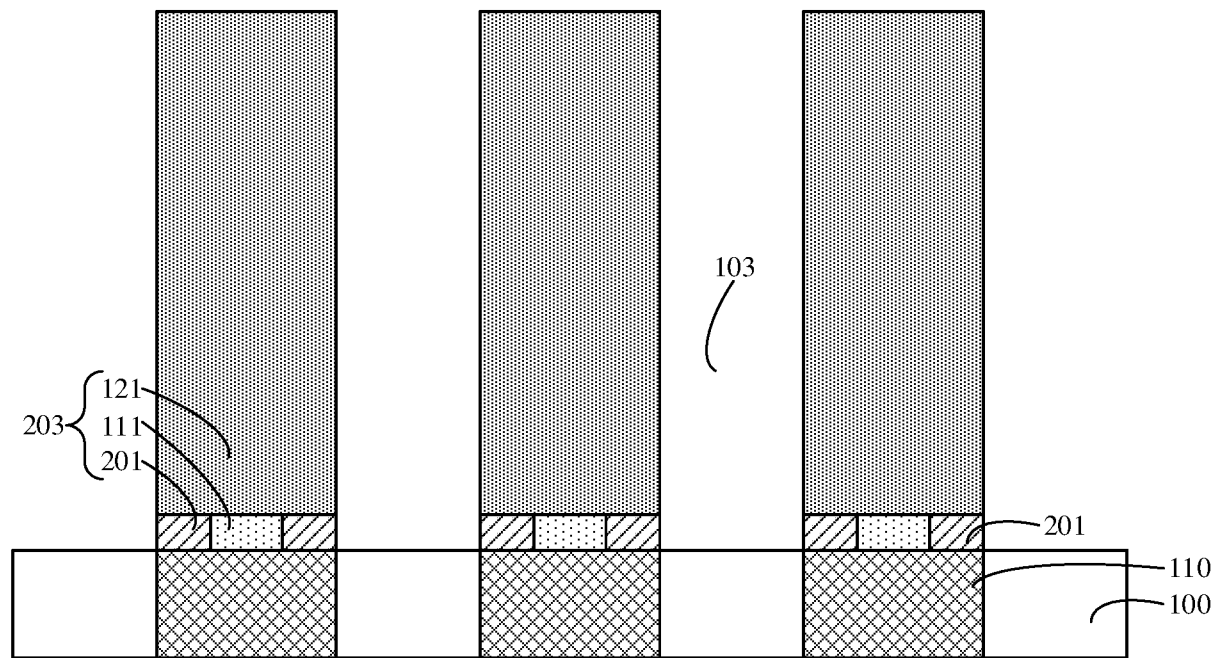


图 12

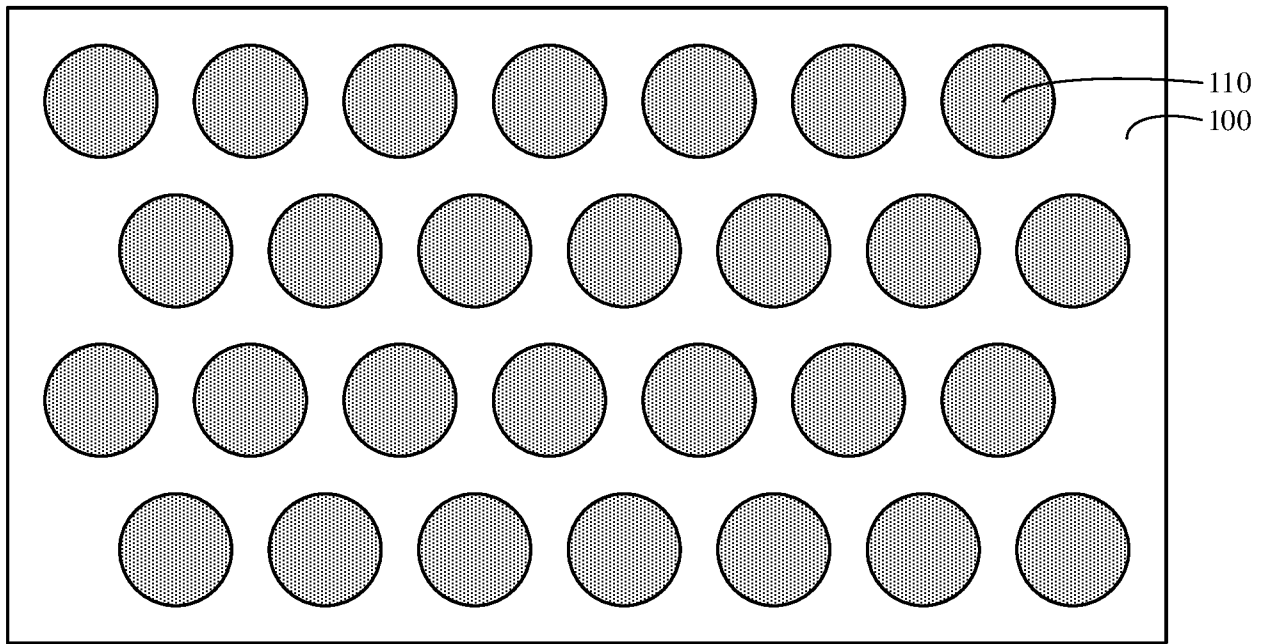


图 13

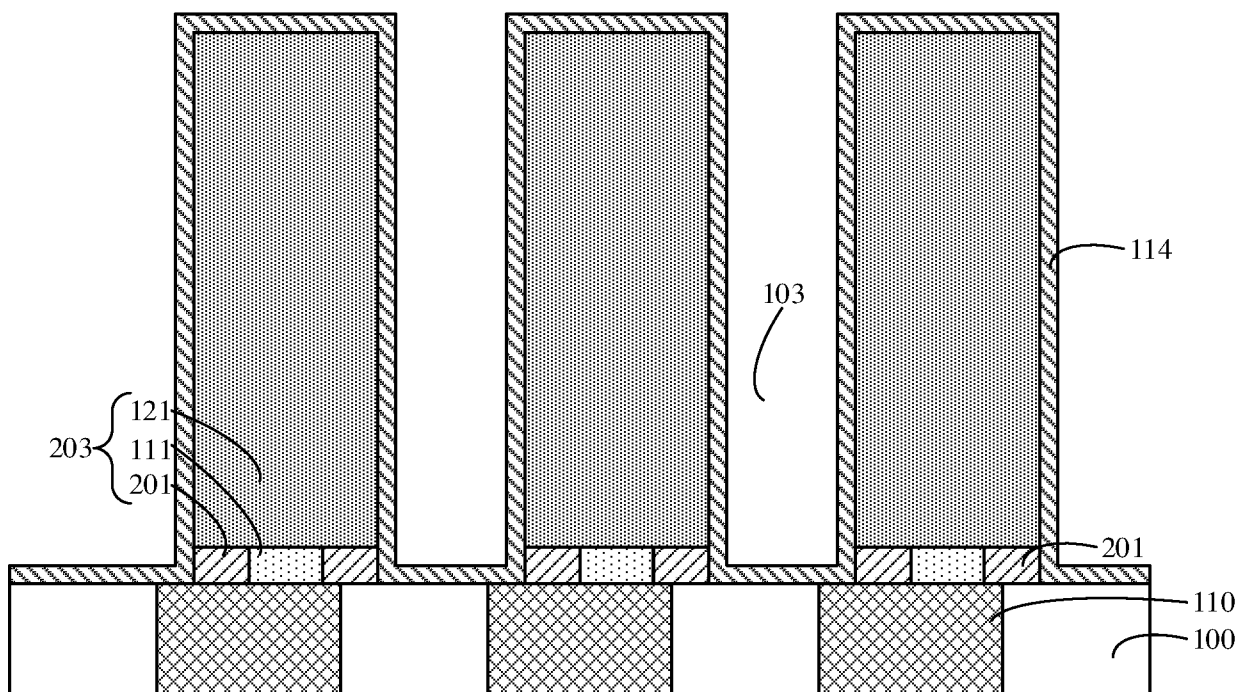


图 14

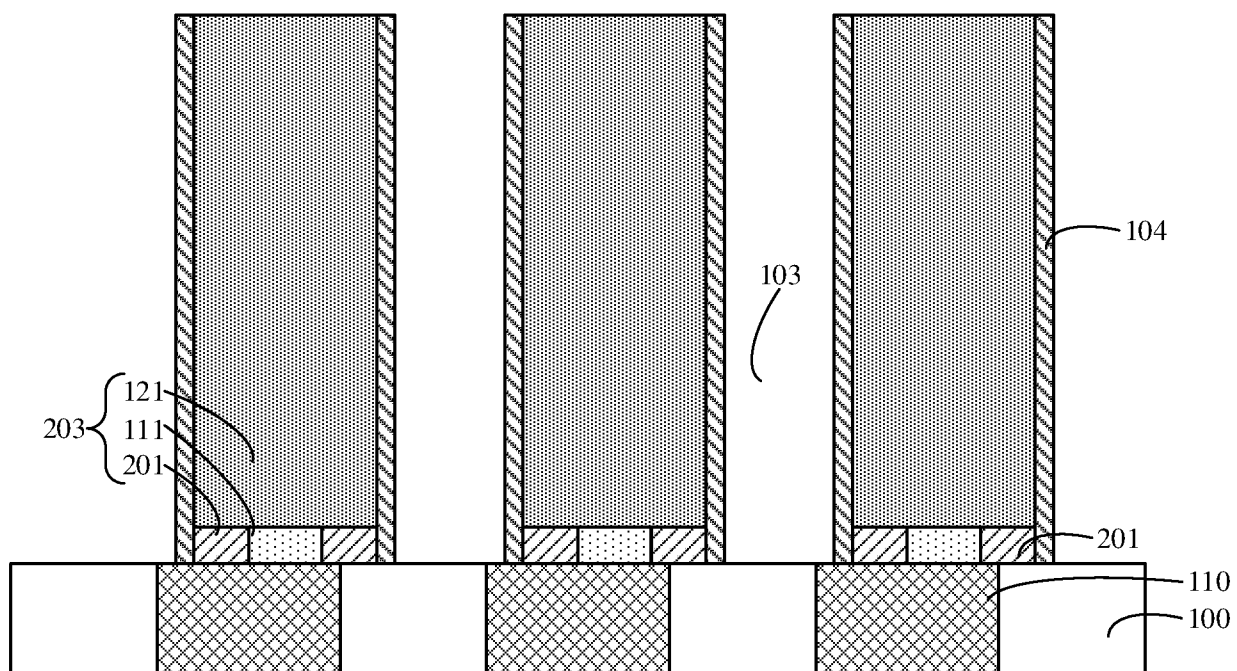


图 15

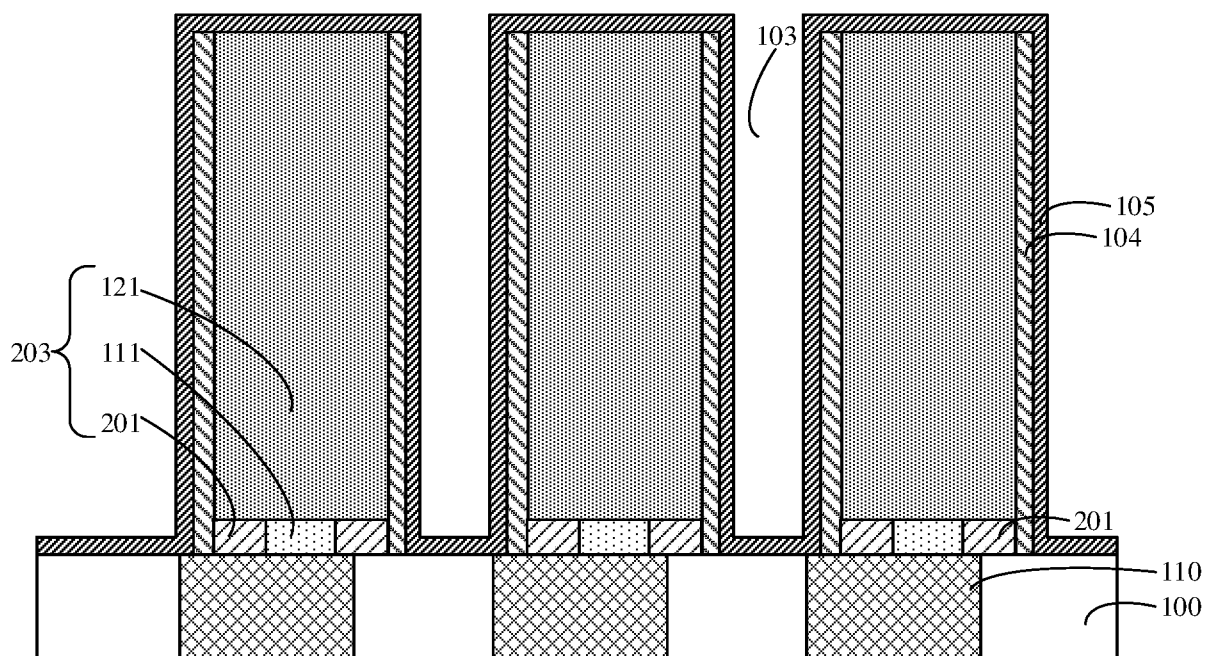


图 16

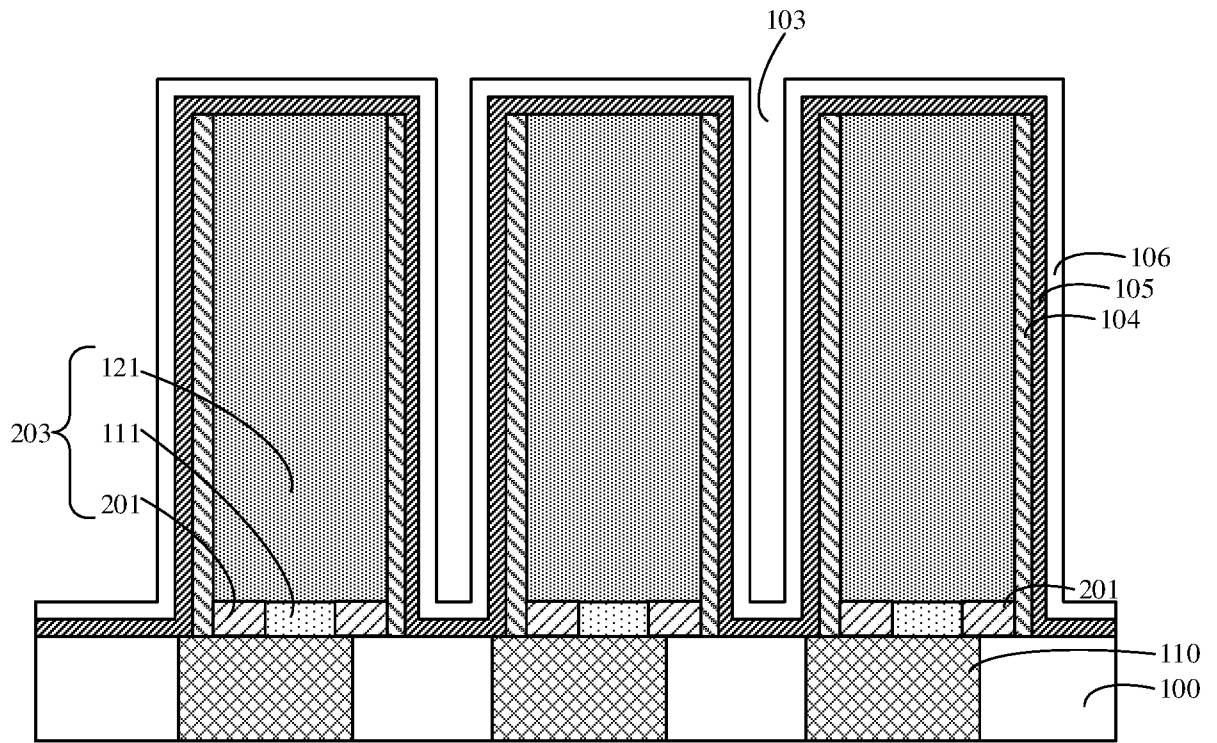


图 17

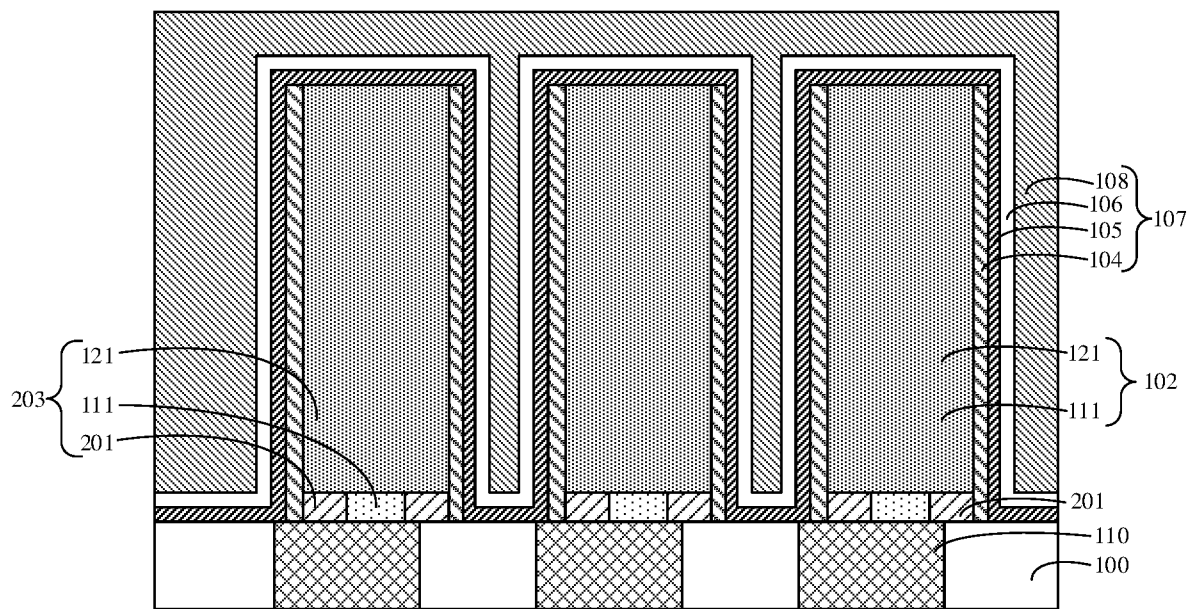


图 18

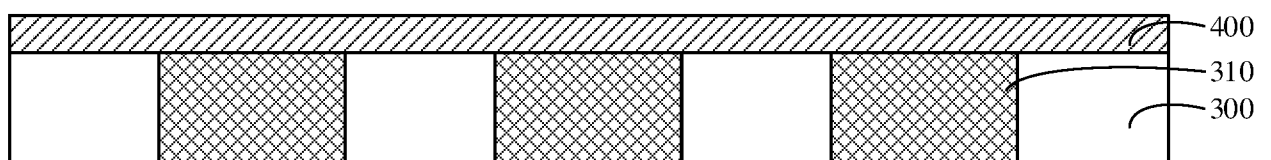


图 19

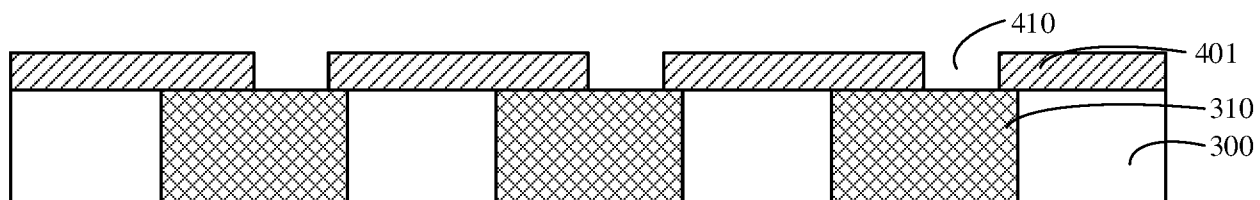


图 20

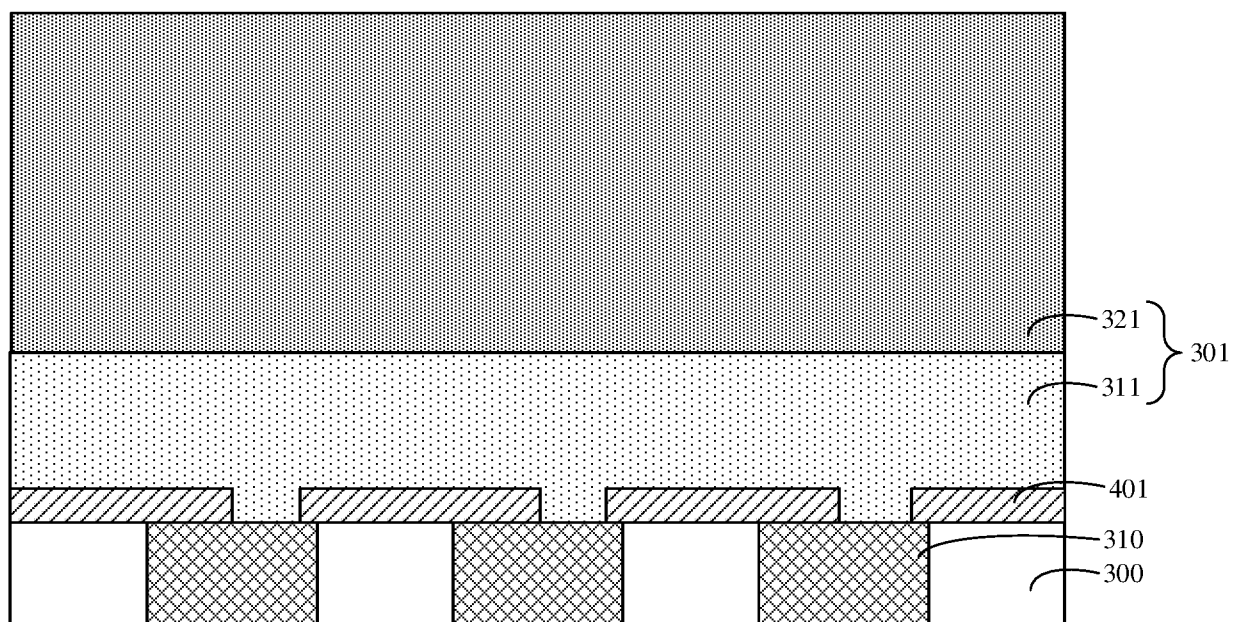


图 21

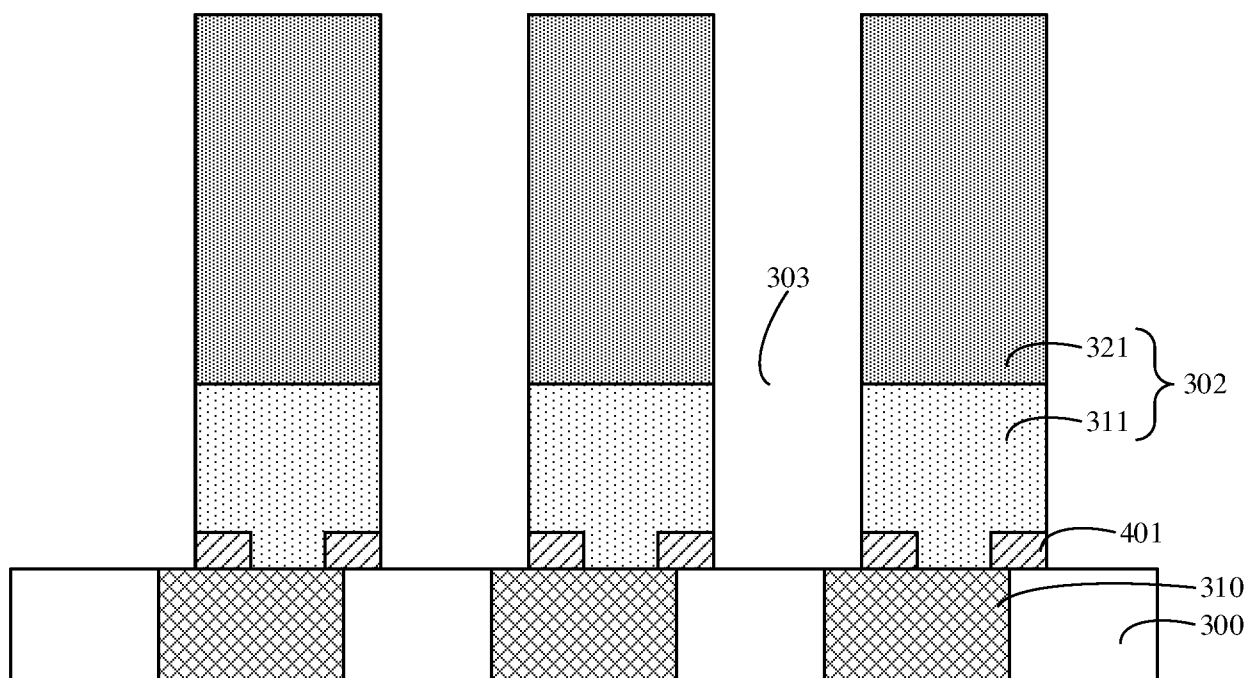


图 22

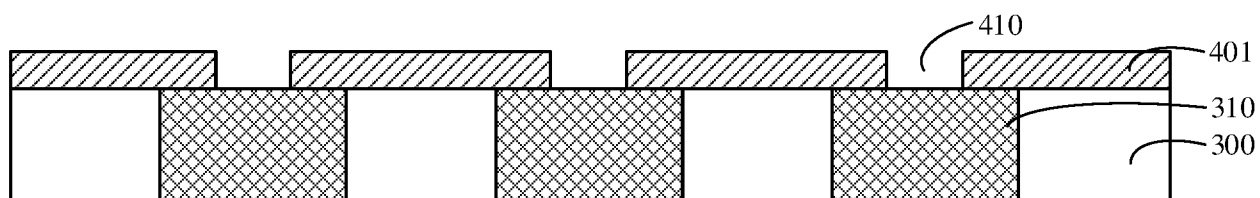


图 23

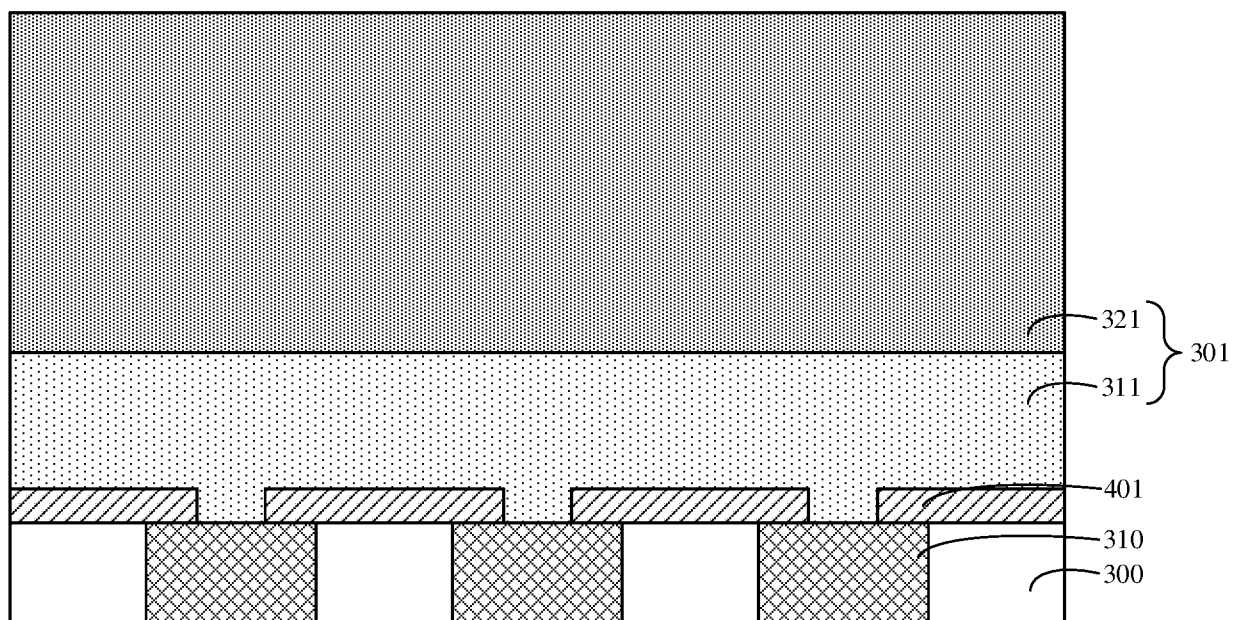


图 24

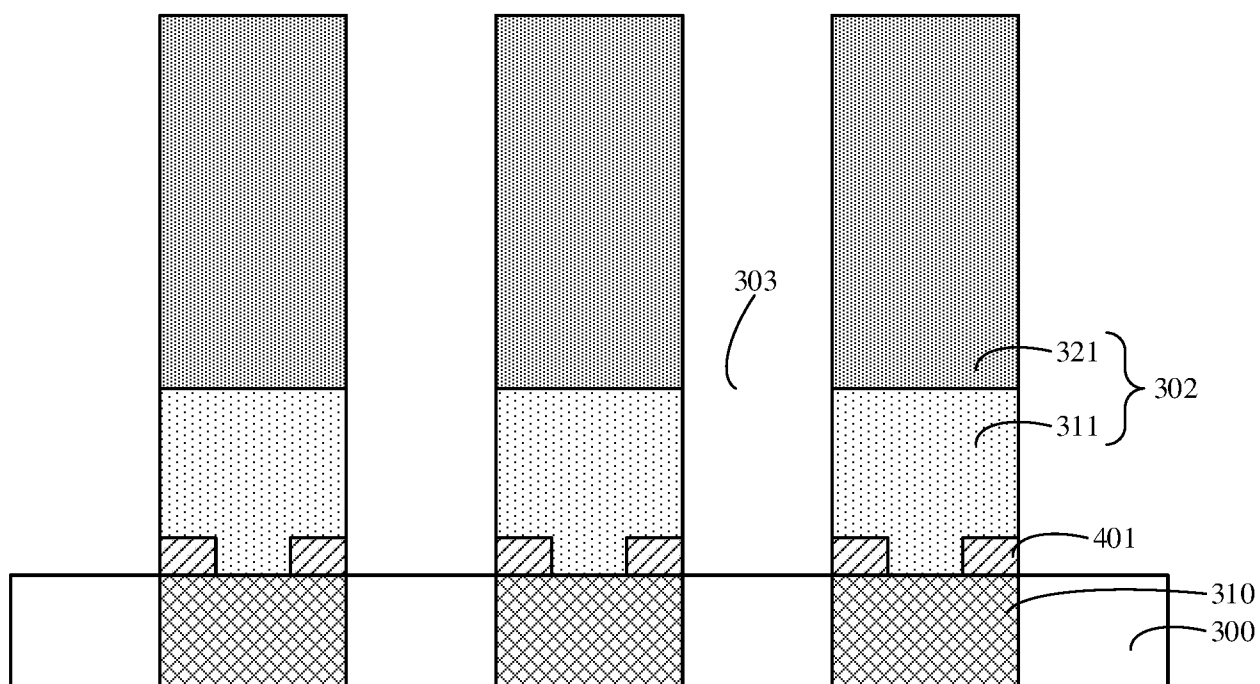


图 25

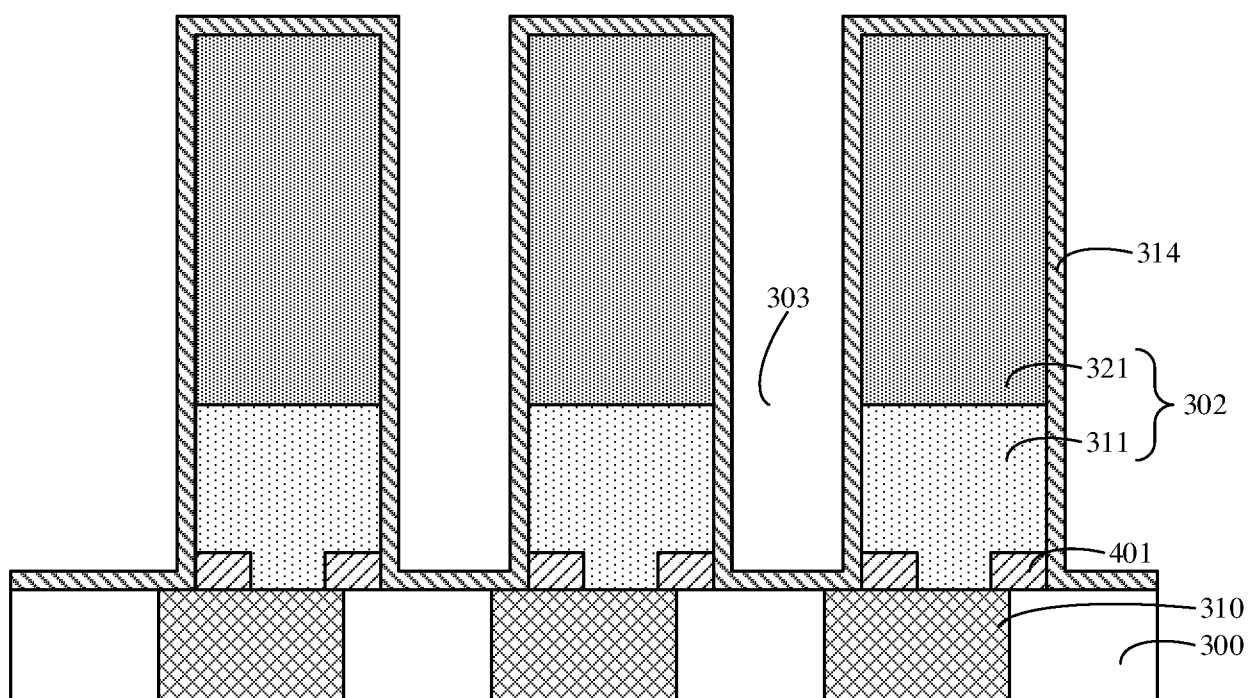


图 26

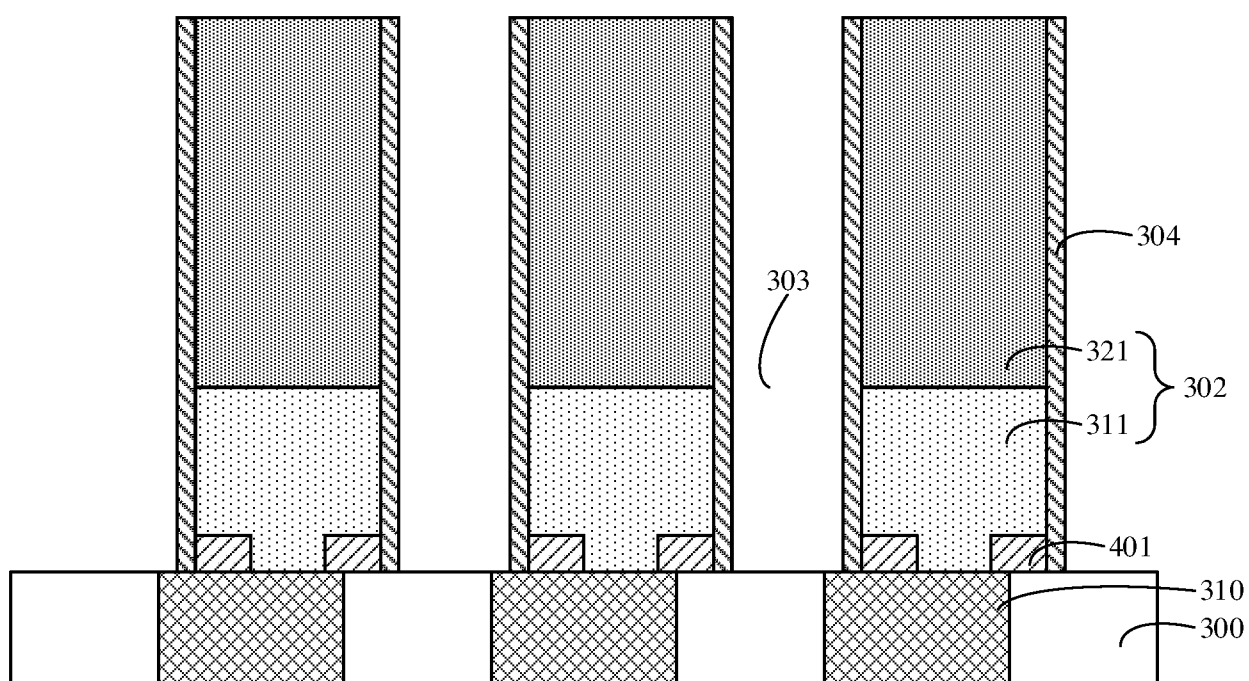


图 27

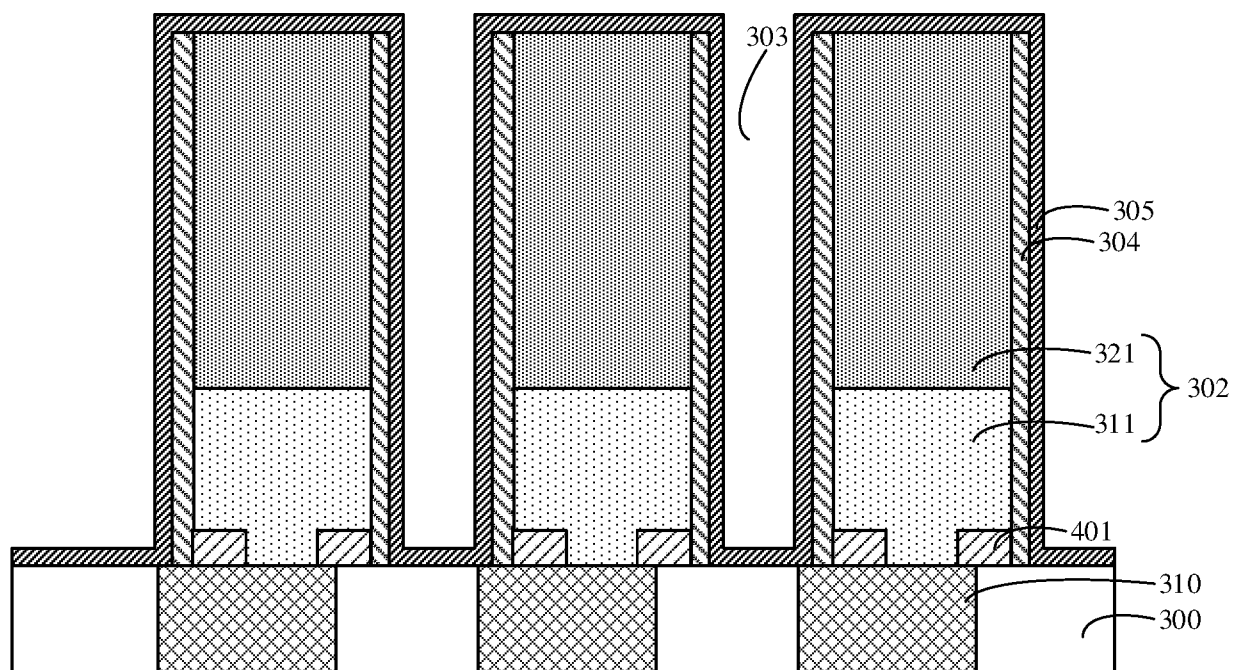


图 28

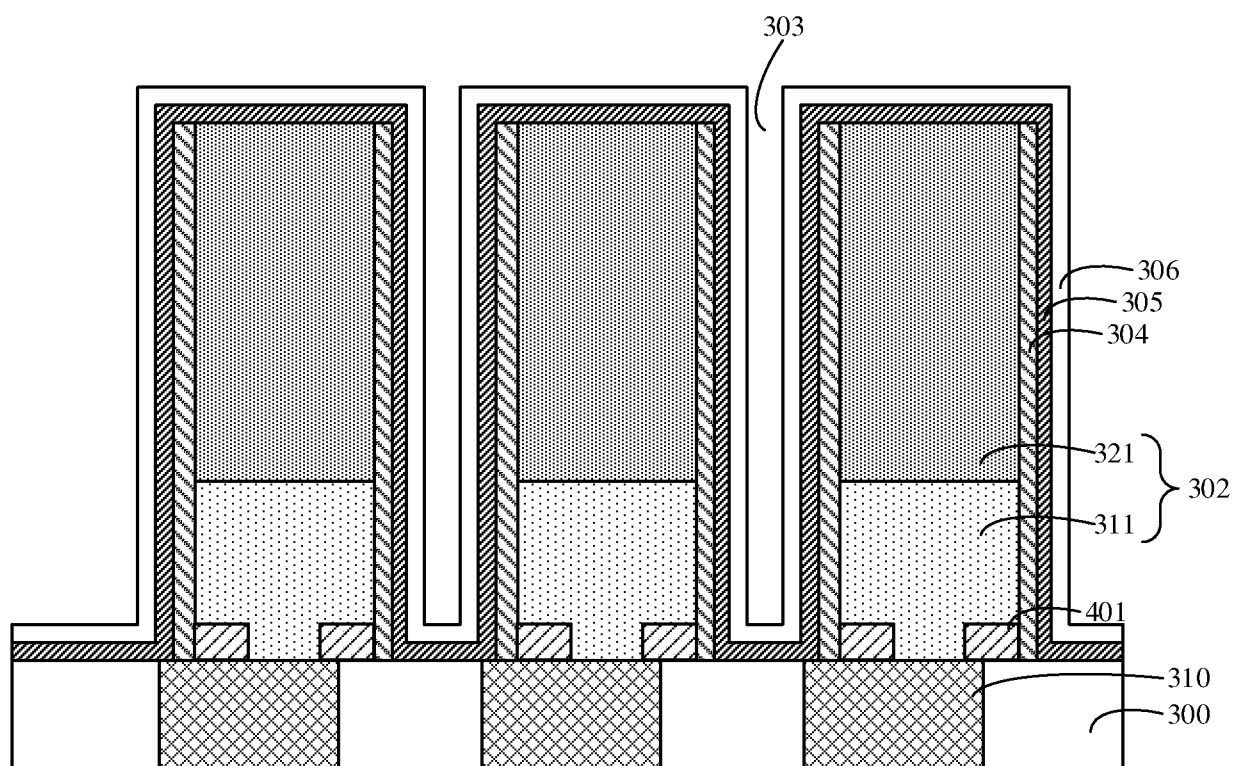


图 29

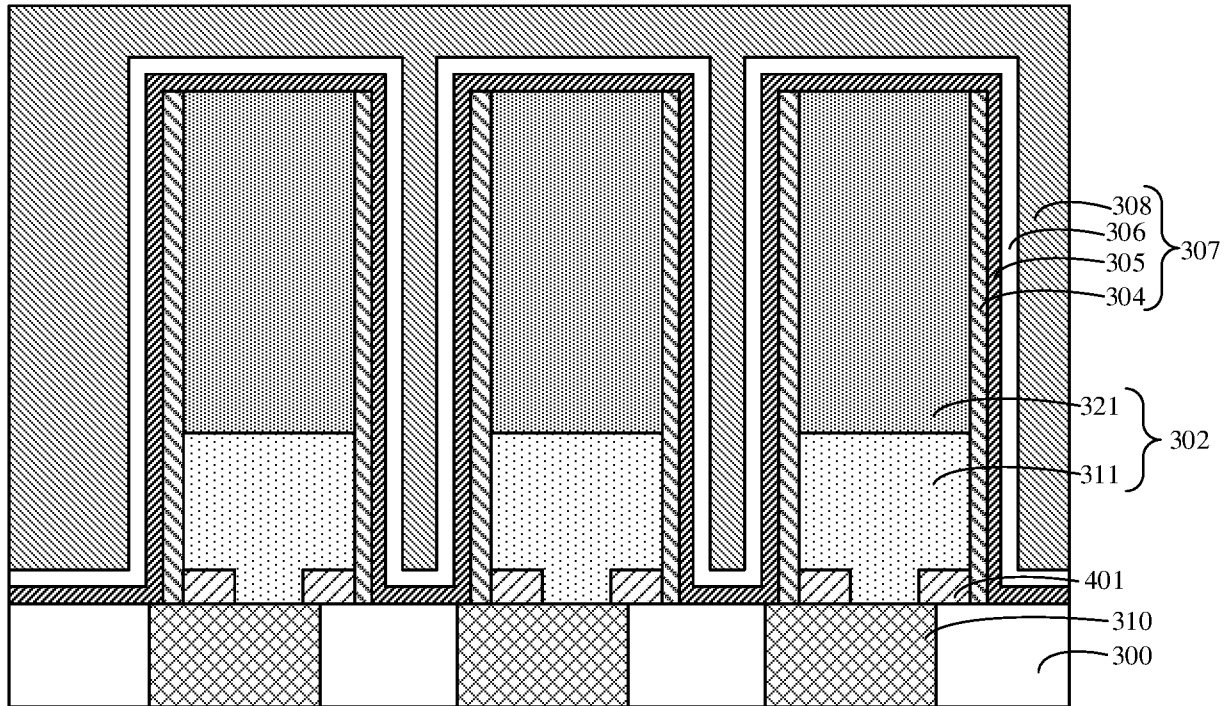


图 30

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/098929

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT; CNKI; EPODOC; WPI: 电容, 分立, 柱, 支撑, 横向蚀刻, 横向刻蚀, DRAM, SRAM, capacitor, pillar, post, support, side+, metal+, electrode, lateral+, etch+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002102791 A1 (FUJITSU LIMITED) 01 August 2002 (2002-08-01) description, paragraphs [0062]-[0091], and figures 2-5	1-2, 4-6, 12-15, 17
Y	US 2002102791 A1 (FUJITSU LIMITED) 01 August 2002 (2002-08-01) description, paragraphs [0062]-[0091], and figures 2-5	10-11, 16
Y	US 2003127679 A1 (NEC ELECTRONICS CORPORATION) 10 July 2003 (2003-07-10) description, paragraphs [0044]-[0058], and figures 1-8	10-11
Y	US 2015171159 A1 (SAMSUNG ELECTRONICS CO., LTD.) 18 June 2015 (2015-06-18) description, paragraphs [0037]-[0059], and figure 4	16
A	CN 109698274 A (UNITED MICROELECTRONICS CORP. et al.) 30 April 2019 (2019-04-30) entire document	1-17
A	US 2017084613 A1 (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) 23 March 2017 (2017-03-23) entire document	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 July 2021

Date of mailing of the international search report

30 August 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/098929

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
US	2002102791	A1	01 August 2002	US	6974985 B2	13 December 2005
				JP	2002231901 A	16 August 2002
				EP	1229569 A3	22 November 2006
				EP	1229569 A2	07 August 2002
				KR	100509851 B1	23 August 2005
				KR	20020064135 A	07 August 2002
				EP	1229569 B1	14 December 2011
				TW	522550 B	01 March 2003
				JP	4282245 B2	17 June 2009
US	2003127679	A1	10 July 2003	JP	2001102546 A	13 April 2001
				US	6559495 B1	06 May 2003
US	2015171159	A1	18 June 2015	KR	20150068765 A	22 June 2015
				US	9362422 B2	07 June 2016
				KR	102117409 B1	01 June 2020
CN	109698274	A	30 April 2019	US	2019123135 A1	25 April 2019
				US	10784334 B2	22 September 2020
US	2017084613	A1	23 March 2017	KR	20170036838 A	03 April 2017
				US	10886276 B2	05 January 2021
				KR	101748949 B1	21 June 2017

国际检索报告

国际申请号

PCT/CN2021/098929

A. 主题的分类

H01L 21/8242 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT;CNKI;EPDOC;WPI: 电容, 分立, 柱, 支撑, 横向蚀刻, 横向刻蚀, DRAM, SRAM, capacitor, pillar, post, support, side+, metal+, electrode, lateral+, etch+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2002102791 A1 (FUJITSU LIMITED) 2002年 8月 1日 (2002 - 08 - 01) 说明书第[0062]-[0091]段, 附图2-5	1-2, 4-6, 12-15, 17
Y	US 2002102791 A1 (FUJITSU LIMITED) 2002年 8月 1日 (2002 - 08 - 01) 说明书第[0062]-[0091]段, 附图2-5	10-11, 16
Y	US 2003127679 A1 (NEC ELECTRONICS CORPORATION) 2003年 7月 10日 (2003 - 07 - 10) 说明书第[0044]-[0058]段, 附图1-8	10-11
Y	US 2015171159 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2015年 6月 18日 (2015 - 06 - 18) 说明书第[0037]-[0059]段, 附图4	16
A	CN 109698274 A (联华电子股份有限公司 等) 2019年 4月 30日 (2019 - 04 - 30) 全文	1-17
A	US 2017084613 A1 (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) 2017年 3月 23日 (2017 - 03 - 23) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 7月 2日

国际检索报告邮寄日期

2021年 8月 30日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

曹毓涵

电话号码 86-(10)-53961208

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/098929

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2002102791	A1	2002年 8月 1日	US	6974985	B2	2005年 12月 13日
				JP	2002231901	A	2002年 8月 16日
				EP	1229569	A3	2006年 11月 22日
				EP	1229569	A2	2002年 8月 7日
				KR	100509851	B1	2005年 8月 23日
				KR	20020064135	A	2002年 8月 7日
				EP	1229569	B1	2011年 12月 14日
				TW	522550	B	2003年 3月 1日
				JP	4282245	B2	2009年 6月 17日
US	2003127679	A1	2003年 7月 10日	JP	2001102546	A	2001年 4月 13日
				US	6559495	B1	2003年 5月 6日
US	2015171159	A1	2015年 6月 18日	KR	20150068765	A	2015年 6月 22日
				US	9362422	B2	2016年 6月 7日
				KR	102117409	B1	2020年 6月 1日
CN	109698274	A	2019年 4月 30日	US	2019123135	A1	2019年 4月 25日
				US	10784334	B2	2020年 9月 22日
US	2017084613	A1	2017年 3月 23日	KR	20170036838	A	2017年 4月 3日
				US	10886276	B2	2021年 1月 5日
				KR	101748949	B1	2017年 6月 21日