

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年3月19日(19.03.2015)



(10) 国際公開番号

WO 2015/037252 A1

- (51) 国際特許分類:
H03K 4/06 (2006.01) H03K 3/0231 (2006.01)
G01C 19/5776 (2012.01)
- (21) 国際出願番号: PCT/JP2014/052389
- (22) 国際出願日: 2014年2月3日(03.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-187544 2013年9月10日(10.09.2013) JP
- (71) 出願人: 日立オートモティブシステムズ株式会社 (HITACHI AUTOMOTIVE SYSTEMS, LTD.)
[JP/JP]; 〒3128503 茨城県ひたちなか市高場2520番地 Ibaraki (JP).
- (72) 発明者: 奥津 光彦(OKUTSU Mitsuhiro); 〒3191293 茨城県日立市大みか町5丁目2番1号株式会社日立情報制御ソリューションズ内 Ibaraki (JP). 大坂 一朗(OHSAKA Ichiro); 〒3128503 茨城県ひたちなか市高場2520番地日立オートモティブシステムズ株式会社内 Ibaraki (JP).
- (74) 代理人: 井上 学, 外(INOUE Manabu et al.); 〒1008220 東京都千代田区丸の内一丁目6番1号株式会社日立製作所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

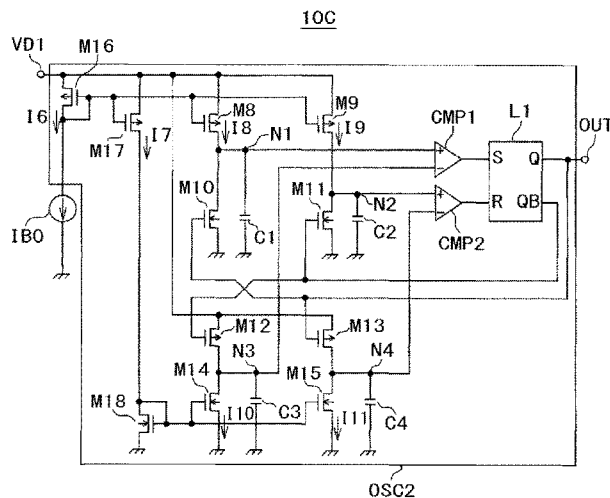
— 国際調査報告 (条約第21条(3))

(54) Title: OSCILLATION CIRCUIT, SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE USING SAME, AND ROTATIONAL ANGLE DETECTION DEVICE

(54) 発明の名称: 発振回路、それを用いた半導体集積回路装置および回転角検出装置

[図5]

図5



(57) Abstract: The objective of the invention is to provide an oscillation circuit that ensures oscillation frequency precision against parameter variations, such as temperature variations, even for a relatively high frequency band. The oscillation circuit comprises: a first capacitor which is charge-driven by a current and the terminal voltage of which linearly changes in a first direction; and a second capacitor which is discharge-driven by a current in parallel with the charge-driving of the first capacitor and the terminal voltage of which linearly changes in a second direction that is opposite to the first direction. The oscillation circuit is configured to form an oscillation period on the basis of a first timing at which the terminal voltages of the first and second capacitors cross each other.

(57) 要約: 比較的高周波域でも温度変動などのパラメータ変動に対して発振周波数精度を確保する発振回路を提供するために、発振回路は、電流によって充電駆動されその端子電圧が第1の方向に直線的に変化する第1のコンデンサと、第1のコンデンサの充電駆動に並行して電流によって放電駆動されその端子電圧が第1の方向とは逆方向の第2の方向に直線的に変化する第2のコンデンサと、を具備する。上記発振回路は、第1および第2のコンデンサの各端子電圧が交差する第1のタイミングに基づいて発振周期を形成するようにされる。

WO 2015/037252 A1

明 細 書

発明の名称：

発振回路、それを用いた半導体集積回路装置および回転角検出装置

技術分野

[0001] 本開示は、発振回路に関し、コンデンサの充放電時定数を利用して発振周期を形成する発振回路に適用可能である。

背景技術

[0002] コンデンサの充放電時定数を利用して発振周期を形成する発振回路は、例えば、特開 2001-127592 号公報（特許文献 1）に開示されている。この発振回路は、任意の電圧に比例する定電流を生成する定電流生成部と、この定電流生成部で生成された定電流により充電されるコンデンサと、このコンデンサの充電電圧を基準電圧と比較し、この充電電圧が基準電圧を上回ったときに放電信号を生成し、この放電信号によりコンデンサの充電電荷を放電する放電部とを備え、この放電部で生成される放電信号を発振出力として取り出すようになっている。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2001-127592 号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献 1 の図 2 に示されるように、発振周期（TS）は、充電時間（T）に放電信号幅（TP）を加えたものとなるが、特許文献 1 では、放電信号幅（TP）は充電時間（T）の $1/1000$ 程度であり、充電時間（T）を発振周期（TS）とみなしても実用上は問題ないとしている。しかし、特に高周波の発振出力を必要とする用途においては問題を生じることになる。

[0005] コンデンサ（C）の放電には必ず有限な時間幅が必要であり、これを 10 ns 程度（＝放電信号幅（TP））と仮定すると、発振周波数が 100 KHz

z (発振周期 (TS) = 10 μ s) 程度であれば実用上の問題は無いとも考えられる。しかし、例えば 20 MHz z (発振周期 (TS) = 50 ns) 程度の発振周波数を得ようとする場合においては、放電信号幅 (TP) がその周期 (TS) に対して 20% の比率を占めることとなり、発振周波数精度確保の観点で放電信号幅 (TP) の成分を無視することができなくなる。具体的には放電時間、すなわち放電信号幅 (TP) は特許文献 1 の図 1 に示される NMOS トランジスタ (N1) のオン抵抗に依存するため、温度およびコンパレータ (21) の出力の「H」レベル (= 電源電圧 (VCC) の電位)、さらにプロセスパラメータばらつき、などの影響を受けて変動することとなり、例えば 20 MHz $\pm$ 5% 程度の発振周波数精度を広範な使用温度範囲や使用電源電圧範囲に亘って確保しようとすることは極めて困難となる。

[0006] また、特許文献 1 の図 2 においては、コンデンサ (C) の充電電圧が基準電圧 (VIN) に到達した時点でコンパレータ (21) の出力が「H」レベルに反転し、コンパレータ (21) の検知遅れは無いものとして記載されている。しかし、実際にはその検知遅れ時間が存在し、これも高周波域での発振周波数精度確保の障害となる。具体的には、コンパレータ (21) の出力が「H」レベルに反転するには、その反転・非反転入力間の電位差が、コンパレータ (21) が感応できるレベルまで開く必要がある。しかし、その感応レベルもコンパレータ (21) の入力差動対を構成する MOS トランジスタの gm などに依存するため、やはり上記パラメータ変動の影響を受けることになる。結果的に温度変動などのパラメータ変動によってコンパレータ (21) の検知応答時間も変動を来すこととなり、発振周波数精度確保を図る上での障害となる。

[0007] そこで本開示は、数十 MHz 程度の高周波域でも発振周波数精度を有する発振回路を提供することを課題とする。

[0008] その他の課題と新規な特徴は、本開示の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0009] 本開示のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、発振回路は、電流によって充電駆動されその端子電圧が第1の方向に直線的に変化する第1のコンデンサと、第1のコンデンサの充電駆動に並行して電流によって放電駆動されその端子電圧が第1の方向とは逆方向の第2の方向に直線的に変化する第2のコンデンサと、を具備する。第1および第2のコンデンサの各端子電圧が交差する第1のタイミングに基づいて発振周期を形成するようにされる。

発明の効果

[0010] 上記発振回路によれば、発振周波数精度を確保することができる。

図面の簡単な説明

[0011] [図1]実施例1に係る発振回路の構成を示す回路図である。

[図2]実施例1に係る発振回路による動作を示す波形図である。

[図3]変形例1に係る発振回路の構成を示す回路図である。

[図4]変形例2に係るバイアス回路の構成を示す回路図である。

[図5]実施例2に係る発振回路の構成を示す回路図である。

[図6]発振回路による動作を示す波形図である。

[図7]変形例3に係る発振回路の構成を示す回路図である。

[図8]変形例4に係る発振回路の構成を示す回路図である。

[図9]実施例3に係る半導体集積回路装置の構成を示すブロック図である。

[図10]実施例3に係る半導体集積回路装置の動作を示す波形図である。

[図11]実施例3に係る2相クロック生成回路の構成を示す回路図である。

[図12]実施例4に係る回転角検出装置の構成を示すブロック図である。

発明を実施するための形態

[0012] <実施の形態>

実施の形態のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 発振回路は、

電流によって充電駆動され、その端子電圧が第 1 の方向に直線的に変化する第 1 のコンデンサ (C 1) と、

第 1 のコンデンサ (C 1) の充電駆動とともに電流によって放電駆動され、その端子電圧が第 1 の方向とは逆方向の第 2 の方向に直線的に変化する第 2 のコンデンサ (C 3) と、

を具備し、

第 1 および第 2 のコンデンサ (C 1、C 3) の各端子電圧が交差する第 1 のタイミング (D) に基づいて発振周期を形成するようにされる。

(2) 上記 (1) の発振回路は、

第 1 のタイミング (D) に基づいて、第 1 のコンデンサ (C 1) の端子電圧を第 2 の方向にプルダウンまたはプルアップし、第 2 のコンデンサ (C 3) の端子電圧を第 1 の方向にプルアップまたはプルダウンする。

(3) 上記 (2) の発振回路は、

電流によって充電駆動されその端子電圧が第 1 の方向に直線的に変化する第 3 のコンデンサ (C 2) と、

第 3 のコンデンサの充電駆動とともに電流によって放電駆動され、その端子電圧が第 2 の方向に直線的に変化する第 4 のコンデンサ (C 4) と、
を具備し、

第 3 および第 4 のコンデンサ (C 2、C 4) の各端子電圧が交差する第 2 のタイミング (C、C') に基づいて発振出力を反転する。

(4) 上記 (3) の発振回路は、

第 2 のタイミング (C、C') に基づいて、第 3 のコンデンサ (C 2) の端子電圧を第 2 の方向にプルダウンまたはプルアップし、第 4 のコンデンサ (C 4) の端子電圧を第 1 の方向にプルアップまたはプルダウンする。

(5) 上記 (4) の発振回路は、

第 1 の方向は第 1 の電源端子 (V D 1) の電位の方向であり、第 2 の方向は基準電位の方向であり、

第 1 の電源端子 (V D 1) の電圧値を調整する第 1 のトリミング回路 (R

L 4、4、5) と、

第1および第3のコンデンサ(C 1、C 2)の端子を充電駆動する電流(I 8、I 9)の電流値と、第2および第4のコンデンサの端子(C 3、C 4)を放電駆動する電流(I 10、I 11)の電流値と、を調整する第2のトリミング回路(M 20、M 211、M 212、M 21 i、7、8)と、を具備する。

(6) 半導体集積回路装置は、

上記(5)の発振回路(10)と、

第1および第2のトリミング回路のトリミングデータを格納する不揮発性メモリモジュール(12)と、

発振回路の発振出力パルスから生成したシステムクロックによって制御される論理回路(15)と、

を具備する。

(7) 回転角検出装置は、

上記1から5のいずれか1つの発振回路(22)と、

発振回路(22)の発振出力パルスクロックによって制御されるサーボ(23)と、

サーボ(23)から駆動信号を受ける角速度検出素子(24)と、を具備する。

(8) 発振回路は、

第一の電源端子(V D 1)と、

第一、第二の端子を有し、該第一の端子を基準電位に接続した第一のコンデンサ(C 1)と、

第一のコンデンサ(C 1)の第二の端子(N 1)と第一の電源端子(V D 1)との間に設けられた第一の定電流源(M 8)と、

第一の制御信号に基づいて第一のコンデンサ(C 1)の第二の端子(N 1)と基準電位との間を短絡する第一の短絡回路(M 10)と、

第一、第二の端子を有し、該第一の端子を基準電位に接続した第二のコン

デンサ（C 3）と、

第二のコンデンサ（C 3）の第二の端子（N 3）と基準電位との間に設けられた第二の定電流源（M 1 4）と、

第一の制御信号に対して反転した極性を有する第二の制御信号に基づいて第二のコンデンサ（C 3）の第二の端子（N 3）と第一の電源端子（V D 1）との間を短絡する第二の短絡回路（M 1 2）と、

第一、第二の端子を有し、該第一の端子を基準電位に接続した第三のコンデンサ（C 2）と、

第三のコンデンサ（C 2）の第二の端子（N 2）と第一の電源端子（V D 1）との間に設けられた第三の定電流源（M 9）と、

第二の制御信号に基づいて第三のコンデンサ（C 2）の第二の端子（N 2）と基準電位との間を短絡する第三の短絡回路（M 1 1）と、

第一、第二の端子を有し、該第一の端子を基準電位に接続した第四のコンデンサ（C 4）と、

第四のコンデンサ（C 4）の第二の端子（N 4）と基準電位との間に設けられた第四の定電流源（M 1 5）と、

第一の制御信号に基づいて第四のコンデンサ（C 4）の第二の端子（N 4）と第一の電源端子（V D 1）との間を短絡する第四の短絡回路（M 1 3）と、

第一のコンデンサ（C 1）の第二の端子電位と第二のコンデンサ（C 3）の第二の端子電位とを比較する第一のコンパレータ（CMP 1、CMP 3）と、

第三のコンデンサ（C 2）の第二の端子電位と第四のコンデンサ（C 4）の第二の端子電位とを比較する第二のコンパレータ（CMP 2、CMP 4）と、

第一のコンパレータ（CMP 1、CMP 3）の比較出力と第二のコンパレータ（CMP 2、CMP 3）の比較出力とに基づき第一の制御信号および第二の制御信号を生成する論理回路（L 1、L 2）と、

を具備し、

論理回路（L 1、L 2）は、

第一のコンパレータ（CMP 1、CMP 3）が第一のコンデンサ（C 1）の第二の端子電位と第二のコンデンサ（C 3）の第二の端子電位との交差を検知して成した比較出力反転から第二のコンパレータ（CMP 2、CMP 4）が第三のコンデンサ（C 2）の第二の端子電位と第四のコンデンサ（C 4）の第二の端子電位との交差を検知して成した比較出力反転までの期間内は、第一の制御信号を第一の極性で、また第二の制御信号を第二の極性でそれぞれ出力し、

第二のコンパレータ（CMP 2、CMP 4）が第三のコンデンサ（C 2）の第二の端子電位と第四のコンデンサ（C 4）の第二の端子電位との交差を検知して成した比較出力反転から第一のコンパレータ（CMP 1、CMP 3）が第一のコンデンサ（C 1）の第二の端子電位と第二のコンデンサ（C 3）の第二の端子電位との交差を検知して成した比較出力反転までの期間内は、第一の制御信号を第二の極性で、また第二の制御信号を第一の極性でそれぞれ出力するように構成し、

第一の短絡回路（M 1 0）は第一の制御信号の第一の極性で活性化し、
第二の短絡回路（M 1 2）は第二の制御信号の第二の極性で活性化し、
第三の短絡回路（M 1 1）は第二の制御信号の第一の極性で活性化し、
第四の短絡回路（M 1 3）は第一の制御信号の第二の極性で活性化するように構成するとともに、第一または第二の制御信号を発振出力として利用する。

[0013] 本開示において、定電流または定電流源とは、電流値はほぼ一定である電流または電流源であって、電流値の変動を許容する。その結果、例えば、発振周波数精度が所定範囲内（± 5 %）に収まる程度の変動を許容するものである。

[0014] 以下、実施例および変形例について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明は省略

する。

実施例 1

[0015] 実施例 1 は、定電流によるコンデンサの充電時間を利用して発振周期を形成する発振回路において、温度変動などによる発振周期の変動を抑制し、数十 MHz 程度（20 MHz ～ 60 MHz 程度）と比較的高周波領域においてもその発振周波数精度を確保し得る発振回路を提供するものである。

[0016] 図 1 は実施例 1 に係る発振回路の構成を示す回路図である。図 2 は実施例 1 に係る発振回路による動作を示す波形図である。

（構成）

実施例 1 に係る発振回路 10A は、定電流生成回路 1 と比較基準電圧生成回路 2 と発振回路コア部 OSC 1 を有する。

定電流生成回路 1 は、PMOS トランジスタ M1 とオペアンプ（差動増幅器）A1 と抵抗 R1 を有する。PMOS トランジスタ M1 において、そのドレイン端子を抵抗 R1 を介して GND に、そのソース端子を電源端子 VCC に、それぞれ接続する。オペアンプ A1 において、その反転入力端子（－）を参照電圧入力端子 VREF に、その非反転入力端子（＋）を PMOS トランジスタ M1 のドレイン端子と抵抗 R1 の接続点（ノード N7）に、その出力端子を PMOS トランジスタ M1 のゲート端子に、それぞれ接続する。定電流生成回路 1 において、オペアンプ A1 の出力端子と PMOS トランジスタ M1 のゲート端子の接続点をバイアス出力端子 G0 としている。オペアンプ A1 は電源端子 VCC の電位と GND との間で動作する。

[0017] 比較基準電圧生成回路 2 は、PMOS トランジスタ M2 と抵抗 R2 を有する。PMOS トランジスタ M2 において、そのドレイン端子を抵抗 R2 を介して GND に、そのソース端子を電源端子 VCC に、そのゲート端子を定電流生成回路 1 のバイアス出力端子 G0 に、それぞれ接続する。比較基準電圧生成回路 2 において、PMOS トランジスタ M2 のドレイン端子と抵抗 R2 との接続点を比較基準電圧の出力端子 VR としている。

[0018] 発振回路コア部 OSC 1 は、PMOS トランジスタ（第 1 の導電型の MO

Sトランジスタ) M3とNMOSトランジスタ(第2の導電型のMOSトランジスタ) M5とPMOSトランジスタM4とNMOSトランジスタM6と論理回路L1とコンパレータCMP1とコンパレータCMP2とコンデンサC1とコンデンサC2を有する。PMOSトランジスタM3において、そのドレイン端子をコンデンサC1に、そのソース端子を電源端子VCCに、そのゲート端子をバイアス出力端子G0に、それぞれ接続する。NMOSトランジスタM5において、そのドレイン端子をPMOSトランジスタM3のドレイン端子に、ソース端子を基準電位(以下、GNDと記す)にそれぞれ接続する。PMOSトランジスタM4において、そのドレイン端子をコンデンサC2に、そのソース端子を電源端子VCCに、そのゲート端子をバイアス出力端子G0に、それぞれ接続する。NMOSトランジスタM6において、そのドレイン端子をPMOSトランジスタM4のドレイン端子に、そのソース端子をGNDに、それぞれ接続する。論理回路L1はセット信号入力端子Sとリセット信号入力端子Rと出力端子Qと反転出力端子QBとを有する。論理回路L1は、セット信号入力端子Sに立上りエッジが入力されてからリセット信号入力端子Rに立上りエッジが入力されるまでの期間は出力端子Qにハイ(High)レベルの信号出力を行い、リセット信号入力端子Rに立上りエッジが入力されてからセット信号入力端子Sに立上りエッジが入力されるまでの期間は出力端子Qにロウ(Low)レベルの信号出力を行う。また、論理回路L1は、反転出力端子QBに出力端子Qの信号出力を反転した極性の信号出力を行う。コンパレータCMP1において、その非反転入力端子(+)をコンデンサC1とPMOSトランジスタM3のドレイン端子との接続点(ノードN1)に、反転入力端子(-)を出力端子VRに、その出力を論理回路L1のセット信号入力端子Sに、それぞれ接続する。コンパレータCMP2において、その非反転入力端子(+)をコンデンサC2とPMOSトランジスタM4のドレイン端子との接続点(ノードN2)に、反転入力端子(-)を出力端子VRに、その出力を論理回路L1のリセット信号入力端子Rに、それぞれ接続する。論理回路L1の出力端子Qを発振出力端子O

U T 及び N M O S トランジスタ M 5 のゲート端子に、また反転出力端子 Q B を N M O S トランジスタ M 6 のゲート端子に、それぞれ接続している。なお、論理回路 L 1 の出力端子 Q B から発振出力を取り出してもよい。コンパレータ C M P 1、C M P 2 および論理回路 L 1 は電源端子 V C C の電位と G N D との間で動作する。

[0019] なお、図 1 においては、コンデンサ C 1 及びコンデンサ C 2 の一端をいずれも G N D へ接続しているが、これに限定されるものではなく、例えば G N D に替えて電源端子 V C C へ接続しても構わない。

[0020] またコンパレータ C M P 1、コンパレータ C M P 2 の反転入力（－）、非反転入力（＋）の接続順や、論理回路 L 1 のセット信号入力端子 S、リセット信号入力端子 R の信号極性についても説明の便宜上の構成に過ぎず、以下に説明する動作機能が得られるものであれば、当該構成に限定されない。

[0021] （動作）

以下、本実施例の動作について、図 2 の波形図を参照しながら説明する。図 2（a）はコンデンサ C 1 の端子（ノード N 1）の電位、同図（b）はコンデンサ C 2 の端子（ノード N 2）の電位、同図（c）はコンパレータ C M P 1 の出力電圧、同図（d）はコンパレータ C M P 2 の出力電圧、同図（e）は論理回路 L 1 の出力端子 Q（発振出力端子 O U T）の電圧、同図（f）は論理回路 L 1 の反転出力端子 Q B の電圧を示している。

[0022] まず、定電流生成回路 1 において、オペアンプ A 1 の非反転入力（＋）へ接続されている抵抗 R 1 の端子電圧は、反転入力（－）に接続する参照電圧端子 V R E F の印加電圧と等しくなるようにフィードバック制御される。よって抵抗 R 1 及び P M O S トランジスタ M 1 に流れる電流 I 1 の電流値を I_1 とすると、

$$I_1 = V_{REF} / R_1 \quad \cdots (1)$$

と表される。ここで、 V_{REF} は参照電圧入力端子 V R E F の印加電圧、 R_1 は抵抗 R 1 の抵抗値である。

[0023] 電流 I 1 の電流値は、式（1）からも明らかなように電源端子 V C C の印

加電圧には依存しない定電流となる。また、比較基準電圧生成回路 2 内の PMOS トランジスタ M2 は、定電流生成回路 1 内の PMOS トランジスタ M1 とカレントミラーの関係にあるから、PMOS トランジスタ M2 のドレイン電流 I_2 も定電流となる。よって抵抗 R_2 の電位降下も一定電圧となる。すなわち、出力端子 V_R には一定の比較基準電圧が出力される。その比較基準電圧を V_R 、抵抗 R_2 の抵抗値を R_2 、ドレイン電流 I_2 の電流値を I_2 とすれば、

$$V_R = I_2 \times R_2 = \alpha \times I_1 \times R_2 = \alpha \times V_{REF} \times R_2 / R_1 \quad \dots (2)$$

と表される。ここで、 α は PMOS トランジスタ M1 と PMOS トランジスタ M2 とのミラー比である。

[0024] また、PMOS トランジスタ M3 及び PMOS トランジスタ M4 も定電流生成回路 1 内の PMOS トランジスタ M1 とカレントミラーの関係にあるから、それらは定電流源として機能する。PMOS トランジスタ M3 及び PMOS トランジスタ M4 の各ドレイン電流 I_3 、 I_4 の電流値をそれぞれ I_3 、 I_4 とすると、

$$I_3 (= I_4) = \beta \times I_1 = \beta \times V_{REF} / R_1 \quad \dots (3)$$

と表される。ここで、 β は PMOS トランジスタ M1 と PMOS トランジスタ M3 及び PMOS トランジスタ M4 のミラー比である。

[0025] 次に発振動作について説明する。

(a) タイミング A ~ タイミング B

いま、論理回路 L1 の出力端子 Q が Low レベルへ遷移すると同時に、反転出力端子 QB が High レベルへ遷移するとする。このとき NMOS トランジスタ M5 は、そのゲート端子が Low レベルへ遷移することにより、オン状態からオフ状態へ遷移する。また、NMOS トランジスタ M6 は、そのゲート端子が High レベルへ遷移することにより、オフ状態からオン状態へ遷移する。ここで、NMOS トランジスタ M5 の電流駆動能力は、PMOS トランジスタ M3 のドレイン電流 I_3 に比べて十分大きく、そのオン状態においては、コンデンサ C1 の両端子間をほぼ同電位とする短絡回路として

機能し得るものとする。なお、コンデンサC 2側におけるNMOSトランジスタM 6もNMOSトランジスタM 5と同様、PMOSトランジスタM 4のドレイン電流I 4に比べて十分な大きさの電流駆動能力を有しており、コンデンサC 2の短絡回路として機能し得るものとする。

[0026] よって、上記の如くNMOSトランジスタM 5がオン状態からオフ状態へ遷移する時点では、コンデンサC 1の端子（ノードN 1）の電位はほぼGNDにあり、その状態からPMOSトランジスタM 3によるコンデンサC 1への充電電流の供給が開始される。これは図2の波形図におけるタイミングAの状態に相当し、PMOSトランジスタM 3のドレイン電流I 3は上記のように定電流であるため、タイミングA以降コンデンサC 1の端子（ノードN 1）の電位は図2（a）に記載のように直線的に上昇することになる。ここで、「直線的に上昇する」とは、所定電位間の上昇時間がほぼ一定であることを意味する。

[0027] 一方、コンデンサC 2側においては、NMOSトランジスタM 6がオン状態へ遷移し、コンデンサC 2の両端子間を短絡し、コンデンサC 2は放電される。これによって直前までPMOSトランジスタM 4のドレイン電流I 4によって充電されていたコンデンサC 2の端子（ノードN 2）の電位は、タイミングA以降図2（b）に示すようにGND（0V）に向かって低下することになる。その後、コンデンサC 2側では、少なくともコンパレータCMP 1の出力がHighレベルへ反転するまでは、論理回路L 1の反転出力端子QBにはHighレベルが出力されており、それによってNMOSトランジスタM 6のオン状態が維持され、コンデンサC 2の端子（ノードN 2）の電位はほぼGNDに固定されている。

[0028] （b）タイミングB～タイミングA'

やがて、コンデンサC 1の端子（ノードN 1）の電位が比較基準電圧（ V_R ）に到達すると、図2のタイミングBの如くコンパレータCMP 1の出力がHighレベルへ反転し、それを受けて論理回路L 1の出力端子QもHighレベルへ反転する。さらに、それを受けてNMOSトランジスタM 5がオ

フ状態からオン状態へ遷移し、それによってコンデンサC1の両端子間が短絡し、放電されてその端子（ノードN1）の電位はGND（0V）に向けて急速に低下し、コンパレータCMP1出力はLowレベルへ復帰する。ここで、図2（a）に記載したように、コンデンサC1の端子（ノードN1）の電位が比較基準電圧（ V_R ）に到達してからコンパレータCMP1の出力及び論理回路L1の出力が反転するまでには、ある有限な遅延時間（ t_{d1} ）を要する。ただし、一般的にCMOS論理ゲートなどで構成される論理回路L1の応答は、コンパレータCMP1の応答に比べて十分速く、よって遅延時間（ t_{d1} ）の大半はコンパレータCMP1の応答時間が占めることになる。

[0029] 一方、コンデンサC2側では、タイミングBにおいて、コンパレータCMP1の出力がHighレベルへ反転し、論理回路L1の出力端子QもHighレベルへ反転すると、反転出力端子QBはその反転出力となるためLowレベルへ反転する。これによりNMOSトランジスタM6はオフ状態へ遷移し、同時にPMOSトランジスタM4のドレイン電流I4によってコンデンサC2の充電が開始される。PMOSトランジスタM4のドレイン電流I4は定電流であるため、タイミングB以降コンデンサC2の端子（ノードN2）の電位はやはり直線的に上昇することになる。

[0030] （c）タイミングA'以降

やがてコンデンサC2の端子（ノードN2）の電位が比較基準電圧（ V_R ）に到達すると、図2のタイミングA'の如くコンパレータCMP2の出力がHighレベルへ反転し、それを受けて論理回路L1の出力端子QはLowレベルへ、反転出力端子QBはHighレベルへそれぞれ反転する。また、それを受けてNMOSトランジスタM6がオフ状態からオン状態へ遷移し、それによってコンデンサC2の両端子間が短絡し、放電されてその端子（ノードN2）の電位はGND（0V）に向けて急速に低下し、コンパレータCMP2出力はLowレベルへ復帰する。ここで、コンパレータCMP2はコンパレータCMP1と同じ回路構成が取られる。また、PMOSトランジス

タM3とPMOSトランジスタM4の各ドレイン電流 I_3 、 I_4 が同電流となるような各PMOSトランジスタ定数が設定されているものとする。そうすれば、コンデンサC2の端子（ノードN2）の電位が比較基準電圧（ V_R ）に到達してからコンパレータCMP2の出力及び論理回路L1の出力が反転するまでに、コンパレータCMP1側と同様の遅延時間（ t_{d2} ）を要することになる。

[0031] 一方、そのタイミングA'において、コンデンサC1側では、論理回路L1の出力端子QのLowレベルへの反転を受けてNMOSトランジスタM5がオフ状態へ遷移するとともに、PMOSトランジスタM3のドレイン電流 I_3 によって再びコンデンサC1の充電が開始される。その状態はタイミングAの状態と等価であり、以降は上記に説明した通りのコンデンサC1の充電とコンデンサC2の短絡、そしてコンデンサC1の短絡とコンデンサC2の充電、の動作が交互に繰り返されることになる。

[0032] 本実施例においては、発振出力を論理回路L1の出力端子Qから取り出したことにより、その発振周期（ T ）は、コンデンサC1側のコンパレータCMP1出力反転から次のコンパレータCMP1出力反転まで、またはコンデンサC2側のコンパレータCMP2出力反転から次のコンパレータCMP2出力反転までの期間に応じたものとなる。そして図2（a）、（b）に示されるように、コンデンサC2の充電期間（ T_{c2} ）+遅延時間（ t_{d2} ）で発振周期（ T ）の半周期を、またコンデンサC1の充電期間（ T_{c1} ）+遅延時間（ t_{d1} ）で残りの半周期を形成しており、NMOSトランジスタM5、NMOSトランジスタM6によるコンデンサC1、コンデンサC2の短絡による放電時間は発振周期（ T ）に影響していない。また、コンデンサC1とコンデンサC2の容量を同じ値に、またPMOSトランジスタM3とPMOSトランジスタM4を同じ定数に設定し、またコンパレータCMP1とコンパレータCMP2が同様の回路で構成されているものとするれば、コンデンサC1の充電期間（ T_{c1} ）とコンデンサC2の充電期間（ T_{c2} ）はほぼ等しいものとなり、またコンパレータCMP1の出力反転に関わる遅延時

間 (t_{d1}) とコンパレータCMP2の出力反転に関わる遅延時間 (t_{d2}) もほぼ等しくなる。よって発振周期 (T) の半周期を形成するコンデンサC2の充電期間 (T_{c2}) + 遅延時間 (t_{d2}) と、コンデンサC1の充電期間 (T_{c1}) + 遅延時間 (t_{d1}) とをほぼ等しい時間とすることができる。

[0033] ここで、遅延時間を t_d ($= t_{d1} = t_{d2}$)、コンデンサC1 (及びコンデンサC2) の容量値を C 、比較基準電圧 (V_R) までの充電時間 (充電期間) を T_c ($= T_{c1} = T_{c2}$) とおくと、

$$T_c = C \times V_R / I_3 \quad \dots (4)$$

と表され、さらに上記式 (2)、式 (3) を上式 (4) へ代入して

$$\begin{aligned} T_c &= C \times (\alpha \times V_{REF} \times R_2 / R_1) / (\beta \times V_{REF} / R_1) \\ &= (\alpha / \beta) \times C \times R_2 \quad \dots (5) \end{aligned}$$

を得る。よって、発振周期 (T) は、

$$\begin{aligned} T &= 2 \times (T_c + t_d) \\ &= 2 \times \{ (\alpha / \beta) \times C \times R_2 + t_d \} \quad \dots (6) \end{aligned}$$

と表され、参照電圧入力端子VREFの電圧 (V_{REF}) に依存しない形となる。

[0034] 上記の通り、本実施例によれば、コンデンサの充電時定数を利用した発振回路において、放電に関わる時間成分が発振周期に影響を及ぼさないようにすることができるため、比較的高周波領域においても温度変動などのパラメータ変動に対する発振周期の変動を抑制でき、発振周波数精度の確保を図る上で優位な発振回路を得ることができる。

[0035] また、二つのコンデンサを交互に充放電する制御信号を発振出力としたことにより、ほぼ50%デューティ ($duty$) の発振パルスを得ることができる。ここで、発振パルスのデューティ ($duty$) とは、発振周期 (T) に対する発振パルスのHighレベル期間の比率をいう。

[0036] さらに、式 (6) に示すように、参照電圧入力端子VREFの電圧に依存しない形で発振周期が得られるため、例えば、同一半導体基板上に構成されたバンドギャップ回路など何らかの基準電圧出力を利用する場合でも、仮に

その基準電圧出力にばらつきや温度による変動があったとしても、その影響をキャンセルすることができるので発振周波数精度を確保するのに好適な発振回路を得ることができる。

[0037] <変形例 1>

変形例 1 では、さらに発振周波数の設定を調整可能とする発振回路の例を説明する。

図 3 は変形例 1 に係る発振回路の構成を示す回路図である。変形例 1 に係る発振回路 10B は、実施例 1 に係る発振回路 10A の定電流生成回路 1 と比較基準電圧生成回路 2 をバイアス回路 3 に置き換えたものである。すなわち、発振回路 10B の発振回路コア部は、発振回路 10A の発振回路コア部 OCS1 と同じ構成である。ただし、PMOS トランジスタ M3、PMOS トランジスタ M4 の各ゲート端子が接続するバイアス出力端子 G0 と、比較基準電圧 VR を送出する出力端子 VR は、いずれもバイアス回路 3 によって与えられている。

[0038] バイアス回路 3 は、ラダー抵抗 RL2 と PMOS トランジスタ M7 とオペアンプ A2 とアナログスイッチ回路 4 とデコーダー回路 5 と、を有している。バイアス回路 3 は、定電流生成回路と基準電圧発生回路の機能を有する。ラダー抵抗 RL2 とアナログスイッチ回路 4 とデコーダー回路 5 は、基準電圧値を調整するトリミング回路を構成している。すなわち、バイアス回路 3 は基準電圧のトリミング機能を有している。ラダー抵抗 RL2 は、単位抵抗を複数本直列接続するとともに最下端の単位抵抗の一端を GND へ接続し、各単位抵抗の任意の接続点から分圧出力を取り出せるように構成している。PMOS トランジスタ M7 において、そのドレイン端子をラダー抵抗 RL2 の最上端の単位抵抗の一端に、そのソース端子を電源端子 VCC に、それぞれ接続する。オペアンプ A2 において、その反転入力端子（－）を参照電圧入力端子 VREF に、その非反転入力端子（＋）をラダー抵抗 RL2 の任意の分圧出力であって GND からみた抵抗値が R_3 である接続点（ノード N5）に、その出力端子を PMOS トランジスタ M7 のゲート端子に、それぞれ接

続する。バイアス回路 3 において、オペアンプ A 2 の出力端子と PMOS トランジスタ M 7 のゲート端子の接続点をバイアス出力端子 G 0 としている。またアナログスイッチ回路 4 は、ラダー抵抗 R L 2 の各分圧出力を選択的に出力端子 V R へ送出する。デコーダ回路 5 は、n ビットの周波数トリミング用信号入力端子 T 1 ~ T n と、周波数トリミング用信号入力端子 T 1 ~ T n の入力信号に応じてアナログスイッチ回路 4 内の各スイッチのオン・オフを制御する。

[0039] (動作)

以下、変形例 1 の動作を説明する。

オペアンプ A 2 の非反転入力 (+) の電圧は、反転入力 (-) に接続する参照電圧端子 V R E F の印加電圧と等しくなるようにフィードバック制御され、よって PMOS トランジスタ M 7 に流れる電流 I 5 の電流値を I 5 とすると、

$$I_5 = V_{REF} / R_3 \quad \cdots (7)$$

と表される。ここで、V REF は参照電圧端子 V R E F の印加電圧、R 3 はラダー抵抗の G N D からオペアンプ A 2 の非反転入力 (+) 接続点 (ノード N 5) までの抵抗値である。

[0040] 式 (7) から明らかなように電流 I 5 は、実施例 1 の電流 I 1 と同様、電源端子 V C C の印加電圧には依存しない定電流である。

[0041] また出力端子 V R には、周波数トリミング用信号入力端子 T 1 ~ T n の入力信号によってアナログスイッチ回路 4 内のいずれかのスイッチが選択的にオンし、当該選択されたスイッチが接続するラダー抵抗 R L 2 の分圧出力が送出される。出力端子 V R に送出された電圧は、コンパレータ C M P 1、コンパレータ C M P 2 の比較基準電圧となり、コンデンサ C 1、コンデンサ C 2 の充電時間 (T c) を決定付ける。いまラダー抵抗 R L 2 の G N D からアナログスイッチ回路 4 内の選択スイッチ接続点までの抵抗値を R 4、出力端子 V R の電圧を V R、電流 I 5 の電流値を I 5 とすると、

$$V_R = I_5 \times R_4 = V_{REF} \times R_4 / R_3 \quad \cdots (8)$$

と表される。

[0042] 本変形例の発振動作については、実施例 1 と同様、PMOS トランジスタ M3、PMOS トランジスタ M4 によるコンデンサ C1、コンデンサ C2 の充電時間を利用するものであり、その動作概要は図 2 の波形図に示したものと同様である。

[0043] コンデンサ C1 の充電時間 (T_c) は式 (4) で表されるが、その式 (4) に式 (7)、式 (8) を代入して、

$$\begin{aligned} T_c &= C \times V_R / I_3 &= C \times V_R / (\gamma \times I_5) \\ &= C \times (V_{REF} \times R_4 / R_3) / (\gamma \times V_{REF} / R_3) \\ &= (1 / \gamma) \times C \times R_4 \quad \dots (9) \end{aligned}$$

を得る。ここで γ は、PMOS トランジスタ M7 と PMOS トランジスタ M3 とのミラー比を表す。さらに発振周期 (T) は、コンパレータ CMP1、コンパレータ CMP2 の応答遅延時間を t_d とすれば、

$$\begin{aligned} T &= 2 \times (T_c + t_d) \\ &= 2 \times \{ (1 / \gamma) \times C \times R_4 + t_d \} \quad \dots (10) \end{aligned}$$

となり、実施例 1 と同様に参照電圧入力端子 V_{REF} の電圧 (V_{REF}) に依存しない形で得られる。

[0044] ここで、周波数トリミング入力信号端子 T1 ~ Tn の入力信号によってアナログスイッチ回路 4 内の選択スイッチを切り替えることは、上式 (10) 内の抵抗値 R_4 を調整することとなり、これによって発振周波数の調整が可能である。

[0045] これにより、半導体基板上に発振回路を搭載する場合など、設計段階で決定したコンデンサの容量値、及び抵抗値などが半導体基板上に形成された際に、ばらつきが生じて発振周波数が期待値からずれてしまったとしても、トリミング入力信号によって調整、補正することができる。

[0046] 以上、本変形例によれば、実施例 1 の効果に加え、発振周波数の調整を可能とした発振回路を得ることができる。

[0047] なお、本実施例で示した周波数トリミング入力信号端子 T1 ~ Tn に関す

る機能は、本実施例の構成に限定されるものではなく、例えば図1の実施例1における比較基準電圧生成回路2に設けることも可能である。その場合は抵抗R2をラダー抵抗の形で構成すれば良い。

[0048] <変形例2>

図4は変形例2に係るバイアス回路の構成を示す図である。またバイアス回路3の構成についても、図3に示した構成に限定されるものではなく、例えば図4に示すような構成としても良い。

[0049] 変形例2に係るバイス回路3Aは、NMOSトランジスタM30とPMOSトランジスタM31とPMOSトランジスタM32とラダー抵抗RL2とアナログスイッチ回路4とデコーダ回路5とオペアンプA30を有する。NMOSトランジスタM30において、そのソース端子をGNDに、そのドレイン端子をPMOSトランジスタM31のドレイン端子に、そのゲート端子をオペアンプA30の出力に、それぞれ接続する。PMOSトランジスタM31において、そのソース端子を電源端子VCCに、そのドレイン端子をNMOSトランジスタM30のドレイン端子に、それぞれ接続し、ゲート端子をドレイン端子へ短絡接続する。PMOSトランジスタM32において、そのソース端子を電源端子VCCに、そのゲート端子をPMOSトランジスタM31のゲート端子に、それぞれ接続して、PMOSトランジスタM31とカレントミラーを構成する。ラダー抵抗RL2において、単位抵抗を複数本直列接続するとともに最上端の単位抵抗の一端をPMOSトランジスタM32のドレイン端子に、最下端の単位抵抗の一端をGNDに接続し、各単位抵抗の任意の接続点から分圧出力を取り出せるように構成する。アナログスイッチ回路4は、ラダー抵抗の各分圧出力を選択的に出力端子VRへ送出する。デコーダ回路5は、nビットの周波数トリミング用信号入力端子T1～Tnと、周波数トリミング用信号入力端子T1～Tnの入力信号に応じてアナログスイッチ回路4内の各スイッチのオン・オフを制御する。オペアンプA30において、その非反転入力端子(+)を参照電圧入力端子VREFに、その反転入力端子(-)をラダー抵抗の任意の分圧出力であってGND

からみた抵抗値が R_3 である接続点（ノードN5）に、出力端子をNMOSトランジスタM30のゲート端子にそれぞれ接続する。オペアンプA30の反転入力（-）の電圧は、非反転入力（+）に接続する参照電圧端子VREFの印加電圧と等しくなるようにフィードバック制御されるので、ラダー抵抗 $RL2$ 及びPMOSトランジスタM32に流れる電流は、上記式（7）の I_5 と等しいものとなる。よってPMOSトランジスタM32を図3におけるPMOSトランジスタM7と同定数に設定すればバイアス出力端子G0の電圧もバイアス回路3におけるものと等しくなる。すなわち、バイアス回路3Aは、バイアス回路3と同等の機能を有し、置き換えが可能である。オペアンプA30は電源端子VCCの電位とGNDとの間で動作する。

[0050] バイアス回路3Aの構成は、参照電圧端子VREFに印加される電圧値が、一般的なバンドギャップ電圧の1.2V程度といった比較的低電圧であるような場合、オペアンプA30の構成としては、同相入力電圧範囲確保のためPMOSトランジスタによる差動対の利用が考えられる。そしてPMOSトランジスタ差動対から成る一段アンプによってオペアンプA30を構成した場合、その出力電圧範囲はGND電位からある一定の範囲に限られ、電源電圧まで出力電圧を振ることはできない。よってバイアス回路3におけるPMOSトランジスタM7のようにソース端子を電源端子VCCに接続するPMOSトランジスタのゲート端子を直接制御することはできず、バイアス回路3AのようにNMOSトランジスタM30を介した構成が適している。

[0051] なお、バイアス回路3Aの構成もバイアス回路の構成例の一つに過ぎず、これに限定されるものではない。

実施例 2

[0052] 実施例2は、実施例1と同様な数十MHz程度と比較的高周波領域において、さらに発振周波数精度確保に優位な発振回路を提供するものである。

[0053] 図5は実施例2に係る発振回路の構成を示す回路図である。図6は発振回路による動作を示す波形図である。

[0054] 実施例2に係る発振回路10Cは、電源端子VD1と、定電流バイアス源

I B O と、発振回路コア部 O S C 2 と、を有する。発振回路コア部 O S C 2 は、P M O S トランジスタ M 1 6 と、P M O S トランジスタ M 1 7 と、N M O S トランジスタ M 1 8 と、を有する。P M O S トランジスタ M 1 6 において、そのソース端子を電源端子 V D 1 に、そのドレイン端子を定電流バイアス源 I B O に、それぞれ接続し、ゲート端子とドレイン端子を短絡接続する。P M O S トランジスタ M 1 7 において、そのソース端子を電源端子 V D 1 に、そのゲート端子を P M O S トランジスタ M 1 6 のゲート端子に、それぞれ接続する。N M O S トランジスタ M 1 8 において、そのドレイン端子を P M O S トランジスタ M 1 7 のドレイン端子に、そのソース端子を G N D に、それぞれ接続し、ゲート端子をドレイン端子へ短絡接続する。また、発振回路コア部 O S C 2 は、P M O S トランジスタ M 8、M 9 と、N M O S トランジスタ M 1 4、M 1 5 と、コンデンサ C 1、C 2、C 3、C 4 と、を有する。P M O S トランジスタ M 8 において、そのドレイン端子をコンデンサ C 1 へ、そのソース端子を電源端子 V D 1 へ、そのゲート端子を P M O S トランジスタ M 1 6 のゲート端子へそれぞれ接続する。P M O S トランジスタ M 9 において、そのドレイン端子をコンデンサ C 2 に、そのソース端子を電源端子 V D 1 に、そのゲート端子を P M O S トランジスタ M 1 6 のゲート端子に、それぞれ接続する。N M O S トランジスタ M 1 4 において、そのドレイン端子をコンデンサ C 3 に、そのソース端子を G N D に、そのゲート端子を N M O S トランジスタ M 1 8 のゲート端子に、それぞれ接続する。N M O S トランジスタ M 1 5 において、そのドレイン端子をコンデンサ C 4 に、そのソース端子を G N D に、そのゲート端子を N M O S トランジスタ M 1 8 のゲート端子に、それぞれ接続する。

[0055] また、発振回路コア部 O S C 2 は、N M O S トランジスタ M 1 0、M 1 1 と、P M O S トランジスタ M 1 2、M 1 3 と、論理回路 L 1 と、コンパレータ C M P 1 と、コンパレータ C M P 2 と、を有する。N M O S トランジスタ M 1 0 において、そのドレイン端子を P M O S トランジスタ M 8 のドレイン端子に、そのソース端子を G N D に、そのゲート端子を論理回路 L 1 の出力

端子Qにそれぞれ接続する。NMOSトランジスタM11において、そのドレイン端子をPMOSトランジスタM9のドレイン端子に、そのソース端子をGNDに、そのゲート端子を論理回路L1の反転出力端子QBにそれぞれ接続する。PMOSトランジスタM12において、そのドレイン端子をNMOSトランジスタM14のドレイン端子に、そのソース端子を電源端子VD1に、そのゲート端子を論理回路L1の反転出力端子QBにそれぞれ接続する。PMOSトランジスタM13において、そのドレイン端子をNMOSトランジスタM15のドレイン端子に、そのソース端子を電源端子VD1に、そのゲート端子を論理回路L1の出力端子Qにそれぞれ接続する。コンパレータCMP1において、その非反転入力端子(+)をPMOSトランジスタM8のドレイン端子とコンデンサC1との接続点(ノードN1)に、その反転入力端子(-)をNMOSトランジスタM14のドレイン端子とコンデンサC3との接続点(ノードN3)に、その出力端子を論理回路L1のセット信号入力端子Sに、それぞれ接続する。コンパレータCMP2において、その非反転入力端子(+)をPMOSトランジスタM9のドレイン端子とコンデンサC2との接続点(ノードN2)に、その反転入力端子(-)をNMOSトランジスタM15のドレイン端子とコンデンサC4との接続点(ノードN4)に、出力端子を論理回路L1のリセット信号入力端子Rにそれぞれ接続する。論理回路L1の出力端子Qを発振出力端子OUTに接続している。なお、論理回路L1の出力端子QBから発振出力を取り出してもよい。ここで、出力端子Qから出力される信号を第一の制御信号、出力端子QBから出力される信号を第二の制御信号という。

[0056] ここで、論理回路L1は実施例1で説明したものと同一機能を有しているものとする。また、図5において、各コンデンサの一端はGNDへ接続しているが、これに限定されるものではなく、一定の電位が保たれるような電圧源であれば構わない。

[0057] (動作)

以下、本実施例の動作について図6を参照しながら説明する。図6(a)

はコンデンサC 1、C 3の端子（ノードN 1、N 3）の電位、同図（b）はコンデンサC 2、C 4の端子（ノードN 2、N 4）の電位、同図（c）はコンパレータCMP 1の出力電圧、同図（d）はコンパレータCMP 2の出力電圧、同図（e）は論理回路L 1の出力端子Q（発振出力端子OUT）の電圧、同図（f）は論理回路L 1の反転出力端子QBの電圧を示している。

[0058] まず電源端子VD 1へ定電圧（ V_{D1} ）が印加されているものとする。また、定電流バイアス源IB 0によってPMOSトランジスタM 16に流れる電流I 6は定電流であるとする。また、PMOSトランジスタM 16とカレントミラー関係にあるPMOSトランジスタM 8、PMOSトランジスタM 9のそれぞれに流れる電流I 8、I 9は定電流であるとする。PMOSトランジスタM 16とカレントミラー関係にあるPMOSトランジスタM 17に流れる電流I 7は定電流であるとする。これはNMOSトランジスタM 18のドレイン電流となって、さらにNMOSトランジスタM 18とカレントミラー関係にあるNMOSトランジスタM 14、NMOSトランジスタM 15へ伝達され、それぞれに流れる電流I 10、I 11は定電流であるとする。

[0059] また、NMOSトランジスタM 10及びNMOSトランジスタM 11はPMOSトランジスタM 8及びPMOSトランジスタM 9からの電流I 8、I 9に比べて十分な大きさの電流駆動能力を有しており、それらがオン状態のときはコンデンサC 1の端子（ノードN 1）及びコンデンサC 2の端子（ノードN 2）をGNDに短絡してそれらの端子（ノードN 1、N 2）の電位をほぼGNDにプルダウンできるものとする。PMOSトランジスタM 12及びPMOSトランジスタM 13についても、NMOSトランジスタM 14、NMOSトランジスタM 15における電流I 10、I 11に比べて十分な大きさの電流駆動能力を有しており、それらがオン状態のときはコンデンサC 3の端子（ノードN 1）及びコンデンサC 4の端子（ノードN 2）を電源端子VD 1に短絡してそれらの端子（ノードN 2、N 4）の電位をほぼ定電圧（ V_{D1} ）にプルアップできるものとする。

[0060] なお説明の便宜上、コンデンサC 1、C 2、C 3、C 4は同じ容量値Cが

設定され、また電流 I_8 、 I_9 、 I_{10} 、 I_{11} も同じ電流値設定となるようなカレントミラー比が設定されているものとする。

[0061] 次に発振動作について説明する。

(a) タイミングC～タイミングD

いま、図6におけるタイミングCで論理回路L1の出力端子QがLowレベルへ遷移すると同時に反転出力端子QBがHighレベルへ遷移したとする。このときコンデンサC1側の短絡回路であるNMOSトランジスタM10は、そのゲート端子がLowレベルへ遷移したことによりオフ状態へ遷移し、またコンデンサC3側の短絡回路であるPMOSトランジスタM12もそのゲート端子がHighレベルへ遷移したことによりやはりオフ状態へ遷移することになる。なお、タイミングCに至る直前においては、NMOSトランジスタM10およびPMOSトランジスタM12がいずれもオン状態にあるから、コンデンサC1の端子（ノードN1）の電位はほぼGND（0V）に、またコンデンサC3の端子電位はほぼ V_{D1} に固定されている。

[0062] よってタイミングCの時点から、コンデンサC1は電流 I_8 による充電が開始されることとなり、その端子電圧は V_{D1} へ向けて直線的に上昇する。一方、コンデンサC3においては、その時点から電流 I_{10} による放電が開始され、その端子（ノードN1）の電位はGND（0V）へ向けて直線的に低下する。ここで、「直線的に低下する」とは、所定電位間の低下時間がほぼ一定であることを意味する。なお、充電とはコンデンサの両端子間の電位差が拡大する方向のバイアス印加を、また放電とはコンデンサの両端子間の電位差が縮減する方向のバイアス印加を表現しているに過ぎず、各電流と各コンデンサの充放電動作との関係を本実施例の説明に限定するものではない。例えば、コンデンサC1の一端がGNDではなく電源端子 V_{D1} 側に接続されていれば、電流 I_8 によってコンデンサC1は「放電」されてその端子電圧が V_{D1} に向かって直線的に上昇するということになる。

[0063] 一方、コンデンサC2、コンデンサC4側については、コンデンサC2の短絡回路であるNMOSトランジスタM11は、そのゲート端子がHigh

レベルへ遷移してオン状態へ、またコンデンサC4の短絡回路であるPMOSトランジスタM13は、そのゲート端子がLowレベルへ遷移してやはりオン状態へ遷移する。よってタイミングC以降、コンデンサC2の端子（ノードN2）はGNDにプルダウンされ、コンデンサC4の端子（ノードN4）は V_{D1} にプルアップされる。

[0064] 図6におけるタイミングC以降、コンデンサC1の端子（ノードN1）の電位はGND（0V）から V_{D1} へ向けて直線的に上昇し続け、コンデンサC3の端子（ノードN3）の電位は V_{D1} からGND（0V）へ向けて直線的に低下し続けているから、コンデンサC1の端子（ノードN1）の電位と、コンデンサC3の端子（ノードN3）の電位はいずれ交差することになる。コンデンサC1の充電電流である電流I8とコンデンサC3の放電電流である電流I10が同じ電流値であったとすれば、コンデンサC1の端子（ノードN1）の電位とコンデンサC3の端子（ノードN3）の電位が V_{D1} の $1/2$ 電圧まで遷移する時間が等しくなるため、コンデンサC1の端子（ノードN1）の電位と、コンデンサC3の端子（ノードN3）の電位、それぞれが V_{D1} の $1/2$ 電圧に到達した時点で交差することになる。コンデンサC1の端子（ノードN1）の電位とコンデンサC3の端子（ノードN3）の電位が交差するまでは、コンパレータCMP1の非反転入力端子（+）側が反転入力端子（-）側よりも低電位にあるため、コンパレータCMP1出力はLowレベルを出力している。そしてコンデンサC1の端子（ノードN1）の電位とコンデンサC3の端子（ノードN3）の電位が交差した時点、すなわち同電位となった時点から、コンパレータCMP1の応答遅延時間（ $t_{d1'}$ ）を経てコンパレータCMP1出力はHighレベルへ反転する。これは図6におけるタイミングDの状態に相当する。

[0065] なおコンデンサC2及びコンデンサC4側については、タイミングDまではNMOSトランジスタM11及びPMOSトランジスタM13の各短絡回路により、各端子（ノードN2、N4）電位はほぼGND及び V_{D1} に固定されている。

[0066] (b) タイミングD～タイミングC'

タイミングDにおいて、コンパレータCMP 1出力のHighレベル反転を受けて論理回路L 1の出力端子QがHighレベルへ遷移し、反転出力端子QBがLowレベルへ遷移する。これによりNMOSトランジスタM10及びPMOSトランジスタM12がオン状態へ遷移し、コンデンサC1の端子（ノードN1）はGNDへプルダウン、コンデンサC3の端子（ノードN3）はV_{D1}へプルアップされる。それによって、コンデンサC1の端子（ノードN1）の電位に対するコンデンサC3の端子（ノードN3）の電位が急速に上昇し、コンパレータCMP 1出力はLowレベルへ復帰する。またそのときNMOSトランジスタM11及びPMOSトランジスタM13がオフ状態へ遷移するから、コンデンサC2においては電流I₉による充電が開始され、コンデンサC2の端子（ノードN2）の電位はGND（0V）からV_{D1}に向かって直線的に上昇する。また同時に、コンデンサC4においては電流I₁₁による放電が開始され、コンデンサC4の端子（ノードN4）の電位はV_{D1}からGND（0V）へ向けて直線的に低下する。電流I₉と電流I₁₁が同じ電流値であれば、タイミングC以降のコンデンサC1、コンデンサC3側の場合と同様に、V_{D1}の1/2電圧でコンデンサC2とコンデンサC4の端子（ノードN2、N4）の電位が交差することになる。

[0067] コンデンサC2の端子（ノードN2）の電位とコンデンサC4の端子（ノードN4）の電位が交差、すなわち同電位に到達した時点で、コンパレータCMP 2は、コンパレータCMP 1のときと同様に、応答遅延時間（t_{d2'}）を経てその出力をHighレベルへ反転する。これは図6におけるタイミングC'に相当する。

[0068] (c) タイミングC'

このタイミングC'において、コンパレータCMP 2出力のHighレベルへの反転を受けて論理回路L 1の反転出力端子QB側がHighレベルへ、出力端子Q側がLowレベルへ遷移すると、NMOSトランジスタM10及びPMOSトランジスタM12がオフ状態へ遷移して、再び電流I₈及び

電流 I_{10} によるコンデンサ C_1 の充電及びコンデンサ C_3 の放電が開始される。また同時に NMOS トランジスタ M_{11} 及び PMOS トランジスタ M_{13} がオン状態へ遷移し、コンデンサ C_2 端子（ノード N_2 ）は GND にプルダウン、コンデンサ C_4 端子（ノード N_4 ）は V_{D1} にプルアップされ、それによってコンデンサ C_2 の端子（ノード N_2 ）の電位に対するコンデンサ C_4 の端子（ノード N_4 ）の電位が急速に上昇し、コンパレータ CMP_2 出力は Low レベルへ復帰する。この状態は、先に説明したタイミング C の状態と等価であり、以降、上記で説明した動作が繰り返されることになる。

[0069] なお発振出力端子 OUT については、論理回路 L_1 の出力端子 Q から取り出され、コンパレータ CMP_1 出力（またはコンパレータ CMP_2 出力）の High レベルへの反転から次の High レベルへの反転までの期間を発振周期（ T ）としている。また出力端子 Q の High 期間と Low 期間は、それぞれコンデンサ C_1 / コンデンサ C_3 の充電 / 放電に関する時間と、コンデンサ C_2 / コンデンサ C_4 の充電 / 放電に関する時間とによって形成されることから、原理的に同等の時間幅とすることができ、よって、ほぼ 50% duty の発振パルスを得ることができる。

[0070] ここで、コンパレータ CMP_1 とコンパレータ CMP_2 が同様の回路で構成されているものとすれば、コンパレータ CMP_1 の応答遅延時間（ t_{d1}' ）とコンパレータ CMP_2 の応答遅延時間（ t_{d2}' ）もほぼ等しくなる。そこで、 $t_{d1}' = t_{d2}'$ とする。コンパレータ CMP_1 、コンパレータ CMP_2 の応答遅延時間（ t_{d1}' ）についてみると、各コンパレータ出力が High レベルへ反転するためには、非反転入力端子（+）側の端子電位が反転入力端子（-）側の端子電位を上回ることが必要であり、またそれらの電位差が大きいほど出力反転までの応答遅延時間は短縮されることになる。本実施例においては、充電によって上昇中のコンデンサ C_1 の端子（ノード N_1 ）の電位（またはコンデンサ C_2 の端子（ノード N_2 ）の電位）と、放電によって降下中のコンデンサ C_3 の端子（ノード N_3 ）の電位（またはコンデンサ C_4 の端子（ノード N_4 ）の電位）とを比較する構成と

しているため、実施例1のように一定の比較基準電圧 (V_R) と比較した場合に比べて、入力電位差をより早期に拡大することができ、応答遅延時間 ($t_{d'}$) を短縮することができる。よって実施例1、変形例1で説明した発振周期 (T) を表す式 (6)、式 (10) におけるコンパレータの応答遅延時間に関する成分である t_d が圧縮され、温度変動などのパラメータ変動でコンパレータの応答遅延時間に変動が生じたとしても、発振周期 (T) における t_d の割合を小さくすることができるため、実施例1などよりも発振周波数変動を抑制することができる。

[0071] 本実施例によれば、コンパレータの応答遅延時間を短縮することができるので、発振周波数精度確保を図る上で優位な発振回路を得ることができる。

[0072] なおコンデンサC1、C2を充電駆動、またコンデンサC3、C4を放電駆動する各定電流源を構成するPMOSトランジスタM8、M9及びNMOSトランジスタM14、M15がいずれも各コンデンサ端子（ノードN1、N2、N3、N4）へ直結した構成であることにより、短絡スイッチを構成するNMOSトランジスタM10、M11及びPMOSトランジスタM12、M13のいずれかがオン状態となったとき、上記定電流源の出力電流はオン状態にある短絡スイッチ側へバイパスして流れることになる。これは無効電流であるため、本来は遮断した方が消費電流の観点では有利となるが、仮にこれを遮断する構成を採った場合は以下のような問題を生じる。

[0073] 例えばコンデンサC1部において、PMOSトランジスタM8の定電流出力I8を遮断するために、PMOSトランジスタM8のドレイン端子とコンデンサC1の端子（ノードN1）との間に遮断スイッチを設け、短絡スイッチであるNMOSトランジスタM10がオン状態のときに上記遮断スイッチがオフ状態となるように排他制御する構成を仮定する。これは、上記遮断スイッチとしてPMOSトランジスタを設け、そのゲート端子をNMOSトランジスタM10のゲート端子に直結すれば容易に実現できる。

[0074] 上記構成において、NMOSトランジスタM10がオン状態となってコンデンサC1の端子（ノードN1）をGNDへプルダウンするとき、上記遮断

スイッチはオフ状態へ遷移してPMOSトランジスタM8からNMOSトランジスタM10側への電流経路を遮断することになる。このときPMOSトランジスタM8は常時オン状態にあるため、上記遮断スイッチとの接続点、すなわちPMOSトランジスタM8のドレイン端子の電位は、電源電圧 (V_{D1}) まで上昇するが、これはPMOSトランジスタM8のドレイン端子に関わる寄生容量成分が電源電圧 (V_{D1}) に充電されたことを意味する。

[0075] 続いてコンデンサC1の充電動作を開始しようとするとき、NMOSトランジスタM10をオフ状態へ、同時に上記遮断スイッチをオン状態へそれぞれ遷移することになるが、その瞬間、上記寄生容量に充電された電荷がコンデンサC1側へ分配され（所謂チャージシェアが発生し）コンデンサC1の端子（ノードN1）の電位を変動させてしまう。これによりコンパレータCMP1による検知タイミングが変動し、発振周期の変動を招くことになる。

[0076] そこで本実施例及び他の実施例においても、定電流源を各コンデンサ毎に直結する構成として、上記チャージシェアによる発振周波数変動を抑止できる構成を採っている。

[0077] また本実施例においては、上記の如く、互いに同時に駆動される充電駆動側コンデンサと、放電駆動側コンデンサとの各端子電圧を比較することにより、一定の比較基準電圧 (V_R) と比較する場合に比べると、同じ充放電時定数設定であればコンパレータの入力電位差について2倍の変化率が得られていることになる。それによって上記の如くコンパレータ出力反転までの応答遅延時間が短縮され、発振周波数変動抑制効果に繋がっている。

[0078] ここで、一定の比較基準電圧 (V_R) と比較する場合においてもコンデンサの充電（または放電）動作時の電圧変化を急峻にすれば原理的にはコンパレータの入力電位差を早期に拡大したことになり、本実施例と同等の効果を得られそうである。ただし、その場合、同じ発振周期を得るにはコンパレータ検知タイミング周期は同じでなければならないから、コンデンサ駆動電流を倍増した上で、充電（または放電）駆動時の電圧振幅そのものを2倍にするか、または比較基準電圧 (V_R) を電源端子VD1の電圧（またはGND電圧

）としてコンパレータ検知タイミング周期内の電圧変化幅を2倍にするか、の二通りの選択肢となる。

[0079] しかし、充電（または放電）駆動時の電圧振幅そのものを単純に2倍にすることは、電源端子VD1の電圧制約などから現実的には困難となる。また比較基準電圧（ V_R ）を電源端子VD1の電圧（またはGND電圧）とした場合は、充電（または放電）電圧が比較基準電圧（ V_R ）とほぼ同電位に到達した後、さらにその電位差を拡大することができず、よってコンパレータの入力電位差は、出力反転に十分な電位差を確保できないことになる。またコンパレータの感度を維持し得る入力電圧範囲も考慮しなくてはならない。

[0080] よって、一定の比較基準電圧（ V_R ）と比較する構成では、本実施例と同等の効果を得ることは困難である。

[0081] <変形例3>

変形例3は、発振周波数の調整を可能とし、発振周波数精度確保にさらに優位な発振回路を提供するものである。

[0082] 図7は変形例3に係る発振回路の構成を示す回路図である。

[0083] 変形例3に係る発振回路10Dの発振回路コア部OSC3は、論理回路L2とコンパレータCMP3とコンパレータCMP4とを除いて、実施例2の発振回路10Cの発振回路コア部OSC2の構成と同じである。また、発振回路10Dは、バイアス回路6を有する。発振回路10Dと発振回路10Cとが異なる部分について以下説明する。

バイアス回路6は、電源端子VCCと参照電圧入力端子VREF及び出力端子IB、VD1、VD2を有する。コンパレータCMP3において、その反転入力端子（-）をPMOSトランジスタM8のドレイン端子とコンデンサC1との接続点（ノードN1）に、その非反転入力端子（+）をNMOSトランジスタM14のドレイン端子とコンデンサC3との接続点（ノードN3）に、出力端子を論理回路L2のセット信号入力端子Sに、それぞれ接続する。コンパレータCMP4において、その反転入力端子（-）をPMOSトランジスタM9のドレイン端子とコンデンサC2との接続点（ノードN2）に

、その非反転入力端子（+）をNMOSトランジスタM15のドレイン端子とコンデンサC4との接続点（ノードN4）に、その出力端子を論理回路L2のリセット信号入力端子Rに、それぞれ接続する。論理回路L2の出力端子Qを発振出力端子OUTへ接続している。なお、論理回路L2の出力端子QBから発振出力を取り出してもよい。

[0084] バイアス回路6は、ラダー抵抗RL4と、PMOSトランジスタM7と、オペアンプA2と、アナログスイッチ回路4と、デコーダー回路5と、PMOSトランジスタM19と、NMOSトランジスタM20と、NMOSトランジスタM21と、オペアンプA3と、PMOSトランジスタM22と、オペアンプA4と、PMOSトランジスタM23と、を有する。バイアス回路6は、バイアス回路3と同様に、定電流生成回路と基準電圧発生回路の機能を有する。ラダー抵抗RL4とアナログスイッチ回路4とデコーダー回路5は、基準電圧値を調整するトリミング回路を構成している。すなわち、バイアス回路6は基準電圧のトリミング機能を有している。ラダー抵抗RL4において、単位抵抗を複数本直列接続するとともに最下端の単位抵抗の一端をGNDに接続し、各単位抵抗の任意の接続点から分圧出力を取り出せるように構成する。PMOSトランジスタM7において、そのドレイン端子をラダー抵抗RL4の最上端の単位抵抗の一端（ノードN8）に、そのソース端子を電源端子VCCに、それぞれ接続する。オペアンプA2において、その反転入力端子（-）を参照電圧入力端子VREFに、その非反転入力端子（+）をラダー抵抗RL4の任意の分圧出力であってGNDからみた抵抗値が R_5 である接続点（ノードN6）に、その出力端子をPMOSトランジスタM7のゲート端子にそれぞれ接続する。オペアンプA2、A3、A4は、電源端子VCCの電位とGNDとの間で動作する。アナログスイッチ回路4は、ラダー抵抗RL4の各分圧出力を選択的に出力する。デコーダー回路5は、nビットの周波数トリミング用信号入力端子T1～Tnと、周波数トリミング用信号入力端子T1～Tnの入力信号に応じて前記アナログスイッチ回路4内の各スイッチのオン・オフを制御する。PMOSトランジスタM19にお

いて、そのソース端子を電源端子VCCに、そのゲート端子をオペアンプA2の出力端子に、それぞれ接続し、PMOSトランジスタM7とカレントミラーの関係にある。NMOSトランジスタM20において、そのドレイン端子をPMOSトランジスタM19のドレイン端子に、そのソース端子をGNDに、それぞれ接続し、そのゲート端子をドレイン端子に短絡接続する。NMOSトランジスタM21において、そのドレイン端子を出力端子IBに、そのソース端子をGNDに、そのゲート端子をNMOSトランジスタM20のゲート端子に、それぞれ接続し、NMOSトランジスタM20とカレントミラーの関係にある。オペアンプA3において、その反転入力端子(−)をアナログスイッチ回路4の出力に、その非反転入力端子(+)を出力端子VD1に、それぞれ接続する。PMOSトランジスタM22において、そのソース端子を電源端子VCCに、そのドレイン端子を出力端子VD1に、そのゲート端子をオペアンプA3の出力端子に、それぞれ接続する。オペアンプA4において、その反転入力端子(−)をPMOSトランジスタM7のドレイン端子とラダー抵抗RL4の最上端の単位抵抗との接続点に、その非反転入力端子(+)を出力端子VD2に、それぞれ接続する。PMOSトランジスタM23において、そのソース端子を電源端子VCCに、そのドレイン端子を出力端子VD2に、そのゲート端子をオペアンプA4の出力端子に、それぞれ接続する。

[0085] また論理回路L2は、NANDゲートG1と、NANDゲートG2と、インバータG3と、インバータG4と、を有する。NANDゲートG1において、その入力端子の一方をセット信号入力端子Sに、その出力端子をインバータG3の入力端子に、それぞれ接続する。NANDゲートG2において、その入力端子の一方をリセット信号入力端子Rに、もう一方の入力端子をNANDゲートG1の出力端子に、その出力端子をNANDゲートG1のもう一方の入力端子に、それぞれ接続する。インバータG4は、その入力端子をインバータG3の出力端子に接続し、インバータG3の出力端子を反転出力端子QBとし、インバータG4の出力端子を出力端子Qとしている。よって

当該論理回路L 2は、セット信号入力端子Sに立ち下がりエッジが入力されてからリセット信号入力端子Rに立ち下がりエッジが入力されるまでの期間は出力端子QにHighレベルの信号出力を行う。また、当該論理回路L 2は、リセット信号入力端子Rに立ち下がりエッジが入力されてからセット信号入力端子Sに立ち下がりエッジが入力されるまでの期間は出力端子QにLowレベルの信号出力を行う。また、反転出力端子QBには出力端子Qの信号出力を反転した極性の信号が出力される。ここで、出力端子Qから出力される信号を第一の制御信号、出力端子QBから出力される信号を第二の制御信号という。

[0086] また、発振回路10Dにおいては、PMOSトランジスタM8、M9、M12、M13、M16、M17の各ソース端子をバイアス回路6の出力端子VD1に接続し、コンパレータCMP3、CMP4、及び論理回路L2の電源は出力端子VD2から与える構成としている。このように電源を2系統設けることは、必ずしも必須事項ではないが、その特有の効果については以下の動作説明のなかで述べることにする。

[0087] 以下、本実施例の動作について説明する。

まず、バイアス回路6におけるオペアンプA2、PMOSトランジスタM7及びラダー抵抗RL4、さらにアナログスイッチ回路4、デコーダー回路5の構成については、図3に示した変形例1のバイアス回路3と同様であり、PMOSトランジスタM7のドレイン電流I₁₂の電流値をI₁₂とすると、式(7)の抵抗値R₃をR₅に置き換えて

$$I_{12} = V_{REF} / R_5 \quad \dots (11)$$

と表され、やはり電源端子VCCの電圧に依存しない定電流となる。なお、それらの構成については、図3の変形例1に係るバイアス回路3の構成に替えて図4の変形例2に係るバイアス回路3Aの構成とすることは、もちろん可能である。

[0088] PMOSトランジスタM19は、PMOSトランジスタM7とカレントミラー関係にあり、そのドレイン電流I₁₃はドレイン電流I₁₂のミラー比

倍で与えられる。さらにドレイン電流 I_{13} は NMOS トランジスタ M20 のドレイン電流となり、NMOS トランジスタ M20 とカレントミラー関係にある NMOS トランジスタ M21 に伝達される。いま、PMOS トランジスタ M7 と PMOS トランジスタ M19、及び NMOS トランジスタ M20 と NMOS トランジスタ M21 との総合的なミラー比を δ とおけば、NMOS トランジスタ M21 のドレイン電流、すなわち PMOS トランジスタ M16 から出力端子 IB に流れ込む電流 I_6 の電流値 I_6 をとすると、

$$I_6 = \delta \times I_{12} = \delta \times V_{REF} / R_5 \quad \dots (12)$$

と表せる。

[0089] 一方、オペアンプ A3 と PMOS トランジスタ M22 は、いわゆるボルテージフォロアを構成しており、オペアンプ A3 の非反転入力端子 (+) へのフィードバックループによって、その出力端子 VD1 の電圧 (V_{D1}) が反転入力端子 (-) の電圧と等しい電圧になるようにフィードバック制御される。よって、出力端子 VD1 にはアナログスイッチ回路 4 の出力電圧に等しい電圧が送出されることになる。いま、ラダー抵抗 RL4 の GND からアナログスイッチ回路 4 内の選択スイッチ接続点 (ノード N6) までの抵抗値を R_6 とし、アナログスイッチ回路 4 の出力電圧を V_R とすれば、

$$V_R (= V_{D1}) = I_{12} \times R_6 = V_{REF} \times R_6 / R_5 \quad \dots (13)$$

と表せる。よって、出力端子 VD1 の電圧 (V_{D1}) は、コンデンサ C1 ~ コンデンサ C4 を充放電駆動する定電流源、すなわち PMOS トランジスタ M8、M9、及び NMOS トランジスタ M14、M15 の電流値と一定の関係にある PMOS トランジスタ M16 の電流 I_6 の電流値 (I_6) と比例関係にある。すなわち、式 (12)、式 (13) より V_{D1} と I_6 の関係は、

$$V_{D1} = (1 / \delta) \times R_6 \times I_6 \quad \dots (14)$$

と表せる。

[0090] また、オペアンプ A4 と PMOS トランジスタ M23 についても、同様にボルテージフォロアを構成しており、出力端子 VD2 にはオペアンプ A4 の反転入力端子 (-) の電圧が送出される。図 7 においては、ラダー抵抗 RL

4の最上端が接続されており、GNDからその最上端までの抵抗値を R_6' とすれば、出力端子VD2の電圧(V_{D2})は、

$$V_{D2} = I_{12} \times R_6' = V_{REF} \times R_6' / R_5 \quad \dots (15)$$

と表せる。なお、式(13)における R_6 は、周波数トリミング用信号入力端子T1～Tnの入力信号に応じて変化するが、式(15)における R_6' は図7の変形例3においてはGNDからラダー抵抗RL4の最上端までの抵抗値となり、固定値である。ただし、これに限定されるものではなく、ラダー抵抗RL4の任意の分圧点までの抵抗値を使った構成としても良い。

[0091] 上記の I_6 及び V_{D1} が与えられた状態において、コンデンサC1～コンデンサC4の充放電動作については、図6(a)～(f)に示す実施例2の発振回路10Cと同様の動作となる。ただし、コンパレータCMP3、コンパレータCMP4の各入力端子と各コンデンサの端子との接続関係が図5の実施例2の発振回路10CにおけるコンパレータCMP1、コンパレータCMP2の接続関係とは逆であるため、コンパレータCMP3、コンパレータCMP4の各出力は、図6(c)、(d)におけるコンパレータCMP1、コンパレータCMP2の各出力波形を反転した波形となる。図6(a)、(b)、(e)、(f)、(g)、(h)は、発振回路10Dの動作を示している。ここで、同図(e)は論理回路L2の出力端子Q(発振出力端子OUT)の電圧、同図(f)は論理回路L2の反転出力端子QBの電圧、同図(g)は発振回路10DのコンパレータCMP3の出力電圧、同図(h)はコンパレータCMP4の出力電圧を示している。すなわち、図6(g)に示すように、コンデンサC1の充電電位がコンデンサC3の放電電位を上回った時点でコンパレータCMP3の出力はHighレベルからLowレベルへ反転し、また、図6(h)に示すように、コンデンサC2の充電電位がコンデンサC4の放電電位を上回った時点でコンパレータCMP4の出力はHighレベルからLowレベルへ反転することになる。また論理回路L2はセット信号入力端子S、リセット信号入力端子Rを受ける論理ゲートをNANDゲートG1、G2で構成しているため、コンパレータCMP3、コンパレータCMP

P 4 の各出力の立下りエッジが入力された時点で出力端子 Q 及び反転出力端子 Q B の出力信号が反転することになる。

[0092] いま、図 6 におけるタイミング D に相当する時点についてみると、コンデンサ C 4 の端子（ノード N 4）の電位がコンデンサ C 2 の端子（ノード N 2）の電位より高電位の状態に置かれるため、コンパレータ C M P 4 の出力は H i g h レベルの状態にある。一方、コンパレータ C M P 3 側はコンデンサ C 1 の充電電位がコンデンサ C 3 の放電電位を上回った時点で H i g h レベルから L o w レベルへ出力反転し、これが論理回路 L 2 のセット信号入力端子 S へ入力される。論理回路 L 2 においては、セット信号入力端子 S へ入力端子の一方を接続する N A N D ゲート G 1 がその入力端子の L o w レベル遷移を受けて、その出力を H i g h レベルへ遷移させる。これにより、N A N D ゲート G 2 側は入力端子のいずれもが H i g h レベルとなり、その出力を L o w レベルへ遷移させ、この瞬間 N A N D ゲート G 1 の入力端子はいずれも L o w レベルとなる。さらに N A N D ゲート G 1 出力の H i g h レベル遷移を受けて、インバータ G 3、G 4 を介して出力端子 Q は H i g h レベルへ、反転出力端子 Q B は L o w レベルへそれぞれ遷移する。

[0093] 出力端子 Q の H i g h レベル、反転出力端子 Q B の L o w レベル遷移を受け、N M O S トランジスタ M 1 0 及び P M O S トランジスタ M 1 2 がオン状態へ遷移し、コンデンサ C 1 の端子（ノード N 1）は G N D へ、コンデンサ C 3 の端子（ノード N 3）は電源端子 V D 1 へそれぞれ短絡される。よって、その短絡動作の直後にコンデンサ C 3 の端子（ノード N 3）の電位がコンデンサ C 1 の端子（ノード N 1）の電位を上回ることとなり、コンパレータ C M P 3 の出力は L o w レベルから H i g h レベルへ復帰する。このとき論理回路 L 2 においては、セット信号入力端子 S が H i g h レベルへ遷移したことになるが、それを受ける N A N D ゲート G 1 のもう一方の入力端子が、N A N D ゲート G 2 出力によって L o w レベルに維持されているため、N A N D ゲート G 1 出力は H i g h レベル状態を維持し、出力端子 Q も H i g h レベル状態を維持することになる。

[0094] 一方、そのときコンデンサC2、コンデンサC4側においては、NMOSトランジスタM11、及びPMOSトランジスタM13がオフ状態へ遷移して、コンデンサC2の充電、及びコンデンサC4の放電が開始される。そして図6におけるタイミングC'（またはタイミングC）に相当する時点で、コンデンサC2の充電電位がコンデンサC4の放電電位を上回ったとき、コンパレータCMP4の出力はHighレベルからLowレベルへ反転する。これにより、論理回路L2のリセット信号入力端子RにLowレベルへ遷移する立下りエッジが入力され、それを受けるNANDゲートG2出力はLowレベルからHighレベルへ反転する。NANDゲートG1は、セット信号入力端子S及びNANDゲートG2出力のいずれもがHighレベルとなったことにより、その出力をHighレベルからLowレベルへ反転する。これにより、インバータG3、G4を介して論理回路L2の出力端子QはLowレベルへ、反転出力端子QBはHighレベルへそれぞれ遷移する。

[0095] 出力端子QのLowレベル、反転出力端子QBのHighレベル遷移を受け、NMOSトランジスタM11、及びPMOSトランジスタM13がオン状態へ遷移し、コンデンサC2の端子（ノードN2）をGNDに、コンデンサC4の端子（ノードN4）を電源端子VD1にそれぞれ短絡する。よって、その短絡動作の直後にコンデンサC4の端子（ノードN4）の電位がコンデンサC2の端子（ノードN2）の電位を上回ることとなり、コンパレータCMP4の出力はLowレベルからHighレベルへ復帰する。このとき論理回路L2においては、リセット信号入力端子RがHighレベルへ遷移したことになるが、それを受けるNANDゲートG2のもう一方の入力端子が、NANDゲートG1出力によってLowレベルに維持されているため、NANDゲートG2出力はHighレベル状態を維持することになる。

[0096] 一方、そのときコンデンサC1、コンデンサC3側においては、NMOSトランジスタM10、及びPMOSトランジスタM12がオフ状態へ遷移して、コンデンサC1の充電、及びコンデンサC3の放電が再び開始される。そしてコンデンサC1の充電電位がコンデンサC3の放電電位を上回った時

点でコンパレータCMP 3出力がHighレベルからLowレベルへ反転し、論理回路L 2の出力端子Qを再びHighレベルへ、反転出力端子QBを再びLowレベルへそれぞれ反転させることになる。

[0097] 以降、上記の動作を繰り返すことになるが、論理回路L 2の出力端子Qは、次にリセット信号入力端子Rに立下りエッジが入力されるまで上記のHighレベル状態を維持し、またリセット信号入力端子Rに立下りエッジが入力されてLowレベルへ反転すると、次にセット信号入力端子Sに立下りエッジが入力されるまでLowレベル状態を維持することになる。よって出力端子Qには、コンデンサC 1とコンデンサC 3の充放電時間及びコンデンサC 2とコンデンサC 4の充放電時間を半周期とする発振パルスが得られることになる。

[0098] ここで、コンデンサC 1とコンデンサC 3、またはコンデンサC 2とコンデンサC 4の充放電時間について検討する。いま、コンデンサC 1、C 2、C 3、C 4のそれぞれの容量を同じ値に、電流I 8、I 9、I 10、I 11が同電流値となるようなMOSトランジスタ定数が選定されているものとする、コンデンサC 1の充電期間／コンデンサC 3の放電期間（ T_{c1}' ）とコンデンサC 2の充電期間／コンデンサC 4の放電期間（ T_{c2}' ）はほぼ等しいものとなる。例えばコンデンサC 1とコンデンサC 3の充放電動作において、両コンデンサの端子（ノードN 1、N 3）の電位が等しくなるのは電源端子VD 1の1／2電圧になるから、その電圧に到達するまでの充放電時間を T_c' （ $=T_{c1}' = T_{c2}'$ ）とすると、

$$\begin{aligned} T_c' &= C \times (1/2) \times V_{D1} / I_8 \\ &= C \times (1/2) \times V_{D1} / (\varepsilon \times I_6) \quad \dots (16) \end{aligned}$$

と表される。ここで、CはコンデンサC 1、C 2、C 3、C 4の容量値、 V_{D1} は電源端子VD 1の電圧値、 I_6 は電流I 6の電流値、 I_8 は電流I 8の電流値、また ε はPMOSトランジスタM 16とPMOSトランジスタM 8とのミラー比を表す。なお、電流I 8、I 9、I 10、I 11が同電流値であるから、PMOSトランジスタM 16とPMOSトランジスタM 9のミラー比、

さらにPMOSトランジスタM16とPMOSトランジスタM17を介したNMOSトランジスタM14及びNMOSトランジスタM15までの総合的なミラー比も ε であるものとする。

[0099] 式(16)へ式(12)、式(13)を代入すると、

$$\begin{aligned} T_c' &= C \times (1/2) \times (V_{REF} \times R_6 / R_5) / (\varepsilon \times \delta \times V_{REF} / R_5) \\ &= \{1 / (2 \times \varepsilon \times \delta)\} \times C \times R_6 \quad \dots (17) \end{aligned}$$

と表される。さらに発振周期(T)については、図6に示したように充放電時間(T_c')にコンパレータの応答遅延時間($t_{d'}$)を加えたものが半周期となるから、発振周期(T)は

$$\begin{aligned} T &= 2 \times (T_c' + t_{d'}) \\ &= 2 \times \{1 / (2 \times \varepsilon \times \delta)\} \times C \times R_6 + 2 \times t_{d'} \\ &= C \times R_6 / (\varepsilon \times \delta) + 2 \times t_{d'} \quad \dots (18) \end{aligned}$$

と表され、参照電圧(V_{REF})や電圧(V_{D1})に依存しない形で与えられる。そして抵抗値(R_6)は、周波数トリミング用信号入力端子T1～Tnの入力信号に応じて変化することから、周波数トリミング用信号入力端子T1～Tnの入力信号によって、発振周期(T)、すなわち発振周波数を調整可能であることを示している。なお、式(18)におけるコンパレータ応答遅延時間($t_{d'}$)については、実施例2の発振回路10C場合と同様に、充電によって上昇中のコンデンサC1の端子(ノードN1)の電位(またはコンデンサC2の端子(ノードN2)の電位)と、放電によって降下中のコンデンサC3の端子(ノードN3)の電位(またはコンデンサC4の端子(ノードN4)の電位)とを比較する構成であることから、コンパレータCMP3、CMP4の各反転入力端子(−)と非反転入力端子(+)との間の電位差が早期に拡大し、よって実施例2と同様、コンパレータの応答を高速化して温度変動などのパラメータ変動に対する応答遅延時間($t_{d'}$)の変動を抑制する効果を有している。

[0100] さらに図7に示す発振回路10Dの構成においては、コンパレータCMP3、CMP4と論理回路L2の電源をバイアス回路6の出力端子VD1とは

別に出力端子VD2側から供給することにより、それらの出力が反転動作した際に生じる貫通電流などによって出力端子VD2に電圧変動が生じたとしても、それが出力端子VD1側へ伝播するのを防止できる。仮に出力端子VD1を共通電源端子とした場合、上記の電圧変動はそのまま電圧(V_{D1})の変動となり、コンデンサC1～C4の充放電時間(T_c')の変動に繋がる恐れがある。すなわち上記の式(17)において、充放電時間(T_c')は電圧(V_{D1})、定電流(I_6)の成分を含まない形で表現されているが、これは電圧(V_{D1})と定電流(I_6)が式(14)に示されるような一定の比例関係にあることが前提であって、上記の電圧変動のようにその比例関係に依らない成分で変動した場合は、充放電時間(T_c')も変動を来すことになる。そして充放電時間(T_c')の変動は、すなわち発振周期(T)の変動に繋がることになる。ただし、設計上その電圧変動があっても目標とする発振周波数精度仕様に対して問題ないレベルであるならば、出力端子VD2を設けず出力端子VD1を共通電源として使用することももちろん可能である。

[0101] また、出力端子VD2に替えて電源端子VCCからコンパレータCMP3、CMP4と論理回路L2の電源を供給することも考えられるが、その場合、電源端子VCCに印加される電圧に対して十分な耐圧を持つ素子で各コンパレータなどを構成する必要がある。そして、一般的に高耐圧素子は応答性が悪いため、コンパレータの応答遅延時間($t_{d'}$)を劣化させてしまう恐れがある。本実施例では出力端子VD2の電圧を、自由に設定することができるため低耐圧素子の利用も可能であり、よって応答遅延時間($t_{d'}$)を高速化して発振周期の安定に繋げることができる。

[0102] 本変形例によれば、実施例2の効果に加え、参照電圧(V_{REF})に依存しない発振周波数を得ることができるので、温度変動などパラメータ変動によって参照電圧(V_{REF})に変動が生じても安定な発振周波数を確保できる発振回路が得られる。さらに当該発振回路を半導体基板上に構成したとき、コンデンサの容量値、及び抵抗値に製造ばらつきが生じて発振周波数が期待値から外れても、周波数トリミング用信号入力端子T1～Tnによる発振周波数の調整

、補正を可能とする発振回路が得られる。さらにコンパレータCMP 3、CMP 4や論理回路L 2の動作に伴う電源電圧変動の発振周波数への影響を防止した発振回路が得られる

なお、本変形例におけるコンパレータCMP 3、CMP 4を実施例2におけるコンパレータCMP 1、CMP 2と同様の入力接続関係で構成することももちろん可能である。その場合は論理回路L 2を論理回路L 1と同様の機能、すなわちセット信号入力端子S、リセット信号入力端子Rに立上リエッジが入力されたときに出力端子Q、反転出力端子QBが反転する構成とする。具体例としては、論理回路L 2におけるNANDゲートG 1、G 2をNORゲートに置き換えるとともに、インバータG 3の出力を出力端子Q、インバータG 4出力側を反転出力端子QBとすれば良い。

[0103] 本変形例に係るバイアス回路6の出力端子VD 1のそれぞれを実施例2に係る発振回路10Cの電源端子VD 1に接続し、バイアス回路6の出力端子IBを定電流バイアス源IB 0に替えて、PMOSトランジスタM 16のドレイン端子に接続して発振回路を構成してもよい。

[0104] <変形例4>

変形例4は、変形例3における発振周波数の調整範囲を拡大することができる発振回路を提供するものである。

[0105] 図8は変形例4に係るバイアス回路の構成を示す回路図である。

[0106] 本変形例について図8を用いて以下説明する。

[0107] 変形例4に係るバイアス回路61は、変形例3に係る発振回路10Dのバイアス回路6を置き換えるものである。すなわち、発振回路10Dのバイアス回路6における出力端子VD 1、VD 2、IBを受ける発振回路コア部分OSC 3とバイアス回路61とによって発振回路を構成する。

[0108] バイアス回路61は、図7の変形例3に係るバイアス回路6の構成に加え、mビットの周波数トリミング用信号入力端子 $T_{n+1} \sim T_{n+m}$ 、及びデコーダ回路8を設ける。また、バイアス回路61は、バイアス回路6においてNMOSトランジスタM 20とカレントミラー接続されていたNMOS

トランジスタM21に替えて、やはりNMOSトランジスタM20とカレントミラー接続したNMOSトランジスタM211～M21iの複数個（i個）のNMOSトランジスタを設ける。バイアス回路61は、NMOSトランジスタM211～M21iの各ドレイン端子をデコーダー回路8からの信号によって選択的に出力端子IBへ接続するアナログスイッチ回路7を設けている。NMOSトランジスタM211～M21iアナログスイッチ回路7およびデコーダー回路8は、定電流値を調整するトリミング回路を構成している。なお、NMOSトランジスタM211～M21iは、それぞれ異なったW/L（ゲート幅／ゲート長）のサイズ設定として、選択されたNMOSトランジスタ毎にNMOSトランジスタM20とのカレントミラー比率が変化するようにして、周波数トリミング用信号入力端子Tn+1～Tn+mの入力信号によって出力端子IBの電流値を調整できるものとする。または、周波数トリミング用信号入力端子Tn+1～Tn+mの入力信号によってNMOSトランジスタM211～M21iのコレクタ端子の選択数を変えることにより、実効的にNMOSトランジスタM20とのカレントミラー比率を変えるようにしても良い。

[0109] 周波数トリミング用信号入力端子Tn+1～Tn+mによる周波数調整は、出力端子IBの電流値を調整することによるものであり、これは上記式（18）における δ （PMOSトランジスタM7のドレイン電流I12と出力端子IBのシンク電流との総合的なミラー比率）を調整することに相当する。

[0110] 一方、バイアス回路6においても有していた周波数トリミング用信号入力端子T1～Tnによる周波数調整は、式（18）におけるR₆を調整していることに相当するが、R₆の選択範囲は電源VCCの電圧の制約を受けることになる。すなわち、PMOSトランジスタM7のドレイン電流I12（これは参照電圧（V_{REF}）と帰還タップ～GND間抵抗R5によって決まる）によって、アナログスイッチ回路4による選択分圧タップとGND間の抵抗R6において電位降下が発生する。しかし、その電位降下は電源VCCの電圧を超え

ることはできない。実際にはさらにPMOSトランジスタM7の飽和領域動作を確保する必要があるため、その電位降下の上限はさらに低く抑える必要がある。

[0111] また、抵抗R6の電位降下は、出力端子VD1の電圧としてコンデンサC1～C4の充放電動作を行う回路の電源としても供給される構成であるため、例えば、コンデンサC1～C4の端子電圧を検知するコンパレータなどをゲート酸化膜厚の薄い低耐圧トランジスタで構成して応答性を高めたい場合など、さらにその電位降下を抑える必要が出てくる。

[0112] さらにコンデンサC1～C4の充放電動作を維持するのに必要な電源電圧には下限があり、よって抵抗R6における電位降下には下限値も存在する。

[0113] 具体例としては、例えば図7の変形例3におけるバイアス回路6を5V系PMOSトランジスタで構成し、コンパレータCMP3、CMP4やバイアス回路6の出力端子VD1に接続するPMOSトランジスタM16以降のコンデンサC1～C4充放電動作に関わる回路部分を3V系PMOSトランジスタで構成した場合、抵抗6における電位降下、すなわち出力端子VD1の電圧としては2V～3.6V程度の範囲内に設定される必要がある。

[0114] 本変形例によれば、出力端子IBの電流調整による発振周波数調整も可能なため、変形例3の効果に加えて周波数調整範囲を拡大させた発振回路を得ることができる。

実施例 3

[0115] 実施例3は、実施例1、2および変形例1～4に記載した発振回路を応用した半導体集積回路装置に関する実施例である。

[0116] 図9は実施例3に係る半導体集積回路の構成を示す回路図である。

[0117] 半導体集積回路装置9は、一つの半導体基板上に、発振回路(OSC)10、クロックパルス生成回路(CPG)11、ROMモジュール(ROM)13、RAMモジュール(RAM)14、論理回路(LOGIC)15、さらに不揮発性メモリモジュール(NVM)12などが搭載されている。ここで発振回路10は、例えば図7の変形例3で示した発振回路10Dであって

、周波数トリミング用信号入力端子 $T_1 \sim T_n$ 、及び周波数トリミング用信号入力端子 $T_{n+1} \sim T_{n+m}$ は不揮発性メモリモジュール12に格納されたトリミングデータに基づいて制御されるものとする。また発振回路10の発振出力信号 CK_0 はクロックパルス生成回路11へ入力され、クロックパルス生成回路11は発振出力信号 CK_0 を元にROMモジュール13、RAMモジュール14、及び論理回路15などを制御するクロックパルスを送出する。また、ROMモジュール13、RAMモジュール14は2相クロック信号 CK_1P 、 CK_1N によって制御され、また論理回路15は単相クロック CK_2 によって制御されているものとする。論理回路15は、例えば中央処理装置(CPU)やデジタルシグナルプロセッサ(DSP)等である。半導体集積回路装置9はCMOSプロセス等で製造される。

[0118] なお、図11は実施例3に係る2相クロック信号の生成回路の構成を示す回路図である。実施例3に係る2相クロック信号の生成回路11dはクロックパルス生成回路11に含まれる。2相クロック信号の生成回路11dは、NANDゲートG5とNORゲートG7とインバータG6と遅延回路(delay)16を有する。NANDゲートG5において、その一方の入力端子に発振出力信号 CK_0 が入力され、その他方の入力端子に遅延回路16の出力端子が接続され、その出力端子にインバータG6の入力端子が接続される。NORゲートG7において、その一方の入力端子に発振出力信号 CK_0 が入力され、その他方の入力端子に遅延回路16の出力端子が接続される。遅延回路16において、発振出力信号 CK_0 が入力される。インバータG6の出力端子から2相クロック信号 CK_1P を、NORゲートG7の出力端子から2相クロック信号 CK_1N を出力する。

[0119] 図10は、実施例3に係るクロックパルス発生回路のタイミングチャートである。

[0120] いま発振出力信号 CK_0 が立ち上がると、NORゲートG7の出力がLowレベルとなるから、まず2相クロック信号 CK_1N が立ち下がる。一方、2相クロック信号 CK_1P 側は遅延回路16の立ち上がり遅延分を待つてN

ANDゲートG5の出力がLowレベル、インバータG6の出力がHighレベルとなって、2相クロック信号CK1Pが立ち上がるため、発振出力信号CK0の立ち上がりに対して立ち上がりが遅延したパルスとなる。次いで発振出力信号CK0が立ち下がると、NANDゲートG5の出力がHighレベル、インバータG6の出力がLowレベルとなるから、まずCK1Pが立ち下がる。一方、2相クロック信号CK1N側は遅延回路16の立ち下がり遅延分を待ってからNORゲートG7の出力がHighレベルとなって2相クロック信号CK1Nが立ち上がるため、2相クロック信号CK1Nは発振出力信号CK0の立ち下がりに対して立ち上がりが遅延したパルスとなる。

[0121] 図10に示すように、2相クロック信号CK1P、CK1Nは上記の如く発振出力信号CK0に対してそれぞれの立ち上がり側に遅延時間 (t_{cd}) を有するため、2相クロック信号CK1P、CK1Nの各Highレベル期間は重なることなく、2相クロック信号を形成する。そして図9に示すように、2相クロック信号CLK1P、CLK1Nを用いてRAMモジュール14のアクセス制御を行うとすれば、例えば2相クロック信号CK1PのHighレベル期間をRAMモジュール14内のデータ線プリチャージ期間に割り当て、その後、2相クロック信号CK1NのHighレベル期間をデータリード用のセンスアンプ起動並びにセンスアンプ出力データのラッチ制御に割り当てるといったリード制御が可能となる。このような用途においては、2相クロック信号CK1P、CK1N共に所定のパルス幅を常に確保する必要があるが、そのためには発振出力信号CK0が、温度変動などに対して周波数変動が小さいことと、さらにその発振パルス $duty$ がほぼ50%にあることが求められる。

[0122] また図10における単相クロック信号CK2を、図9における論理回路15などの制御に用いた場合は、単相クロック信号CK2のHighレベル期間幅 (t_{wH})、およびLowレベル期間幅 (t_{wL}) のいずれも論理回路15において重要となることは明らかであり、よって2相クロック信号CK

1 P, C K 1 N の場合同様、発振回路 1 0 の発振出力信号 C K 0 が、温度変動などに対して周波数変動が小さいこと、及びその発振パルス d u t y がほぼ 5 0 % にあることが求められる。

[0123] 上記のように半導体集積回路装置上に混載された各種モジュールを制御する 2 相クロック信号 C K 1 P, C K 1 N, 単相クロック信号 C K 2 といった所謂システムクロックは、一般的には水晶振動子などを外付けして高精度の発振周波数を得ている。一方、本実施例は、発振回路 1 0 として実施例 1、2 および変形例 1 ~ 4 のいずれかの発振回路を利用することにより、水晶振動子をはじめ安定化容量など外付け部品が不要となり、コスト面、及び部品剥離など信頼性面でも有利となる。

[0124] 本実施例では、上記した周波数変動が小さく、ほぼ 5 0 % d u t y の発振出力を容易に得ることができる。

[0125] また図 9 において、不揮発性メモリモジュール 1 2 へ、発振回路 1 0 の発振出力信号 C K 0 が所望の周波数となるように、半導体集積回路装置 9 の製造工程内で周波数トリミングデータを書き込んでおき、通常動作時にこれを読み出して発振回路 1 0 へ入力することにより、半導体集積回路装置 9 単独で発振回路 1 0 の発振周波数を自動的に所望の値へ調整可能とできる。なお、デコーダ回路 5、8 は、不揮発性メモリモジュール 1 2 から読み出した周波数トリミングデータを格納しておくレジスタ等を有する。これにより、発振周波数の個体ばらつきも低減した半導体集積回路装置を得ることができる。

[0126] 本実施例によれば、水晶発振子などの外付け部品が不要で、周波数変動の小さいシステムクロックを容易に生成可能な半導体集積回路装置を得ることができる。

実施例 4

[0127] 実施例 4 は、実施例 1、2 および変形例 1 ~ 4 に記載した発振回路を応用した回転角検出装置に関する実施例である。

[0128] 図 1 2 は実施例 4 に係る回転角検出装置の構成を示すブロック図である。

回転角検出装置 21 は、発振回路 (VCO) 22 とサーボ (SERVO) 23 と角速度検出素子 (MEMS) 24 を有する。回転角検出装置 21 は、MEMS 24 を共振周波数で共振させてコリオリの力変位分をサーボ値として出力する。回転角がサーボ値と比例していることが検出原理である。なお、角速度 (回転角) 検出装置については、特許文献 2、3 に開示されている。

[特許文献 2] 特開 2011-58860 号公報

[特許文献 3] 特開 2011-64515 号公報

VCO 22 は、実施例 1、2 および変形例 1~4 に記載した発振回路が使用される。VCO 22 は、SERVO 23 の基本クロックを生成する。

[0129] SERVO 23 は、基本クロックに基づいて MEMS 24 を共振させる駆動信号を生成する。具体的には、SERVO 23 は、MEMS 24 の振動が共振状態となるように駆動信号の周波数を調整する。駆動信号による MEMS 24 の変位を変位信号に変換し、同期検波を行い振動軸方向の振動変位を検出する。次に、同期検波で得られた信号を、例えば不図示の積分器で積分する。駆動信号と変位信号は、共振状態すなわち f_v (駆動信号の周波数) = f_d (駆動方向の共振周波数) のとき、位相が 90° 異なるという特性がある。したがって、変位信号に対し検波信号で同期検波を行ったとき、同期検波の出力が差し引き 0 になれば共振状態ということである。そのとき上記積分器の出力は一定値に収束する。そして、上記積分器で得られた信号を VCO 22 の周波数トリミング用入力端子に出力する。VCO 22 が出力する基本クロックは、駆動信号の変化に追従して周波数が変化する。なお、VCO 22 および SERVO 23 は、実施例 3 に係る半導体集積回路装置で実現してもよい。

[0130] また、SERVO 23 は、振動軸と直角方向に生じるコリオリ力による MEMS 24 の変位をゼロにするような電圧をセンサに帰還するようサーボ制御を行う。そして、そのときの帰還電圧の振幅を角速度 (回転角) の検出信号として出力する。

[0131] MEMS 24 は、半導体製造技術を用いて、1 枚のシリコン・ウェハ上に

機械的な機構と集積化した電子回路を一体化した機能デバイスであるMEMS (Micro Electro Mechanical Systems) 技術により製造される。

[0132] VCO 22 が温度的、電圧的に安定であることから、回転角検出装置 21 は、温度、電圧に対する 0 点誤差、感度変化が減少し、安定することができる。また、製造ばらつきが生じやすい MEMS 24 の共振周波数をきめ細かい調整が可能になり、組み合わせたときトータルとしての歩留まり向上を望むことができる。

[0133] なお、本発明は上記した実施例に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

符号の説明

[0134] 1 . . . 定電流生成回路
2 . . . 比較基準電圧生成回路
3, 6, 61 . . . バイアス回路
4, 7 . . . アナログスイッチ回路
5, 8 . . . デコーダー回路
9 . . . 半導体集積回路装置
10, 10A, 10B, 10C, 10D . . . 発振回路
12 . . . 不揮発性メモリモジュール
21 . . . 回転角検出装置
22 . . . 発振回路 (VCO)
23 . . . サーボ (SERVO)
24 . . . 角速度検出素子 (MEMS)
C1, C2, C3, C4 . . . コンデンサ

R 1, R 2, R 3, R 4, R 5, R 6 . . . 抵抗

A 1, A 2, A 3, A 4, A 3 0 . . . オペアンプ

CMP 1, CMP 2, CMP 3, CMP 4 . . . コンパレータ

L 1, L 2 . . . 論理回路

M 1, M 2, M 3, M 4, M 7, M 8, M 9, M 1 2, M 1 3, M 1 6, M 1 7, M 1 9, M 2 2, M 2 3, M 3 1, M 3 2 . . . PMOSトランジスタ

M 5, M 6, M 1 0, M 1 1, M 1 4, M 1 5, M 1 8, M 2 0, M 2 1, M 2 1 1, M 1 2 ~ M 2 1 i, M 3 0 . . . NMOSトランジスタ

N 1, N 2, N 3, N 4, N 5, N 6, N 7, N 8 . . . ノード

R L 2, R L 4 . . . ラダー抵抗

V C C . . . 電源端子

V R E F . . . 参照電圧入力端子

G 0 . . . バイアス出力端子

V R . . . 比較基準電圧出力端子

V D 1, V D 2 . . . バイアス回路の電圧出力端子

I B . . . バイアス回路の出力端子（定電流吸い込み用）

I B 0 . . . 定電流バイアス源

O U T . . . 発振出力端子

T 1, T 2, ~, T n, T n + 1, T n + 2, ~, T n + m . . . 周波数トリミング用信号入力端子

請求の範囲

- [請求項1] 電流によって充電駆動され、その端子電圧が第1の方向に直線的に変化する第1のコンデンサと、
- 第1のコンデンサの充電駆動とともに電流によって放電駆動され、その端子電圧が前記第1の方向とは逆方向の第2の方向に直線的に変化する第2のコンデンサと、
- を具備し、
- 前記第1および第2のコンデンサの各端子電圧が交差する第1のタイミングに基づいて発振周期を形成するようにされる発振回路。
- [請求項2] 請求項1において、
- 前記第1のタイミングに基づいて、前記第1のコンデンサの端子電圧を前記第2の方向にプルダウンまたはプルアップし、前記第2のコンデンサの端子電圧を前記第1の方向にプルアップまたはプルダウンする発振回路。
- [請求項3] 請求項2において、
- 電流によって充電駆動されその端子電圧が前記第1の方向に直線的に変化する第3のコンデンサと、
- 第3のコンデンサの充電駆動とともに電流によって放電駆動され、その端子電圧が前記第2の方向に直線的に変化する第4のコンデンサと、
- を具備し、
- 前記第3および第4のコンデンサの各端子電圧が交差する第2のタイミングに基づいて発振出力を反転する発振回路。
- [請求項4] 請求項3において、
- 前記第2のタイミングに基づいて、前記第3のコンデンサの端子電圧を前記第2の方向にプルダウンまたはプルアップし、前記第4のコンデンサの端子電圧を前記第1の方向にプルアップまたはプルダウン

する発振回路。

[請求項5]

請求項4において、

前記第1の方向は第1の電源端子の電位の方向であり、前記第2の方向は基準電位の方向であり、

前記第1の電源端子の電圧値を調整する第1のトリミング回路と、

前記第1および第3のコンデンサの端子を充電駆動する電流の電流値と、前記第2および第4のコンデンサの端子を放電駆動する電流の電流値と、を調整する第2のトリミング回路と、

を具備する発振回路。

[請求項6]

請求項5の発振回路と、

前記第1および第2のトリミング回路のトリミングデータを格納する不揮発性メモリモジュールと、

前記発振回路の発振出力パルスから生成したシステムクロックによって制御される論理回路と、

を具備する半導体集積回路装置。

[請求項7]

請求項1から5のいずれか1項の発振回路と、

前記発振回路の発振出力パルスクロックによって制御されるサーボと、

前記サーボから駆動信号を受ける角速度検出素子と、

を具備する回転角検出装置。

[請求項8]

第一の電源端子と、

第一、第二の端子を有し、該第一の端子を基準電位に接続した第一のコンデンサと、

前記第一のコンデンサの第二の端子と前記第一の電源端子との間に設けられた第一の定電流源と、

第一の制御信号に基づいて前記第一のコンデンサの第二の端子と前記基準電位との間を短絡する第一の短絡回路と、

第一、第二の端子を有し、該第一の端子を前記基準電位に接続した

第二のコンデンサと、

前記第二のコンデンサの第二の端子と前記基準電位との間に設けられた第二の定電流源と、

前記第一の制御信号に対して反転した極性を有する第二の制御信号に基づいて前記第二のコンデンサの第二の端子と前記第一の電源端子との間を短絡する第二の短絡回路と、

第一、第二の端子を有し、該第一の端子を前記基準電位に接続した第三のコンデンサと、

前記第三のコンデンサの第二の端子と前記第一の電源端子との間に設けられた第三の定電流源と、

前記第二の制御信号に基づいて前記第三のコンデンサの第二の端子と前記基準電位との間を短絡する第三の短絡回路と、

第一、第二の端子を有し、該第一の端子を前記基準電位に接続した第四のコンデンサと、

前記第四のコンデンサの第二の端子と前記基準電位との間に設けられた第四の定電流源と、

前記第一の制御信号に基づいて前記第四のコンデンサの第二の端子と前記第一の電源端子との間を短絡する第四の短絡回路と、

前記第一のコンデンサの第二の端子電位と前記第二のコンデンサの第二の端子電位とを比較する第一のコンパレータと、

前記第三のコンデンサの第二の端子電位と前記第四のコンデンサの第二の端子電位とを比較する第二のコンパレータと、

前記第一のコンパレータの比較出力と第二のコンパレータの比較出力とに基づき前記第一の制御信号および第二の制御信号を生成する論理回路と、

を具備し、

前記論理回路は、

前記第一のコンパレータが前記第一のコンデンサの第二の端子電

位と前記第二のコンデンサの第二の端子電位との交差を検知して成した比較出力反転から前記第二のコンパレータが前記第三のコンデンサの第二の端子電位と前記第四のコンデンサの第二の端子電位との交差を検知して成した比較出力反転までの期間内は、前記第一の制御信号を第一の極性で、また前記第二の制御信号を第二の極性でそれぞれ出力し、

前記第二のコンパレータが前記第三のコンデンサの第二の端子電位と前記第四のコンデンサの第二の端子電位との交差を検知して成した比較出力反転から前記第一のコンパレータが前記第一のコンデンサの第二の端子電位と前記第二のコンデンサの第二の端子電位との交差を検知して成した比較出力反転までの期間内は、前記第一の制御信号を第二の極性で、また前記第二の制御信号を第一の極性でそれぞれ出力するように構成し、

前記第一の短絡回路は前記第一の制御信号の第一の極性で活性化し、

前記第二の短絡回路は前記第二の制御信号の第二の極性で活性化し、

前記第三の短絡回路は前記第二の制御信号の第一の極性で活性化し、

前記第四の短絡回路は前記第一の制御信号の第二の極性で活性化するように構成するとともに、前記第一または第二の制御信号を発振出力として利用する発振回路。

[請求項9]

請求項8において、

さらに第二の電源端子を具備し、

前記第一および第二のコンパレータ、および前記論理回路は、前記第二の電源端子から電源供給される発振回路。

[請求項10]

請求項8または請求項9において、

前記第一の電源端子へ印加する電圧は、前記第一、第二、第三、お

よび第四の定電流源の電流値と比例関係を有する発振回路。

[請求項11]

請求項8または請求項9において、

反転入力端子、非反転入力端子と出力端子を有し、前記第一または第二の電源端子とは別の第三の電源端子と基準電位との間で作動する差動増幅器と、

ソース端子を第三の電源端子へ接続し、そのゲート端子は前記差動増幅器の出力端子によって直接または間接的に制御される第一導電形の第一のMOSトランジスタと、

複数の抵抗を直列接続し、一端を基準電位へ、他端を第一のMOSトランジスタのドレイン端子へ接続し、任意の抵抗接続点を前記差動増幅器の非反転入力端子へ接続した分圧回路と、

前記第一のMOSトランジスタとゲート端子及びソース端子を各々共通接続した第一導電形の第二のMOSトランジスタと、

ドレイン端子を前記第二のMOSトランジスタのドレイン端子へ、ソース端子を基準電位へそれぞれ接続し、ゲート端子をドレイン端子へ短絡接続した第二導電形の第三のMOSトランジスタと、

前記第三のMOSトランジスタとソース端子、ゲート端子を各々共通接続した第二導電形の第四のMOSトランジスタと、

ドレイン端子を前記第四のMOSトランジスタのドレイン端子へ、ソース端子を第一の電源端子へそれぞれ接続し、ゲート端子をドレイン端子へ短絡接続した第一導電形の第五のMOSトランジスタと、
を具備し、

前記第五のMOSトランジスタとソース端子、ゲート端子を各々共通接続した第一導電形の第六、および第七のMOSトランジスタによってそれぞれ前記第一の定電流源並びに前記第三の定電流源を構成し、

前記第六のMOSトランジスタとソース端子、ゲート端子を各々共通接続した第二導電形の第八、および第九のMOSトランジスタによ

ってそれぞれ第二の定電流源並びに第四の定電流源を構成し、

前記第一の電源端子へ印加する電圧は、前記分圧回路内の任意の抵抗接続点から取り出した電圧を基に生成する発振回路。

[請求項12]

請求項 1 1 において、

複数ビットからなるトリミング制御入力信号端子と、

複数のアナログスイッチから成り、各アナログスイッチの一端は分圧回路内の複数の抵抗接続点に接続し、各アナログスイッチの他端を共通接続して出力端子としたアナログスイッチ回路と、

前記トリミング制御入力信号端子からの信号に基づき前記アナログスイッチ回路内の各アナログスイッチを選択的にオン制御するデコーダ回路と、

を具備し、

前記第一の電源端子へ供給する電圧は、前記アナログスイッチ回路の出力端子から取り出した電圧を基に生成されるとともに、前記トリミング制御入力信号端子への入力信号に基づいてその電圧が調整される発振回路。

[請求項13]

請求項 8 または請求項 9 において、

前記第一の電源端子の電圧値を調整する第一のトリミング回路と、

前記第一、第二、第三、および第四の定電流値を調整する第二のトリミング回路と、

を具備する発振回路。

[請求項14]

請求項 8 から請求項 1 3 のいずれか 1 項の発振回路と、

前記発振回路の発振周波数トリミングデータを格納する不揮発性メモリモジュールと、 前記発振回路の発振出力パルスから生成したシステムクロックによって制御される論理回路と、
を具備する半導体集積回路装置。

[請求項15]

請求項 8 から請求項 1 3 のいずれか 1 項の発振回路と、

前記発振回路の発振出力パルスクロックによって制御されるサーボ

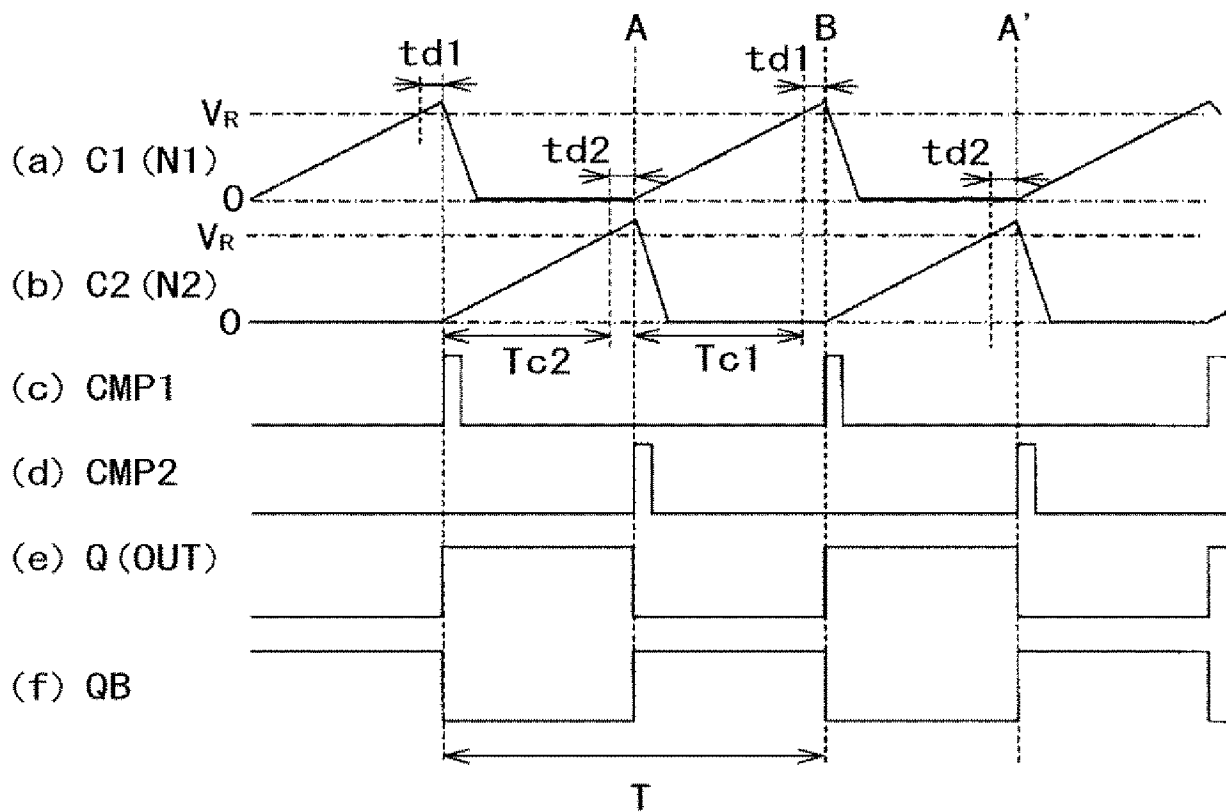
と、

前記サーボから駆動信号を受ける角速度検出素子と、
を具備する回転角検出装置。

圖 1

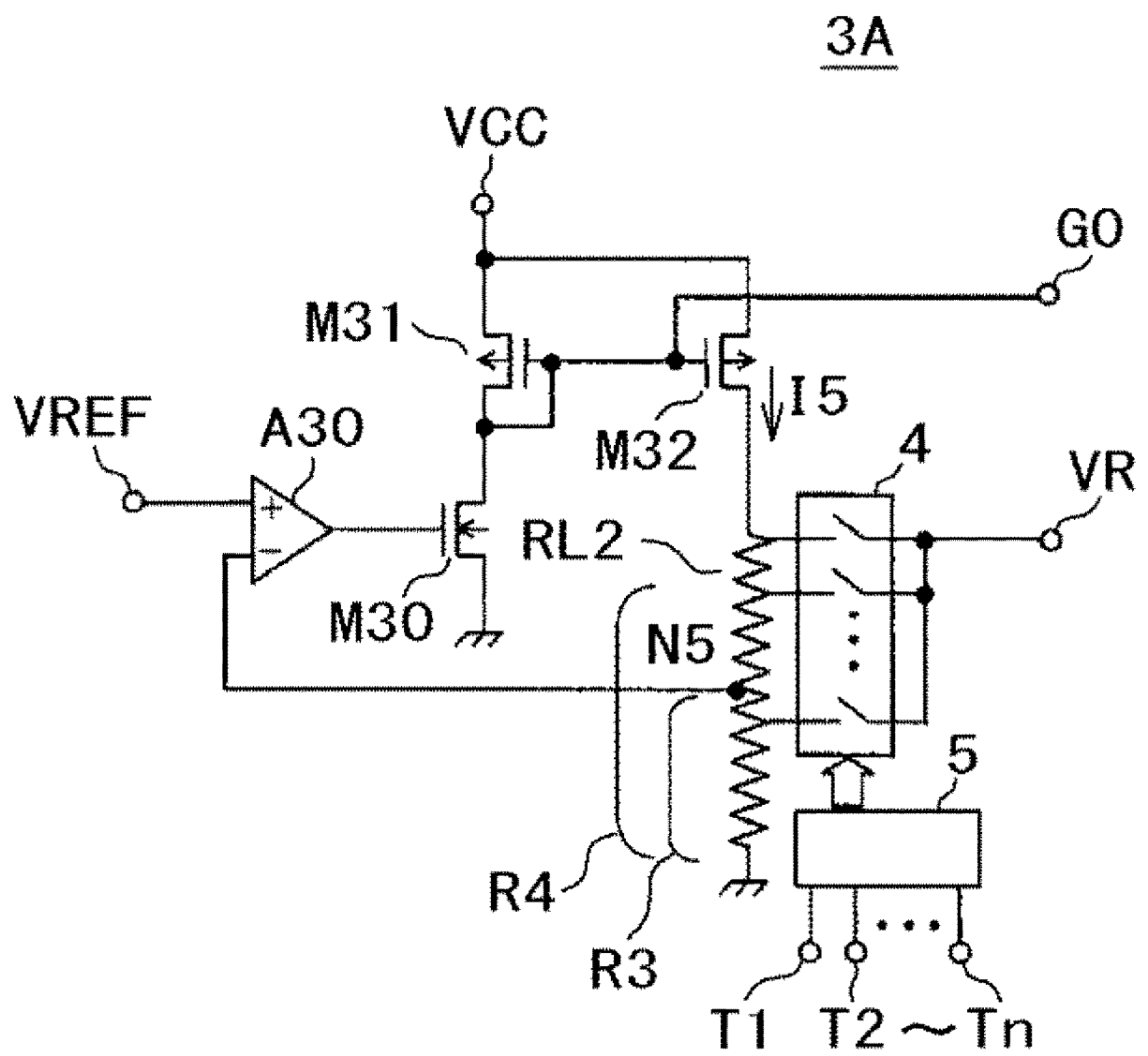


图 2



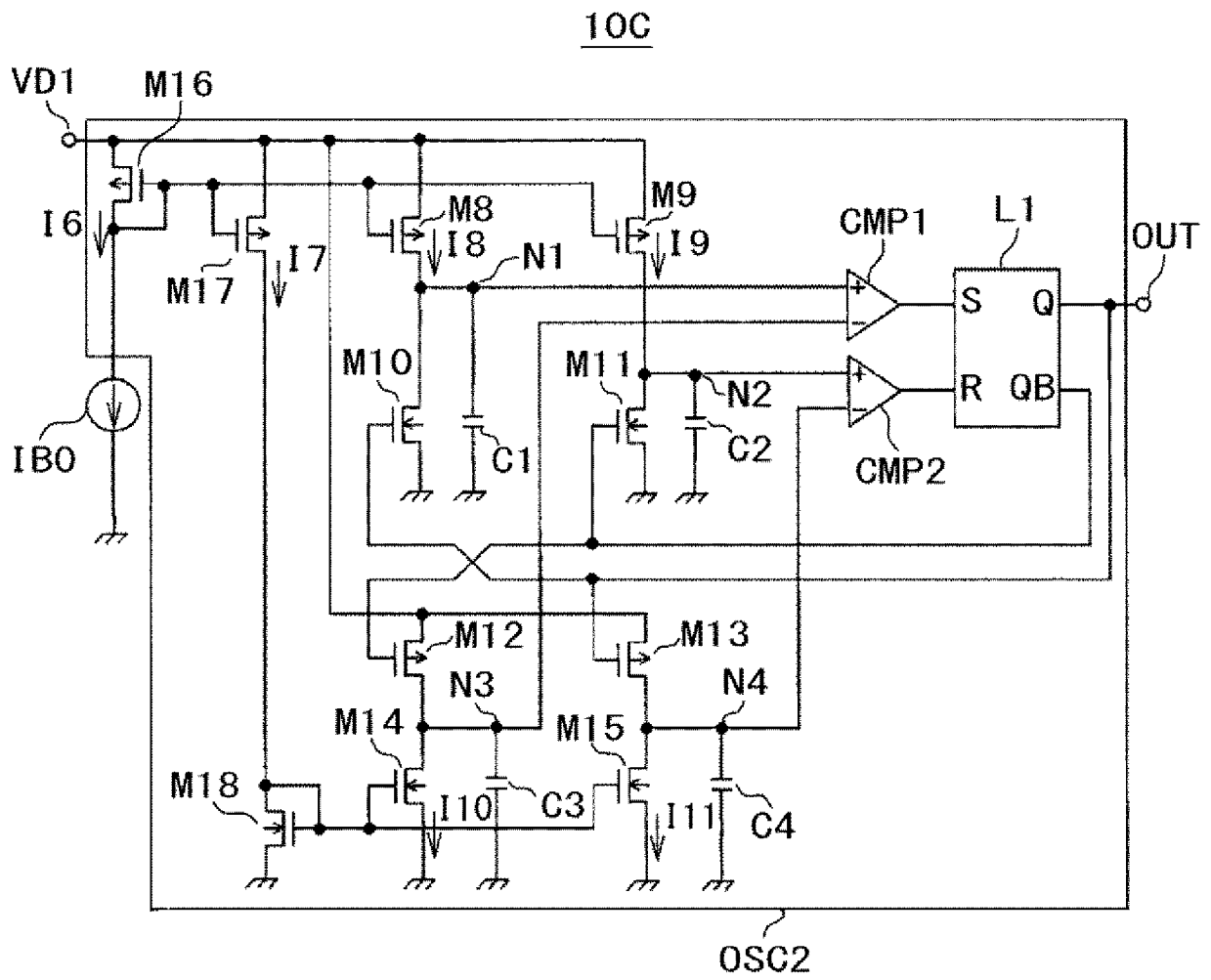
[図4]

図 4



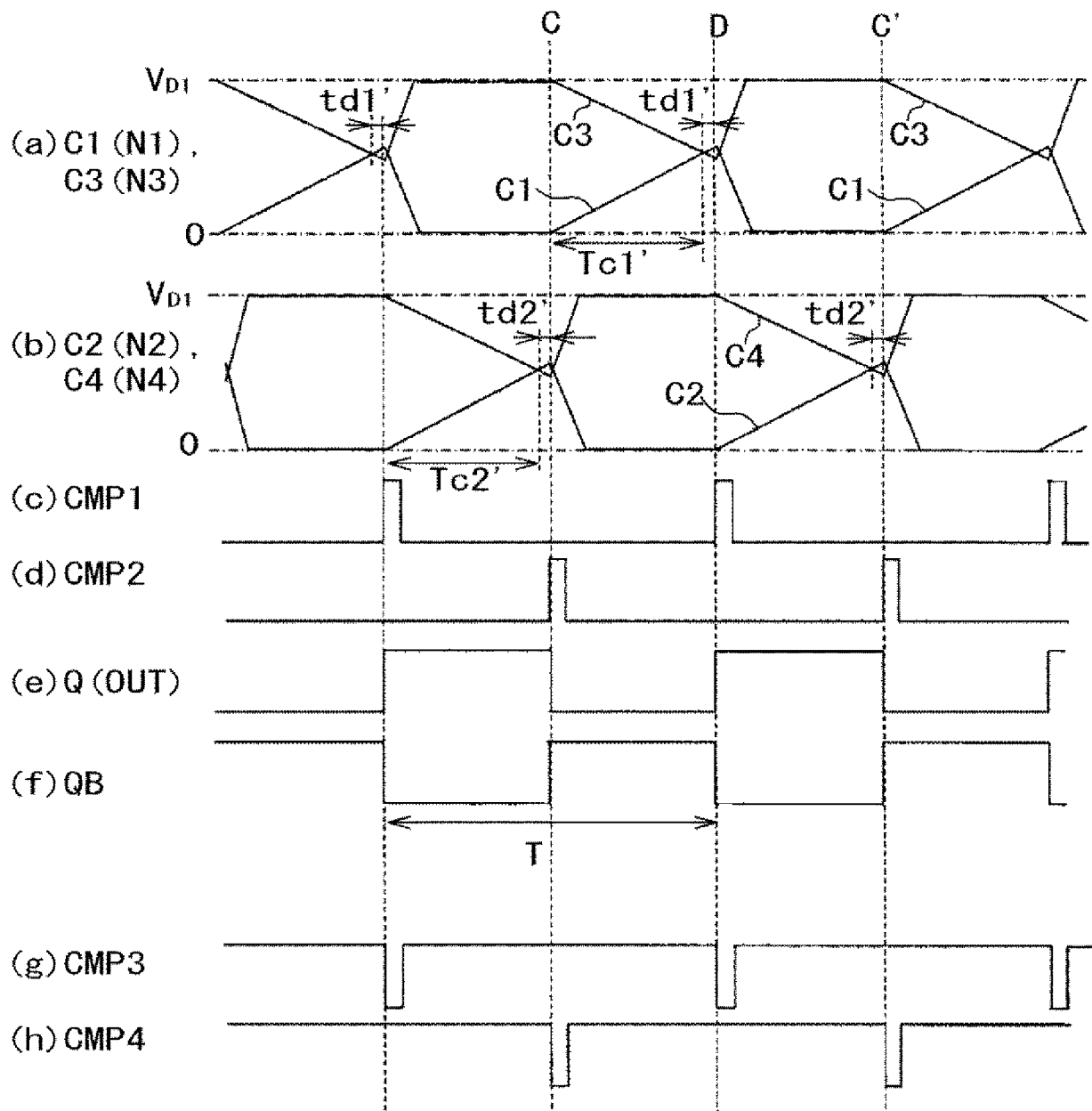
[図5]

図 5



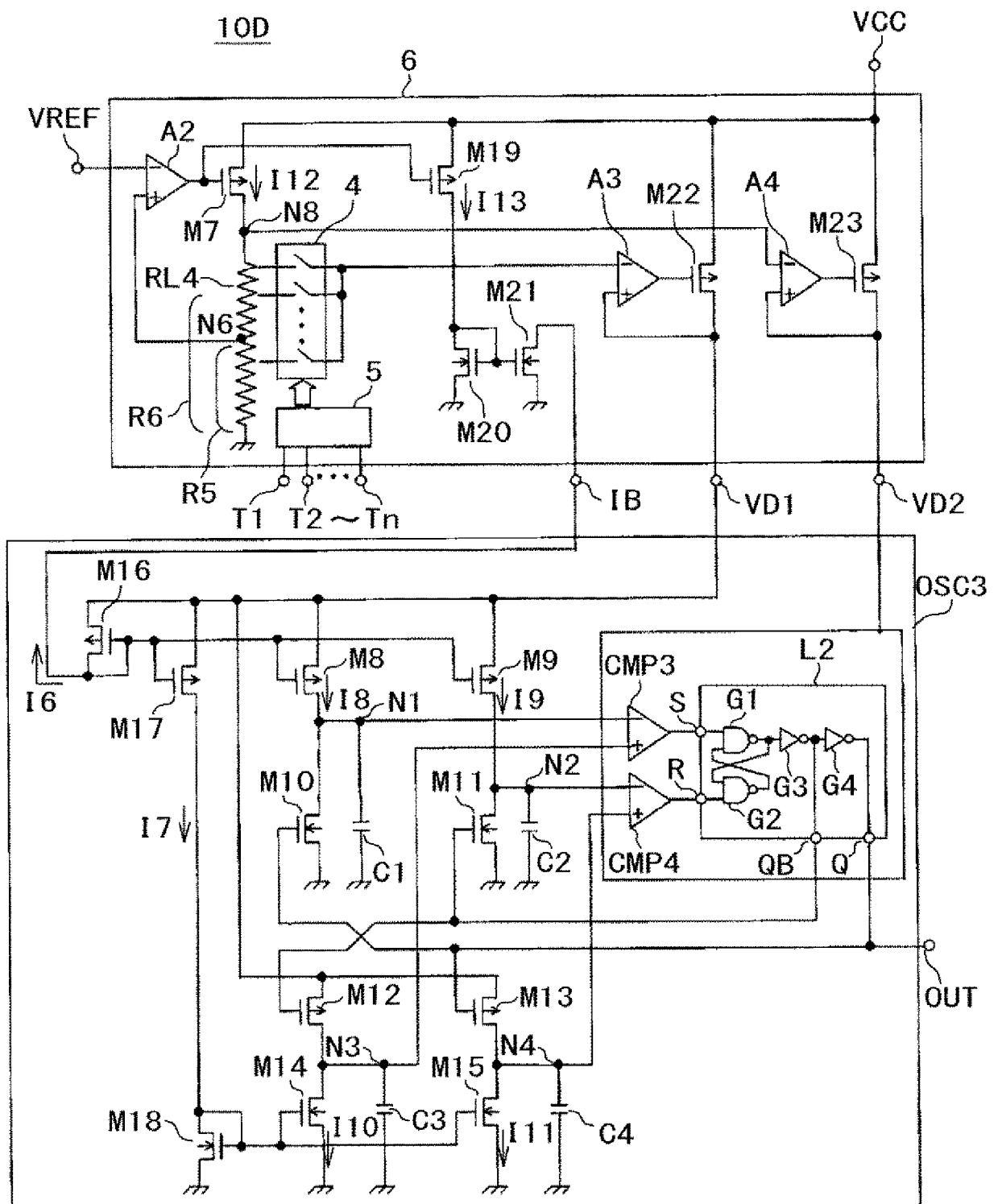
[図6]

図 6



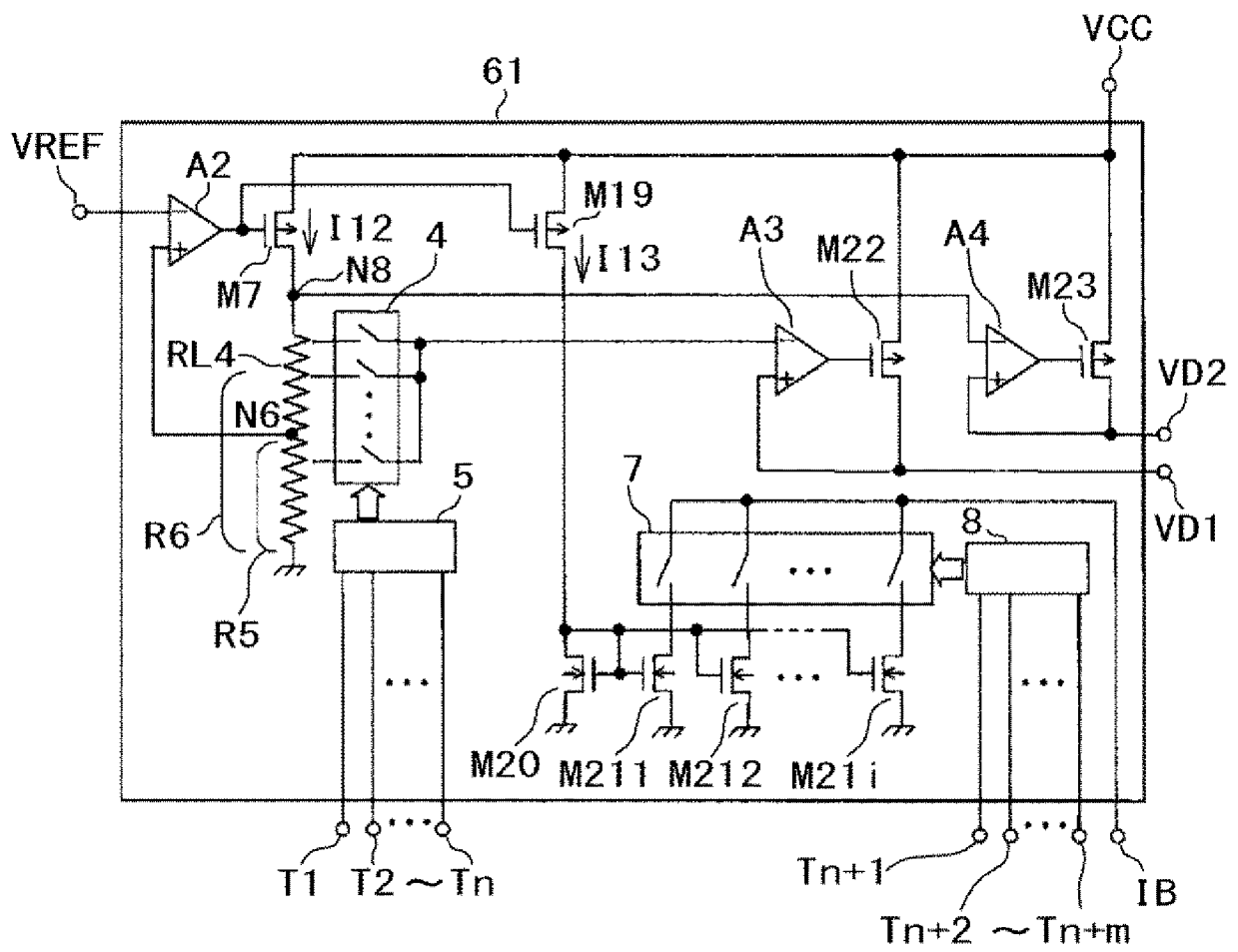
[図7]

図 7



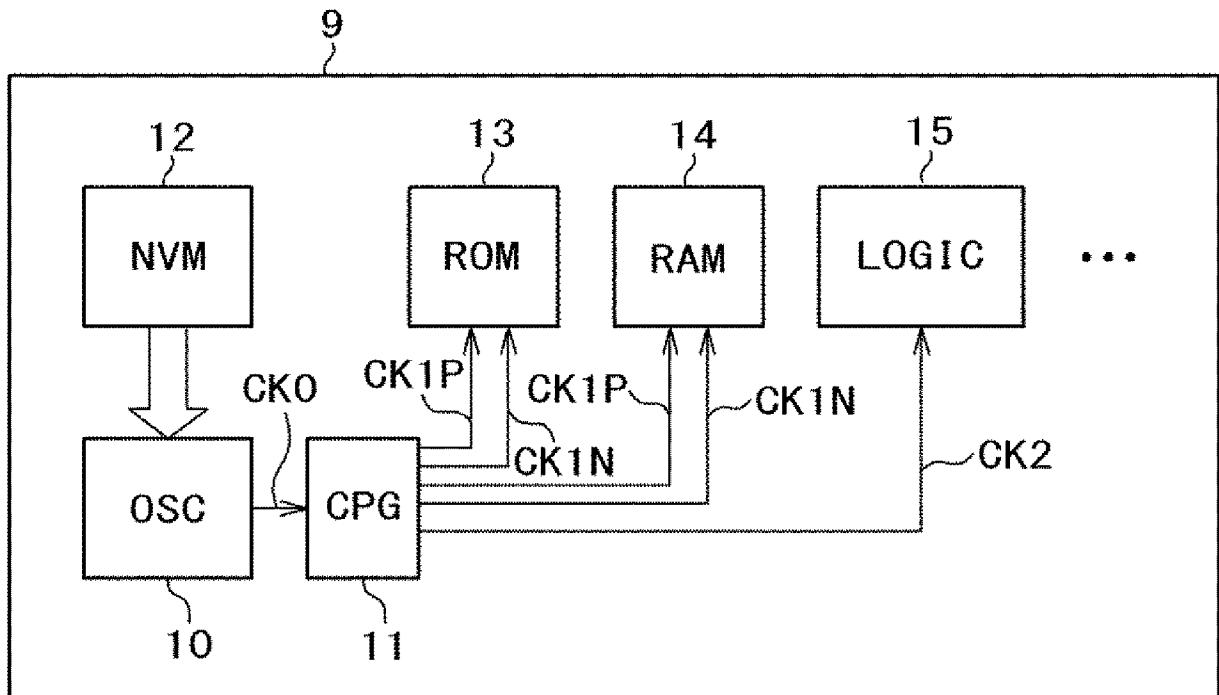
[図8]

図 8



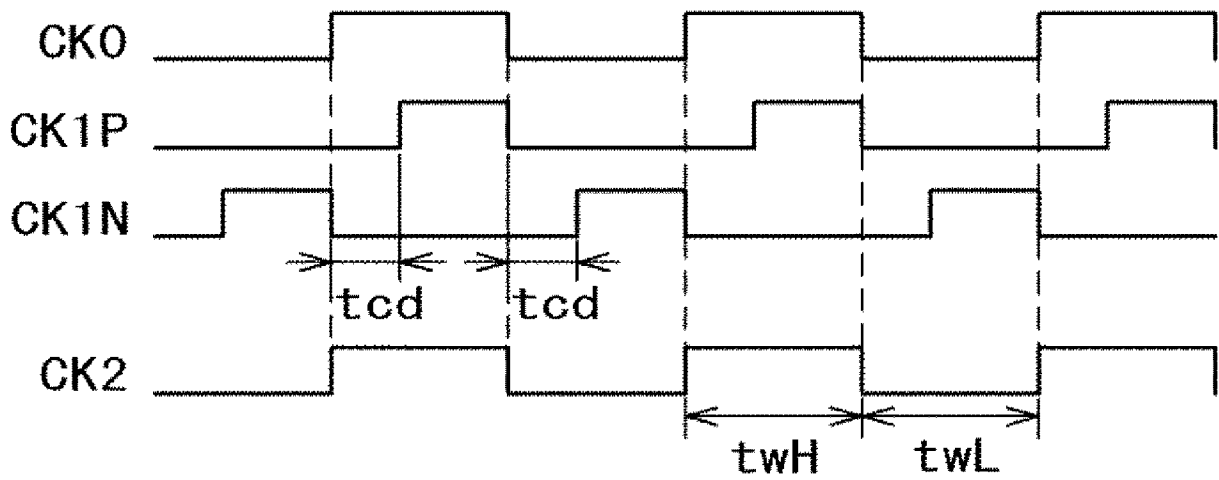
[図9]

図 9



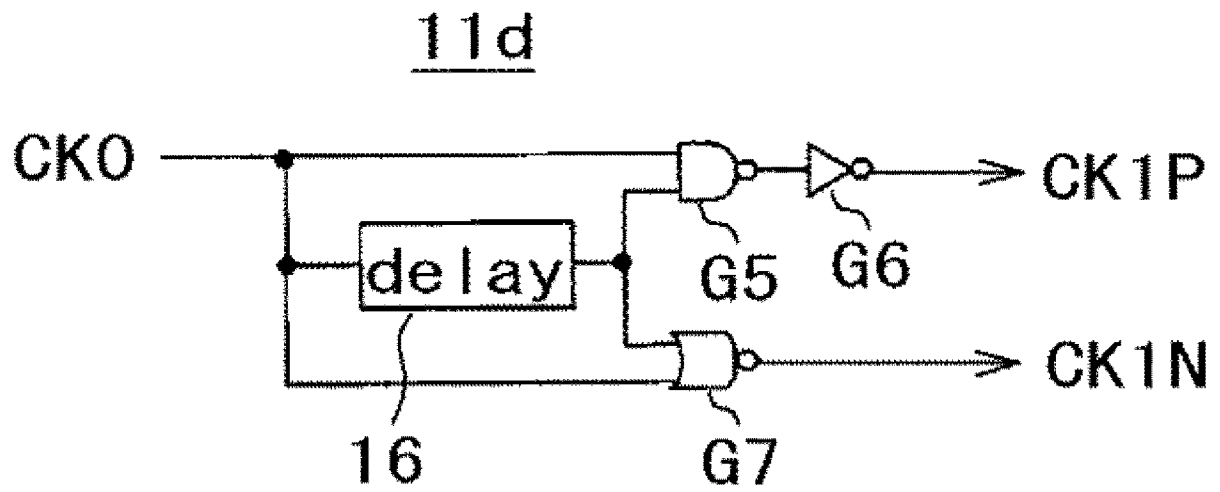
[図10]

図 10



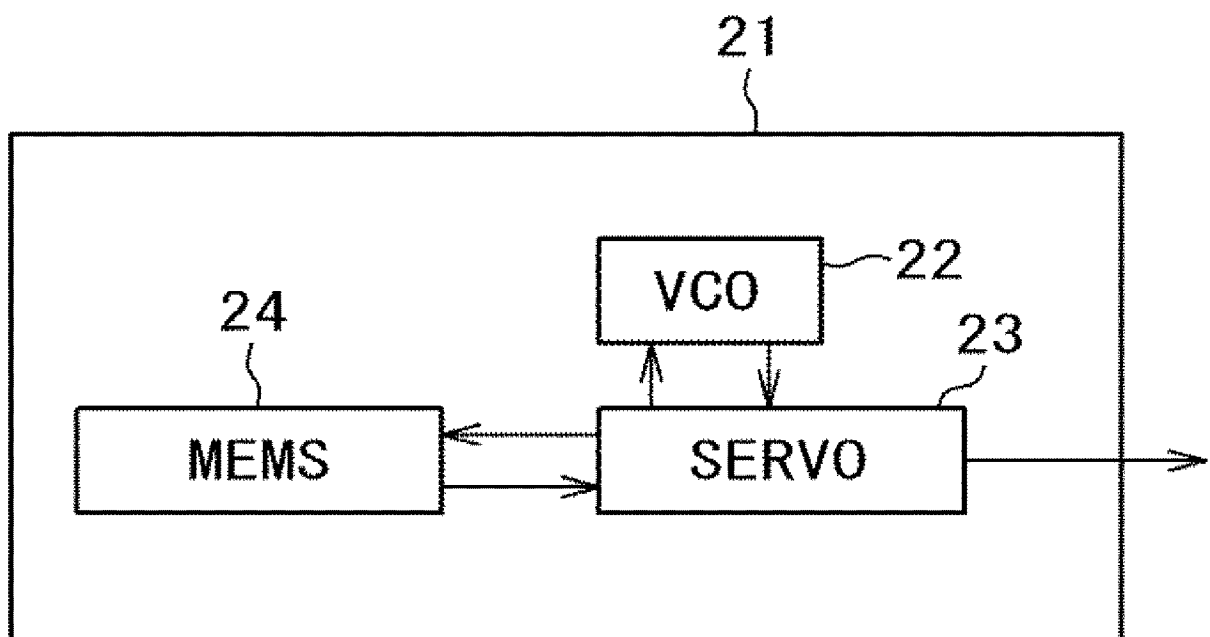
[図11]

図 1 1



[図12]

図 1 2



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/052389

A. CLASSIFICATION OF SUBJECT MATTER

H03K4/06(2006.01)i, G01C19/5776(2012.01)i, H03K3/0231(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K4/06, G01C19/5776, H03K3/0231

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-528981 A (SanDisk Technologies Inc.), 11 July 2013 (11.07.2013), entire text; fig. 2 & US 2011/024178 A1 & US 2012/0062326 A1 & WO 2011/126896 A1	1-4 5-15
A	JP 2011-87064 A (Sharp Corp.), 28 April 2011 (28.04.2011), entire text; fig. 2 (Family: none)	1-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 March, 2014 (11.03.14)

Date of mailing of the international search report
25 March, 2014 (25.03.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K4/06(2006.01)i, G01C19/5776(2012.01)i, H03K3/0231(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K4/06, G01C19/5776, H03K3/0231

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	J P 2 0 1 3 - 5 2 8 9 8 1 A （サンディスク テクノロジーズ インコーポレイテッド） 2 0 1 3 . 0 7 . 1 1、全文、図2 & US 2 0 1 1 / 0 2 4 1 7 8 A 1 & US 2 0 1 2 / 0 0 6 2 3 2 6 A 1 & WO 2 0 1 1 / 1 2 6 8 9 6 A 1	1 - 4 5 - 1 5
A	J P 2 0 1 1 - 8 7 0 6 4 A （シャープ株式会社） 2 0 1 1 . 0 4 . 2 8、全文、図2 （ファミリーなし）	1 - 1 5

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 3 . 2 0 1 4

国際調査報告の発送日

2 5 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

石田 勝

5 X

3 5 7 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6