



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년11월05일
(11) 등록번호 10-1325053
(24) 등록일자 2013년10월29일

(51) 국제특허분류(Int. C1.)
H01L 29/786 (2006.01)
(21) 출원번호 10-2007-0037800
(22) 출원일자 2007년04월18일
심사청구일자 2012년03월07일
(65) 공개번호 10-2008-0093709
(43) 공개일자 2008년10월22일

(56) 선행기술조사문헌
KR1020060133834 A*
JP2004235180 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김성렬
충청남도 천안시 서북구 봉정로 365, 대우1차아파트 106동 1002호 (두정동)
양성훈
서울특별시 성동구 상원길 63, 101동 2001호 (성수동1가, 쌍용아파트)
(뒷면에 계속)

(74) 대리인
오세준, 권혁수, 송윤호

심사관 : 설관식

전체 청구항 수 : 총 24 항

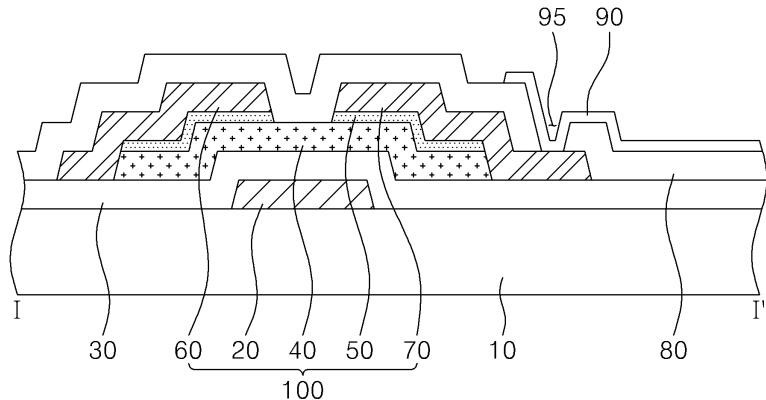
(54) 발명의 명칭 박막 트랜지스터 기판 및 이의 제조 방법

(57) 요 약

본 발명은 오믹 콘택층 형성과 관련한 박막 트랜지스터 기판 및 이의 제조 방법에 관한 것이다.

본 발명에 따른 박막 트랜지스터 기판 및 이의 제조 방법은 기판 상에 게이트 전극을 포함하는 제1 도전 패턴군을 형성하는 단계, 상기 제1 도전 패턴군 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 비정질 실리콘층 및 산화물 반도체층을 패터닝함으로써 반도체층 및 오믹 콘택층을 형성하는 단계, 상기 오믹 콘택층 상에 데이터 금속층을 패터닝함으로써 소스 전극 및 드레인 전극을 포함하는 제2 도전 패턴군을 형성하는 단계, 상기 제2 도전 패턴군 상에 콘택홀을 갖는 보호막을 형성하는 단계, 및 상기 보호막의 상기 콘택홀 상에 화소 전극을 형성하는 단계를 포함한다.

대 표 도 - 도2



(72) 발명자

김병준

서울특별시 성동구 독서당로 272, 109동 1201호 (금호동4가, 금호동 대우 아파트)

이창호

경기도 수원시 영통구 덕영대로1555번길 20, 벽적
골9단지아파트 945동 505호 (영통동)

최재호

서울특별시 종로구 낙산길 198, 쌍용아파트 207동
1508호 (창신동)

오화열

경기도 수원시 영통구 영통로102번길 25, 105동
303호 (망포동, 모닝빌)

최용모

경기도 수원시 영통구 덕영대로1555번길 20, 벽적
골9단지아파트 롯데아파트 946동 1602호 (영통동)

특허청구의 범위

청구항 1

기판 상에 게이트 전극을 포함하는 제1 도전 패턴군을 형성하는 단계;

상기 제1 도전 패턴군 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 비정질 실리콘층 및 산화물 반도체층을 패터닝함으로써 반도체층 및 오믹 콘택층을 형성하는 단계;

상기 오믹 콘택층 상에 데이터 금속층을 패터닝함으로써 소스 전극 및 드레인 전극을 포함하는 제2 도전 패턴군을 형성하는 단계;

상기 제2 도전 패턴군 상에 콘택홀을 갖는 보호막을 형성하는 단계; 및

상기 보호막 위에 상기 콘택홀을 통하여 상기 드레인 전극의 일부분과 전기적으로 접촉되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제2 도전 패턴군 형성 단계에서

상기 데이터 금속층 및 상기 오믹 콘택층은 습식 식각을 통하여 동시에 패터닝되는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 오믹 콘택층은 산화 아연(ZnO)으로 형성하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 4

제 3 항에 있어서,

상기 오믹 콘택층은 상기 산화 아연(ZnO)에 1족, 3족, 5족 및 7족 원소 중 어느 한 족의 원소가 첨가된 것으로 형성하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 오믹 콘택층은 인듐 산화물로 형성된 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 오믹 콘택층은 인듐 주석 산화물로 형성된 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 오믹 콘택층은 인듐 아연 산화물로 형성된 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 오믹 콘택층은 비정질 산화물 반도체로 형성된 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 9

기판 상에 게이트 전극을 포함하는 제1 도전 패턴군을 형성하는 단계;

상기 제1 도전 패턴군 상에 게이트 절연막, 비정질 실리콘층, 산화물 반도체층 및 데이터 금속층을 적층하는 단계;

상기 비정질 실리콘층, 산화물 반도체층 및 데이터 금속층을 패터닝하여 반도체층, 오믹 콘택층, 소스 전극 및 드레인 전극을 포함하는 제2 도전 패턴군을 형성하는 단계;

상기 제2 도전 패턴군 상에 콘택홀을 갖는 보호막을 형성하는 단계; 및

상기 보호막 위에 상기 콘택홀을 통하여 상기 드레인 전극의 일부분과 전기적으로 접촉되는 화소 전극을 형성하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 10

제 9 항에 있어서,

상기 제2 도전 패턴군 형성 단계에서

상기 데이터 금속층 및 상기 오믹 콘택층은 습식 식각을 통하여 동시에 패터닝되는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 11

제 9 항에 있어서,

상기 오믹 콘택층은 산화 아연(ZnO)으로 형성하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 12

제 11 항에 있어서,

상기 오믹 콘택층은 상기 산화 아연(ZnO)에 1족, 3족, 5족 및 7족 원소 중 어느 한 족의 원소가 첨가된 것으로 형성하는 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 13

제 9 항에 있어서,

상기 오믹 콘택층은 인듐 산화물로 형성된 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 14

제 9 항에 있어서,

상기 오믹 콘택층은 인듐 주석 산화물로 형성된 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 15

제 9 항에 있어서,

상기 오믹 콘택층은 인듐 아연 산화물로 형성된 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 16

제 9 항에 있어서,

상기 오믹 콘택층은 비정질 산화물 반도체로 형성된 것을 특징으로 하는 박막 트랜지스터 기판의 제조 방법.

청구항 17

기판 위에 형성된 게이트 전극;

상기 게이트 전극을 덮도록 형성된 게이트 절연막;

실리콘을 포함하고, 상기 게이트 절연막 위에 상기 게이트 전극과 중첩되어 형성된 반도체층;

상기 반도체층 위에 산화물 반도체로 형성된 오믹 콘택층; 및

상기 오믹 콘택층 위에 형성된 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터 기판.

청구항 18

제 17 항에 있어서,

상기 소스 및 드레인 전극 위에 형성되며 콘택홀을 가지는 보호막; 및

상기 보호막 위에 형성되며 상기 콘택홀을 통하여 상기 드레인 전극과 연결되는 화소 전극을 더 포함하는 박막 트랜지스터 기판.

청구항 19

제 17 항에 있어서,

상기 오믹 콘택층은 산화 아연(ZnO)으로 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 20

제 17 항에 있어서,

상기 오믹 콘택층은 상기 산화 아연(ZnO)에 1족, 3족, 5족 및 7족 원소 중 어느 한 족의 원소가 첨가된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 21

제 17 항에 있어서,

상기 오믹 콘택층은 인듐 산화물로 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 22

제 17 항에 있어서,

상기 오믹 콘택층은 인듐 주석 산화물로 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 23

제 17 항에 있어서,

상기 오믹 콘택층은 인듐 아연 산화물로 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

청구항 24

제 17 항에 있어서,

상기 오믹 콘택층은 비정질 산화물 반도체로 형성된 것을 특징으로 하는 박막 트랜지스터 기판.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0014] 본 발명은 박막 트랜지스터 기판 및 이의 제조 방법에 관한 것으로 특허, 오믹 콘택층 형성에 관한 것이다.
- [0015] 액정 표시 장치는 전계를 통해 액정의 광투과율을 조절함으로써 화상을 표시한다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스 형태로 배열된 액정 패널과, 액정을 구동하기 위한 구동회로를 구비한다. 여기서 액정 패널은 박막 트랜지스터 어레이가 형성된 박막 트랜지스터 기판과, 컬러 필터 어레이가 형성된 컬러 필터 기판 및 두 기판 사이에 내재된 액정을 구비한다.
- [0016] 액정 패널은 게이트 라인과 데이터 라인의 교차로 형성된 영역에 액정셀이 위치한다. 액정셀들 각각에는 화상 데이터 신호가 인가되는 화소 전극과 공통 전압이 인가되는 공통 전극이 형성된다. 그리고, 액정셀들에는 게이트 라인, 데이터 라인 및 화소 전극과 접속된 박막 트랜지스터가 형성되어 게이트 라인에 스캔 신호가 공급될 때마다 데이터 라인으로 공급된 화상 데이터 신호를 화소 전극에 공급하여 화상을 표시하게 된다.
- [0017] 현재 박막 트랜지스터 기판의 제조 방법으로는 제조 공정이 상대적으로 쉽고 별도의 광차단막 형성이 필요없는 바텀 게이트(Bottom Gate)의 인버티드 스테거드(Invetered Staggered) 구조가 가장 널리 이용되고 있다. 이러한 인버티드 스테거드 구조의 박막 트랜지스터는 채널(Channel) 형성 공정에 따라 공정 단순화를 위한 백 채널 에치(Back Channel Etched; BCE) 방식과 박막 트랜지스터 특성 향상을 위한 에치 스톱퍼(Etch Stopper; ES) 방식이 있다.
- [0018] 백 채널 에치 방식은 데이터 패턴 형성 후에 오믹 콘택층의 쇠각 공정을 진행하므로 마스크 수를 줄일 수 있고, 게이트 절연막과 반도체층 및 오믹 콘택층을 동일 챔버내에서 연속적으로 제조할 수 있다. 그러나, 채널부의 오믹 콘택층을 완전히 제거하기 위해 오버에치(overetch)를 진행해야 하므로 반도체층을 두껍게 형성하여 마진을 확보해야 한다. 따라서, 공정 시간이 증가하고, 누설 전류가 증가하며, 직렬 콘택 저항이 증가하여 전자 이동도가 감소하는 등의 박막 트랜지스터 특성 저하가 발생한다.
- [0019] 에치 스톱퍼 방식은 반도체층을 얇게 형성할 수 있는 반면, 에치 스톱퍼를 패터닝해야 하므로 마스크 공정이 추가되는 단점이 있다.

발명이 이루고자 하는 기술적 과제

- [0020] 따라서, 본 발명의 기술적 과제는 오믹 콘택층을 산화물 반도체로 형성하여 공정을 단순화하고 박막 트랜지스터의 특성을 향상시킬 수 있는 박막 트랜지스터 기판 및 이의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

- [0021] 상기 기술적 과제를 달성하기 위하여, 본 발명의 박막 트랜지스터 기판의 제조 방법은 기판 상에 게이트 전극을 포함하는 제1 도전 패턴군을 형성하는 단계; 상기 제1 도전 패턴군 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 비정질 실리콘층 및 산화물 반도체층을 패터닝함으로써 반도체층 및 오믹 콘택층을 형성하는 단계; 상기 오믹 콘택층 상에 데이터 금속층을 패터닝함으로써 소스 전극 및 드레인 전극을 포함하는 제2 도

전 패턴군을 형성하는 단계; 상기 제2 도전 패턴군 상에 콘택홀을 갖는 보호막을 형성하는 단계; 및 상기 보호막 위에 상기 콘택홀을 통하여 상기 드레인 전극의 일부분과 전기적으로 접촉되는 화소 전극을 형성하는 단계를 포함한다.

- [0022] 상기 제2 도전 패턴군 형성 단계에서 상기 데이터 금속층 및 상기 오믹 콘택층은 습식 식각을 통하여 동시에 패터닝되는 것을 특징으로 한다.
- [0023] 상기 오믹 콘택층은 산화 아연(ZnO)으로 형성하는 것을 특징으로 한다.
- [0024] 상기 오믹 콘택층은 상기 산화 아연(ZnO)에 1족, 3족, 5족 및 7족 원소 중 어느 한 족의 원소가 첨가된 것으로 형성하는 것을 특징으로 한다.
- [0025] 상기 오믹 콘택층은 인듐 산화물로 형성된 것을 특징으로 한다.
- [0026] 상기 오믹 콘택층은 인듐 주석 산화물로 형성된 것을 특징으로 한다.
- [0027] 상기 오믹 콘택층은 인듐 아연 산화물로 형성된 것을 특징으로 한다.
- [0028] 상기 오믹 콘택층은 비정질 산화물 반도체로 형성된 것을 특징으로 한다.
- [0029] 상기 기술적 과제를 달성하기 위하여, 본 발명의 박막 트랜지스터 기판의 제조 방법은 기판 상에 게이트 전극을 포함하는 제1 도전 패턴군을 형성하는 단계; 상기 제1 도전 패턴군 상에 게이트 절연막, 비정질 실리콘층, 산화물 반도체층 및 데이터 금속층을 적층하는 단계; 상기 비정질 실리콘층, 산화물 반도체층 및 데이터 금속층을 패터닝하여 반도체층, 오믹 콘택층, 소스 전극 및 드레인 전극을 포함하는 제2 도전 패턴군을 형성하는 단계; 상기 제2 도전 패턴군 상에 콘택홀을 갖는 보호막을 형성하는 단계; 및 상기 보호막 위에 상기 콘택홀을 통하여 상기 드레인 전극의 일부분과 전기적으로 접촉되는 화소 전극을 형성하는 단계를 포함한다.
- [0030] 상기 제2 도전 패턴군 형성 단계에서 상기 데이터 금속층 및 상기 오믹 콘택층은 습식 식각을 통하여 동시에 패터닝되는 것을 특징으로 한다.
- [0031] 상기 오믹 콘택층은 산화 아연(ZnO)으로 형성하는 것을 특징으로 한다.
- [0032] 상기 오믹 콘택층은 상기 산화 아연(ZnO)에 1족, 3족, 5족 및 7족 원소 중 어느 한 족의 원소가 첨가된 것으로 형성하는 것을 특징으로 한다.
- [0033] 상기 오믹 콘택층은 인듐 산화물로 형성된 것을 특징으로 한다.
- [0034] 상기 오믹 콘택층은 인듐 주석 산화물로 형성된 것을 특징으로 한다.
- [0035] 상기 오믹 콘택층은 인듐 아연 산화물로 형성된 것을 특징으로 한다.
- [0036] 상기 오믹 콘택층은 비정질 산화물 반도체로 형성된 것을 특징으로 한다.
- [0037] 상기 기술적 과제를 달성하기 위하여, 본 발명의 박막 트랜지스터 기판은 기판 위에 형성된 게이트 전극; 상기 게이트 전극을 덮도록 형성된 게이트 절연막; 상기 게이트 절연막 위에 상기 게이트 전극과 중첩되어 형성된 반도체층; 상기 반도체층 위에 산화물 반도체로 형성된 오믹 콘택층; 및 상기 오믹 콘택층 위에 형성된 소스 전극 및 드레인 전극을 포함한다.
- [0038] 상기 소스 및 드레인 전극 위에 형성되며 콘택홀을 가지는 보호막; 및 상기 보호막 위에 형성되며 상기 콘택홀을 통하여 상기 드레인 전극과 연결되는 화소 전극을 더 포함한다.
- [0039] 상기 오믹 콘택층은 산화 아연(ZnO)으로 형성된 것을 특징으로 한다.
- [0040] 상기 오믹 콘택층은 상기 산화 아연(ZnO)에 1족, 3족, 5족 및 7족 원소 중 어느 한 족의 원소가 첨가된 것을 특징으로 한다.
- [0041] 상기 오믹 콘택층은 인듐 산화물로 형성된 것을 특징으로 한다.
- [0042] 상기 오믹 콘택층은 인듐 주석 산화물로 형성된 것을 특징으로 한다.
- [0043] 상기 오믹 콘택층은 인듐 아연 산화물로 형성된 것을 특징으로 한다.

- [0044] 상기 오믹 콘택총은 비정질 산화물 반도체로 형성된 것을 특징으로 한다.
- [0045] 상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- [0046] 이하, 본 발명의 바람직한 실시예들을 도 1 내지 도 4e를 참조하여 상세하게 설명하기로 한다.
- [0047] 도 1은 본 발명의 실시예에 따른 박막 트랜지스터 기판을 도시한 평면도이고, 도 2는 도 1에 도시된 박막 트랜지스터 기판의 I-I'선을 따라 절단한 단면도이다.
- [0048] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 박막 트랜지스터 기판은, 기판(10), 게이트 라인(21), 데이터 라인(61), 화소 전극(90) 및 박막 트랜지스터(100)를 포함한다.
- [0049] 구체적으로, 상기 기판(10)은 게이트 라인(21), 데이터 라인(61), 화소 전극(90) 및 박막 트랜지스터(100)가 형성되는 절연 기판으로서, 투명한 유리 또는 플라스틱 등의 재질로 형성되는 것이 바람직하다.
- [0050] 상기 게이트 라인(21)은 박막 트랜지스터(100)에 스캔 신호를 공급하고, 데이터 라인(61)은 박막 트랜지스터(100)에 화상 데이터 신호를 공급한다. 게이트 라인(21) 및 데이터 라인(61)은 게이트 절연막(30)을 사이에 두고 기판(10) 상에 교차하면서 형성되어 화소 영역을 정의한다. 화소 영역(90)에는 게이트 라인(21) 및 데이터 라인(61)과 접속되는 박막 트랜지스터(100), 박막 트랜지스터(100)에 연결되는 화소 전극(90)이 형성된다.
- [0051] 상기 박막 트랜지스터(100)는 게이트 라인(21)으로부터 제공되는 스캔 신호에 응답하여 데이터 라인(61)으로부터 제공되는 화상 데이터 신호를 화소 전극(90)에 공급한다. 이를 위해 박막 트랜지스터(100)는 게이트 전극(20), 소스 전극(60), 드레인 전극(70), 반도체층(40) 및 오믹 콘택총(50)을 포함한다.
- [0052] 게이트 전극(20)은 게이트 라인(21)과 접속되고, 소스 전극(60)은 데이터 라인(61)과 접속되고, 드레인 전극(70)은 화소 전극(90)에 접속된다. 반도체층(40)은 드레인 전극(70) 및 게이트 전극(20)과 게이트 절연막(30)을 사이에 두고 중첩되도록 형성되어 소스 전극(60)과 드레인 전극(70) 사이에 채널을 형성한다.
- [0053] 오믹 콘택총(50)은 소스 전극(60) 및 드레인 전극(70)과 반도체층(40) 사이의 오믹 접촉을 위한 것으로, 산화물 반도체로 형성되는 것이 바람직하다. 산화물 반도체는 대부분 n 타입으로 캐리어(Carrier) 농도가 종래 오믹 콘택총(50)을 구성하는, 불순물이 도핑된 비정질 실리콘(n+ a-Si:H)층보다 높기 때문에, 금속 재질의 소스 및 드레인 전극(60,70)과 아몰피스 실리콘 재질의 반도체층(40) 사이에서 좋은 콘택총의 역할을 수행할 수 있다.
- [0054] 또한 산화물 반도체는 소스 및 드레인 전극(60,70)과 마찬가지로 습식 식각(Wet Etch)을 가능하게 하여 박막 트랜지스터 기판 제조 공정상 장점을 제공한다. 오믹 콘택총(50)을 산화물 반도체로 형성하는 경우 제공되는 제조 공정상 장점은 아래 박막 트랜지스터 기판의 제조 방법에서 좀 더 자세하게 설명한다.
- [0055] 한편, 산화물 반도체는 산화 아연(ZnO) 및 첨가물이 부가된 산화 아연(ZnO)계 물질을 포함한다. 여기서 첨가물은 1족(H, Li, Na, K, Rb, Cs), 3족(Sc, Y, La), 5족(V, Nb, Ta, Db) 또는 7족(Mn, Tc, Re, Bh)의 원소일 수 있다.
- [0056] 또한 산화물 반도체는 인듐 산화물(In_2O_3), 주석 산화물(SnO_2) 또는 인듐 주석 산화물($(In-Sn)O_x$), 인듐 아연 산화물($(In-Zn)O_x$) 등의 비정질 산화물 반도체를 포함한다.
- [0057] 상기 화소 전극(90)은 인듐 주석 산화물(Indium Tin Oxide; ITO) 또는 인듐 주석 산화물(Indium zinc Oxide; IZO) 등의 투명 도전성 금속 물질로 형성된다. 화소 전극(90)은 박막 트랜지스터(100)로부터 화상 데이터 신호가 공급되면, 공통 전압이 공급되는, 컬러 필터 기판(미도시)의 공통 전극과 함께 액정(미도시)을 구동하여 광투과율을 조절한다. 이를 위해 화소 전극(90)은 드레인 전극(70)을 노출시키며 박막 트랜지스터(100)를 덮는 보호막(80) 위에 형성되고, 콘택홀(95)을 통하여 드레인 전극(70)과 접속된다.
- [0058] 도 3a 내지 도 3e는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 순차적으로 도시한 단면도들로서, 5 마스크 공정을 통하여 박막 트랜지스터 기판을 제조하는 방법을 각 마스크 공정별로 도시한 단면도들이다.
- [0059] 먼저 도 3a는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 도시한 단

면도이다. 도 3a를 참조하면, 제1 마스크 공정은 제1 마스크를 통해 기판(10) 위에 제1 도전 패턴군이 형성되는 단계이다. 제1 도전 패턴군은 게이트 라인 및 게이트 전극(20)을 포함한다.

[0060] 구체적으로, 기판(10) 위에 게이트 금속층이 스퍼터링(Sputtering)과 같은 증착 방법을 통해 형성된다. 여기서, 게이트 금속층은 알루미늄(Al), 크롬(Cr), 구리(Cu) 및 몰리브덴(Mo) 등과 같은 금속 또는 그들의 합금이 단일층으로 형성되거나, 그들의 조합으로 이루어진 다층 구조로 형성될 수 있다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 게이트 금속층을 패터닝함으로써 게이트 라인 및 게이트 전극(20)을 포함하는 제1 도전 패턴군이 형성된다.

[0061] 도 3b는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조 방법 중 제2 마스크 공정을 도시한 단면도이다. 도 3b를 참조하면, 제2 마스크 공정은 제2 마스크를 통해, 제1 도전 패턴군이 형성된 기판(10) 상에 게이트 절연막(30), 반도체층(40) 및 오믹 콘택층(50)이 차례로 형성되는 단계이다.

[0062] 구체적으로, 게이트 라인 및 게이트 전극(20)이 형성된 기판(10) 상에 게이트 절연막(30), 비정질 실리콘층이 플라즈마 화학증착법(Plasma Enhanced Chemical Vapor Deposition; PECVD) 등의 증착 방법을 통해 형성된다. 여기서, 게이트 절연막(30)은 질화 실리콘(SiNx), 산화 실리콘(SiOx) 등의 무기 절연 물질일 수 있다. 그런 다음, 산화물 반도체층이 스퍼터링 방법을 통해 증착된다.

[0063] 이어서, 제2 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 비정질 실리콘층 및 산화물 반도체층이 패터닝됨으로써 반도체층(40) 및 오믹 콘택층(50)이 형성된다.

[0064] 산화물 반도체는 도 1 및 도 2에서 설명한 바와 같이, 산화 아연(ZnO), 첨가물이 부가된 산화 아연(ZnO)계 물질, 결정질 산화물 반도체 또는 비정질 산화물 반도체를 포함한다.

[0065] 도 3c는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정을 도시한 단면도이다. 도 3c를 참조하면, 제3 마스크 공정은 제3 마스크를 통해, 반도체층(40) 및 오믹 콘택층(50)이 형성된 기판(10) 위에 제2 도전 패턴군이 형성되는 단계이다. 제2 도전 패턴군은 데이터 라인, 소스 전극(60) 및 드레인 전극(70)을 포함한다.

[0066] 구체적으로, 게이트 절연막(30)과 오믹 콘택층(50) 상에 데이터 금속층을 스퍼터링 등의 증착 방법을 통해 증착한다. 여기서 데이터 금속층은 알루미늄(Al), 크롬(Cr), 구리(Cu) 및 몰리브덴(Mo) 등의 금속 또는 그들 합금의 단일층으로 형성되거나, 그들의 조합으로 이루어진 다층 구조일 수 있다.

[0067] 그리고 데이터 금속층을 패터닝하여 데이터 라인, 소스 및 드레인 전극(60,70)을 포함하는 제2 도전 패턴군을 형성한다. 이때 데이터 금속층 패터닝 방법은 산화물 반도체로 형성된 오믹 콘택층(50)을 동시에 패터닝 할 수 있는 습식 식각(Wet Etch)인 것이 바람직하다.

[0068] 종래 공정에서는 데이터 금속층의 식각은 습식 식각(Wet Etch) 방식을 사용하고, 오믹 콘택층과 반도체층의 식각은 건식 식각(Dry Etch) 방식을 사용한다. 그러나 본발명의 일실시예에 따라 오믹 콘택층(50)을 산화물 반도체로 형성하는 경우 습식 식각 방법을 통하여 오믹 콘택층(50)은 데이터 금속층과 함께 패터닝될 수 있다.

[0069] 한편 본 발명의 일실시예에 따른 습식 식각 방법에 사용되는 습식 식각액(Wet Etchant)은 식각 선택비(Etch Selectivity)가 큰 것이 바람직하다. 여기서 식각 선택비란 습식 식각액이 소스 및 드레인 전극(60,70)을 형성하는 데이터 금속층과 오믹 콘택층(50)을 형성하는 산화물 반도체를 식각시키는 반면 활성층을 형성하는 반도체층(40)은 식각시키지 않는 특성을 말한다.

[0070] 따라서 본 발명의 일실시예에 따르는 경우, 종래 두 번의 식각 공정(소스 및 드레인 전극 형성을 위한 습식 식각과 오믹 콘택층과 반도체층 식각을 위한 건식 식각 공정)을 한 번의 습식 식각 공정으로 대체할 수 있다.

[0071] 또한, 본 발명의 일실시예에 따르는 경우, 오믹 콘택층(50)을 구성하는 산화물 반도체는 습식 식각액에 식각되는 반면 활성층을 구성하는 반도체층(40)은 식각되지 않으므로 종래 백 채널 애치(BCE) 방법과는 달리, 활성층을 구성하는 반도체층(40)의 두께를 얇게 형성할 수 있도록 한다. 따라서, 본 발명의 일실시예에 따르는 경우, 포토 누설 전류(Photo Leakage Current)의 감소 및 전자 이동도(Extrinsic Field Effect Mobility)의 증가 등 박막 트랜지스터의 특성을 향상시킬 수 있다.

[0072] 도 3d는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조 방법 중 제4 마스크 공정을 도시한 단면도이다. 도 3d를 참조하면, 제4 마스크 공정은 제4 마스크를 통해, 제2 도전 패턴군이 형성된 게이트 절연막(30) 위에 콘택홀(95)을 갖는 보호막(80)이 형성되는 단계이다.

- [0073] 구체적으로, 보호막(80)은 제2 도전 패턴군이 형성된 기판(10) 상에 PECVD, 스판 코팅 등의 증착 방법을 통해 형성되고, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 보호막(80)을 관통하여 드레인 전극(70)을 노출시키는 콘택홀(95)이 형성된다. 보호막(80)으로는 게이트 절연막(30)과 같은 무기 절연 물질 또는 유기 절연 물질이 이용된다.
- [0074] 도 3e는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조 방법 중 제5 마스크 공정을 도시한 단면도이다. 도 3e를 참조하면, 제5 마스크 공정은 제5 마스크를 통해 보호막(80) 위에 화소 전극(90)이 형성되는 단계이다.
- [0075] 구체적으로, 화소 전극(90)은 보호막(80) 위에 스퍼터링 등의 방법을 통해 투명 도전층을 형성한 다음, 제5 마스크를 이용한 포토리소그래피 및 식각 공정으로 투명 도전층을 패터닝하여 형성된다. 투명 도전층으로는 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO) 및 주석 산화물(Tin Oxide) 등과 같은 투명 도전 물질이 이용된다. 화소 전극(90)은 콘택홀(95)을 통해 드레인 전극(70)과 접속된다.
- [0076] 도 4a 내지 도 4e는 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 마스크 공정별로 도시한 단면도들로서, 4 마스크 공정을 통하여 박막 트랜지스터 기판을 제조하는 방법을 각 마스크 공정별로 도시한 단면도들이다.
- [0077] 먼저 도 4a는 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 도시한 단면도이다. 도 4a를 참조하면, 제1 마스크 공정은 제1 마스크를 통해, 기판(10) 위에 제1 도전 패턴군이 형성되는 단계이다. 제1 도전 패턴군은 게이트 라인 및 게이트 전극(20)을 포함한다.
- [0078] 구체적으로, 기판(10) 위에 게이트 금속층을 스퍼터링과 같은 증착 방법을 통해 형성된다. 여기서, 게이트 금속층은 알루미늄(Al), 크롬(Cr), 구리(Cu) 및 몰리브덴(Mo) 등과 같은 금속 또는 그들의 합금이 단일층으로 형성되거나, 그들의 조합으로 이루어진 다층 구조로 형성될 수 있다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 게이트 금속층을 패터닝함으로써 게이트 라인 및 게이트 전극(20)을 포함하는 제1 도전 패턴군이 형성된다.
- [0079] 도 4b 및 도 4c는 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 제조 방법 중 제2 마스크 공정을 도시한 단면도이다. 도 4b 및 도 4c를 참조하면, 제2 마스크 공정은 제2 마스크를 통해, 게이트 금속층이 형성된 기판(10) 위에 게이트 절연막(30), 반도체층(40), 오믹 콘택층(50), 데이터 라인, 소스 전극(60) 및 드레인 전극(70)이 형성되는 단계이다.
- [0080] 구체적으로, 도 4b에 도시된 바와 같이 게이트 금속층이 형성된 기판(10) 상에 게이트 절연막(30), 비정질 실리콘층(140), 산화물 반도체층(150) 및 데이터 금속층(160)이 순차적으로 적층된다. 예를 들면, 게이트 절연막(30) 및 비정질 실리콘층(150)은 화학 기상 증착법(PECVD)으로 형성되고, 산화물 반도체층(150)은 및 데이터 금속층(160)은 스퍼터링 방법으로 형성된다. 게이트 절연막(30)은 산화 실리콘(SiO_x), 질화 실리콘(SiNx) 등의 절연 물질로 형성된다. 산화물 반도체층(150)은 제1 실시예에서의 경우와 동일 물질이 적용된다. 데이터 금속층(160)은 몰리브덴(Mo), 티타늄(Ti), 구리(Cu), 알루미늄 나이트라이드(AlN_d), 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo) 합금, 구리(Cu) 합금, 알루미늄(Al) 합금 등과 같은 금속 물질이 단일층 또는 이중층 이상의 적층된 형태로 형성될 수 있다.
- [0081] 그리고, 데이터 금속층(160) 위에 포토레지스트가 도포된 후, 슬릿 마스크를 이용한 포토리소그래피 공정으로 포토레지스트가 노광 및 형상됨으로써 포토레지스트 패턴을 형성한다.
- [0082] 다음으로, 슬릿 마스크의 차단 영역은 반도체층(40)과 오믹 콘택층(50) 및 데이터 패턴이 형성될 영역에 위치하여 자외선을 차단함으로써 현상 후 포토레지스트 패턴이 남게 되고, 슬릿 마스크의 슬릿 영역은 박막 트랜지스터의 채널이 형성될 영역에 위치하여 자외선을 회절시킴으로써 현상 후 포토레지스트가 제거되게 한다.
- [0083] 이어서, 습식 식각 공정을 통해, 노출된 데이터 패턴과 그 아래의 오믹 콘택층(50)을 도 4c에 도시된 바와 같이 모두 제거한다. 데이터 금속층 및 산화물 반도체층은 동일 챔버 내에서 스퍼터링 방식에 의해 형성되므로 식각 공정 시 습식 식각에 의해 동시에 패터닝 된다. 따라서, 오믹 콘택층(50)의 식각 공정이 생략되어 마스크 수를 백 채널 에치(BCE) 방식에서와 동일한 수로 사용한다. 또한, 에치 스텝퍼(ES) 방식의 장점으로는 활성화층을 얇게 형성할 수 있는 점인데, 본 실시예의 습식 식각액은 식각 선택비가 크기 때문에 반도체층(40)을 얇게 적용할 수 있게 된다.

- [0084] 도 4d는 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 제조 방법 중 제3 마스크 공정을 도시한 단면도이다. 도 4d를 참조하면, 제3 마스크 공정은 제3 마스크를 통해 제2 도전 패턴군이 형성된 게이트 절연막(30) 위에 콘택홀(95)을 갖는 보호막(80)이 형성되는 단계이다.
- [0085] 구체적으로, 보호막(80)은 제2 도전 패턴군이 형성된 기판 상에 PECVD, 스판 코팅 등의 증착 방법을 통해 형성되고, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 보호막(80)을 관통하여 드레인 전극(70)을 노출시키는 콘택홀(95)이 형성된다. 보호막(80)으로는 게이트 절연막(30)과 같은 무기 절연 물질이 이용되거나, 유기 절연 물질이 이용된다.
- [0086] 도 4e는 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 제조 방법 중 제4 마스크 공정을 도시한 단면도들이다. 도 4e를 참조하면, 제4 마스크 공정은 제4 마스크를 통해 보호막(80) 위에 화소 전극(90)이 형성되는 단계이다.
- [0087] 구체적으로, 화소 전극(90)은 보호막(80) 위에 스퍼터링 등의 방법을 통해 투명 도전층을 형성한 다음, 제4 마스크를 이용한 포토리소그래피 및 식각 공정으로 투명 도전층을 패터닝하여 형성한다. 투명 도전층으로는 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO) 및 주석 산화물(Tin Oxide; TO) 등과 같은 투명 도전 물질이 이용된다. 화소 전극(90)은 콘택홀(95)을 통해 드레인 전극(70)과 접속된다.

발명의 효과

- [0088] 상술한 바와 같이, 본 발명에 따른 박막 트랜지스터 기판 및 이의 제조 방법은 오믹 콘택층을 산화물 반도체로 형성하여 공정을 단순화하고 특성을 향상시킬 수 있다.
- [0089] 오믹 콘택층을 산화물 반도체로 형성하여, 백 채널 에치(BCE) 방식의 마스크 수를 줄일 수 있는 장점과 에치 스텁퍼(ES) 방식의 반도체층을 얇게 형성할 수 있는 장점을 동시에 얻을 수 있다.
- [0090] 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음이 자명하다.

도면의 간단한 설명

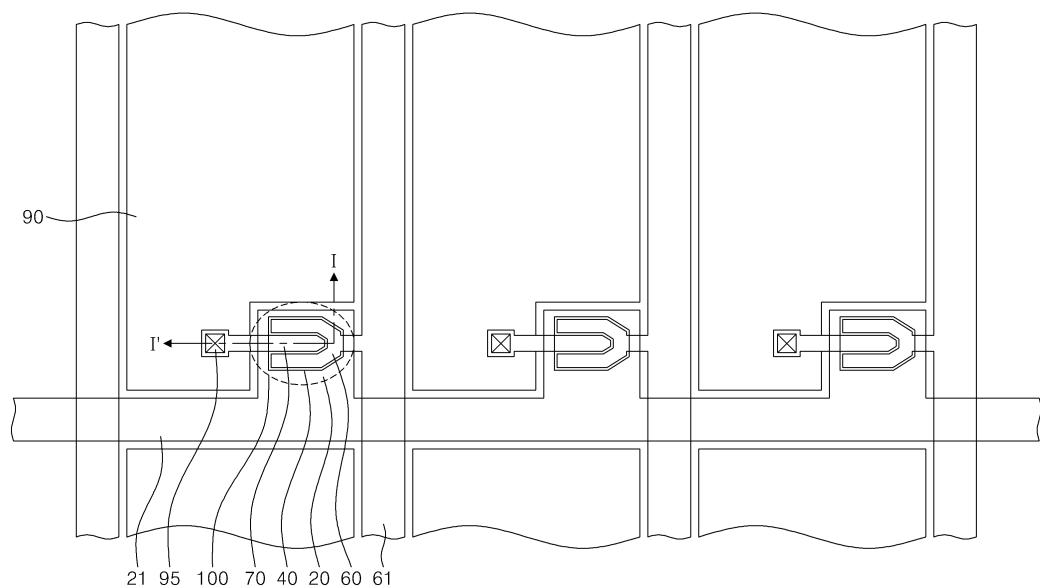
- [0001] 도 1은 본 발명의 실시예에 따른 박막 트랜지스터 기판을 도시한 평면도이다.
- [0002] 도 2는 도 1에 도시된 박막 트랜지스터 기판의 I-I'선을 따라 절단한 단면도이다.
- [0003] 도 3a 내지 도 3e는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 순차적으로 도시한 단면도들이다.
- [0004] 도 4a 내지 도 4e는 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 순차적으로 도시한 단면도들이다.
- [0005] <도면의 주요 부분에 대한 부호의 설명>
- | | |
|-----------------------|----------------|
| [0006] 10 : 기판 | 20 : 게이트 전극 |
| [0007] 21 : 게이트 라인 | 30 : 게이트 절연막 |
| [0008] 40 : 반도체층 | 50 : 오믹 콘택층 |
| [0009] 60 : 소스 전극 | 61 : 테이터 라인 |
| [0010] 70 : 드레인 전극 | 80 : 보호막 |
| [0011] 90 : 화소 전극 | 95 : 콘택홀 |
| [0012] 100 : 박막 트랜지스터 | 140 : 비정질 실리콘층 |

[0013] 150 : 산화물 반도체층

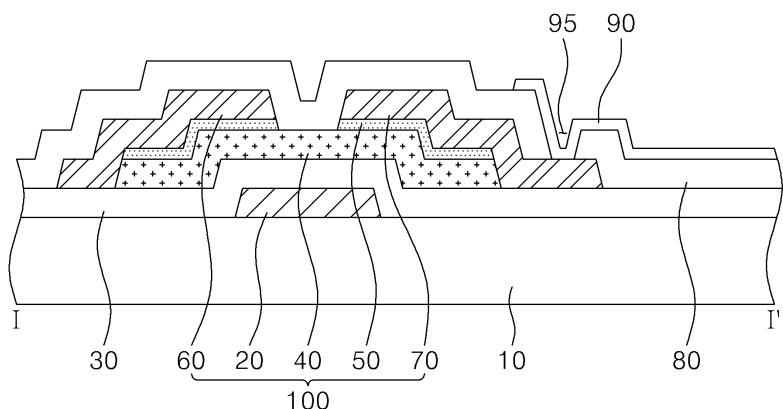
160 : 데이터 금속층

도면

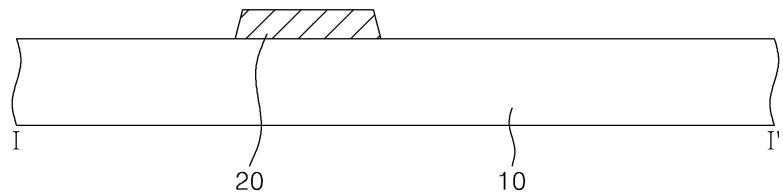
도면1



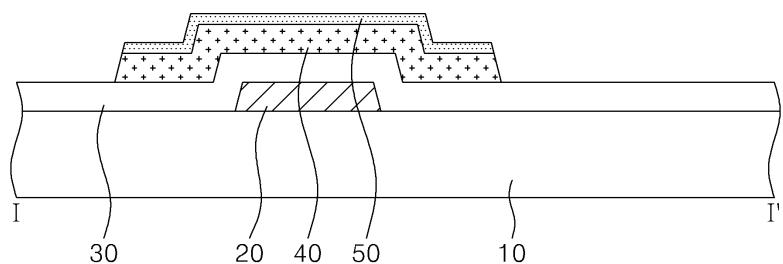
도면2



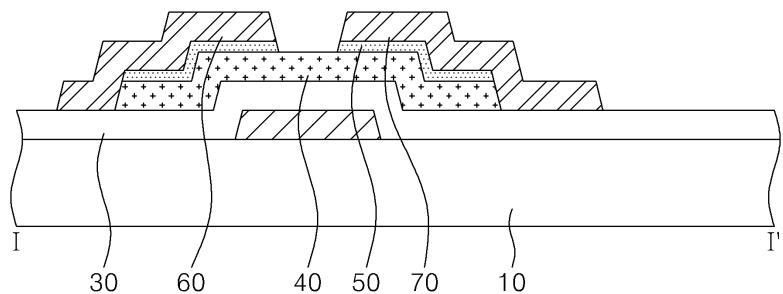
도면3a



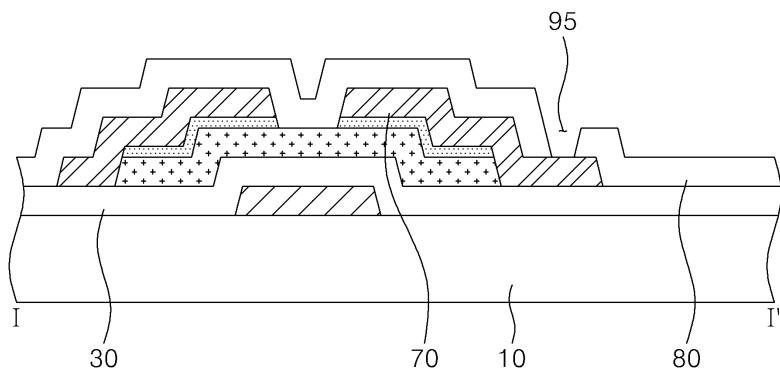
도면3b



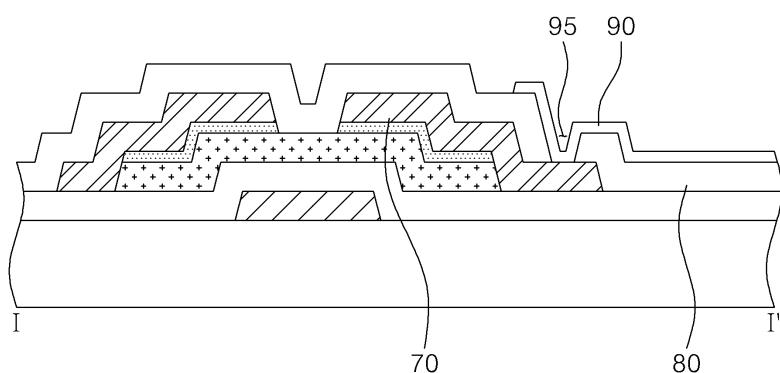
도면3c



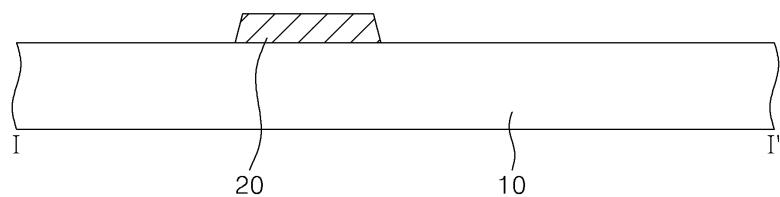
도면3d



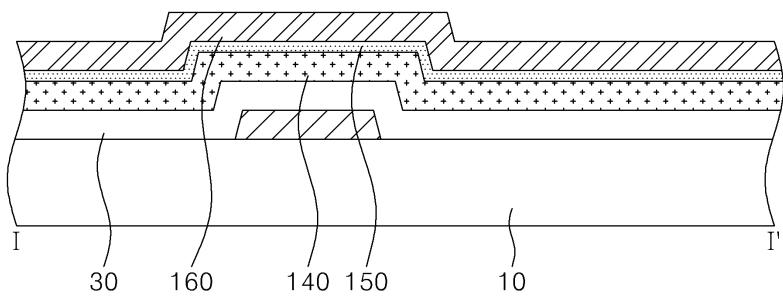
도면3e



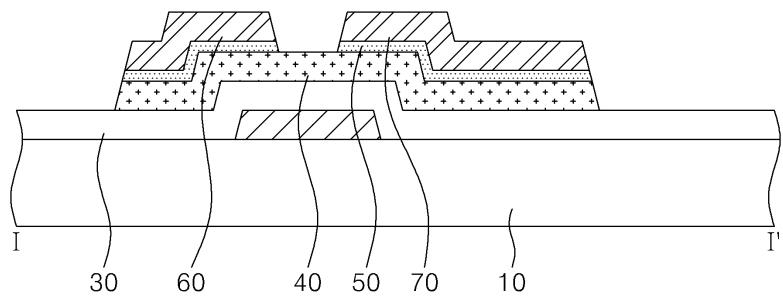
도면4a



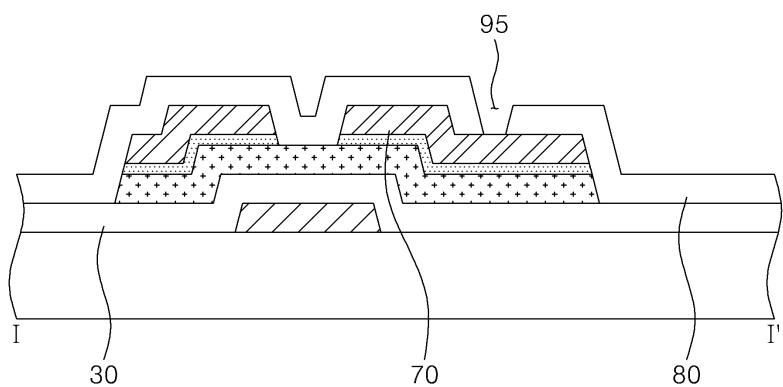
도면4b



도면4c



도면4d



도면4e

