

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-236251

(P2005-236251A)

(43) 公開日 平成17年9月2日(2005.9.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 2 3 A	2 H O 9 2
GO 2 F 1/1368	GO 2 F 1/1368	4 M 1 0 4
GO 9 F 9/30	GO 9 F 9/30 3 3 8	5 C O 9 4
HO 1 L 21/28	HO 1 L 21/28 E	5 F O 3 3
HO 1 L 21/3205	HO 1 L 29/78 6 1 2 C	5 F 1 1 0
審査請求 有 請求項の数 10 O L (全 9 頁) 最終頁に続く		

(21) 出願番号 特願2004-235569 (P2004-235569)
 (22) 出願日 平成16年8月12日 (2004.8.12)
 (31) 優先権主張番号 93104404
 (32) 優先日 平成16年2月23日 (2004.2.23)
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 503141075
 トップリー オプトエレクトロニクス コ
 ーポレイション
 台湾苗栗縣竹南鎮科中路12號 新竹科學
 工業園區
 (74) 代理人 230104019
 弁護士 大野 聖二
 (74) 代理人 100106840
 弁理士 森田 耕司
 (74) 代理人 100115679
 弁理士 山田 勇毅
 (72) 発明者 陳 志宏
 台湾新竹縣竹東鎮康莊街26巷136號
 (72) 発明者 林 國隆
 台湾新竹市富群街30巷1弄15號
 最終頁に続く

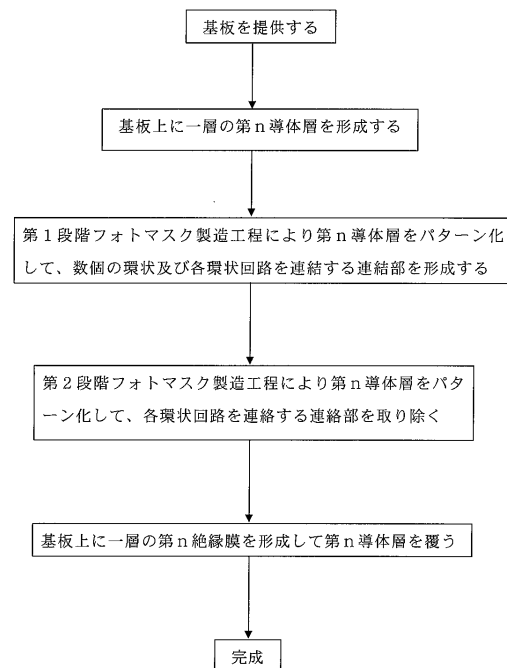
(54) 【発明の名称】 薄膜トランジスタアレイの製造方法および装置

(57) 【要約】

【目的】 薄膜トランジスタアレイ製造工程において導体層を形成するステップを用いて、静電破壊の効果を除去する薄膜トランジスタアレイの製造方法および装置を提供する。

【解決手段】 この方法は、2段階のフォトマスク製造工程を用いる。先に第1段階フォトマスク製造工程により、基板上に形成された導体層をパターン化して、第1パターンを形成し、この第1パターンが数個の独立回路および前記各独立回路を接続する連結部を含むことにより、同一の導体層を接続させて等しい電位とするとともに、基板端部に先端放電構造を製造することができる。その後、次の一層の導体層を形成する前に、第2段階フォトマスク製造工程により、第1パターンの連結部を全て取り除いて、第2パターンを形成して、第2パターン中に独立回路のみを残す。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上に第 1 導体層を形成し；

前記第 1 導体層をパターン化して、複数個の第 1 独立回路および前記複数個の第 1 独立回路を接続する複数個の第 1 連結部を形成し；

前記第 1 導体層中の前記複数個の第 1 連結部を取り除き；

前記第 1 導体層上に第 1 絶縁体を形成し；

前記第 1 絶縁体上に第 2 導体層を形成し；

前記基板上に、第 2 絶縁層が複数個のコンタクトホールを有するように第 2 絶縁層を形成し；および

前記第 2 絶縁層上に複数個の画素電極を形成して、前記複数個の画素電極が前記複数個のコンタクトホールにより前記第 2 導体層と電気的に連続されることを含むことを特徴する薄膜トランジスタアレイの製造方法。

10

【請求項 2】

前記第 1 独立回路が、複数個のゲートおよび複数本の前記ゲートと接続するスキャンラインを含むことを特徴とする請求項 1 に記載の薄膜トランジスタアレイの製造方法。

【請求項 3】

前記第 2 独立回路が、複数個のソース/ドレインおよび複数本の前記ソース/ドレインと接続するデータラインを含むことを特徴とする請求項 1 に記載の薄膜トランジスタアレイの製造方法。

20

【請求項 4】

前記第 1 導体層をパターン化するステップが、前記基板端部に先端放電構造を形成し、前記先端放電構造が向き合う或いは交錯する先端部を含むことを特徴とする請求項 1 に記載の薄膜トランジスタアレイの製造方法。

【請求項 5】

前記第 2 導体層をパターン化するステップが、前記基板端部に先端放電構造を形成し、前記先端放電構造が向き合う或いは交錯する先端部を含むことを特徴とする請求項 1 に記載の薄膜トランジスタアレイの製造方法。

【請求項 6】

第 1 段階フォトリソグラフィ製造工程により、基板上に形成された導体層をパターン化して、第 1 パターンを形成し、前記第 1 パターンが複数個の独立回路および前記複数個の独立回路を接続する複数個の連結部を含み、前記導体層を接続させて等しい電位とし；および

30

第 2 段階フォトリソグラフィ製造工程により、前記第 1 パターンの前記複数個の連結部を取り除くことを含むことを特徴とする薄膜トランジスタ導体層の製造方法。

【請求項 7】

前記第 1 パターンを形成すると同時に、先端放電構造を形成し、前記先端放電構造が向き合う或いは交錯する先端部を含むことを特徴とする請求項 6 に記載の導体層をパターン化する方法。

【請求項 8】

複数個の向き合う或いは交錯する先端部を含む構造であることを特徴とする薄膜トランジスタ基板に形成された静電防止装置。

40

【請求項 9】

前記放電部が、薄膜トランジスタ基板の端部に位置していることを特徴とする請求項 8 に記載の静電防止装置。

【請求項 10】

複数個の薄膜トランジスタ；および

複数個の向き合う或いは交錯する先端部が、前記薄膜トランジスタの端部に位置していることを含むことを特徴とする静電防止装置を備えた薄膜トランジスタ基板。

【発明の詳細な説明】

50

【技術分野】

【0001】

この発明は、薄膜トランジスタアレイ(thin film transistor array、略称TFT array)の製造方法に関し、特に、静電破壊(electrostatic discharge、略称ESD)を除去することができる薄膜トランジスタアレイの製造方法に関する。

【背景技術】

【0002】

液晶ディスプレイ装置は、低電圧操作、放射線散乱がない、重量が軽い、および体積が小さい等の伝統的なブラウン管(cathode ray tube、略称CRT)で製造されたディスプレイ装置が達成できない特徴を有しているため、その他のフラット式ディスプレイ装置、例えばプラズマディスプレイ装置およびエレクトロルミネッセンス(electroluminescence)ディスプレイ装置と共に、近來のディスプレイ装置研究の主要な課題となり、更に21世紀のディスプレイ装置の主流と見なされている。

10

【0003】

アクティブマトリクス型液晶ディスプレイ装置は、直に画素電極(pixel electrode)区域にトランジスタ(transistor)またはダイオード(diode)等のアクティブエレメント(active element)を形成して、液晶ディスプレイ装置のデータ書き込みを制御する。そのうち、また、薄膜トランジスタ液晶ディスプレイ装置は、現在の液晶ディスプレイ装置の主流の1つと見なされる。画素電極区域が選択の状態の場合には(即ち“ON”の状態)、信号はこの画素上に書き込まれる。画素電流が非選択の状態の場合には(即ち“OFF”の状態)、電気容量が液晶の駆動を維持できる電位を貯蔵する。このため、液晶と駆動時間とは、静態(static)の特性を現す。

20

【発明の開示】

【発明が解決しようとする課題】

【0004】

現行の薄膜トランジスタ製造工程において、静電破壊は一貫して深く関心を集める問題である。なぜなら、静電破壊は電子部品生命のいかなる段階においても発生するからであり、例えば、デジタル電子素子は、製造、運送、貯蔵および使用中の全てにおいて静電破壊を受け易い。従って、静電破壊をいかに効果的に除去して生産率を高めるかは、業界が努力し続けてきた目標である。現有の技術は、静電除去装置を利用して静電破壊の効果を低減していた。しかし、この方法は、静電破壊の発生を比較的容易に有する設備内にイオンナイザー(ionizer)を備え付けおり、その操作原理とは、交流電流(alternating current、略称AC)または直流電流(direct current、略称DC)の方式によって、正イオン、負イオンを交替で発生させ、供給された大量のイオンを利用して目的物に帯びている静電を低減または除去することである。

30

【0005】

しかし、上記の静電除去装置は、一定時間使用した後、静電除去装置のプロープピンが消耗品であるために衰弱現象を有することがよくあり、手入れと補修が容易でないばかりでなく、静電検出装置で常に校正する必要があり、コストが非常に高くなることをもたらす。さらに、多数の静電除去装置は、過量の正イオンまたは負イオンを供給してしまい、目的物が反極性電荷を帯びる現象を生じる。この他、薄膜トランジスタの製造工程の一部は、高温製造工程(製造工程温度 >500)に属し、静電除去装置は長期にわたって高温中で作動することができないので、高温製造工程中に静電破壊の影響を受けないと保障することができない。

40

【0006】

そこで、この発明の目的は、静電破壊の発生を防止する薄膜トランジスタアレイの製造方法を提供することにある。

【0007】

この発明のもう1つの目的は、公知の静電除去装置を用いることによる消費コストを下げる薄膜トランジスタアレイの製造方法を提供することである。

50

【0008】

この発明のもう1つの目的は、薄膜トランジスタが高温製造工程において静電破壊の影響を受けないことを確保する薄膜トランジスタアレイの製造方法を提供することである。

【課題を解決するための手段】

【0009】

上記およびその他の目的に基づき、この発明は、導体層をパターン化する方法を提出するものであって、薄膜トランジスタの製造工程において適用され、この方法は、2段階式のフォトマスク製造工程を用い、そのうち1段階ごとのフォトマスク製造工程は、例えば、フォトレジスト塗布、ソフトベイク、ハードベイク、露光、定着、現像、エッチング等のステップを介することによって導体層をパターン化する。この発明は、まず第1段階フォトマスク製造工程により、基板上に形成された導体層をパターン化して、第1パターンを形成し、この第1パターンは、複数個の独立回路および前記各独立回路を接続する連結部を含み、同一導体層を接続させて等しい電位とする。その後、次の導体層を形成する前に、第2段階フォトマスク製造工程により、第1パターンの連結部を取り除いて、第2パターンを形成し、第2パターン中に独立回路のみを残す。

10

【0010】

この発明は、さらに薄膜トランジスタアレイの製造方法を提出するものであって、基板上に薄膜トランジスタアレイを形成するのに適しており、基板上に第1導体層を形成して、上記の2段階式フォトマスクに基づき、ゲート等を含む独立回路および前記の各独立回路を接続する連結部を形成するために、まず第1導体層をパターン化する。その後、第1導体層中の連結部を取り除いて、基板上に第1絶縁層を形成し、続いて、第1絶縁層上に第2導体層を形成した後に、2段階式のフォトマスク製造工程に基づき、ソース/ドレイン等を含む独立回路および前記の各独立回路を接続する連結回路を形成するために、第2導体層をパターン化し、第2導体層中の連結部を取り除く。その後、基板上に数個のコンタクトウインドーを有する第2絶縁層を形成して、第2絶縁層上に数個の画素電極を形成し、画素電極をコンタクトウインドーにより第2導電層のソース/ドレインと電気的に連続させる。

20

【0011】

この発明は、他に静電破壊を除去する薄膜トランジスタアレイを提出するものであって、基板端部に先端放電構造を製造している。この先端放電構造は、2つの向き合う或いは互いに交錯する先端部を含んでいる。この先端放電構造は、基板端部に設置されているので、薄膜トランジスタアレイの主要な回路に影響がない場合、先端放電の原理により環境中に誘発されて累積した静電電位を分担ならびに下げて、基板の電位を下げるができる。

30

【0012】

この発明は、静電破壊の発生原因および破壊モデルに対するものであって、製造工程面から積極的に改良し、あらゆる導体層を接続させて等しい電位とするとともに、基板端部に先端放電構造を製造することができる。このため、この発明の全製造工程で行なう連続式の保護によって、薄膜トランジスタ基板そのものの静電破壊に対する忍耐能力を強化することができる。さらに、製造工程中の静電破壊の発生を除去するとともに、生産率を高める。

40

【0013】

この発明の上記およびその他の目的、特徴、および長所を更に簡単に分かり易くするため、好適な実施例を挙げるとともに図面に基づいて、以下の通り詳細に説明する。

【発明の効果】

【0014】

本発明では、薄膜トランジスタ製造工程で、まず全ての導体層を接続させて等しい電位とし、基板端部に静電防止装置を製造することができる。この方法は、後続の製造工程中で、局部域の静電効果が導体層中の各独立回路間の電位差過大をもたらすことによるアーチ放電の発生がないことを確保できる以外、基板全体の導体層もこの先端放電構造により

50

環境で誘発されて累積した静電電位を分担ならびに下げて、静電破壊(electrostatic discharge、略称ESD)を除去することができる。その後、次の一層の導体層が形成される前に、導体層中の前記独立回路を接続する連結部を再び取り除く。また、次の一層の導体層設計も同様の方式により静電破壊の防止をすることができるので、この発明の方法は、各素子および製造工程設計の組合せ応用に合わせることができ、薄膜トランジスタの製造方法上で限定するものではない。

【発明を実施するための最良の形態】

【0015】

以下、この発明にかかる好適な実施形態を図面に基づいて説明する。

図1は、この発明にかかる好適な実施例の薄膜トランジスタ(thin film transistor、略称TFT)アレイ(array)に基づく製造工程ステップ図であり、そのうち各導体層は、2段階のフォトリソ製造工程により製造され、1段階ごとのフォトリソ製造工程は、例えばフォトリソ塗布、ソフトベイク、ハードベイク、露光、定着、現像、エッチング等のステップを介することによって、導体層をパターン化する。

10

【0016】

図1を見ると、ステップ100で、基板を提供し、この基板は透明な基板であり、例えば、ガラス基板あるいは石英基板等である。続いて、ステップ102で、基板上に1層の第 n 導体層を形成し、そのうち $n=1, 2, \dots, n$ であり、この実施例での導体層は、第何層の導体層に限定されず、静電破壊状態の導体層が発生しさえすれば、この実施例の方式により製造することができる。

20

【0017】

その後すぐに、ステップ104で、第1段階のフォトリソ製造工程により第 n 導体層をパターン化して、数個の独立回路および各独立回路を連結する連結部を形成する。これと同時に、基板端部に先端放電機構を製造することができるので、薄膜トランジスタアレイの主要な回路に影響がない場合、先端放電の原理により環境中に誘発されて累積した静電電位を分担ならびに下げて、基板の電位を下げる。

【0018】

その後、再び図1を見ると、次の1層の導体層が形成される前に、ステップ106を行い、第2段階フォトリソ製造工程により第 n 導体層をパターン化して、各独立回路を連結する連結部を取り除く。続いて、ステップ108を行なうことができ、基板上に1層の第 n 絶縁層を形成して第 n 導体層を覆い、この実施例中での第 n 絶縁層は、例えば誘電層である。ステップ108の後、ステップ102に戻ることができ、再び基板上に次の1層の導体層を形成する。

30

【0019】

この実施例が薄膜トランジスタアレイの製造方法に応用されるとき、上記の2段階フォトリソの製造工程に基づくことができ、例えば、ステップ102を先に行い、基板上に1層の第1導体層($n=1$)を形成した後、ステップ104を行い、第1導体層をパターン化して、ゲートおよび数本のゲートと連続するスキャンライン(scan line)等の独立回路および前記の各独立回路を接続する連結部を具備する第1導体層を形成する。その後、ステップ106を行い、第1導体層の連結部を取り除く。続いて、ステップ108で、基板上に第1絶縁層($n=1$)を形成してゲート絶縁層(gate insulating)とすることができる。

40

【0020】

それから、ステップ102を繰り返すことができ、基板上に1層の第2導体層($n=2$)を形成し、続いてステップ104を行い、第2導体層をパターン化し、それをソース/ドレインおよび数本のソース/ドレインと連続するデータライン(data line)等の独立回路および前記の独立回路を接続する連結部を具備する第2導体層とする。その後、ステップ106を行い、第2導体層の連結部を取り除く。続いて、ステップ108で、基板上に第2絶縁層($n=2$)を形成して保護層とし、そのうち第2絶縁層は数個のコンタクトウインドーを備えている。その後、第2絶縁層上に数個の画素電極を形成できることによって、画素電極をコンタクトウインドーにより第2導体層のソース/ドレインの一端と電氣的に連

50

続させる。

【0021】

この他、この発明の第1段階および第2段階フォトマスク製造工程の差異の説明を図2に示す。

【0022】

図2で示すものは、図1の薄膜トランジスタアレイ製造工程のステップ104に基づく回路レイアウト見取り図である。図2を見ると、図面で示すものは、第1段階フォトマスク製造工程を介した後、パターン化された導体層の導体層レイアウト200であり、そのうち数個の環状回路のような独立回路202および前記の独立回路202を接続する連結部204を含む。この図面の導体層レイアウト200は、図1のステップ204中のパターン化された導体層を説明するうちの一つの範例にすぎず、導体層レイアウト200の様式を限定するものではない。この他、導体層レイアウト200中の連結部204は、全ての独立回路202を相互に導通できさえすればよいので、例えば図2中の上下2列の独立回路202は、1個の連結部のみで導通できればよい。

10

【0023】

図2を続けて見ると、第1段階フォトマスク製造工程で、独立回路に本来設計された導体層のパターンを互いに連結して等しい電位としているので、後続の製造工程中で、局部の静電効果がこの導体層間の電位差の過大をもたらすことによるアーク(arc)放電の発生がないことを確保できる。その後の第2段階フォトマスク製造工程は、次の一層の導体層が形成される前に行われて、導体層レイアウト200中の独立回路202を接続する連結部204を取り除くことにより、そのうちの独立回路202を残す。

20

【0024】

その他、図1のステップ104の後、静電防止装置の製造を提示しているため、この静電防止装置の詳細な説明を図3に示す。

図3(a)は、本発明にかかる好適な実施例の薄膜トランジスタアレイに基づく構造見取り図であり、図3(b)と(c)は、図3(a)のIII部分の拡大見取り図をそれぞれ示す。図3(a)、図3(b)と図3(c)を参照すると、この発明の静電防止装置は、どれが一層の導体層がパターン製造工程を行なうのと同時に基板300端部に製造され、その構造は先端部304を含み、さらに、2つ毎の先端部304の先端が向き合う(例えば図3(b))或いは互いに交錯(例えば図3(c))した構造である。その他、先端部304が2つの互いに隔離された導線306とそれぞれ連続することができる。この先端放電構造が基板300端部に設置されるので、薄膜トランジスタ302に影響がない場合は、先端放電の原理により環境中に誘発されて累積した静電電位を分担ならびに低減して、基板300の電位を下げることができる。

30

【0025】

本発明を好適な実施例に基づいて以上のとおり開示してきたが、本発明はこの実施例のみに限定されるものではなく、いかなる当業者であろうと、本発明の精神と範囲を逸脱しないところで種々の改変が可能である。従って、本発明の保護範囲は、特許の請求範囲で特定するものを基準としなければならない。

【図面の簡単な説明】

40

【0026】

【図1】図1は、この発明の好適な実施例にかかる薄膜トランジスタアレイに基づく製造工程ステップ図である。

【図2】図2で示すものは、図1の薄膜トランジスタアレイの製造過程ステップ104に基づく回路レイアウト見取り図である。

【図3】図3(a)は、この発明の好適な実施例にかかる薄膜トランジスタアレイに基づく構造見取り図である。図3(b)は、図3(a)のIII部分を示す拡大見取り図である。図3(c)は、図3(a)のIII部分を示す拡大見取り図である。

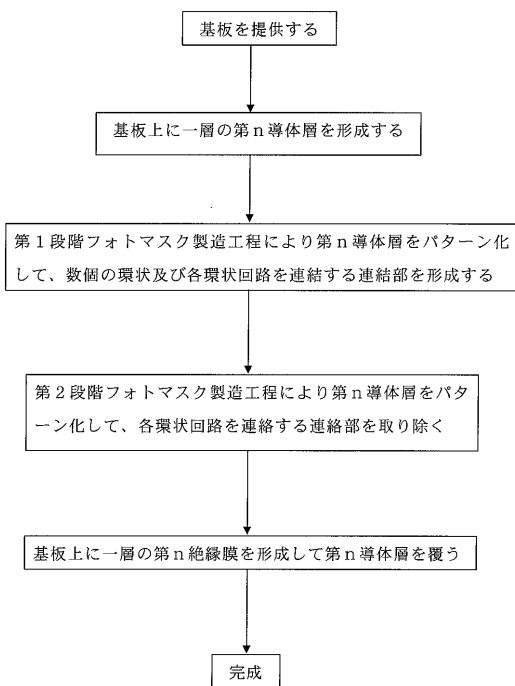
【符号の説明】

【0027】

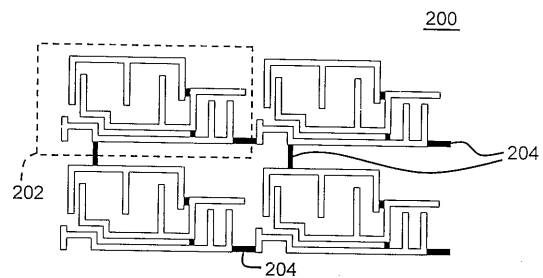
50

- 1 0 0 基板を提供する
- 1 0 2 基板上に第n導体層を形成する
- 1 0 4 第1段階フォトマスク製造工程により第n導体層をパターン化して、数個の独立回路および各独立回路を連結する連結部を形成する
- 1 0 6 第2段階フォトマスク製造工程により第n導体層をパターン化して、各独立回路の連結部を除去する
- 1 0 8 基板上に第n絶縁層を形成して第n導体層を覆う
- 2 0 0 導体層のレイアウト
- 2 0 2 独立回路
- 2 0 4 連結部
- 3 0 0 基板
- 3 0 2 薄膜トランジスタ
- 3 0 4 先端部
- 3 0 6 導線

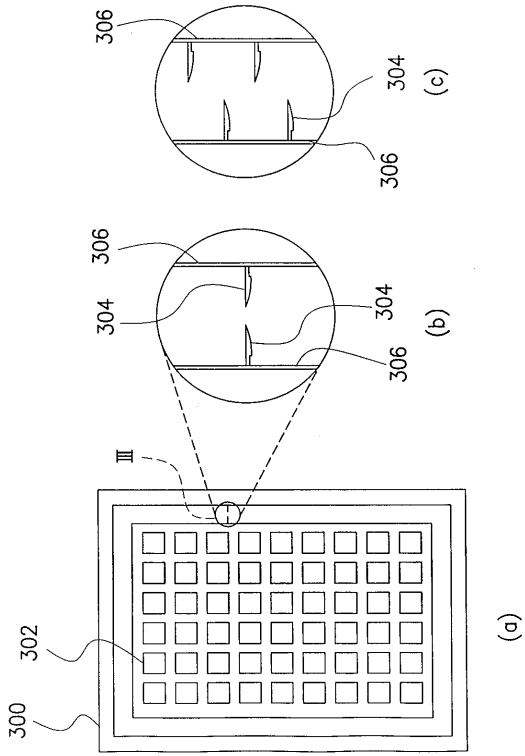
【 図 1 】



【 図 2 】



【 図 3 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

H O 1 L 21/88

B

F ターム(参考) 2H092 GA29 JA24 JA46 JB56 JB79 MA14 NA14
4M104 AA09 BB36 CC05 DD63 GG09 GG10 GG14 HH20
5C094 AA42 AA48 CA19 DA13 DB04 EA10 FB12 FB15 GB10
5F033 GG04 MM21 QQ37 VV15 XX00
5F110 AA22 AA26 BB01 DD02 DD03 EE37 HM19