



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년09월15일
(11) 등록번호 10-2156349
(24) 등록일자 2020년09월09일

(51) 국제특허분류(Int. Cl.)
C23C 16/32 (2006.01) C23C 16/02 (2006.01)
C23C 16/04 (2006.01) C23C 16/50 (2006.01)
C23C 16/56 (2006.01) H01L 21/02 (2006.01)
H01L 21/3213 (2006.01) H01L 21/78 (2006.01)

(52) CPC특허분류
C23C 16/325 (2013.01)
C23C 16/0254 (2013.01)

(21) 출원번호 10-2018-0083021

(22) 출원일자 2018년07월17일

심사청구일자 2018년07월17일

(65) 공개번호 10-2020-0008847

(43) 공개일자 2020년01월29일

(56) 선행기술조사문헌

JP2002252174 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

한국과학기술원

대전광역시 유성구 대학로 291(구성동)

포항공과대학교 산학협력단

경상북도 포항시 남구 청암로 77 (지곡동)

세종대학교산학협력단

서울특별시 광진구 능동로 209 (군자동, 세종대학교)

(72) 발명자

강일석

대전광역시 서구 월평중로 50, 102동 208호

유권재

대전광역시 서구 청사로 5, 110동 702호

(뒷면에 계속)

(74) 대리인

김남식, 김한, 이인행

전체 청구항 수 : 총 3 항

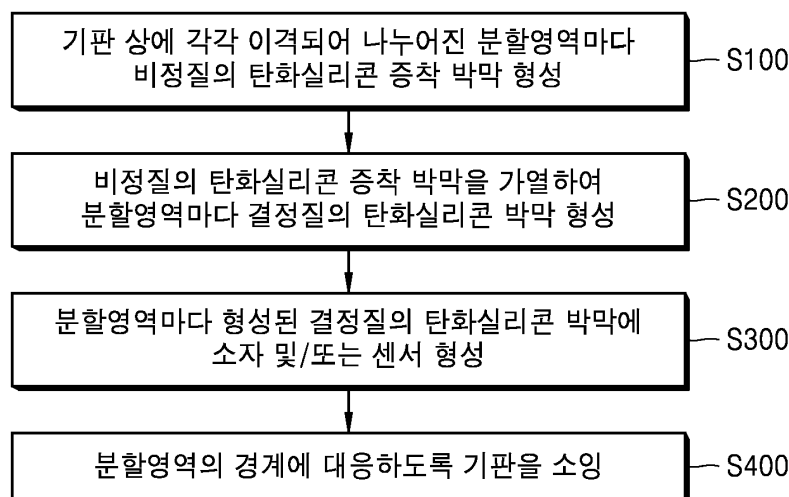
심사관 : 김재중

(54) 발명의 명칭 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법

(57) 요약

본 발명은 기판 상에 에피택셜 공정이 아니라 증착 공정을 이용하여 형성하되, 각각 이격되어 나누어진 분할영역마다 비정질의 탄화실리콘 박막을 형성하는 제 1 단계; 및 상기 증착 공정의 공정온도 보다 상대적으로 높은 온도에서 상기 비정질의 탄화실리콘 박막을 가열하여 상기 분할영역마다 결정질의 탄화실리콘 박막을 형성하는 제 2 단계;를 포함하는, 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법을 제공한다.

대표도 - 도1



(52) CPC특허분류

- C23C 16/04 (2013.01)
- C23C 16/50 (2013.01)
- C23C 16/56 (2013.01)
- H01L 21/02274 (2013.01)
- H01L 21/3213 (2013.01)
- H01L 21/78 (2013.01)

정종완

서울특별시 동작구 서달로 91, 113동 1503호

(72) 발명자

김희연

세종특별자치시 새롬남로 18, 107동 202호

최경근

경상북도 포항시 남구 지곡로 294, 225동 702호

이 발명을 지원한 국가연구개발사업

과제고유번호	1711075575
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노·소재기술개발
연구과제명	SiC 기반 극한환경형 센서용 고온 소재 및 공정 기술 개발
기여율	1/2
과제수행기관명	나노융합기술원
연구기간	2018.05.01 ~ 2019.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호	1711075582
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노·소재기술개발
연구과제명	SiC 기반 극한환경형 센서용 공정플랫폼 기술개발
기여율	1/2
과제수행기관명	포항공과대학교
연구기간	2018.05.01 ~ 2019.02.28

명세서

청구범위

청구항 1

기판 상에 에피택셜 공정이 아니라 증착 공정을 이용하여 형성하되, 각각 이격되어 나누어진 분할영역마다 비정질의 탄화실리콘 박막을 형성하는 제1 단계;

상기 증착 공정의 공정온도 보다 상대적으로 높은 온도에서 상기 비정질의 탄화실리콘 박막을 가열하여 상기 분할영역마다 결정질의 탄화실리콘 박막을 형성하는 제2 단계;

상기 분할영역마다 형성된 상기 결정질의 탄화실리콘 박막에 소자 구조체 및 센서 구조체 중의 적어도 어느 하나를 형성하는 제3 단계; 및

상기 분할영역의 경계에 대응하도록 상기 기판을 소잉(sawing)하여 복수의 개별칩을 수득하는 제4 단계;

를 포함하며,

상기 제1 단계는 상기 비정질의 탄화실리콘 박막을 증착하기 전에 상기 기판 상에 기저막을 형성하는 단계; 상기 기저막을 상기 분할영역의 경계에 대응하도록 패터닝함으로써 선패턴(prior pattern)을 형성하는 단계; 상기 선패턴이 형성된 상기 기판 상에 상기 비정질의 탄화실리콘 박막을 증착하는 단계;를 포함하고,

상기 선패턴은 내측이 오목한 형태인 폐쇄 패턴이며, 상기 탄화실리콘 박막이 증착되는 두께는 상기 선패턴의 높이 보다 크지 않도록상기 분할영역마다 형성된 상기 결정질의 탄화실리콘 박막은 상기 폐쇄 패턴의 내측에 각각 증착된 박막인 것을 특징으로 하는,

표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법.

청구항 2

제 1 항에 있어서,

상기 제 1 단계에서 상기 분할영역의 크기는 상기 제 2 단계에서 상기 결정질의 탄화실리콘 박막에 인가되는 스트레스로 인해 탄화실리콘 박막의 말림 현상을 방지할 수 있도록 결정되는 것을 특징으로 하는,

표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법.

청구항 3

제 1 항에 있어서,

상기 증착 공정은 플라즈마 강화 화학적 기상 증착(PECVD) 공정인 것을 특징으로 하는,

표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

발명의 설명

기술분야

[0001] 본 발명은 탄화실리콘 박막 구조체 제조방법에 관한 것으로, 보다 구체적으로는 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법에 관한 것이다.

배경 기술

[0002] 실리콘은 반도체 소자, MEMS소자, 센서 등에 가장 많이 사용되는 반도체 물질중 하나이다. 그러나 현재 많은 소자 및 센서들은 실리콘의 물리 화학적 성질의 적용 범위를 벗어나는 다양한 기능 및 환경에서 동작해야 하는 것에 직면하고 있다. 실리콘 소자 및 센서는 극한 환경에서 작동하기 어렵기 때문에 극한환경에서 작동하는 반도체 물질이 필요하며, 이에 따른 공정개발이 필요하다.

[0003] 예를 들면, 실리콘은 고전력 및 고온에서 작동하는 데는 한계가 있으며, 이를 대체하기 위해 탄화실리콘(SiC)이 주로 쓰인다. 그러나 SiC는 고온에서 다양한 단결정 성장법에 의해 잉곳 형태로 성장되고, SiC 잉곳은 소우를 이용해 웨이퍼 상태로 제조되는데 실리콘 웨이퍼에 비하여 가격이 높게 형성된다. SiC 웨이퍼의 가격은 동일한 실리콘 웨이퍼에 비하여 약 200배 이상이라는 단점이 존재한다. 또한 SiC의 에피(epi) 성장은 웨이퍼 단위로는 현재까지 기술적인 어려움이 존재하며 거의 모든 종류의 이중박막은 웨이퍼 단위 에피 성장에 문제점이 존재한다.

[0004] 저온에서 기판에 증착된 SiC박막은 스트레스로 인해 웨이퍼 형태로 성장되기 어렵다. 따라서 기판과 SiC 박막 사이의 이중접합에 의한 스트레스를 완화시킬 수 있는 방법을 개발하여 웨이퍼 전체에 스트레스가 없는 SiC 박막을 웨이퍼 형태로 제조할 필요가 있다.

[0005] 비특허문헌 1은 SiC 박막을 형성하는 방법을 기술하나 박막 평면에 발생하는 스트레스를 고려하지 않아 웨이퍼 스케일로 SiC 박막을 제조하는데 어려움이 존재한다.

선행기술문헌

비특허문헌

[0006] (비특허문헌 0001) 1. Sang-Hun Nam, Myoung-Hwa Kim and Jin-Hyo Boo, Deposition of beta-SiC thin films on Si(100) substrates by MOCVD method for NSOM applications, NSTi-Nanotech 2009, Vol. 1, p452-455, 2009.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 기판과 SiC 박막 사이의 이중접합에 의한 스트레스를 완화시킬 수 있는 방법을 개발하여 웨이퍼 전체에 스트레스가 완화된 SiC 박막 구조체를 웨이퍼 형태로 제조할수 있는 방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0008] 상기 과제를 해결하기 위한 본 발명의 일 관점에 의한 표면 스트레스가 완화된 결정질의 실리콘 카바이드 박막 구조체 제조방법을 제공한다. 상기 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법은 기판 상에 에피택셜 공정이 아니라 증착 공정을 이용하여 형성하되, 각각 이격되어 나누어진 분할영역마다 비정질의 탄화실리콘 박막을 형성하는 제 1 단계; 및 상기 증착 공정의 공정온도 보다 상대적으로 높은 온도에서 상기 비정질의 탄화실리콘 박막을 가열하여 상기 분할영역마다 결정질의 탄화실리콘 박막을 형성하는 제 2 단계;를 포함한다.

[0009] 상기 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법의 상기 제 1 단계에서 상기 분할영역의 크기는 상기 제 2 단계에서 상기 결정질의 탄화실리콘 박막에 인가되는 스트레스로 인해 탄화실리콘 박막의 말림 현상을 방지할 수 있도록 결정될 수 있다.

[0010] 상기 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법에서, 상기 증착 공정은 플라즈마 강화

화학적 기상 증착(PECVD) 공정일 수 있다.

[0011] 상기 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법에서, 상기 제 1 단계는 상기 비정질의 탄화실리콘 박막을 증착하기 전에 상기 기판 상에 기저막을 형성하는 단계; 상기 기저막을 상기 분할영역의 경계에 대응하도록 패터닝함으로써 선패턴(prior pattern)을 형성하는 단계; 상기 선패턴이 형성된 상기 기판 상에 상기 비정질의 탄화실리콘 박막을 증착하는 단계;를 포함할 수 있으며, 상기 제 2 단계 후에, 상기 분할영역마다 형성된 상기 결정질의 탄화실리콘 박막에 소자 구조체 및 센서 구조체 중의 적어도 어느 하나를 형성하는 제 3 단계; 및 상기 분할영역의 경계에 대응하도록 상기 기판을 소잉(sawing)하는 제 4 단계;를 더 포함할 수 있다. 여기에서, 상기 선패턴은 내측이 오목한 형태인 폐쇄 패턴이며, 상기 분할영역마다 형성된 상기 결정질의 탄화실리콘 박막은 상기 폐쇄 패턴의 내측에 각각 증착된 박막일 수 있다.

[0012] 상기 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법에서, 상기 제 1 단계는 상기 기판 상에 비정질의 탄화실리콘 박막을 일체로 증착한 후에 상기 비정질의 탄화실리콘 박막을 상기 분할영역으로 각각 이격되어 나누어지도록 패터닝하는 단계;를 포함하고, 상기 제 2 단계 후에, 상기 분할영역마다 형성된 상기 결정질의 탄화실리콘 박막에 소자 구조체 및 센서 구조체 중의 적어도 어느 하나를 형성하는 제 3 단계; 및 상기 분할영역의 경계에 대응하도록 상기 기판을 소잉(sawing)하는 제 4 단계;를 더 포함할 수 있다.

발명의 효과

[0013] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 기판과 SiC 박막 사이의 이중접합에 의한 스트레스를 완화시킬 수 있는 방법을 개발하여 웨이퍼 전체에 스트레스가 완화된 SiC 박막 구조체를 웨이퍼 형태로 제조할수 있는 방법을 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0014] 도 1은 본 발명의 일 실시예에 따른 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법을 도해하는 순서도이다.

도 2는 본 발명의 일 실시예에 따른 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법에 적용되는 기판 상의 분할영역을 도해하는 도면이다.

도 3은 본 발명의 일 실시예에 따른 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법에서 탄화실리콘 박막의 XRD 결과를 비교하여 나타낸 도면이다.

도 4는 본 발명의 일 실시예의 구체적인 제 1 예로서 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법을 도해하는 순서도이다.

도 5는 본 발명의 일 실시예에 따른 상기 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법에서 분할영역의 크기를 결정하기 위한 평가 패턴 상에 탄화실리콘 박막을 증착한 후에 촬영한 사진이다.

도 6은 도 5에 나타난 탄화실리콘 박막에 대하여 고온 열처리 후의 상태를 촬영한 사진이다.

도 7은 본 발명의 일 실시예의 구체적인 제 2 예로서 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법을 도해하는 순서도이다.

도 8은 본 발명의 비교예와 일 실시예에 따른 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법에서 후열처리 후의 박막 상태를 촬영한 사진들이다.

발명을 실시하기 위한 구체적인 내용

[0015] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있는 것으로, 이하의 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한 설명의 편의를 위하여 도면에서는 적어도 일부의 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 도면에서 동일한 부호는 동일한 요소를 지칭한다.

[0016] 도 1은 본 발명의 일 실시예에 따른 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법을 도해하는 순서도이다. 도 2는 본 발명의 일 실시예에 따른 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법에 적용되는 기판 상의 분할영역을 도해하는 도면이다.

- [0017] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 상기 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법은, 기판(20) 상에 에피택셜 공정이 아니라 증착 공정을 이용하여 형성하되, 각각 이격되어 나누어진 분할영역(11)마다 비정질의 탄화실리콘 박막을 형성하는 제 1 단계(S100); 및 상기 증착 공정의 공정온도 보다 상대적으로 높은 온도에서 상기 비정질의 탄화실리콘 박막을 가열하여 상기 분할영역(11)마다 결정질의 탄화실리콘 박막을 형성하는 제 2 단계(S200);를 포함한다.
- [0018] 기판(20)은, 예를 들어, 웨이퍼 형태의 기판을 포함할 수 있으며, 더욱 구체적으로, 실리콘 웨이퍼, 실리콘 산화막이 형성된 실리콘 웨이퍼, SOI(Silicon On Insulator) 웨이퍼 등으로 제공될 수 있다. 상기 제 1 단계(S100)에서 상기 분할영역(11)의 각각의 크기는 상기 제 2 단계(S200)에서 상기 결정질의 탄화실리콘(SiC) 박막에 인가되는 스트레스로 인해 탄화실리콘 박막의 말림 현상을 방지할 수 있도록 결정될 수 있다. 상기 증착 공정은 저온 화학기상증착 공정을 포함할 수 있으며, 예를 들어, 플라즈마 강화 화학적 기상 증착(PECVD) 공정일 수 있다. 플라즈마 강화 화학적 기상 증착(PECVD) 공정의 공정온도는 예를 들어 300℃ 내지 500℃일 수 있다. 제 2 단계(S200)에서 고온 가열하는 공정의 온도는 증착 공정의 온도 보다 더 높으며, 예를 들어, 고온 가열하는 공정의 온도는 700℃ 내지 1100℃일 수 있다. 분할영역(11) 내에 각각 증착되는 탄화실리콘 박막의 두께는, 예를 들어, 100nm 내지 2 μ m일 수 있다.
- [0019] 도 3은 본 발명의 일 실시예에 따른 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법에서 탄화실리콘 박막의 XRD 결과를 비교하여 나타낸 도면이다. 도 3의 (a)와 (b)는 1 μ m 두께의 탄화실리콘 박막을 1050℃, 30분 동안 열처리하기 전의 XRD 데이터와 열처리 후의 XRD 데이터를 각각 나타낸 것이다. 도 3을 참조하면, 상기 제 1 단계(S100)에서 증착된 탄화실리콘 박막은 비정질이며, 상기 제 2 단계(S200) 후의 탄화실리콘 박막은 결정질임을 확인할 수 있다.
- [0020] 계속하여, 도 1을 참조하면, 본 발명의 일 실시예에 따른 상기 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법은, 상기 분할영역(11)마다 형성된 상기 결정질의 탄화실리콘 박막에 소자 구조체 및/또는 센서 구조체 중의 적어도 어느 하나를 형성하는 제 3 단계(S300); 및 상기 분할영역(11)의 경계에 대응하도록 상기 기판(20)을 소잉(sawing)하여 복수의 개별칩을 수득하는 제 4 단계(S400);를 더 포함할 수 있다.
- [0021] 상술한 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법에 따르면, 기판과 SiC 박막 사이의 이종접합에 의한 스트레스를 완화시킬 수 있는 바, 웨이퍼 전체에 스트레스가 완화된 SiC 박막 구조체를 웨이퍼 형태로 제조할 수 있다.
- [0022] 이하에서는 본 발명의 일 실시예에 따른 상기 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법을 구체적인 예로써 설명한다.
- [0023] 도 4는 본 발명의 일 실시예의 구체적인 제 1 예로서 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법을 도해하는 순서도이다.
- [0024] 도 4를 참조하면, 기판(20) 상에 에피택셜 공정이 아니라 증착 공정을 이용하여 형성하되, 각각 이격되어 나누어진 분할영역(11)마다 비정질의 탄화실리콘 박막을 형성하는 단계로서, 단계(S110), 단계(S120) 및 단계(S130)를 먼저 수행한다. 구체적으로, 기판(20) 상에 기저막을 형성하는 단계(S110); 상기 기저막을 상기 분할영역(11)의 경계에 대응하도록 패터닝함으로써 선패턴(prior pattern)을 형성하는 단계(S120); 상기 선패턴이 형성된 상기 기판 상에 상기 비정질의 탄화실리콘 박막을 증착하는 단계(S130);를 수행한다.
- [0025] 계속하여, 상기 증착 공정의 공정온도 보다 상대적으로 높은 온도에서 상기 비정질의 탄화실리콘 박막을 가열하여 상기 분할영역(11)마다 결정질의 탄화실리콘 박막을 형성하는 제 2 단계(S200); 상기 분할영역(11)마다 형성된 상기 결정질의 탄화실리콘 박막에 소자 구조체 및/또는 센서 구조체 중의 적어도 어느 하나를 형성하는 제 3 단계(S300); 및 상기 분할영역(11)의 경계에 대응하도록 상기 기판(20)을 소잉(sawing)하여 복수의 개별칩을 수득하는 제 4 단계(S400);를 수행한다.
- [0026] 상기 선패턴은 내측이 오목한 형태인 패쇄 패턴이며, 상기 분할영역(11)마다 형성된 상기 탄화실리콘 박막은 상기 패쇄 패턴의 내측에 각각 증착된 박막일 수 있다. 탄화실리콘 박막이 증착되는 두께는 상기 선패턴의 높이 보다 크지 않도록 하여 탄화실리콘 박막은 각각의 분할영역(11) 내에 분할되어 증착되도록 한다. 예를 들어, 상기 선패턴은 기판(20) 상에 형성된 복수의 우물형 패턴일 수 있으며, 상기 우물형 패턴 내에 탄화실리콘 박막이 각각 간헐 있는 형태로 이해될 수 있다. 탄화실리콘 결정성 박막 물질은 표면 자유 에너지(surface free energy)가 가장 낮은 방향으로 성장하는 성질을 이용할 수 있다.

- [0027] 상기 분할영역(11)의 각각의 크기는 상기 제 2 단계(S200)에서 상기 결정질의 탄화실리кон(SiC) 박막에 인가되는 스트레스로 인해 탄화실리кон 박막의 말림 현상을 방지할 수 있도록 결정될 수 있다.
- [0028] 도 5는 본 발명의 일 실시예에 따른 상기 표면 스트레스가 완화된 결정질의 탄화실리кон 박막 구조체 제조방법에서 분할영역의 크기를 결정하기 위한 평가 패턴 상에 탄화실리кон 박막을 증착한 후에 촬영한 사진이고, 도 6은 도 5에 나타난 탄화실리кон 박막에 대하여 고온 열처리 후의 상태를 촬영한 사진이다.
- [0029] 도 5에 도시된 평가 패턴은 다양한 크기의 분할영역(11)으로 구분되는 바, 제 1 분할영역(11d), 제 2 분할영역(11e), 제 3 분할영역(11f), 제 4 분할영역(11g)으로 스플릿 배치된다. 제 1 분할영역(11d)은 크기가 상대적으로 가장 작으며, 제 4 분할영역(11g)은 크기가 상대적으로 가장 크다. 상기 평가 패턴은 내측이 오목한 형태를 가지는 폐쇄 패턴인 상술한 선행패턴(prior pattern)으로 이해될 수 있다. 상기 평가 패턴 상에 에피택셜 공정이 아니라 플라즈마 강화 화학적 기상 증착(PECVD) 공정과 같은 저온 화학기상증착 공정으로 비정질의 탄화실리кон 박막을 증착하였다.
- [0030] 도 6을 참조하면, 도 5에 나타난 탄화실리кон 박막에 대하여 고온 열처리를 진행하면, 제 3 분할영역(11f) 및 제 4 분할영역(11g) 내에 각각 형성된 탄화실리кон 박막은 고온 열처리를 진행하면 탄화실리кон 박막에 인가되는 스트레스(stress)로 인해 탄화실리кон 박막의 말림 현상이 발생함에 반하여, 제 1 분할영역(11d) 및 제 2 분할영역(11e) 내에 각각 형성된 탄화실리кон 박막은 고온 열처리를 진행하면 탄화실리кон 박막에 인가되는 스트레스(stress)로 인해 탄화실리кон 박막의 말림 현상이 방지(Z)됨을 확인할 수 있다.
- [0031] 이러한 결과를 반영하여 도 2를 다시 참조하면, 본 발명의 일 실시예에 따른 표면 스트레스가 완화된 결정질의 탄화실리кон 박막 구조체 제조방법에서 기관(20)에 구분되어 나누어진 분할영역(11)의 크기는 제 2 분할영역(11e)의 크기 이하로 설정될 수 있다.
- [0032] 도 7은 본 발명의 일 실시예의 구체적인 제 2 예로서 표면 스트레스가 완화된 결정질의 탄화실리кон 박막 구조체 제조방법을 도해하는 순서도이다.
- [0033] 도 7을 참조하면, 기관(20) 상에 에피택셜 공정이 아니라 증착 공정을 이용하여 형성하되, 각각 이격되어 나누어진 분할영역(11)마다 비정질의 탄화실리кон 박막을 형성하는 단계로서, 단계(S150) 및 단계(S160)를 먼저 수행한다. 구체적으로, 기관(20) 상에 비정질의 탄화실리кон 박막을 일체로 증착하는 단계(S150) 및 상기 비정질의 탄화실리кон 박막을 상기 분할영역(11)으로 각각 이격되어 나누어지도록 패터닝하는 단계(S160);를 수행한다. 패터닝하는 단계(S160)는 분할영역(11)의 경계영역에 대응하도록 비정질의 탄화실리кон 박막을 제거함으로써 분할영역(11)마다 비정질의 탄화실리кон 박막이 이격되어 나누어지는 단계를 포함한다.
- [0034] 계속하여, 상기 증착 공정의 공정온도 보다 상대적으로 높은 온도에서 상기 비정질의 탄화실리кон 박막을 가열하여 상기 분할영역(11)마다 결정질의 탄화실리кон 박막을 형성하는 제 2 단계(S200); 상기 분할영역(11)마다 형성된 상기 결정질의 탄화실리кон 박막에 소자 구조체 및/또는 센서 구조체 중의 적어도 어느 하나를 형성하는 제 3 단계(S300); 및 상기 분할영역(11)의 경계에 대응하도록 상기 기관(20)을 소잉(sawing)하여 복수의 개별칩을 수득하는 제 4 단계(S400);를 수행한다.
- [0035] 상기 분할영역(11)의 각각의 크기는 상기 제 2 단계(S200)에서 상기 결정질의 탄화실리кон(SiC) 박막에 인가되는 스트레스로 인해 탄화실리кон 박막의 말림 현상을 방지할 수 있도록 결정될 수 있다.
- [0036] 도 8은 본 발명의 비교예와 일 실시예에 따른 표면 스트레스가 완화된 결정질의 탄화실리кон 박막 구조체 제조방법에서 후열처리 후의 박막 상태를 촬영한 사진들이다.
- [0037] 도 8의 (a)를 참조하면, 본 발명의 비교예에 따른 표면 스트레스가 완화된 결정질의 탄화실리кон 박막 구조체 제조방법으로서, 기관의 전체 면적 상에 비정질의 탄화실리кон 박막을 300nm 두께로 일체로 증착한 후에 600℃의 온도로 30분 동안 후열처리한 탄화실리кон 박막은 박막의 말림 현상이 나타남을 확인할 수 있다.
- [0038] 도 8의 (b)를 참조하면, 본 발명의 일 실시예에 따른 표면 스트레스가 완화된 결정질의 탄화실리кон 박막 구조체 제조방법으로서, 도 7의 방법과 같이, 기관의 전체 면적 상에 비정질의 탄화실리кон 박막을 1μm 두께로 일체로 증착한 후에 비정질의 탄화실리кон 박막을 상기 분할영역으로 각각 이격되어 나누어지도록 패터닝한 후에, 1050℃의 온도로 30분 동안 후열처리한 탄화실리кон 박막은 박막의 말림 현상이 나타나지 않음을 확인할 수 있다. 도 8의 (a)의 경우와 달리, 탄화실리кон 박막의 증착 두께가 더 두껍고 후열처리 온도가 더 높아 박막에 인가되는 스트레스의 크기가 더 크에도 불구하고 박막의 말림 현상이 나타나지 않은 것은 탄화실리кон 박막이 일체로 후열처리되지 않고 서로 이격되어 나누어진 분할영역으로 구분된 이후에 후열처리되었기 때문인 것으로 평가된다.

[0039] 지금까지 본 발명의 일 실시예에 따른 표면 스트레스가 완화된 결정질의 탄화실리콘 박막 구조체 제조방법으로서, 본 발명을 이용해 제조할 수 있는 박막 웨이퍼의 예는 SiC/SiO₂/Si 이 가능하다. 그러나, 본 발명의 기술적 사상은 기판 상에 각각 이격되어 나누어진 분할영역마다 소정의 물질 박막을 형성한 후, 상기 소정의 물질 박막에 소자 및/또는 센서를 형성하고 분할영역의 경계를 따라 소잉하여 개별칩을 수득한다는 것으로서, SiC/SiO₂/Si 적층구조로 한정되지 않는다. 예를 들어, Cu/SiO₂/Si/, Au/SiO₂/Si, Pt/SiO₂/Si 등의 적층구조가 가능하며, 나아가, 그 밖의 다른 적층구조에도 적용가능함은 명백하다.

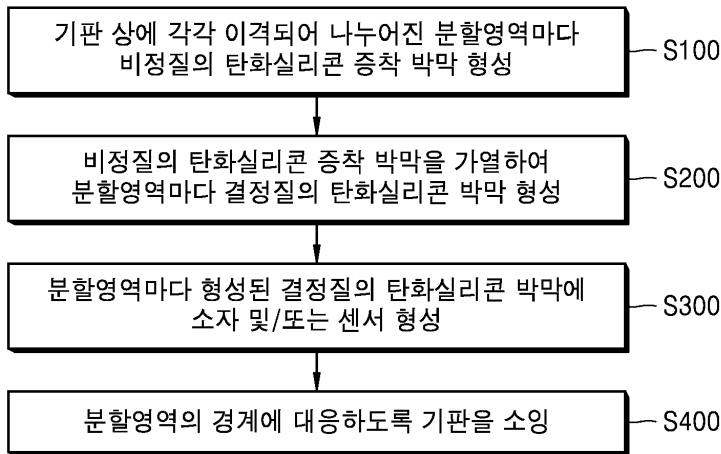
[0040] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

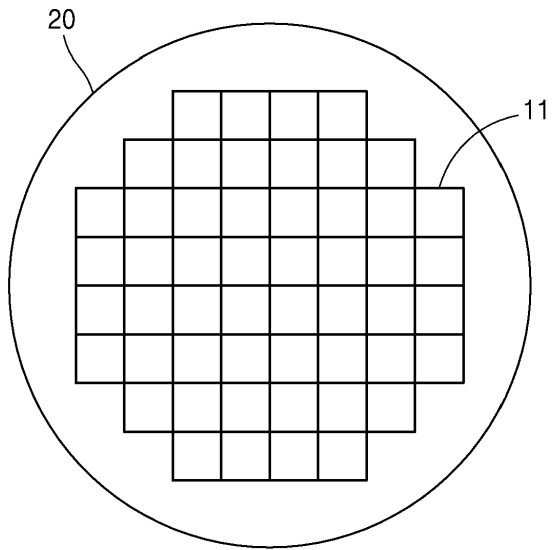
[0041] 20 : 기판
11 : 분할영역

도면

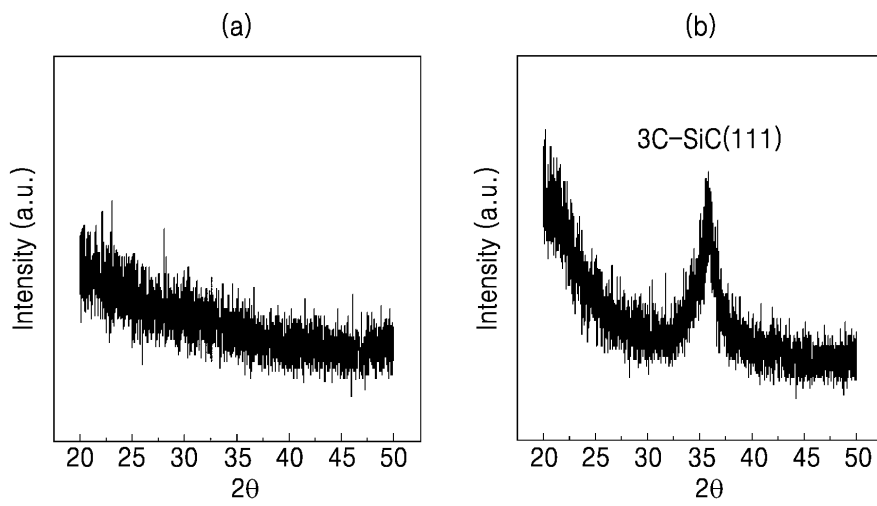
도면1



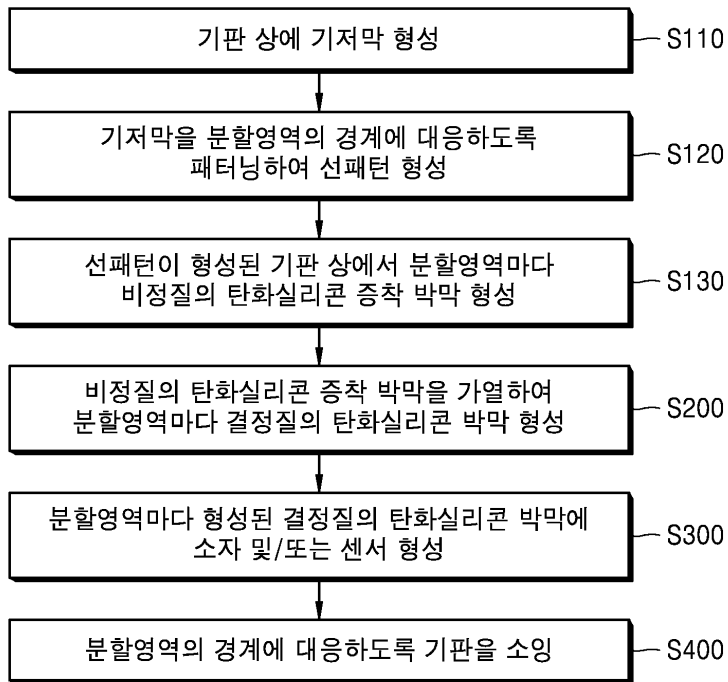
도면2



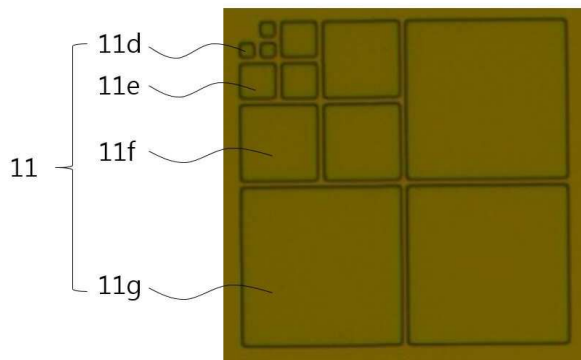
도면3



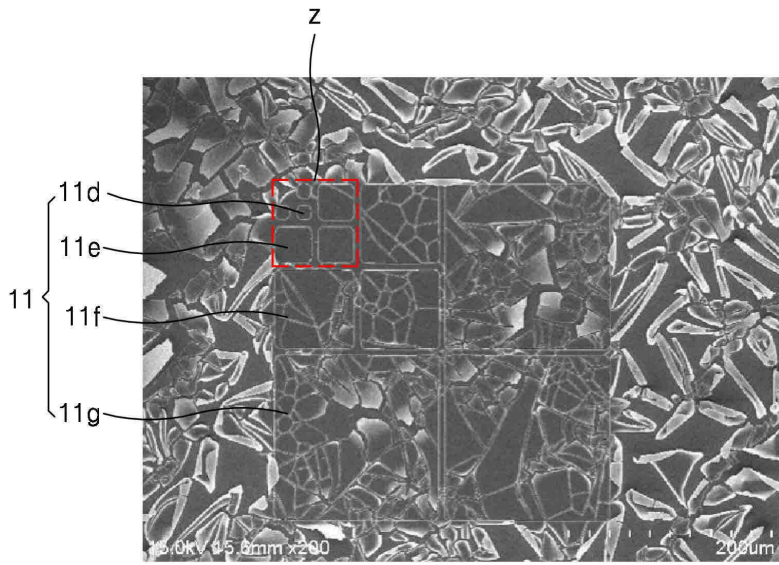
도면4



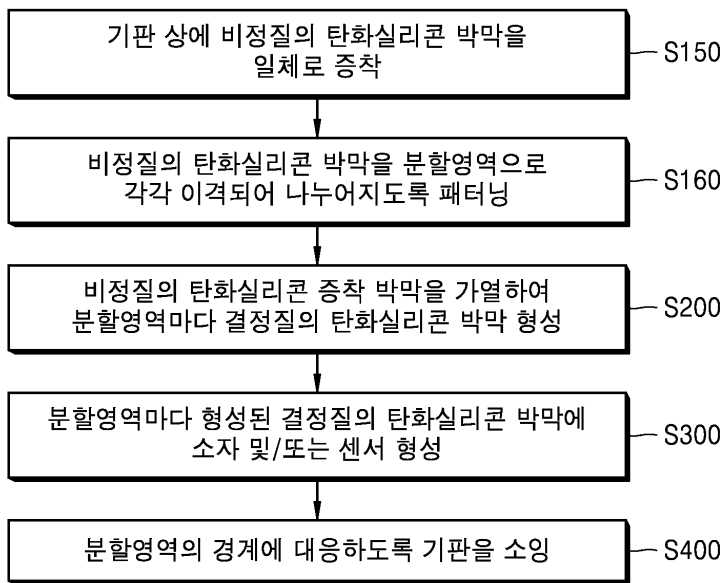
도면5



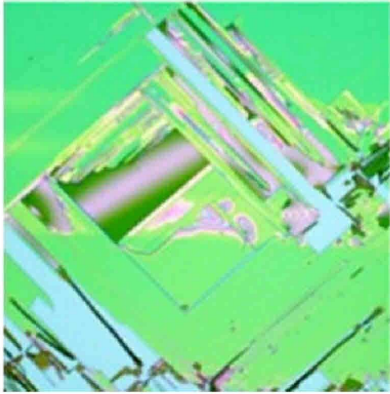
도면6



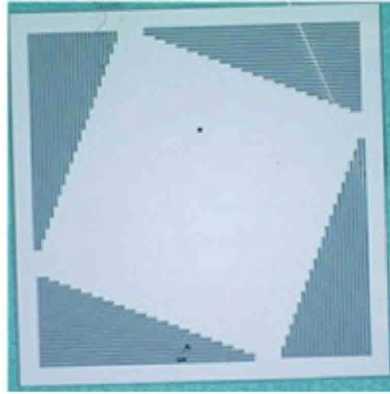
도면7



도면8



(a)



(b)