

(19) 中华人民共和国国家知识产权局



(12)发明专利申请

(10)申请公布号 CN 106155171 A

(43)申请公布日 2016.11.23

(21)申请号 201610611414.7

(22)申请日 2016.07.30

(71)申请人 合肥芯福传感器技术有限公司

地址 230031 安徽省合肥市高新区创新产业园二期F1栋1405室

(72)发明人 赵照

(51) Int. Cl.

G05F 3/16(2006.01)

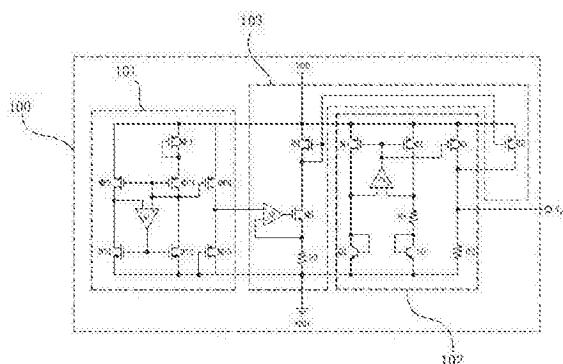
权利要求书2页 说明书5页 附图3页

(54)发明名称

线性温度系数补偿的带隙电压基准电路

(57) 摘要

本发明提供一种线性温度系数补偿的带隙电压基准电路，包括：MOSFET阈值电压提取模块，用于提取具有线性负温度特性的阈值电压；正温系数电压提取模块，用于提取具有线性正温度特性的正温系数电压；以及权重相加模块，用于将阈值电压与正温系数电压进行权重相加获得零温度系数的基准电压。本发明通过线性温度系数补偿方法对带隙电压基准电路进行补偿，由MOSFET阈值电压提取模块的电路设计产生与温度呈负线性关系的阈值电压，由正温系数电压提取模块产生与温度呈正线性关系的正温系数电压，利用权重相加模块将两个温度系数正负相反的电压进行权重相加即可获得零温度系数的基准电压，实现带隙电压基准电路的超低温度系数。



1. 一种线性温度系数补偿的带隙电压基准电路,其特征在于,包括:MOSFET阈值电压提取模块,用于提取与温度呈负线性关系的阈值电压,所述MOSFET阈值电压提取模块包括第一PMOS晶体管、第二PMOS晶体管、第三PMOS晶体管、第四PMOS晶体管、第五PMOS晶体管、第一NMOS晶体管、第二NMOS晶体管和第一运算放大器;

其中,第一PMOS晶体管的源极连接电源电压VDD,第一PMOS晶体管的栅极和漏极与第三PMOS晶体管的源极相连,第二PMOS晶体管的源极连接电源电压VDD,第四PMOS晶体管的源极连接电源电压VDD,第二PMOS晶体管的栅极与第三PMOS晶体管的栅极和漏极、第四PMOS晶体管的栅极相连;

第二PMOS晶体管的漏极与第一NMOS晶体管的漏极相连,第三PMOS晶体管的漏极与第二NMOS晶体管的漏极相连,第四PMOS晶体管的漏极与第五PMOS晶体管的源极相连,第一NMOS晶体管的栅极与第二NMOS晶体管的栅极相连;

第一运算放大器的正输入端与第二PMOS晶体管的栅极、第三PMOS晶体管的栅极和漏极、第四PMOS晶体管的栅极、第二NMOS晶体管的漏极相连,第一运算放大器的负输入端与第二PMOS晶体管的漏极、第一NMOS晶体管的漏极相连,第一运算放大器的输出端与第一NMOS晶体管的栅极、第二NMOS晶体管的栅极相连;

第一NMOS晶体管的源极和衬底连接到接地信号GND,第二NMOS晶体管的源极和衬底连接到接地信号GND,第五PMOS晶体管的栅极和漏极连接到接地信号GND;

正温系数电压提取模块,用于提取与温度呈正线性关系的正温系数电压;

以及权重相加模块,用于将阈值电压与正温系数电压进行权重相加获得零温度系数的基准电压。

2. 根据权利要求1所述的一种线性温度系数补偿的带隙电压基准电路,其特征在于:所述正温系数电压提取模块包括第六PMOS晶体管、第七PMOS晶体管、第八PMOS晶体管、第一电阻、第二电阻、第一NPN三极管、第二NPN三极管、第二运算放大器;

其中,第六PMOS晶体管的源极连接电源电压VDD,第七PMOS晶体管的源极连接电源电压VDD,第八PMOS晶体管的源极连接电源电压VDD,第六PMOS晶体管的栅极与第七PMOS晶体管的栅极、第八PMOS晶体管的栅极相连;

第六PMOS晶体管的漏极与第一NPN三极管的集电极和基极相连,第七PMOS晶体管的漏极与第一电阻的正端相连,第一电阻的负端与第二NPN三极管的集电极和基极相连,第八PMOS晶体管的漏极与第二电阻的正端相连;

第二运算放大器的负输入端与第六PMOS晶体管的漏极、第一NPN三极管的集电极相连,第二运算放大器的正输入端与第七PMOS晶体管的漏极、第一电阻的正端相连,第二运算放大器的输出端与第六PMOS晶体管的栅极、第七PMOS晶体管的栅极、第八PMOS晶体管的栅极相连;

第一NPN三极管的发射极连接到接地信号GND,第二NPN三极管的发射极连接到接地信号GND,第二电阻的负端连接到接地信号GND。

3. 根据权利要求2所述的一种线性温度系数补偿的带隙电压基准电路,其特征在于:所述权重相加模块包括第九PMOS晶体管、第十PMOS晶体管、第三NMOS晶体管、第三电阻和第三运算放大器;

其中,第九PMOS晶体管的源极连接电源电压VDD,第十PMOS晶体管的源极连接电源电压

VDD,第九PMOS晶体管的的栅极和漏极与第十PMOS晶体管的栅极、第三NMOS晶体管的漏极相连,第三NMOS晶体管的源极与第三电阻的正端相连,第十PMOS晶体管的漏极与第八PMOS晶体管的漏极、第二电阻的正端相连;

第三运算放大器的负输入端与第三NMOS晶体管的源极、第三电阻的正端相连,第三运算放大器的正输入端与第四PMOS晶体管的漏极、第五PMOS晶体管的源极相连,第三运算放大器的输出端与第三NMOS晶体管的栅极相连;

第三电阻的负端连接到接地信号GND。

4.根据权利要求1至3中任一项所述的一种线性温度系数补偿的带隙电压基准电路,其特征在于:所述第一PMOS晶体管、第二PMOS晶体管、第三PMOS晶体管和第五PMOS晶体管的沟道宽度 W_{MP1} 、 W_{MP2} 、 W_{MP3} 、和 W_{MP5} 满足 $W_{MP1}=W_{MP3}$, $W_{MP2}=W_{MP5}$, $W_{MP1}=9W_{MP5}$ 的条件。

线性温度系数补偿的带隙电压基准电路

技术领域

[0001] 本发明涉及集成电路技术领域,特别涉及一种线性温度系数补偿的带隙电压基准电路。

背景技术

[0002] 带隙电压基准电路具有低温度系数、低电源电压以及可与标准CMOS工艺兼容等优点被广泛应用于数/模转换、模/数转换、存储器以及开关电源等数模混合电路中。带隙电压基准电路输出电压的稳定性以及抗噪声能力影响着各种应用系统的精度,随着应用系统精度的提高,亟待出现超低甚至零温度系数的带隙电压基准电路。

[0003] 传统带隙电压基准电路的温度补偿方法有低阶温度补偿和高阶温度补偿。其中,低阶温度补偿通常是指将具有负温度系数的双极晶体管的基极-发射极电压 V_{BE} 和具有正温度系数的两个 V_{BE} 的差值 ΔV_{BE} 相加,来降低输出电压的温度系数,由于 V_{BE} 是温度的高阶函数,其温度特性不是线性的,而 ΔV_{BE} 的温度特性是一阶线性的,因此使用这两个物理量相互补偿,其温度系数难以降低到10ppm/℃以下。

[0004] 而在高阶温度补偿技术中,有利用电阻的高阶温度特性进行温度补偿的例子,在该示例中基准电压的温度系数能够降低到5.3 ppm/℃,但在实际工艺制作中存在电阻失配的问题;还有利用双极晶体管的电压差形成高阶温度电路来进行温度补偿的例子,采用该方法温度系数能够降低到7.5 ppm/℃,但该方法在电路中有电阻回路,影响基准电压的精度;还存在利用电压和电阻形成高阶温度补偿的例子,此种方法的电阻温度系数可降低至4 ppm/℃,但这种结构直接将电流并入电流镜中,存在电流镜匹配精度的问题。总之,虽然高阶温度补偿方法能够将温度系数降低到10ppm/℃以下,但是其电路的复杂程度及功耗都将成倍增加。

发明内容

[0005] 为了解决上述问题,本发明提供一种带隙电压基准电路,通过线性温度系数补偿获得零温度系数的基准电压。

[0006] 本发明采用的技术方案为:一种线性温度系数补偿的带隙电压基准电路,包括:MOSFET阈值电压提取模块,用于提取与温度呈负线性关系的阈值电压,所述MOSFET阈值电压提取模块包括第一PMOS晶体管、第二PMOS晶体管、第三PMOS晶体管、第四PMOS晶体管、第五PMOS晶体管、第一NMOS晶体管、第二NMOS晶体管和第一运算放大器;

其中,第一PMOS晶体管的源极连接电源电压VDD,第一PMOS晶体管的栅极和漏极与第三PMOS晶体管的源极相连,第二PMOS晶体管的源极连接电源电压VDD,第四PMOS晶体管的源极连接电源电压VDD,第二PMOS晶体管的栅极与第三PMOS晶体管的栅极和漏极、第四PMOS晶体管的栅极相连;

第二PMOS晶体管的漏极与第一NMOS晶体管的漏极相连,第三PMOS晶体管的漏极与第二NMOS晶体管的漏极相连,第四PMOS晶体管的漏极与第五PMOS晶体管的源极相连,第一NMOS

晶体管的栅极与第二NMOS晶体管的栅极相连；

第一运算放大器的正输入端与第二PMOS晶体管的栅极、第三PMOS晶体管的栅极和漏极、第四PMOS晶体管的栅极、第二NMOS晶体管的漏极相连，第一运算放大器的负输入端与第二PMOS晶体管的漏极、第一NMOS晶体管的漏极相连，第一运算放大器的输出端与第一NMOS晶体管的栅极、第二NMOS晶体管的栅极相连；

第一NMOS晶体管的源极和衬底连接到接地信号GND，第二NMOS晶体管的源极和衬底连接到接地信号GND，第五PMOS晶体管的栅极和漏极连接到接地信号GND；

正温系数电压提取模块，用于提取与温度呈正线性关系的正温系数电压；

以及权重相加模块，用于将阈值电压与正温系数电压进行权重相加获得零温度系数的基准电压。

[0007] 优选地，所述正温系数电压提取模块包括第六PMOS晶体管、第七PMOS晶体管、第八PMOS晶体管、第一电阻、第二电阻、第一NPN三极管、第二NPN三极管、第二运算放大器；

其中，第六PMOS晶体管的源极连接电源电压VDD，第七PMOS晶体管的源极连接电源电压VDD，第八PMOS晶体管的源极连接电源电压VDD，第六PMOS晶体管的栅极与第七PMOS晶体管的栅极、第八PMOS晶体管的栅极相连；

第六PMOS晶体管的漏极与第一NPN三极管的集电极和基极相连，第七PMOS晶体管的漏极与第一电阻的正端相连，第一电阻的负端与第二NPN三极管的集电极和基极相连，第八PMOS晶体管的漏极与第二电阻的正端相连；

第二运算放大器的负输入端与第六PMOS晶体管的漏极、第一NPN三极管的集电极相连，第二运算放大器的正输入端与第七PMOS晶体管的漏极、第一电阻的正端相连，第二运算放大器的输出端与第六PMOS晶体管的栅极、第七PMOS晶体管的栅极、第八PMOS晶体管的栅极相连；

第一NPN三极管的发射极连接到接地信号GND，第二NPN三极管的发射极连接到接地信号GND，第二电阻的负端连接到接地信号GND。

[0008] 优选地，所述权重相加模块包括第九PMOS晶体管、第十PMOS晶体管、第三NMOS晶体管、第三电阻和第三运算放大器；

其中，第九PMOS晶体管的源极连接电源电压VDD，第十PMOS晶体管的源极连接电源电压VDD，第九PMOS晶体管的栅极和漏极与第十PMOS晶体管的栅极、第三NMOS晶体管的漏极相连，第三NMOS晶体管的源极与第三电阻的正端相连，第十PMOS晶体管的漏极与第八PMOS晶体管的漏极、第二电阻的正端相连；

第三运算放大器的负输入端与第三NMOS晶体管的源极、第三电阻的正端相连，第三运算放大器的正输入端与第四PMOS晶体管的漏极、第五PMOS晶体管的源极相连，第三运算放大器的输出端与第三NMOS晶体管的栅极相连；

第三电阻的负端连接到接地信号GND。

[0009] 优选地，所述第一PMOS晶体管、第二PMOS晶体管、第三PMOS晶体管和第五PMOS晶体管的沟道宽度W_{MP1}、W_{MP2}、W_{MP3}、和W_{MP5}满足W_{MP1}=W_{MP3}，W_{MP2}=W_{MP5}，W_{MP1}=9W_{MP5}的条件。

[0010] 与现有技术相比，本发明存在以下技术效果：

本发明通过线性温度系数补偿方法对带隙电压基准电路进行补偿，由MOSFET阈值电压提取模块的电路设计产生与温度呈负线性关系的阈值电压，由正温系数电压提取模块产生

与温度呈正线性关系的正温系数电压，利用权重相加模块将两个温度系数正负相反的电压进行权重相加即可获得零温度系数的基准电压，实现带隙电压基准电路的超低温度系数。

附图说明

- [0011] 图1是本发明带隙电压基准电路的电路示意图；
 图2是图1中MOSFET阈值电压提取模块的电路示意图；
 图3是图1中正温系数电压提取模块的电路示意图。

具体实施方式

[0012] 以下结合附图对本发明作进一步描述。

[0013] 参见图1至图3，一种线性温度系数补偿的带隙电压基准电路100，包括：MOSFET阈值电压提取模块101，用于提取阈值电压V_{O_VTH}，所述阈值电压V_{O_VTH}与温度呈负线性关系；正温系数电压提取模块102，用于提取电压V_{PTAT}，所述电压V_{PTAT}与温度呈正线性关系；以及权重相加模块103，用于将阈值电压V_{O_VTH}与电压V_{PTAT}进行权重相加获得零温度系数的基准电压V_{ref}。

[0014] 具体地，所述MOSFET阈值电压提取模块包括第一PMOS晶体管(MP1)、第二PMOS晶体管(MP2)、第三PMOS晶体管(MP3)、第四PMOS晶体管(MP4)、第五PMOS晶体管(MP5)、第一NMOS晶体管(MN1)、第二NMOS晶体管(MN2)和第一运算放大器(A1)；

其中，第一PMOS晶体管的源极连接电源电压VDD，第一PMOS晶体管的栅极和漏极与第三PMOS晶体管的源极相连，第二PMOS晶体管的源极连接电源电压VDD，第四PMOS晶体管的源极连接电源电压VDD，第二PMOS晶体管的栅极与第三PMOS晶体管的栅极和漏极、第四PMOS晶体管的栅极相连；

第二PMOS晶体管的漏极与第一NMOS晶体管的漏极相连，第三PMOS晶体管的漏极与第二NMOS晶体管的漏极相连，第四PMOS晶体管的漏极与第五PMOS晶体管的源极相连，第一NMOS晶体管的栅极与第二NMOS晶体管的栅极相连；

第一运算放大器的正输入端与第二PMOS晶体管的栅极、第三PMOS晶体管的栅极和漏极、第四PMOS晶体管的栅极、第二NMOS晶体管的漏极相连，第一运算放大器的负输入端与第二PMOS晶体管的漏极、第一NMOS晶体管的漏极相连，第一运算放大器的输出端与第一NMOS晶体管的栅极、第二NMOS晶体管的栅极相连；

第一NMOS晶体管的源极和衬底连接到接地信号GND，第二NMOS晶体管的源极和衬底连接到接地信号GND，第五PMOS晶体管的栅极和漏极连接到接地信号GND。

[0015] 参见图2，在MOSFET阈值电压提取模块工作过程中，第一NMOS晶体管、第二NMOS晶体管和第一运算放大器保证I1和I2相等，同时，I3=I1=I2，因此

$$V_{O_VTH} = \frac{V_{TH_MP2} - V_{TH_MP3} - V_{TH_MP1} + V_{TH_MP5}}{\sqrt{\frac{W_{MP5}}{W_{MP1}}} - \sqrt{\frac{W_{MP5}}{W_{MP2}}} + \sqrt{\frac{W_{MP5}}{W_{MP3}}}} \quad (1)$$

其中，V_{TH_MP2}、V_{TH_MP3}、V_{TH_MP1}和V_{TH_MP5}分别为MP2、MP3、MP1和MP5的阈值电压；W_{MP1}、W_{MP2}、W_{MP3}、W_{MP5}分别为MP1、MP2、MP3和MP5的沟道宽度。

[0016] 在本发明中，所有MOSFET工作在饱和区且有相同的沟道长度，因此V_{TH_MP2}=V_{TH_MP3}=

$V_{TH_MP1}=V_{TH_MP5} = V_{TH}$, 若 $W_{MP1}=W_{MP3}, W_{MP2}=W_{MP5}, W_{MP1}=9W_{MP5}$, 则上式简化为

$$V_{O_VTH} = \frac{V_{TH} - V_{TH} - V_{TH}}{\sqrt{\frac{1}{9} - 1 + \sqrt{\frac{1}{9}}} + V_{TH}} = 4V_{TH} \quad (2)$$

根据BSIM3V3模型中阈值电压的温度模型

$$V_{TH} = V_{TH}(T_0) + \left(KT1 + \frac{KT1L}{L_{eff}} + KT2 \times V_{BS} \right) \left(\frac{T}{T_0} - 1 \right) \quad (3)$$

因此, 得到

$$V_{O_VTH} = 4 \times V_{TH}(T_0) + 4 \times \left(KT1 + \frac{KT1L}{L_{eff}} + KT2 \times V_{BS} \right) \left(\frac{T}{T_0} - 1 \right) \quad (4)$$

在公式(4)中, $V_{TH}(T_0)$ 为参考温度 T_0 对应的阈值电压; $KT1$ 为阈值电压的温度系数, $KT1 < 0$; $KT1L$ 为与沟道长度相关的温度系数, $KT1L < 0$; $KT2$ 为与衬底偏置相关的温度系数, $KT2 < 0$; L_{eff} 为MOSFET的有效沟道长度; V_{BS} 为MOSFET衬底和源极间的电压; T 为绝对温度, 单位为 K。从公式中可以看出, MOSFET阈值电压提取模块。提取的阈值电压 V_{O_VTH} 具有线性负温度特性。

[0017] 在本发明中, MP1、MP2、MP3和MP5的沟道宽度 $W_{MP1}、W_{MP2}、W_{MP3}、W_{MP5}$ 优选处于 $W_{MP1}=W_{MP3}, W_{MP2}=W_{MP5}, W_{MP1}=9W_{MP5}$ 的条件, 在此条件下, 阈值电压 V_{O_VTH} 与MOS管阈值电压 V_{TH} 的比值为4, 但在本发明中 $W_{MP1}、W_{MP2}、W_{MP3}、W_{MP5}$ 还可以是其他值, 只要能够使 V_{O_VTH} 和 V_{TH} 满足的正值倍数关系即可, 本发明不做具体限定。

[0018] 进一步地, 所述正温系数电压提取模块包括第六PMOS晶体管(M1)、第七PMOS晶体管(M2)、第八PMOS晶体管(M3)、第一电阻(R1)、第二电阻(R2)、第一NPN三极管(Q1)、第二NPN三极管(Q2)、第二运算放大器(A2);

其中, 第六PMOS晶体管的源极连接电源电压VDD, 第七PMOS晶体管的源极连接电源电压VDD, 第八PMOS晶体管的源极连接电源电压VDD, 第六PMOS晶体管的栅极与第七PMOS晶体管的栅极、第八PMOS晶体管的栅极相连;

第六PMOS晶体管的漏极与第一NPN三极管的集电极和基极相连, 第七PMOS晶体管的漏极与第一电阻的正端相连, 第一电阻的负端与第二NPN三极管的集电极和基极相连, 第八PMOS晶体管的漏极与第二电阻的正端相连;

第二运算放大器的负输入端与第六PMOS晶体管的漏极、第一NPN三极管的集电极相连, 第二运算放大器的正输入端与第七PMOS晶体管的漏极、第一电阻的正端相连, 第二运算放大器的输出端与第六PMOS晶体管的栅极、第七PMOS晶体管的栅极、第八PMOS晶体管的栅极相连;

第一NPN三极管的发射极连接到接地信号GND, 第二NPN三极管的发射极连接到接地信号GND, 第二电阻的负端连接到接地信号GND。

[0019] 参见图3, 图中 $I1=I2=I3$, 因此

$$V_{PTAT} = (V_{BE1} - V_{BE2}) \times \frac{R_2}{R_1} = \frac{kT}{q} \ln N \times \frac{R_2}{R_1} \quad (5)$$

其中, V_{BE1} 、 V_{BE2} 为Q1和Q2的基极-发射极电压; k为波尔兹曼常数, $1.308 \times 10^{-23} \text{ J/K}$; q为电子电荷量, $1.6 \times 10^{-19} \text{ C}$; N为Q2与Q1发射结面积之比; T为绝对温度, 单位为K; R₁和R₂为第一电阻R1、第二电阻R2的电阻值。

[0020] 优选地, 所述权重相加模块包括第九PMOS晶体管(M4)、第十PMOS晶体管(M5)、第三NMOS晶体管(M6)、第三电阻(R3)和第三运算放大器(A3);

其中, 第九PMOS晶体管的源极连接电源电压VDD, 第十PMOS晶体管的源极连接电源电压VDD, 第九PMOS晶体管的栅极和漏极与第十PMOS晶体管的栅极、第三NMOS晶体管的漏极相连, 第三NMOS晶体管的源极与第三电阻的正端相连, 第十PMOS晶体管的漏极与第八PMOS晶体管的漏极、第二电阻的正端相连;

第三运算放大器的负输入端与第三NMOS晶体管的源极、第三电阻的正端相连, 第三运算放大器的正输入端与第四PMOS晶体管的漏极、第五PMOS晶体管的源极相连, 第三运算放大器的输出端与第三NMOS晶体管的栅极相连;

第三电阻的负端连接到接地信号GND。

[0021] 权重相加模块, 可以将提取出来的阈值电压V_{TH}转换成电流, 与正温系数的电流相加, 再通过第二电阻R2就可以得到需要的基准电压V_{ref}。具体公式如下:

$$V_{ref} = 4 \times V_{TH} \times \frac{R_2}{R_3} + \frac{kT}{q} \ln N \times \frac{R_2}{R_1} \quad (6)$$

其中, N为Q2与Q1的发射结面积之比; q为电子电荷量, $1.6 \times 10^{-19} \text{ C}$; k为波尔兹曼常数, $1.308 \times 10^{-23} \text{ J/K}$; T为绝对温度, 单位为K; R₁、R₂、R₃分别是第一电阻R1、第二电阻R2、第三电阻R3的电阻值。从公式(6)中可以看出, V_{TH}具有负温度系数, $\frac{kT}{q} \ln N$ 具有正温度系数, 通

过调整R₂和R₃, R₂和R₁的比值就可以使正温度系数和负温度系数相互抵消, 获得与温度无关的基准电压V_{ref}。

[0022] 需要注意的是, 在实际电路设计中, 电流加减是最容易实现的, 本实施例中给出的权重相加模块仅仅是较为优选的方案, 并非对本发明进行的限定。

[0023] 本发明通过线性温度系数补偿方法对带隙电压基准电路进行补偿, 由MOSFET阈值电压提取模块的电路设计产生与温度呈负线性关系的阈值电压, 由正温系数电压提取模块产生与温度呈正线性关系的正温系数电压, 利用权重相加模块将两个温度系数正负相反的电压进行权重相加即可获得零温度系数的基准电压, 实现带隙电压基准电路的超低温度系数。将本发明带隙电压基准电路应用于数/模转换、模/数转换、存储器以及开关电源等数模混合电路等应用系统中, 将显著提高应用系统的工作精度。

[0024] 总之, 以上仅为本发明较佳的实施例, 并非用于限定本发明的保护范围, 在本发明的精神范围之内, 对本发明所做的等同变换或修改均应包含在本发明的保护范围之内。

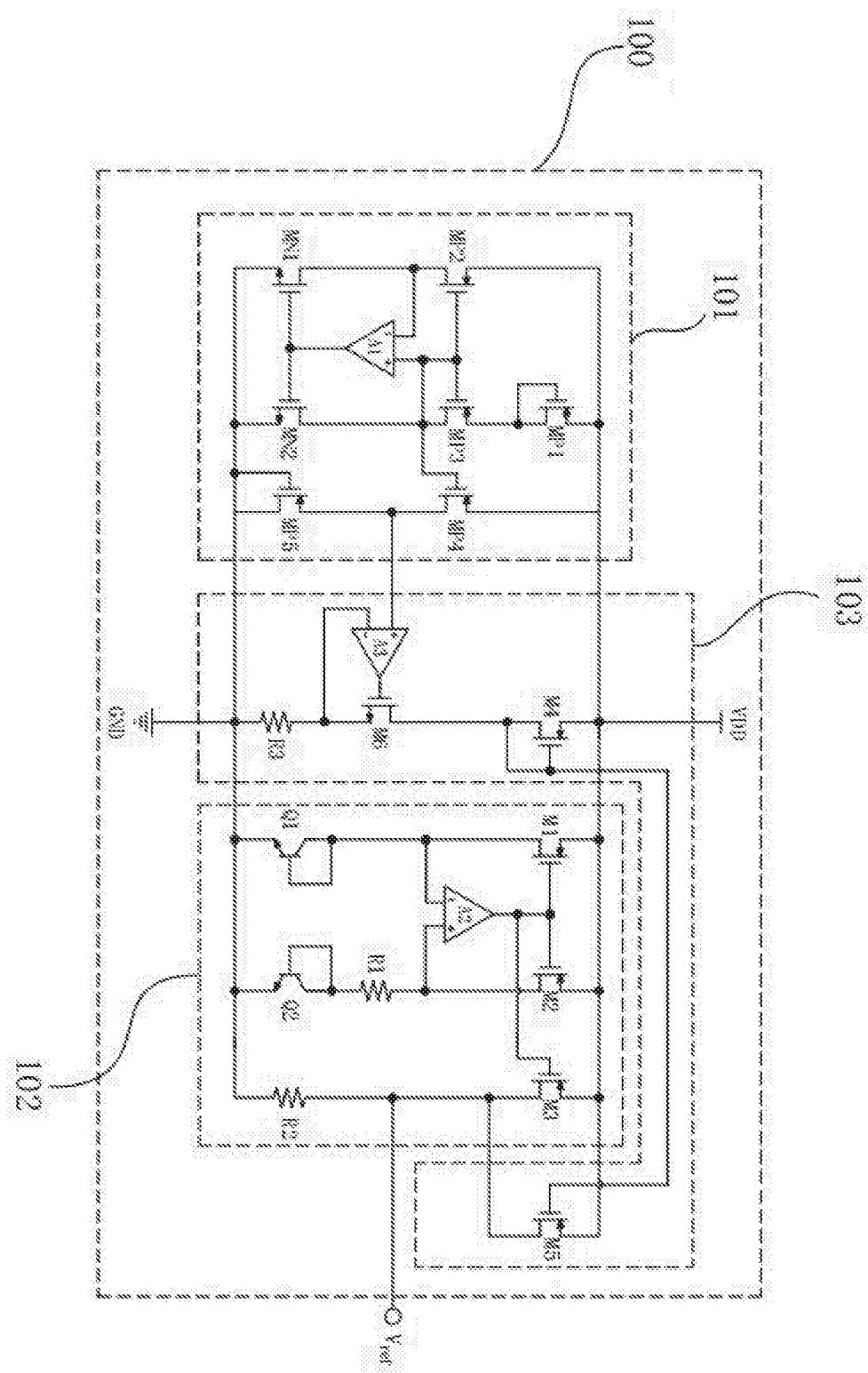


图1

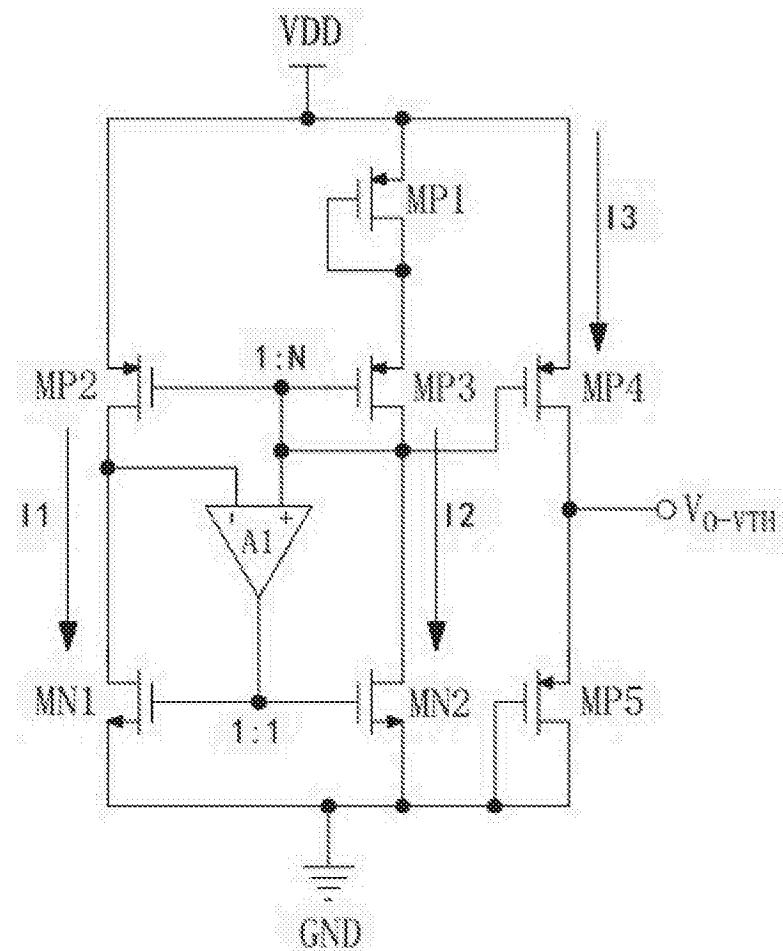


图2

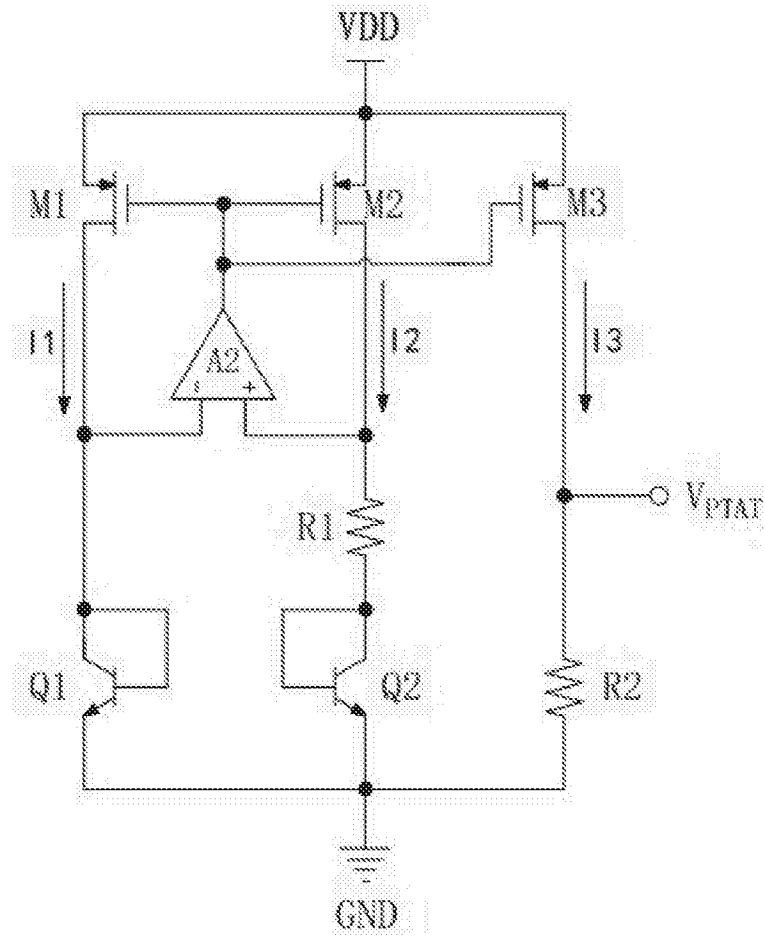


图3