

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2010 年 7 月 29 日(29.07.2010)

PCT

(10) 国際公開番号  
WO 2010/084657 A1

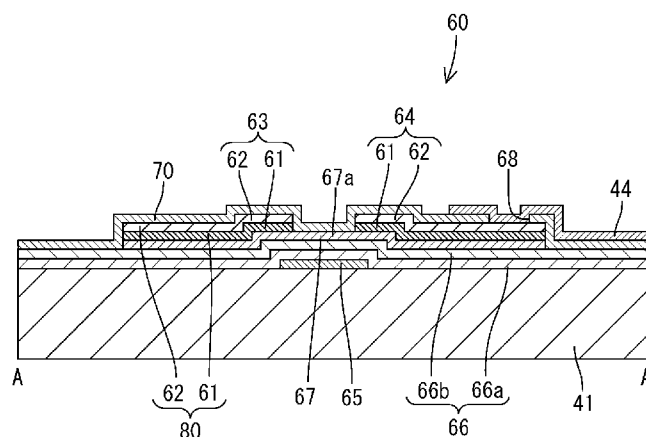
- (51) 国際特許分類:  
H01L 29/786 (2006.01) H01L 21/318 (2006.01)  
G02F 1/1368 (2006.01) H01L 21/336 (2006.01)  
H01L 21/205 (2006.01) H01L 29/423 (2006.01)  
H01L 21/283 (2006.01) H01L 29/49 (2006.01)  
H01L 21/316 (2006.01)
- (21) 国際出願番号: PCT/JP2009/068874
- (22) 国際出願日: 2009 年 11 月 5 日(05.11.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2009-013862 2009 年 1 月 26 日(26.01.2009) JP  
特願 2009-110899 2009 年 4 月 30 日(30.04.2009) JP
- (71) 出願人 (米国を除く全ての指定国について):  
シャープ株式会社(SHARP KABUSHIKI KAISHA)  
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町  
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山上 隆  
(YAMAGAMI Takashi). 満留 和也(MITSUDOME  
Kazuya). 岩佐 和彦(IWASA Kazuhiko).
- (74) 代理人: 特許業務法人暁合同特許事務所 (AKAT-SUKI UNION PATENT FIRM); 〒4600008 愛知県  
名古屋市中央区栄二丁目 1 番 1 号 日土地名古屋ビル 5 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND LIQUID CRYSTAL DEVICE

(54) 発明の名称: 半導体装置、半導体装置の製造方法、液晶装置

[図5]



(57) Abstract: Disclosed is a semiconductor device having an improved manufacturing efficiency and high reliability, wherein a malfunction does not easily occur. Specifically disclosed is a thin film transistor (semiconductor device) (60) which comprises a gate electrode (65), a semiconductor film (67), and a gate insulating film (66) formed between the gate electrode (65) and the semiconductor film (67). The thin film transistor (semiconductor device) (60) is characterized in that the gate insulating film (66) comprises a first gate insulating film (66a) and a second gate insulating film (66b) in order from the gate electrode (65) side, that the first gate insulating film (66a) traps less electrons from the gate electrode (65) to the gate insulating film (66) when compared with the second gate insulating film (66b), and that the second gate insulating film (66b) traps less electrons from the gate insulating film (66) to the semiconductor film (67) when compared with the first gate insulating film (66a).

(57) 要約:

[続葉有]

WO 2010/084657 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

---

本発明は、製造効率を向上させ、しかも誤作動が生じ難く信頼性の高い半導体装置を提供することを目的としている。本発明の薄膜トランジスタ（半導体装置）60は、ゲート電極65と、半導体膜67と、前記ゲート電極65と前記半導体膜67との間に形成されたゲート絶縁膜66と、を備え、前記ゲート絶縁膜66が、前記ゲート電極65側から第1ゲート絶縁膜66aと第2ゲート絶縁膜66bを有してなり、前記第1ゲート絶縁膜66aは、前記第2ゲート絶縁膜66bよりも相対的にゲート電極65からゲート絶縁膜66への電子のトラップが少なく、前記第2ゲート絶縁膜66bは、前記第1ゲート絶縁膜66aよりも相対的にゲート絶縁膜66から半導体層67への電子のトラップが少ないことを特徴とする。

## 明 細 書

### 発明の名称：半導体装置、半導体装置の製造方法、液晶装置 技術分野

[0001] 本発明は、半導体装置、半導体装置の製造方法、液晶装置に関する。

### 背景技術

[0002] 液晶装置の構成として、一対の基板間に液晶層が挟持されてなるものが公知であり、そのうち一方の基板は、画素電極及び半導体装置を備えた素子基板として構成される。この素子基板は、ゲート配線と信号配線とが透明基板上に格子状に設けられ、ゲート配線と信号配線との交差部にＴＦＴ等のスイッチング素子（半導体装置）が設けられた構成を有している。ＴＦＴとしては、ＭＩＳ（Metal-Insulator Semiconductor）型のもの、すなわちゲート電極と半導体膜との間にゲート絶縁膜が介在してなる型のものが公知であり、ゲート配線と信号配線とに囲まれた領域に、該ＴＦＴと接続される画素電極が配され、これにより表示単位としての画素が構成されている。

[0003] このようなＴＦＴは、一般的に次のように作成される。つまり、ガラス基板上に金属材料によりゲート電極を形成した後、窒化シリコンや酸化シリコン等をプラズマＣＶＤにより成膜してゲート絶縁膜を形成し、さらにアモルファスシリコンにより半導体膜、金属材料によりソース電極及びドレイン電極を形成している。このような各工程においては、成膜時間の短縮を図り、生産効率を向上させることが、コスト削減の観点から重要となってくる。

### 先行技術文献

### 特許文献

[0004] 特許文献１：特開２００６－３２６３０号公報

### 発明の概要

### 発明が解決しようとする課題

[0005] ところが、ゲート絶縁膜を形成する際に、プラズマＣＶＤによる成膜速度を上げると、液晶点灯状態（表示状態）で表示ムラが発生する場合がある。

これは、高速成膜したゲート絶縁膜が光に対して劣化しやすく、また膜中に欠陥を生成しやすく、電荷をトラップしやすいなど膜質が変化するため、スイッチング素子の閾値電圧にシフトが生じてしまうためであると推測される。

[0006] 本発明は、上記のような事情に鑑みてなされたものであって、誤作動が生じ難く信頼性の高い半導体装置と、生産効率を向上させることが可能な半導体装置の製造方法と、該半導体装置を用いた液晶装置とを提供することを目的としている。

### 課題を解決するための手段

[0007] 上記課題を解決するために、本発明の半導体装置は、ゲート電極と、半導体膜と、前記ゲート電極と前記半導体膜との間に形成されたゲート絶縁膜と、を備え、前記ゲート絶縁膜が、前記ゲート電極側から第1ゲート絶縁膜と第2ゲート絶縁膜を有してなり、前記第1ゲート絶縁膜は、前記第2ゲート絶縁膜よりも相対的にゲート電極からゲート絶縁膜への電子のトラップが少ない絶縁膜からなり、前記第2ゲート絶縁膜は、前記第1ゲート絶縁膜よりも相対的にゲート絶縁膜から半導体層への電子のトラップが少ない絶縁膜からなることを特徴とする。

[0008] このような半導体装置によると、ゲート電極からゲート絶縁膜への電子のトラップが少ない第1ゲート絶縁膜を形成し、ゲート絶縁膜から半導体層への電子のトラップが少ない第2ゲート絶縁膜を形成してなるため、ゲート電極から電子がゲート絶縁膜側に移動・トラップされ難く、また半導体膜からホールがゲート絶縁膜側に移動・トラップされ難いものとなる。その結果、電界緩和が生じ難く当該半導体装置において誤作動が生じ難いものとなる。特に、この半導体装置をスイッチング素子として用いた場合に、閾値電圧のシフトが生じ難く、その動作特性が非常に信頼性に優れたものとなる。

[0009] 上記半導体装置において、前記第2ゲート絶縁膜は、前記第1ゲート絶縁膜よりも相対的に高速度で成膜されてなるものとすることができる。

本発明者らは、生産効率を向上すべく成膜速度と半導体特性との関係につ

いて鋭意検討した結果、ゲート絶縁膜の成膜速度の相違に起因して、当該ゲート絶縁膜における電荷のトラップのしやすさ（ゲート絶縁膜を介した電子の移動の仕方）についての性質が相違することを見出した。そこで、ゲート電極側の第1ゲート絶縁膜を低速度で成膜して、ゲート電極からゲート絶縁膜への電子のトラップが少ないものとする一方、半導体膜側の第2ゲート絶縁膜を高速度で成膜して、相対的にゲート絶縁膜から半導体層への電子のトラップが少ないものとした。これにより、ゲート電極からのマイナス電荷の移動・トラップが抑制されるとともに、半導体膜からのプラス電荷の移動・トラップが抑制され、その結果、電界緩和が生じ難く、当該半導体装置において誤作動が生じ難いものとなる。また、少なくとも第2ゲート絶縁膜を高速度で成膜するため、生産効率の向上にも寄与することが可能となる。

[0010] 前記第1ゲート絶縁膜は、 $\text{Si-H}$ 結合密度が $5.63 \times 10^{19} \text{ bonds/cm}^3 \sim 1.87 \times 10^{23} \text{ bonds/cm}^3$ とされ、前記第2ゲート絶縁膜は、 $\text{Si-H}$ 結合密度が $1.70 \times 10^{22} \text{ bonds/cm}^3$ より大きいとされてなるものとすることができる。

このような条件により、第1ゲート絶縁膜はゲート電極からゲート絶縁膜への電子のトラップが少なく、第2ゲート絶縁膜はゲート絶縁膜から半導体層への電子のトラップが少ないものとなり、上述の通り当該半導体装置において誤作動が生じ難いものとなる。

[0011] 上記課題を解決するために、本発明の半導体装置の製造方法は、ゲート電極を形成する工程と、ゲート絶縁膜を形成する工程と、半導体膜を形成する工程と、を含み、前記ゲート絶縁膜を形成する工程は、前記ゲート電極側に第1ゲート絶縁膜を形成する第1ゲート絶縁膜形成工程と、前記半導体膜側に第2ゲート絶縁膜を形成する第2ゲート絶縁膜形成工程と、を含み、前記第2ゲート絶縁膜形成工程は、前記第1ゲート絶縁膜の成膜速度よりも相対的に高速度の条件で成膜を行うことを特徴とする。

[0012] 上述の通り、本発明者らは、ゲート絶縁膜の成膜速度の相違に起因して、当該ゲート絶縁膜における電荷の溜まり易さについての性質が相違すること

を見出し、ゲート電極側の第1ゲート絶縁膜を低速度で成膜して、相対的にゲート電極からゲート絶縁膜への電子のトラップが少ないものとする一方、半導体膜側の第2ゲート絶縁膜を高速度で成膜して、相対的にゲート絶縁膜から半導体層への電子のトラップが少ないものとした。これにより、ゲート電極からのマイナス電荷の移動・トラップが抑制されるとともに、半導体膜からのプラス電荷の移動・トラップが抑制され、その結果、内部電界が生じ難く、当該半導体装置において誤作動が生じ難いものとなる。また、少なくとも第2ゲート絶縁膜を高速度で成膜するため、生産効率の向上にも寄与することが可能となる。

[0013] 前記第1ゲート絶縁膜形成工程は、 $\text{Si-H}$ 結合密度が $5.63 \times 10^{19} \text{ bonds/cm}^3 \sim 1.87 \times 10^{23} \text{ bonds/cm}^3$ となる成膜条件で成膜を行い、前記第2ゲート絶縁膜形成工程は、 $\text{Si-H}$ 結合密度が $1.70 \times 10^{22} \text{ bonds/cm}^3$ より大きくなる成膜条件で成膜を行うものとすることができる。

このような成膜条件により、第1ゲート絶縁膜はゲート電極からゲート絶縁膜への電子のトラップが少なく、第2ゲート絶縁膜はゲート絶縁膜から半導体層への電子のトラップが少ないものとなり、上述の通り誤作動が生じ難く、しかも少なくとも第2ゲート絶縁膜を高速度で成膜するため、生産効率の向上に寄与することが可能となる。

[0014] さらに、上記課題を解決するために、本発明の液晶装置は、素子基板と対向基板との間に液晶層を挟持してなる液晶装置であって、前記素子基板は、上述の半導体装置をスイッチング素子として備えることを特徴とする。

このような液晶装置によると、スイッチング素子の誤作動が生じ難く、その結果、表示品質が非常に高いものとなる。また、少なくとも第2ゲート絶縁膜を高速度で成膜するため、生産効率が向上され、コスト削減が実現され得るものとなる。

## 発明の効果

[0015] 本発明により、誤作動が生じ難く信頼性の高い半導体装置と、生産効率を

向上させることが可能な半導体装置の製造方法と、該半導体装置を用いた液晶装置とを提供することが可能となる。

### 図面の簡単な説明

- [0016] [図1]本実施形態の液晶表示装置の概略構成を示す斜視図。
- [図2]図1の液晶表示装置の概略構成を示す断面図。
- [図3]図1の液晶表示装置の要部構成（液晶パネルの一部分）について示す断面図。
- [図4]図1の液晶表示装置の画素構成について示す平面図。
- [図5]図4のA-A'線断面図。
- [図6]比較例として、低速度条件のみでゲート絶縁膜を形成した場合の薄膜トランジスタのV-I特性を示すグラフ。
- [図7]比較例として、高速度条件のみでゲート絶縁膜を形成した場合の薄膜トランジスタのV-I特性を示すグラフ。
- [図8]本実施形態の液晶表示装置が備える薄膜トランジスタのV-I特性を示すグラフ。
- [図9]半導体装置の一変形例を示す断面模式図。

### 発明を実施するための形態

- [0017] 以下、図面を参照して本発明に係る実施形態について説明する。

図1は本発明の半導体装置を含む液晶表示装置（液晶装置）について、その概略構成を分解して示す斜視図、図2は同液晶表示装置の概略構成を示す断面図、図3は同液晶表示装置の要部構成（液晶パネルの一部分）について示す断面図、図4は同液晶表示装置の画素構成について示す平面図、図5は図4のA-A'線断面図である。

- [0018] 図1及び図2に示した液晶表示装置10は、矩形をなす液晶パネル11と、外部光源であるバックライト装置12とを備え、これらがベゼル13などにより一体的に保持されるようになっている。

バックライト装置12は、所謂直下型のバックライト装置であって、液晶パネル11のパネル面（表示面）の背面直下に、当該パネル面に沿って光源

（ここでは冷陰極管 17）が並列配置された構成を具備している。バックライト装置 12 は、上面側が開口した矩形の略箱型をなす金属製のシャーシ 14 と、シャーシ 14 の開口部を覆うようにして取り付けられる複数の光学部材 15（図示下側から順に拡散板、拡散シート、レンズシート、光学シート）と、これら光学部材 15 をシャーシ 14 に保持するためのフレーム 16 と、シャーシ 14 内に收容されるランプである冷陰極管 17 と、冷陰極管 17 の両端部を保持するためのゴム製（例えばシリコンゴム製）のホルダ 18 と、冷陰極管 17 群及びホルダ 18 群を一括して覆うランプホルダ 19 と、冷陰極管 17 における両端部を除いた途中の部分保持するためのランプクリップ 20 とを備える。

[0019] 液晶パネル 11 は、図 3 に示すように、一对の基板 30、40 が所定のギャップを隔てた状態で貼り合わせられるとともに、両基板 30、40 間に液晶が封入された構成とされ、当該液晶により液晶層 50 が形成されている。

基板 40 は素子基板（アクティブマトリクス基板）であって、ガラス基板 41 と、ガラス基板 41 の液晶層 50 側に形成された半導体素子（半導体装置）として逆スタガ型（ボトムゲート型）の薄膜トランジスタ（TFT）60 と、当該薄膜トランジスタ 60 に対して電氣的に接続された画素電極 44 と、これら薄膜トランジスタ 60 及び画素電極 44 の液晶層 50 側に形成された配向膜 45 と、を備えている。また、ガラス基板 41 の液晶層 50 側とは反対側には偏光板 42 が配されている。

[0020] 画素電極 44 は例えば ITO（インジウム錫酸化物）等の透明導電膜からなり、素子基板 40 の液晶層 50 側にマトリクス状のパターンで形成されている。詳しくは、薄膜トランジスタ 60 のドレイン電極 64（図 4 及び図 5 参照）と接続され、当該薄膜トランジスタ 60 のスイッチング作動により選択的に電圧が印加されるものとなっている。また、配向膜 45 は例えばポリイミドのラビング配向膜から構成されており、偏光板 42 は例えば透明フィルムにヨウ素や染料を染み込ませたものを、一方向に延伸してなるものを採用している。

[0021] 一方、基板 30 は対向基板であって、ガラス基板 31 と、ガラス基板 31 の液晶層 50 側に形成され、R（赤）、G（緑）、B（青）の各色光を選択的に透過可能な着色部 R、G、B を備えたカラーフィルタ 33 と、カラーフィルタ 33 の液晶層 50 側に形成された対向電極 34 と、対向電極 34 の液晶層 50 側に形成された配向膜 35 と、を備えている。また、ガラス基板 31 の液晶層 50 側とは反対側には偏光板 32 が配されている。

[0022] カラーフィルタ 33 は、着色部 R、G、B の境界に配されたブラックマトリクス BM を備え、当該ブラックマトリクス BM は素子基板 40 の非画素部（つまり薄膜トランジスタ 60 が形成された領域）を覆うように、当該非画素部に重畳して配されている。また、対向電極 34 は例えば ITO（インジウム錫酸化物）等の透明導電膜からなり、対向基板 30 の液晶層 50 側に全面ベタ状に形成されている。また、配向膜 35 は例えばポリイミドのラビング配向膜から構成されており、偏光板 32 は例えば透明フィルムにヨウ素や染料を染み込ませたものを、一方向に延伸してなるものを採用している。

[0023] 上述したように本実施形態の液晶表示装置 10 は半導体素子として薄膜トランジスタ 60 を備えており、当該薄膜トランジスタ 60 を含む画素は、図 4 及び図 5 に示すような構成を具備している。

本実施形態の液晶表示装置 10 では複数の画素 49 がマトリクス状に構成されており、これら画素 49 の各々には、画素スイッチング用の半導体素子として薄膜トランジスタ 60 が形成されている。

[0024] 薄膜トランジスタ 60 は、ソース電極 63、ドレイン電極 64、及びゲート電極 65 を備え、ソース電極 63 には、画像信号を供給するソース配線 80 が接続されている。ソース配線 80 に書き込む画像信号は、線順次で供給してもよく、相隣接する複数のソース配線 80 同士に対して、グループ毎に供給するようにしてもよい。なお、ソース配線 80 は、図 4 に示すように、コンタクトホール 81 及び配線 82 を介して画像信号を供給するための駆動回路と接続されている。

また、薄膜トランジスタ 60 のゲート電極 65 にはゲート配線 90 が接続

されており、所定のタイミングで、ゲート配線 90 にパルス的に走査信号を線順次で印加するように構成されている。なお、ゲート配線 90 は、図 4 に示すように、コンタクトホール 91 及び配線 92 を介して走査信号を供給するための走査信号供給回路と接続されている。

[0025] 画素電極 44 は、薄膜トランジスタ 60 のドレイン電極 64 にコンタクトホール 68 を介して接続されており、スイッチング素子である薄膜トランジスタ 60 を一定期間だけオン状態とすることにより、ソース配線 80 から供給される画像信号を各画素 49 に所定のタイミングで書き込む。このようにして画素電極 44 を介して液晶に書き込まれた所定レベルの画像信号は、対向電極 34（図 3 参照）との間で一定期間保持される。なお、保持された画像信号がリークするのを防ぐために、画素電極 44 と対向電極 34（図 3 参照）との間に形成される液晶容量と並列に蓄積容量（図示略）が付加されている。

[0026] 上述した通り、薄膜トランジスタ 60 は、素子基板 40 を構成するガラス基板 41 上に配設されている。詳しくは、図 5 に示すように、ガラス基板 41 上に形成されたゲート電極 65 と、ゲート電極 65 上に形成されたゲート絶縁膜 66 と、ゲート絶縁膜 66 上に形成され、チャネル領域 67a を備える半導体膜 67 と、半導体膜 67 の一端に接続されたソース電極 63 と、半導体膜 67 の他端に接続され、ソース電極 63 に対してチャネル領域 67a を介して接続されるドレイン電極 64 と、を備えて構成されている。なお、薄膜トランジスタ 60 は、ゲート電極（Metal）65、ゲート絶縁膜（Insulator）66、半導体膜（Semiconductor）67 により構成される M I S 型素子を有して構成されている。

[0027] ゲート電極 65 は、例えばアルミニウム（A l）の他、クロム（C r）、タンタル（T a）、チタン（T i）等の金属膜単体又はこれらの金属窒化物との積層膜で形成することができる。

半導体膜 67 は、例えばアモルファスシリコン（a - S i）等で形成することができる。

- [0028] ゲート電極 65 と半導体膜 67 の間に形成されたゲート絶縁膜 66 は、ゲート電極 65 上に形成された第 1 ゲート絶縁膜 66a と、該第 1 ゲート絶縁膜 66a 上に形成された第 2 ゲート絶縁膜 66b とが積層した構成を有している。第 1 ゲート絶縁膜 66a は、第 2 ゲート絶縁膜 66b よりも相対的にゲート電極からゲート絶縁膜への電子のトラップが少なく、第 2 ゲート絶縁膜 66b は、第 1 ゲート絶縁膜 66a よりも相対的にゲート絶縁膜から半導体層への電子のトラップが少ないものとされている。このような帯電に係る特性は、第 1 ゲート絶縁膜 66a を成膜速度が相対的に遅い条件 ( $600 \text{ \AA}/\text{min} \sim 1200 \text{ \AA}/\text{min}$  (ここでは  $1000 \text{ \AA}/\text{min}$ )) で形成し、第 2 ゲート絶縁膜 66b を成膜速度が相対的に速い条件 ( $2000 \text{ \AA}/\text{min} \sim 3000 \text{ \AA}/\text{min}$  (ここでは  $2000 \text{ \AA}/\text{min}$ )) で形成することで、実現される。具体的には、本実施形態では、第 1 ゲート絶縁膜 66a は、Si-H 結合密度が  $5.63 \times 10^{19} \text{ bonds}/\text{cm}^3 \sim 1.87 \times 10^{23} \text{ bonds}/\text{cm}^3$  とされ、第 2 ゲート絶縁膜 66b は、Si-H 結合密度が  $1.70 \times 10^{22} \text{ bonds}/\text{cm}^3$  より大きいとされたものである。なお、ゲート絶縁膜 66 を構成する材料は、例えば窒化シリコン ( $\text{SiN}_x$ ) の他、酸化シリコン ( $\text{SiO}_x$ ) 等であり、プラズマ CVD 法により成膜を行うものとしている。
- [0029] ソース電極 63 及びドレイン電極 64、ならびにソース電極 63 と接続されたソース配線 80 は、導電膜 61、62 が積層した構成を備える。下層側の導電膜 61 は、例えばリン (P) 等の n 型不純物を高濃度にドーピングしたアモルファスシリコン ( $n^+ \text{Si}$ ) 等で形成することができる。上層側の導電膜 62 は、例えばアルミニウム (Al) の他、クロム (Cr)、タンタル (Ta)、チタン (Ti) 等の金属膜単体又はこれらの金属窒化物との積層膜で形成することができる。
- [0030] また、ソース電極 63 及びドレイン電極 64 上には層間絶縁膜 (パッシベーション膜) 70 が形成されている。ドレイン電極 64 は、この層間絶縁膜 70 に形成されたコンタクトホール 68 を介して、画素電極 44 に接続され

ている。なお、層間絶縁膜 70 は、例えば窒化シリコン ( $\text{SiN}_x$ ) 等の無機絶縁膜の他、アクリル系樹脂膜等で形成することができる。

[0031] 以上のような本実施形態の液晶表示装置 10 では、ゲート絶縁膜 66 として、高速度の成膜条件により形成した第 2 ゲート絶縁膜 66b を有してなる構成としたため、成膜速度の短縮化を図り、生産性向上に寄与することが可能なものとなっている。また、この高速度の成膜条件により形成した第 2 ゲート絶縁膜 66b は、相対的にゲート絶縁膜から半導体層への電子のトラップが少なく、したがって半導体膜 67 からホールがゲート絶縁膜 66 側に移動・トラップされ難いものとなっている。

[0032] 具体的に、比較例として、ゲート絶縁膜として第 2 ゲート絶縁膜 66b と同様の高速度成膜条件 ( $2000 \text{ \AA}/\text{min} \sim 3000 \text{ \AA}/\text{min}$  (ここでは  $2000 \text{ \AA}/\text{min}$ )) で、 $\text{Si-H}$  結合密度が  $1.70 \times 10^{22} \text{ bonds}/\text{cm}^3$  より大きいものを単一膜で形成した場合に、その  $V-I$  特性を検討したところ、図 7 に示すように、閾値電圧の値がプラス側にシフトする結果が得られた。この結果からも、このような高速度の成膜条件でゲート絶縁膜を形成すると、相対的にマイナス電荷が溜まり易く、これをゲート電極 65 と接して形成することで閾値電圧のシフトが生じてしまうことが分かる。なお、図 7 において、実線が  $2000 \text{ \AA}/\text{min}$  の条件で成膜したゲート絶縁膜を有する薄膜トランジスタに関する初期  $V-I$  特性で、破線が閾値電圧がシフトした薄膜トランジスタに関する  $V-I$  特性である。

[0033] 一方、ゲート絶縁膜 66 のゲート電極 65 側には、相対的に低速度の成膜条件により形成した第 1 ゲート絶縁膜 66a が配されている。この条件により形成した第 1 ゲート絶縁膜 66a は、相対的にゲート電極からゲート絶縁膜への電子のトラップが少なく、したがってゲート電極 65 からゲート絶縁膜 66 側にマイナス電荷が移動・トラップされ難いものとなっている。

[0034] 具体的に、比較例として、ゲート絶縁膜として第 1 ゲート絶縁膜 66a と同様の低速度成膜条件 ( $600 \text{ \AA}/\text{min} \sim 1200 \text{ \AA}/\text{min}$  (ここでは  $1000 \text{ \AA}/\text{min}$ )) で、 $\text{Si-H}$  結合密度が  $5.63 \times 10^{19} \text{ bonds}$

$s/cm^3 \sim 1.87 \times 10^{23} \text{ bonds}/cm^3$ となるものを単一膜で形成した場合に、そのV-I特性を検討したところ、図6に示すように、閾値電圧の値がマイナス側にシフトする結果が得られた。この結果からも、このような低速度の成膜条件でゲート絶縁膜を形成すると、相対的にプラス電荷が溜まりやすく、これを半導体膜67と接して形成することで閾値電圧のシフトが生じてしまうことが分かる。なお、図6において、実線が $1000 \text{ \AA}/\text{min}$ の条件で成膜したゲート絶縁膜を有する薄膜トランジスタに関する初期V-I特性で、破線が閾値電圧がシフトした薄膜トランジスタのV-I特性である。

[0035] このように、本実施形態では、ゲート絶縁膜66を単一膜でなく、ゲート電極66側から低速成膜条件で第1ゲート絶縁膜66aを形成した後、その上に第2ゲート絶縁膜66bを積層する態様で構成したため、ゲート絶縁膜66を挟んだゲート電極65と半導体層67との間において内部電界が生じ難く、図8に示すように、当該薄膜トランジスタ60において閾値電圧のシフトが生じ難く、誤作動が生じ難いものとなっている。なお、図8において、実線が第1ゲート絶縁膜66aを $Si-H$ 結合密度が $5.63 \times 10^{19} \text{ bonds}/cm^3 \sim 1.87 \times 10^{23} \text{ bonds}/cm^3$ となる条件で成膜し、第2ゲート絶縁膜66bを $Si-H$ 結合密度が $1.70 \times 10^{22} \text{ bonds}/cm^3$ より大きくなる条件で成膜してなるゲート絶縁膜66を有する薄膜トランジスタに関する初期V-I特性で、破線が閾値電圧がわずかにシフトした薄膜トランジスタのV-I特性（複数サンプル）である。

[0036] ここで、上述のような成膜条件の相違に基づいて、帯電特性に相違を有する第1ゲート絶縁膜66aと第2ゲート絶縁膜66bとの膜質をFT-IRやRBSにより詳細に検討したところ、次のような構成を有していることが分かった。

まず、第1ゲート絶縁膜66aは、 $Si-H$ 結合密度が $5.63 \times 10^{19} \text{ bonds}/cm^3 \sim 1.87 \times 10^{23} \text{ bonds}/cm^3$ であった。

一方、第2ゲート絶縁膜66bは、 $Si-H$ 結合密度が $1.70 \times 10^{22}$

bonds/cm<sup>3</sup>より大きかった。

このことより、膜中にSiが多いと弱いSi-Si結合が多く存在することになり、光により劣化しやすく、欠陥を生成しやすくなることが分かる。

[0037] 以上、本発明に係る実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではなく、以下のような形態も本発明に含まれる。

例えば、本実施形態では、本発明の半導体装置として逆スタガ型の薄膜トランジスタ60を例示したが、例えば図9に示すようなスタガ型（トップゲート型）の薄膜トランジスタ60aにも本発明の構成を採用することができる。つまり、ガラス基板41上に半導体膜670を形成し、半導体膜670上に高速度の成膜条件で第2ゲート絶縁膜66bを形成した後、低速度の成膜条件で第1ゲート絶縁膜66aを形成してゲート絶縁膜66とし、そのゲート絶縁膜66上にゲート電極65を形成することで、本発明の「製造効率の向上」と「誤動作が少なく信頼性の高い半導体装置の提供」の作用効果を奏することが可能である。

### 符号の説明

[0038] 10…液晶表示装置（液晶装置）、11…液晶パネル、12…バックライト装置、60…薄膜トランジスタ（半導体装置）、65…ゲート電極、66…ゲート絶縁膜、66a…第1ゲート絶縁膜、66b…第2ゲート絶縁膜、67…半導体膜

## 請求の範囲

- [請求項1]           ゲート電極と、  
半導体膜と、  
前記ゲート電極と前記半導体膜との間に形成されたゲート絶縁膜と、  
を備え、  
前記ゲート絶縁膜が、前記ゲート電極側から第1ゲート絶縁膜と第2ゲート絶縁膜を有してなり、  
前記第1ゲート絶縁膜は、前記第2ゲート絶縁膜よりも相対的にゲート電極からゲート絶縁膜への電子のトラップが少ない絶縁膜からなり、  
前記第2ゲート絶縁膜は、前記第1ゲート絶縁膜よりも相対的にゲート絶縁膜から半導体層への電子のトラップが少ない絶縁膜からなることを特徴とする半導体装置。
- [請求項2]           前記第2ゲート絶縁膜は、前記第1ゲート絶縁膜よりも相対的に高速度で成膜されてなることを特徴とする請求項1に記載の半導体装置。
- [請求項3]           前記第1ゲート絶縁膜は、 $\text{Si-H}$ 結合密度が $5.63 \times 10^{19} \text{ bonds/cm}^3 \sim 1.87 \times 10^{23} \text{ bonds/cm}^3$ とされ、  
前記第2ゲート絶縁膜は、 $\text{Si-H}$ 結合密度が $1.70 \times 10^{22} \text{ bonds/cm}^3$ より大きいことを特徴とする請求項1又は請求項2に記載の半導体装置。
- [請求項4]           ゲート電極を形成する工程と、  
ゲート絶縁膜を形成する工程と、  
半導体膜を形成する工程と、を含み、  
前記ゲート絶縁膜を形成する工程は、前記ゲート電極側に第1ゲート絶縁膜を形成する第1ゲート絶縁膜形成工程と、前記半導体膜側に第2ゲート絶縁膜を形成する第2ゲート絶縁膜形成工程と、を含み、  
前記第2ゲート絶縁膜形成工程は、前記第1ゲート絶縁膜の成膜速

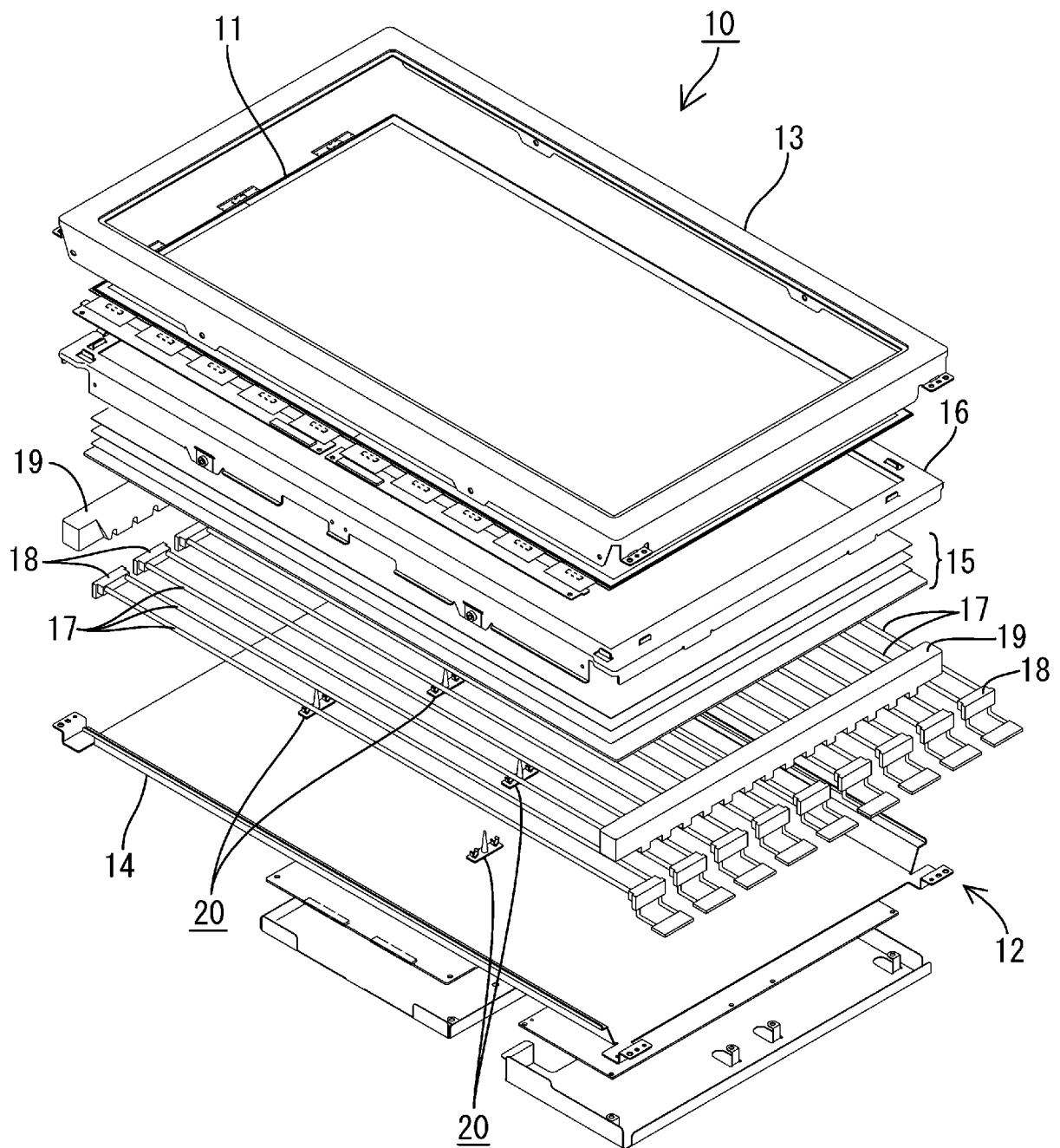
度よりも相対的に高速度の条件で成膜を行うことを特徴とする半導体装置の製造方法。

[請求項5] 前記第1ゲート絶縁膜形成工程は、Si-H結合密度が $5.63 \times 10^{19} \text{ bonds/cm}^3 \sim 1.87 \times 10^{23} \text{ bonds/cm}^3$ となる成膜条件で成膜を行い、前記第2ゲート絶縁膜形成工程は、Si-H結合密度が $1.70 \times 10^{22} \text{ bonds/cm}^3$ より大きくなる成膜条件で成膜を行うことを特徴とする請求項4に記載の半導体装置の製造方法。

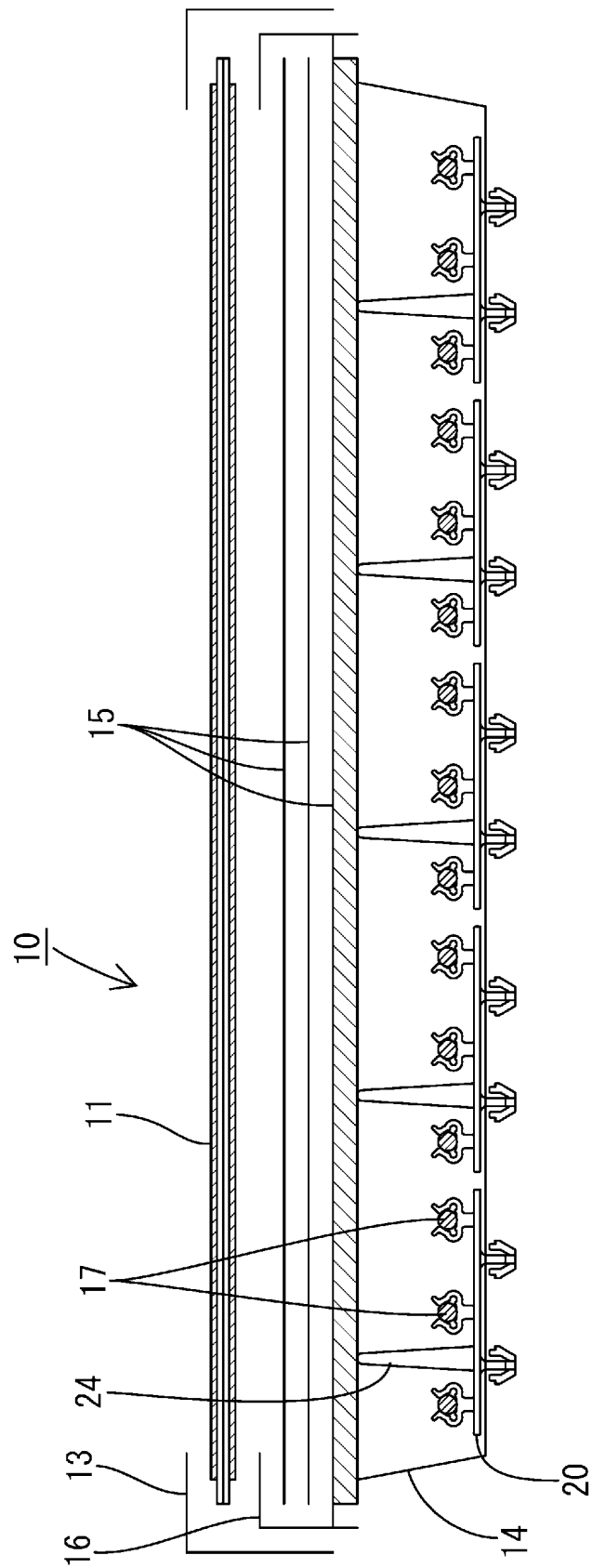
[請求項6] 素子基板と対向基板との間に液晶層を挟持してなる液晶装置であって、

前記素子基板は、請求項1ないし請求項3のいずれか1項に記載の半導体装置をスイッチング素子として備えることを特徴とする液晶装置。

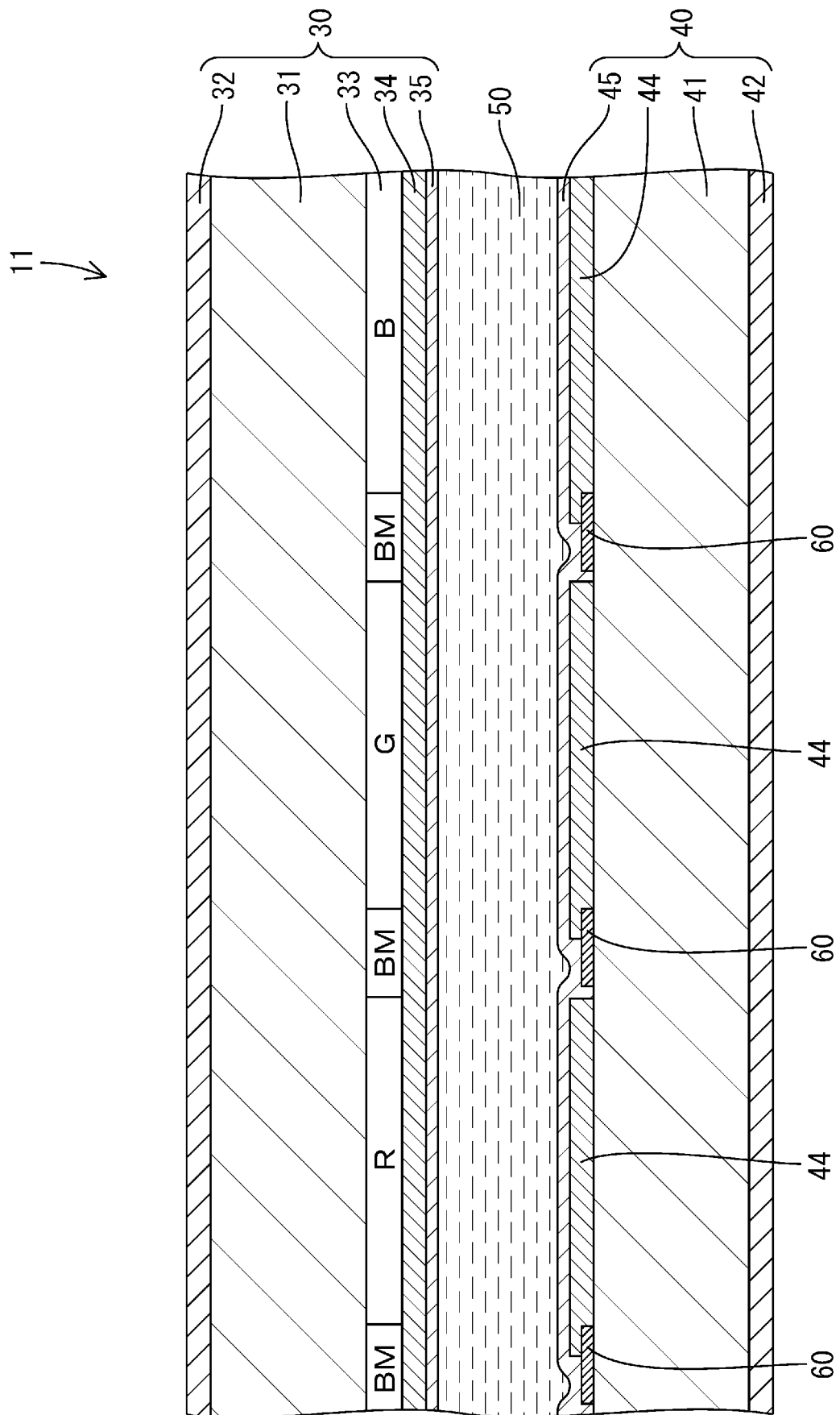
[図1]



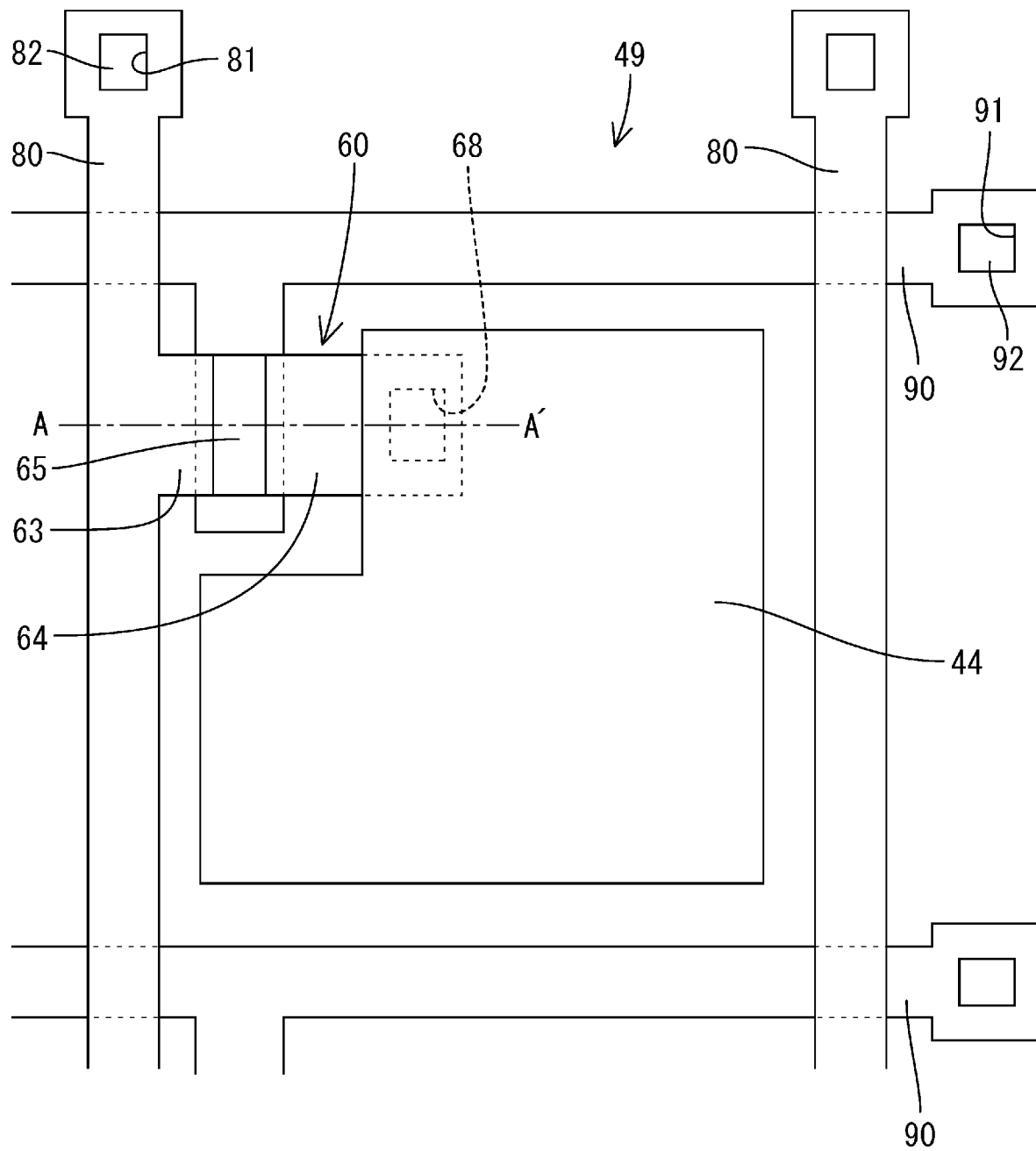
[図2]



[図3]

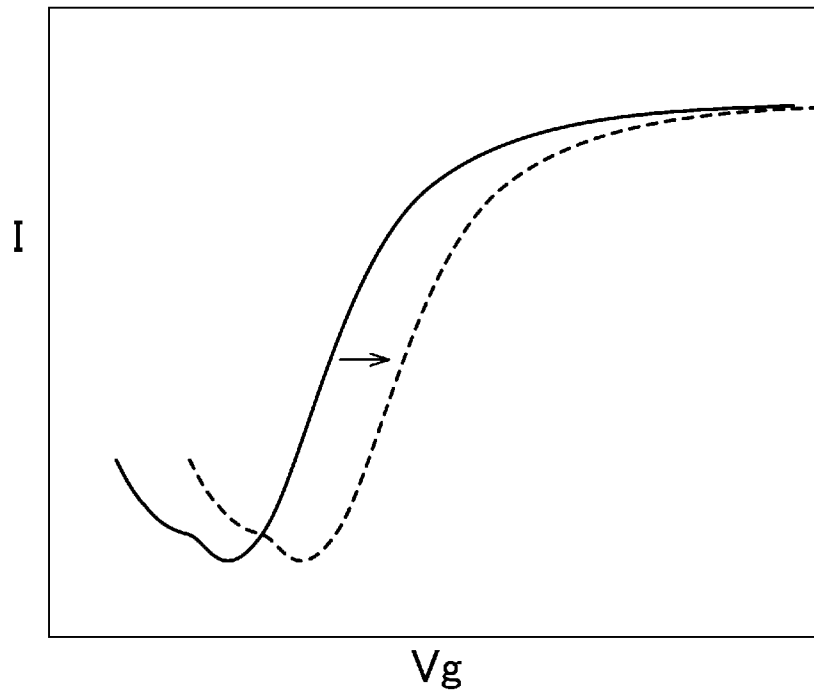


[図4]

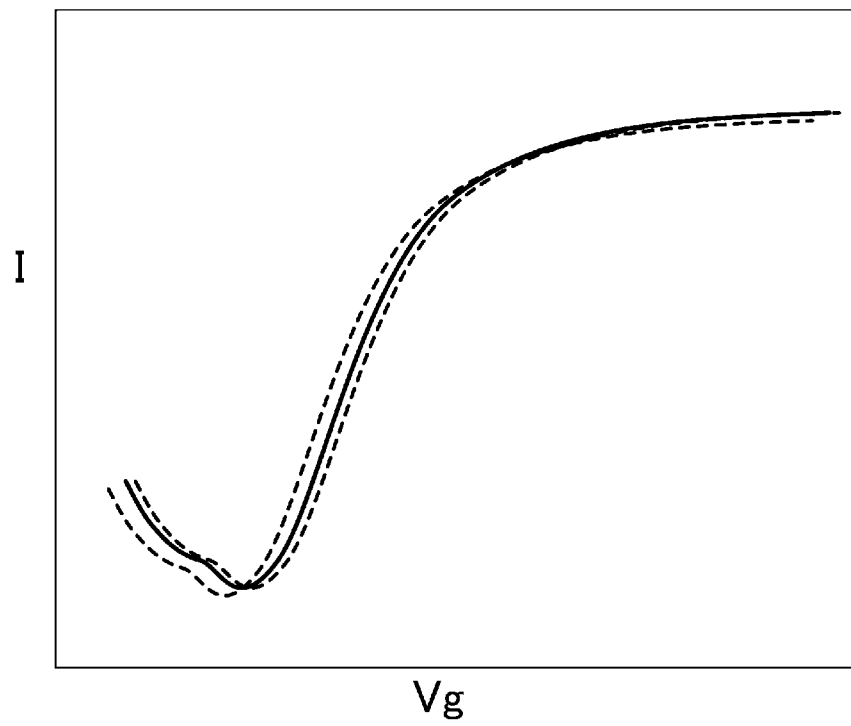




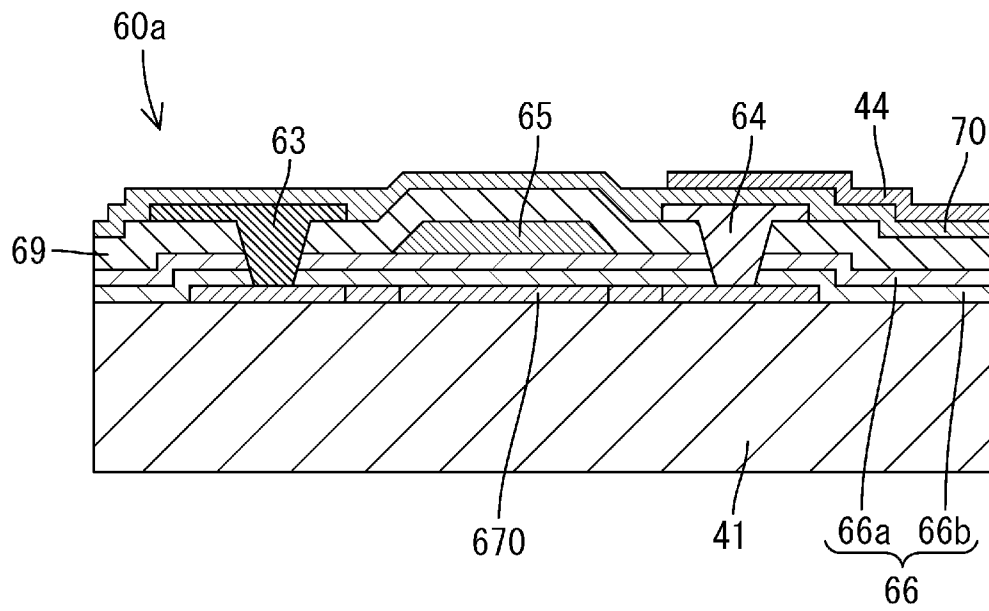
[図7]



[図8]



[図9]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068874

## A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/205(2006.01)i,  
H01L21/283(2006.01)i, H01L21/316(2006.01)i, H01L21/318(2006.01)i,  
H01L21/336(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, H01L21/205, H01L21/283, H01L21/316, H01L21/318,  
H01L21/336, H01L29/423, H01L29/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2009 |
| Kokai Jitsuyo Shinan Koho | 1971-2009 | Toroku Jitsuyo Shinan Koho | 1994-2009 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                  | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>Y    | JP 07-162001 A (Asahi Glass Co., Ltd.),<br>23 June 1995 (23.06.1995),<br>paragraphs [0018], [0020], [0025]<br>(Family: none)        | 1, 3, 5, 6<br>2, 4    |
| A         | JP 08-078694 A (Semiconductor Energy Laboratory<br>Co., Ltd.),<br>22 March 1996 (22.03.1996),<br>paragraph [0010]<br>& US 5840600 A | 1-6                   |
| Y         | JP 08-111531 A (Applied Materials Inc.),<br>30 April 1996 (30.04.1996),<br>paragraph [0019]<br>& US 5441768 A                       | 2, 4                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
09 December, 2009 (09.12.09)

Date of mailing of the international search report  
22 December, 2009 (22.12.09)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068874

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 does not have a special technical feature, since the invention is disclosed in JP 07-162001 A (Asahi Glass Co., Ltd.), 23 June 1995 (23.06.1995), paragraphs 0018, 0020 and 0025, (Family: none), which is found in this search.

As a conclusion, there is no matter common to all of the claims.

Therefore, this international application does not satisfy the requirement of unity of invention.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

### Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

## A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/205(2006.01)i, H01L21/283(2006.01)i, H01L21/316(2006.01)i, H01L21/318(2006.01)i, H01L21/336(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, G02F1/1368, H01L21/205, H01L21/283, H01L21/316, H01L21/318, H01L21/336, H01L29/423, H01L29/49

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 0 9 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 0 9 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 0 9 年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                  | 関連する<br>請求項の番号 |
|-----------------|------------------------------------------------------------------------------------|----------------|
| X               | JP 07-162001 A (旭硝子株式会社) 1995.06.23,<br>段落 0 0 1 8、0 0 2 0 及び 0 0 2 5 (ファミリーなし)    | 1、3、5、<br>6    |
| Y               |                                                                                    | 2、4            |
| A               | JP 08-078694 A (株式会社半導体エネルギー研究所) 1996.03.22,<br>段落 0 0 1 0 & US 5840600 A          | 1 ~ 6          |
| Y               | JP 08-111531 A (アプライド マテリアルズ インコーポレイテッ<br>ド) 1996.04.30, 段落 0 0 1 9 & US 5441768 A | 2、4            |

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 1 2 . 2 0 0 9

国際調査報告の発送日

2 2 . 1 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

綿引 隆

4 M

4 6 6 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項1に係る発明は、調査の際に発見したJP 07-162001 A（旭硝子株式会社）1995. 06. 23, 段落0018、0020及び0025（ファミリーなし）に開示されているため、特別な技術的特徴を有しない。

結果として、すべての請求項に共通する特別な技術的特徴は存在しない。

よって、この国際特許出願は、発明の単一性の要件を満たしていない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。