公告本

申請日期	87.7.21
案號	87111882
類別	H01L 21/70, 21/82

（以上各欄由本局填註）

A4
C4

418522

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	邏輯混成記憶體
	英文 日文	"MEMORY HYBRIDIZED WITH LOGIC CIRCUIT" ロジック混載メモリ
二、發明 ~~創作~~ 人	姓名	1.矢部 友章 2.宮野 信治
	國籍	1-2.均日本
	住、居所	1.日本國神奈川縣藤澤市鵠沼花澤町11-8-101 2.日本國神奈川縣橫濱市西區久保町13-16
三、申請人	姓名（名稱）	日商東芝股份有限公司
	國籍	日本
	住、居所（事務所）	日本國神奈川縣川崎市幸區堀川町72番地
	代表人姓名	西室 泰三

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

A19522

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
∨日本	1997年7月25日	特願平9-200132	☑有□無主張優先權
∨日本	1998年6月30日	特願平10-185299	☑有□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 1 ）

[發明所屬之技術領域]

本發明係關於就記憶資料之記憶體和資料進行預定演算的邏輯集成在單晶片上的邏輯混成記憶體之記憶體宏塊之構成及設計手法。

[習知之技術]

圖40係顯示邏輯混成記憶體之晶片上的佈局。

晶片10，係由邏輯部11，記憶體部(以下，稱爲記憶體宏塊)12及輸出入部(以下，稱爲I/O部)13所佔據。記憶體宏塊12，係在設計具有作爲記憶體之功能的功能塊(IP: Intellectual Property智慧財產權)或是百萬單元(mega cell)之後，藉由將該功能塊或是百萬單元以原狀配置在晶片10所形成。

在晶片10上，至少配置有一個記憶體宏塊12。如圖41所示，在晶片10上，除了記憶體宏塊12之外，亦可配置PLL電路等具有預定功能的功能塊(或是百萬單元)14a、14b。在晶片10之中，配置有記憶體宏塊12及功能塊14a、14b之區域以外的區域，係構成邏輯部11，該邏輯部11形成有用以執行預定演算的電路。

邏輯部11，係依閘陣列或標準單元等的設計手法而設計者。

記憶體宏塊12，係在記憶體宏塊12由SRAM(靜態隨機存取記憶體)所構成的情況，可藉由將記憶單元陣列利用CAD處理自動配置成預定的列數及預定的行數之矩陣狀的自動設計手法來設計。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 2 ）

另一方面，記憶體宏塊12係由百萬位元(以下，稱爲1Mb)以上之記憶容量的DRAM(動態隨機存取記憶體)所構成的情況，由於DRAM之動作邊限與位元線或字線之寄生容量有很大的關聯，所以在記憶體宏塊12之設計上無法採用上述之自動設計手法。

因此，習知之記憶體宏塊12在由持有1Mb以上之記憶容量的DRAM所構成的情況，一般須由設計者以手設計之方式預先設計成爲記憶容量之最小單位的記憶體宏塊即所謂的副記憶體宏塊，再藉由所謂按照邏輯混成記憶體之規格(列數、行數、輸出入數(I/O)、記憶容量等)以必要的數量組合副記憶體宏塊的設計手法來形成。若依該手法，則由於只要組合副記憶體宏塊就可形成記憶體宏塊，所以以很短的設計期間(TAT：處理時間(Turn-Around Time))就可設計記憶體宏塊。各個副記憶體宏塊，係以一個獨立DRAM來動作者，例如，可將一個副記憶體宏塊以原狀當作普通的DRAM來製品化。

圖42係顯示習知之記憶體宏塊之平面佈置圖的一例。

該記憶體宏塊12，各個例如係由具有2Mb記憶容量之DRAM功能的四個副記憶體宏塊15a~15d所構成。各個副記憶體宏塊由於具有2Mb記憶容量之DRAM功能，所以記憶體宏塊12，就成爲8(2×L)Mb記憶容量之DRAM(L係指副記憶體宏塊之數，在此係舉L=4之情況爲例)。

圖43係顯示圖42所示之副記憶體宏塊15a的方塊圖。

在副記憶體宏塊15a內，由於係以一個獨立的DRAM來動

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 3 ）

作，所以包含有DRAM所必需的所有電路。換句話說，在副記憶體宏塊15a內，各自包含有記憶單元陣列20、感測放大器21、列解碼器22、行解碼器23、輸出入資料緩衝器24、列位址緩衝器25、行位址緩衝器26、列系控制電路27、行系控制電路28、基板電位產生電路29、字線電位產生電路30、位元線電位產生電路31、感測放大器電源驅動器基準電位產生電路32、周邊電路電源電位產生電路33及感測放大器電源驅動器電晶體34。

作爲其一例，外部電源VEXT約爲3.3V，基板電板VBB約爲-1V，字線電位VPP約爲4.3V，位元線電位VBL約爲1.3V，感測放大器電源電位VAA約爲2.5V，周邊電路電源電位VINT約爲2.8V。副記憶體宏塊15b~15d亦完全爲同樣構成。

在組合複數個圖43所示之副記憶體宏塊15a，以構成一個記憶體宏塊的情況，各個副記憶體宏塊15a~15d，由於包含有由列位址緩衝器25、行位址緩衝器26、列系控制電路27、行系控制電路28、基板電位產生電路29、字線電位產生電路30、位元線電位產生電路31、感測放大器電源驅動器基準電位產生電路32、周邊電路電源電位產生電路33及感測放大器電源驅動器電晶體34所構成的電路系，所以記憶體宏塊必須只以副記憶體宏塊15a的個數份來設計該電路系。

換句話說，由於副記憶體宏塊15a之數量越增加，則上述電路就會越增加，所以會招致記憶體宏塊之面積增大。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 4 ）

由列位址緩衝器25、行位址緩衝器26、列系控制電路27、行系控制電路28、基板電位產生電路29、字線電位產生電路30、位元線電位產生電路31、感測放大器電源驅動器基準電位產生電路32、周邊電路電源電位產生電路33及感測放大器電源驅動器電晶體34所構成的上述電路系，沒有必要各自設在副記憶體宏塊15a~15d上，只要在一個記憶體宏塊12上存在一個就夠了。

作爲解決該缺點之設計手法，有提案了以下之手法。

圖44之設計手法，係在日本專利特願平7-13738號(1995年1月31日申請)中所揭示者。

該手法，係藉由用以實現所希望之記憶容量的複數個，例如四個副記憶體宏塊16a~16d、一個控制部(控制宏塊)17及配線部18之組合所構成者。若依據該手法，則由於在複數個副記憶體宏塊16a~16d上存在有共通使用的控制宏塊17，所以可防止記憶體宏塊之不必要的面積增大。

如圖45所示之其他的設計手法，係在T. Watanabe et al. A Modular Architecture for a 6.4/Gbyte/s, 8-Mb DRAM-Integrated Media Chip, IEEE J. Solid-State Circuits, vol. 32, pp. 635-641, May 1997.中所揭示者。

該設計手法，係藉由複數個記憶體宏塊(記憶庫)42、預定電位產生電路43、感測放大器44及資料輸出入部45之組合而構成記憶體宏塊41者。又，在晶片40上，除了記憶體宏塊41之外，配置有記憶體宏塊41之控制部(控制邏輯)46、及邏輯部(演算電路)47。若依據該手法，則預定

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 5 ）

電位產生電路43、感測放大器44及資料輸出入部45及控制部46並非被設在複數個記憶體宏塊(記憶庫)42之各個上，而是共同設置一個，所以可防止因記憶體宏塊42之增加而造成記憶體宏塊之不必要的面積增大。

[發明所欲解決之問題]

若依據圖44及圖45之設計方法，則由於只要調節副記憶體宏塊或是記憶體塊之數量即可提供具有所希望之記憶容量的記憶體宏塊，所以可縮短邏輯混成記憶體之設計期間。又，對副記憶體宏塊或是記憶體塊而言，由於在所有的副記憶體宏塊或是記憶體塊上包含有可共通化的電路，所以在副記憶體宏塊或是記憶體塊之數量增加的情況時可迴避記憶體宏塊大到必要以上的事態發生。

然而，當因邏輯混成記憶體之規格(列數、行數、I/O數、記憶容量等)而使副記憶體宏塊或是記憶體塊之數量改變時，例如，由於記憶體動作所需要的位址信號之數量亦會開始改變，所以爲了配合此就必需重新設計位址緩衝器或位址解碼器等的預定電路。

又，在習知中，對於作爲記憶容量比記憶體陣列之實質擴張單位的1Mb記憶體陣列還小的記憶體宏塊，例如64千位元(以下，稱爲Kb)、32Kb之記憶體宏塊的規格而言，係藉由設計變更1Mb記憶體陣列來實現。然而，記憶體陣列本身的設計變更係隨著基本的變更而改變者且不可藉由CAD操作做自動設計，較需花費時間。又，輸出入資料緩衝器之I/O數亦必需按照被設計變更的記憶體陣列之DQ線

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 6 ）

偶數而做改變。

本發明之目的係在於提案一種記憶體宏塊之記憶容量即使因邏輯混成記憶體之規格而變化，亦可既簡單且自動地進行隨之變化之設計變更的記憶體宏塊內之各電路的配置，同時提案可貢獻於實際設計期間之縮短或面積架空(over-head)之縮小的設計方法。

[解決問題之手段]

爲了達成上述目的，本發明之邏輯混成記憶體之記憶體宏塊，在單晶片上集成有記憶體宏塊和邏輯部，其具備有：控制塊，具有緩衝由前述邏輯部所輸入之外部位址信號並生成內部位址信號的機構；至少一個記憶體陣列塊，具有配置成行列狀之各個N位元記憶容量之數數個記憶單元陣列、連接在前述記憶單元陣列上用以放大記憶單元之資料的感測放大器、接受由前述控制塊之內部位址信號生成機構所生成的內部位址信號用以選擇由內部位址信號所指定的行列上之位址之記憶單元的解碼器、及資料線；以及輸出入資料緩衝器塊，介以前述資料線接受由前述至少一個記憶體陣列塊之前述解碼器所選擇之記憶單元的資料並輸出至前述邏輯部上，藉此前述記憶體宏塊具有N位元之整數倍的記憶容量。

前述至少一個記憶體陣列塊係在行方向上互相鄰接配置有複數個，前述資料線係將前述複數個記憶體陣列塊之前述記憶單元陣列上部設在行方向上，而前述複數個記憶體陣列塊係共享前述資料線。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7 ）

前述至少一個記憶體陣列塊係在行方向上互相鄰接配置有複數個，而前述複數個記憶體陣列塊之互相鄰接之至少一對記憶體陣列塊係共享前述感測放大器。

前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝器，前述控制塊更進一步具備有複數個開關，係爲了使前述外部位址信號和前述內部位址信號的對應關係與前述記憶體陣列塊之位址分配得以一致而對應前述外部位址信號和前述複數個位址緩衝器之間而設者。

前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝器，前述控制塊更進一步具備有複數個開關，係爲了使前述外部位址信號和前述內部位址信號的對應關係與前述記憶體陣列塊之位址分配得以一致而在使所希望之個數的位址緩衝器活性化之下對應前述外部位址信號和前述複數個位址緩衝器之間而設者。

前述記憶體宏塊更具備有與前述記憶體陣列塊之個數對應之個數的記憶體陣列電源驅動器塊，記憶體陣列電源驅動器塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的機構。

前述記憶體陣列塊係具備有接受外部電源電壓而生成使記憶單元陣列動作之內部電源電壓的機構。

前述記憶體陣列電源驅動器塊係具備有接受外部電源電壓生成使記憶體陣列動作之內部電源電壓的電源降壓電晶體。

前述記憶體陣列塊係具備有接受外部電源電壓而生成使

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 8 ）

記憶體陣列動作之內部電源電壓的電源降壓電晶體。

前述記憶體陣列塊係具備有接受外部電源電壓，而生成供給至前述記憶體陣列塊、前述輸出入資料緩衝器塊、及前述控制塊之直流電源電位的電源電位生成塊。

前述記憶體宏塊更具備有電源線塊，係鄰接配置於前述複數個記憶體陣列塊之列方向的端部上，且含有電源線。

前述複數個開關係按照前述對應關係而被選擇連接。

前述開關，係由金屬配線層所構成，且按照前述對應關係而被選擇切斷。

前述開關，係由接觸配線層所構成，且按照前述對應關係而被選擇形成。

前述記憶單元陣列係由配置成行列狀的DRAM所構成。

前述複數個記憶體陣列塊，係具備有記憶體陣列塊控制部，包含有列解碼器、行解碼器及使前述感測放大器動作的驅動器；以及至少一個記憶單元陣列，至少配置在前述記憶體陣列塊控制部之列方向的一端上。

本發明之邏輯混成記憶體之記憶體宏塊，在單晶片上集成有記憶體宏塊和邏輯部，其係由控制塊、至少一個記憶體陣列塊和複數個輸出入資料緩衝器塊所構成，前述控制塊具備有緩衝由前述邏輯部所輸入之外部位址信號並生成內部位址信號的機構，前述至少一個記憶體陣列塊係具備有解碼器，在列方向上配置有P個由配置成行列狀之M位元記憶單元陣列所構成的副記憶單元陣列塊，接受由前述控制塊之內部位址信號生成機構所生成的內部位址信號而

經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 9 ）

選擇由內部位址信號所指定的行列上之位置的記憶單元，前述副記憶體陣列塊更具備有連接在前述記憶單元上用以放大記憶單元之資料的感測放大器和用以讀出前述記憶單元陣列所選擇之行的資料之Q位元寬幅的資料線，前述複數個輸出入資料緩衝器塊之各個係具備有介以前述資料線而接受放大由前述至少一個記憶體陣列塊之前述解碼器所選擇的記憶單元之資料並輸出至前述邏輯部上的機構，藉此前述記憶體宏塊具有M x P位元之整數倍的記憶容量和Q x P位元之輸出入數。

前述複數個記憶體陣列塊之各個係具備有接受外部電源電壓而生成前述感測放大器之內部電源電壓的電源降壓電晶體。

前述至少一個記憶體陣列塊係在行方向上互相鄰接配置有複數個，前述資料線係將前述複數個記憶體陣列塊之前述記憶單元陣列上部設在行方向上，而前述複數個記憶體陣列塊係共享前述資料線。

前述至少一個記憶體陣列塊係在行方向上鄰接配置有複數個，而前述複數個記憶體陣列塊之互相鄰接之至少一對記憶體陣列塊係共享前述感測放大器。

前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝器，前述控制塊更進一步具備有複數個開關，係爲了使前述外部位址信號和前述內部位址信號的對應關係與前述記憶體陣列塊之位址分配得以一致而對應前述外部位址信號和前述複數個位址緩衝器之間而設者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 10）

前述複數個開關係按照前述對應關係而被選擇連接。

前述開關，係由金屬配線層所構成，且按照前述對應關係而被選擇切斷。

前述開關，係由接觸配線層所構成，且按照前述對應關係而被選擇形成。

前述記憶體宏塊更具備有與前述記憶體陣列塊之個數對應之個數的記憶體陣列電源驅動器塊，記憶體陣列電源驅動器塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的機構。

前述記憶體陣列塊係具備有接受外部電源電壓而生成使記憶單元陣列動作之內部電源電壓的機構。

前述記憶體陣列電源驅動器塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的電源降壓電晶體。

前述記憶體陣列塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的電源降壓電晶體。

前述記憶單元陣列係由配置成行列狀的DRAM所構成。

本發明在單晶片上集成有記憶體宏塊和邏輯部之邏輯混成記憶體之設計手法，記憶體宏塊具備有，控制塊，具有緩衝由前述邏輯部所輸入之外部位址信號並生成內部位址信號的機構；至少一個記憶體陣列塊，具有配置成行列狀之各個N位元記憶容量之複數個記憶單元陣列、連接在前述記憶單元陣列上用以放大記憶單元之資料的感測放大器、接受由前述控制塊之內部位址信號生成機構所生成的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 11）

內部位址信號用以選擇由內部位址信號所指定的行列上之位址之記憶單元的解碼器、及資料線；以及輸入資料緩衝器塊，介以前述資料線接受由前述至少一個記憶體陣列塊之前述解碼器所選擇之記憶單元的資料並輸出至前述邏輯部上，該設計手法包含有決定滿足前述記憶體宏塊之規格的前述記憶體陣列塊之數L(L爲自然數)的步驟、及按照程式利用自動處理以作成將被決定的L個前記憶體陣列塊鄰接配置在前述輸出入資料緩衝器塊及前述控制塊上的佈局資料之步驟，藉此前述記憶體宏塊具有N x L位元之整數位的記憶容量。

前述至少一個記憶體陣列塊係在行方向上鄰接配置有複數個，前述資料線係將前述複數個記憶體陣列塊之前述記憶單元陣列上部設在行方向上，而前述複數個記憶體陣列塊係共享前述資料線。

前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝器，前述控制塊係對應於前述外部位址信號和前述複數個位址緩衝器之間且更具備有複數個開關，爲了使前述外部位址信號和前述內部位址信號的對應關係與前述記憶體陣列塊之位址分配得以一致而選擇連接前述複數個開關者。

前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝器，前述控制塊係對應於前述外部位址信號和前述複數個位址緩衝器之間且更具備有複數個開關，爲了使前述外部位址信號和前述內部位址信號的對應關係與前述記

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 12）

憶體陣列塊之位址分配得以一致而選擇連接前述複數個開關且使所希望之個數的位址緩衝器活性化者。

前述記憶體宏塊更具備有與前述記憶體陣列塊之個數對應之個數的記憶體陣列電源驅動器塊，記憶體陣列電源驅動器塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的機構。

前述記憶體陣列塊係具備有接受外部電源電壓，而生成供給至前述記憶體陣列塊、前述輸出入資料緩衝器塊、及前述控制塊之直流電源電位的電源電位生成塊。

本發明之邏輯混成記憶體之設計手法，更具備有電源線塊，係鄰接配置於前述複數個記憶體陣列塊之列方向的端部上，且含有電源線。

前述記憶單元陣列係由配置成行列狀的DRAM所構成。

前述記憶體陣列塊之數L係根據前述記憶體宏塊之列數、行數、輸出入資料數、總容量之規格中之至少一個規格而決定者。

本發明在單晶片上集成有記憶體宏塊和邏輯部之邏輯混成記憶體之設計手法，記憶體宏塊係由控制塊、至少一個記憶體陣列塊和複數個輸出入資料緩衝器塊所構成，前述控制塊具備有緩衝由前述邏輯部所輸入之外部位址信號並生成內部位址信號的機構，前述至少一個記憶體陣列塊係具備有解碼器，在列方向上配置有P個由配置成行列狀之M位元記憶單元陣列所構成的副記憶單元陣列，接受由前述控制塊之內部位址信號生成機構所生成的內部位址信號

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 13）

而選擇由內部位址信號所指定的行列上之位置的記憶單元，前述副記憶體陣列塊更具備有連接在前述記憶單元上用以放大記憶單元之資料的感測放大器和用以讀出前述記憶單元陣列所選擇之行的資料之Q位元寬幅的資料線，前述複數個輸出入資料緩衝器塊之各個係具備有介以前述資料線而接受放大由前述至少一個記憶體陣列塊之前述解碼器所選擇的記憶單元之資料前輸出至前述邏輯部上的機構，該設計手法包含有決定滿足前述記憶體宏塊之規格的前述副記憶體陣列塊之數P、前述記憶體陣列塊之數L和前述輸出入資料緩衝器塊之數的步驟、及按照程式利用自動處理以作成將被決定之數的前述記憶體陣列塊P和前輸出入資料緩衝器塊鄰接配置在前述控制塊上的佈局資料之步驟，藉此前述記憶體宏塊具有M x P x L位元之整數倍的記憶容量和Q x P位元之輸出入數。

前述複數記憶體陣列塊之各個係具備有接受外部電源電壓而生成前述感測放大器之內部電源電壓的電源降壓電晶體。

前述至少一個記憶體陣列塊係在行方向上互相鄰接配置有複數個，前述資料線係將前述複數個記憶體陣列塊之前述記憶單元陣列上部設在行方向上，而前述複數個記憶體陣列塊係共享前述資料線。

前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝器，前述控制塊更進一步具備有開關，係爲了使前述外部位址信號和前述內部位址信號的對應關係與前述記

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 14）

憶體陣列塊之位址分配得以一致者。

前述記憶體宏塊更具備有與前述記憶體陣列塊之個數對應之個數的記憶體陣列電源驅動器塊，記憶體陣列電源驅動器塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的機構。

前述記憶單元陣列係由配置成行列狀的DRAM所構成。

前述副記憶體陣列塊之數P和前述輸出入資料緩衝器塊之數係根據前述記憶體宏塊之列數、行數、輸出入資料數、總容量之規格中之至少一個規格而決定者。

[發明之實施形態]

以下，一面參照圖面，一面就本發明之邏輯混成記憶體加以詳細說明。

圖1係顯示邏輯混成記憶體之平面佈置圖的一例。圖2係顯示關於本發明第一實施形態之記憶體宏塊內的平面佈置圖。

晶片10係由邏輯部11、記憶體宏塊12及I/O部13所占據。記憶體宏塊12，係在設計具有作爲記憶體之功能的功能塊(IP：智慧財產權)或是百萬單元(mega cell)之後，藉由將該功能塊或是百萬單元以原狀配置在晶片10所形成。

在晶片10上，至少配置有一個記憶體宏塊12。如圖41所示，在晶片10上，除了記憶體宏塊12之外，亦可配置PLL電路等具有預定功能的功能塊(或是百萬單元)。在晶片10之中，配置有記憶體宏塊12之區域以外的區域，係

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 15）

構成邏輯部11，該邏輯部11形成有用以執行預定演算的邏輯電路。邏輯部11，係依閘陣列或標準單元等的設計手法而設計者。

記憶體宏塊12，係與邏輯部11個別設計。記憶體宏塊12，係由L(L爲自然數)個記憶體陣列塊1-1、1-2、…1-L，直流電位生成塊2，輸出入資料緩衝器塊3，記憶體陣列電源驅動器塊4-1、4-2、..4-L 控制塊5及電源線塊6a-1、6a-2、…6a-L、6b-1、6b-2、…6b-L、7a、7b、8a、8b所構成。

記憶體宏塊12之記憶容量，係由記憶體陣列塊之數量所決定。亦即，一個記憶體陣列塊之記憶容量爲K位元(例如，1Mb)時，記憶體宏塊12之記憶容量，會成爲K x L位元(L爲記憶體陣列塊之數量)。

又，一個記憶體陣列塊之記憶容量會成爲設計階段中之記憶體宏塊12之記憶容量的最小單位。換句話說，記憶體宏塊12之記憶容量，係以K位元爲單位而可自由變更。另外，雖於後述，但是按照控制塊5之構成，可決定在設計階段可做變更的記憶容量之最大值。

記憶體陣列塊1-1、1-2、…1-L，係互相鄰接配置在行方向(位元線所延伸之方向)上。在記憶體陣列塊1-1、1-2、…1-L上，例如，配置有延伸於行方向之128對的DQ線(資料線)偶，各記憶體陣列塊之DQ線偶，係依鄰接配置上述記憶體陣列塊而互相結合。

在直流電位生成塊2上，形成有用以生成基板電位

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 16）

VBB、字線電位VPP、位元線電位VBL、感測放大器電源驅動器用之基準電位VPPA、周邊電路電源電位VINT等一定電位的電路。直流電位生成塊2，係配置在記憶體陣列塊1-1、1-2、…1-L之行方向的一端部上。

輸出入資料緩衝器塊3，係配置在記憶體陣列塊1-1、1-2、…1-L之行方向的另一端部上。記憶體陣列塊1-1、1-2、…1-L之DQ線偶，係連接在輸出入資料緩衝器塊3上。直流電位生成塊2和輸出入資料緩衝器塊3，係配置在將記憶體陣列塊1-1、1-2、…1-L夾入於其間且互相相對的位置上。

記憶體陣列電源驅動器塊4-1、4-2、…4-L，係對應記憶體陣列塊1-1、1-2、…1-L而配置。記憶體陣列電源驅動器塊4-1、4-2、…4-L，包含有將電源供給用以驅動感測放大器之驅動器上的電路(電晶體)。

將記憶體陣列電源驅動器塊4-1、4-2、…4-L對應記憶體陣列塊1-1、1-2、…1-L而配置的理由，係爲了要按照記憶單元陣列之規模(記憶容量)而可改變將電源供給用以驅動感測放大器之驅動器上的電路(電晶體)之尺寸。

亦即，例如，只有一個電源驅動器塊(電晶體)的情況時，該電晶體之尺寸，無關於記憶單元陣列之規模，通常是必需預先使之對應記憶單元陣列之規模爲最大的情況來製作。此即使在記憶體宏塊之記憶容量爲最小的情況，亦會存在大尺寸的電晶體，且面積架空會變大。

若將記憶體陣列電源驅動器塊4-1、4-2、…4-L對應記憶

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂

五、發明說明（ 17）

體陣列塊1-1、1-2、…1-L而配置的話，則由於按照記憶單元陣列之規模(記憶容量)而可改變將電源供給用以驅動感測放大器之驅動器上的電路(電晶體)之尺寸，所以可迴避該種事態發生，同時可縮短設計期間。

控制塊5，係包含有列位址選通信號/RAS、行位址選通信號/CAS及寫入信號/WE之各緩衝器。又，控制塊5，係包含有緩衝器，用以緩衝列位址信號(外部列位址信號)AR0~AR10、行位址信號(外部行位址信號)AC0~AC3，以生成內部列位址信號及內部行位址信號；以及開關，按照記憶體宏塊之記憶容量(記憶體陣列塊之數量)可將內部列位址信號之一部分(塊選擇用位址信號)固定在預定值上。該開關，由於可依金屬層(配線層)或接觸層之連接方法而自由做切換，所以在設計階段，雖可利用CAD處理而自由切換開關，但是在樣品製成後開關是不可切換的。

電源線塊6a-1、6a-2、…6a-L、6b-1、6b-2、…6b-L、7a、7b、8a、8b，係配置在記憶體陣列塊1-1、1-2、…1-L之列方向的端部上。電源線塊6a-1、6a-2、…6a-L、6b-1、6b-2、…6b-L、7a、7b、8a、8b，係將外部電源VEXT及接地電位GND供給至記憶體陣列塊1-1、1-2、…1-L，直流電位生成塊2，輸出入資料緩衝器塊3，記憶體陣列電源驅動器塊4-1、4-2、…4-L及控制塊5上。

圖3及圖4，係顯示記憶體陣列塊內之平面佈置圖。

在該記憶體陣列塊之平面佈置圖中，存在於感測放大器之兩側的記憶單元陣列係採用共享該感測放大器之共享感

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 18）

測放大器方式。

圖3係顯示圖2之記憶體陣列塊1-1的平面佈置圖。記憶體陣列塊控制部50a，包含有列解碼器、行解碼器、列系控制電路。記憶體陣列塊控制部50a之列方向的一方及另一方的端部上，各自配置有二個記憶單元陣列51-1、51-2。亦即，夾住記憶體陣列塊控制部50a且配置於記憶體陣列塊控制部50a之一方側的記憶體陣列塊1-1a係具備有記憶單元陣列51-1、51-2，同樣地，夾住記憶體陣列塊控制部50a且配置於記憶體陣列塊控制部50a之另一方側的記憶體陣列塊1-1b亦具備有記憶單元陣列51-1、51-2。

在記憶體陣列塊1-1a中，記憶單元陣列51-1、51-2，係鄰接於行方向上。在記憶單元陣列51-1、51-2連接行方向上的端部間配置有感測放大器(包含行開關)51-2，另外在記憶單元陣列51-1、51-2之行方向之另一方端部上各自配置有感測放大器(包含行開關)51-1、51-3。同樣地，在記憶體陣列塊1-1b中，記憶單元陣列51-1、51-2，係鄰接於行方向上。在記憶單元陣列51-1、51-2連接行方向上的端部間配置有感測放大器(包含行開關)51-2，另外在記憶單元陣列51-1、51-2之行方向之另一方端部上，各自配置有感測放大器(包含行開關)51-1、51-3。

在構成記憶體宏塊之記憶體陣列塊爲一個的情況時(圖2中記憶體陣列塊只有1-1的情況時)，記憶體陣列塊的平面佈置圖係採用圖3所示者。但是，在未採用所謂的共享感測放大器方式時，感測放大器(包含行開關)，只要配置

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 19）

在鄰接於行方向上的記憶單元陣列之間即可。

圖4係顯示圖2之記憶體陣列塊1-2的平面佈置圖。記憶體陣列塊控制部50b，包含有列解碼器、行解碼器、列系控制電路。記憶體陣列塊控制部50b之列方向的一方及另一方的端部上，各自配置有二個記憶單元陣列51-1、51-2。亦即，夾住記憶體陣列塊控制部50b且配置於記憶體陣列塊控制部50b之一方側的記憶體陣列塊1-2a係具備有記憶單元陣列51-1、51-2，同樣地，夾住記憶體陣列塊控制部50b且配置於記憶體陣列塊控制部50b之另一方側的記憶體陣列塊1-2b亦具備有記憶單元陣列51-1、51-2。

在記憶體陣列塊1-2a中，記憶單元陣列51-1、51-2，係鄰接於行方向上。在記憶單元陣列51-1、51-2連接行方向上的端部間配置有感測放大器(包含行開關)51-1，另外在記憶單元陣列51-2之行方向之另一方端部(I/O緩衝器側)上，配置有感測放大器(包含行開關)52-2。同樣地，在記憶體陣列塊1-2b中，記憶單元陣列51-1、51-2，係鄰接於行方向上。在記憶單元陣列51-1、51-2連接行方向上的端部間配置有52-2，另外在記憶單元陣列51-2之行方向之另一方端部(I/O緩衝器側)上，配置有感測放大器(包含行開關)52-2。其他的記憶體陣列塊1-3、…1-L之平面佈置圖由於與記憶體陣列塊1-2之平面佈置圖相同，所以其說明省略。

在記憶體陣列塊之記憶容量例如爲1Mb時，各記憶單元陣列51-1、51-2之記憶容量，就爲256Kb。256Kb之記憶單

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 20）

元陣列，例如係成爲256(列)×1024(行)構成。又，藉由將16行連接於一個DQ線偶上，就可將可同時輸出入的位元數(I/O數)設爲128位元(128 I/O)。

圖5係顯示圖3之記憶體陣列塊1-1的佈局。圖6係顯示圖4之記憶體陣列塊1-2之佈局。

本例中，係就記憶體陣列塊之記憶容量爲1Mb的情況加以說明。此情況，各記憶單元陣列51-1、51-2之記憶容量，爲256Kb，各記憶單元陣列51-1、51-2，例如成爲256(列)×1024(行)構成。

DQ線偶DQ0~DQ63、/DQ0~/DQ63，係配置在記憶體陣列塊控制部50a之一方側的記憶單元陣列51-1、51-2上，DQ線偶DQ64~DQ127、/DQ64~/DQ127，係配置在記憶體陣列塊控制部50a之另一方側的記憶單元陣列51-1、51-2上。

在一個DQ線偶上，連接有16行份的位元線偶。在16行份的位元線對偶之中，由於可授受由行選擇信號所選擇的1行份之位元線偶和1對DQ線偶之資料，所以可同時輸出入的位元數(I/O數)，會成爲128位元(128 I/O)。另外，如圖6以虛線包圍所示，記憶體陣列塊i-2之感測放大器(相當於記憶體陣列塊1-1中之感測放大器52-1)，係共享記憶體陣列塊1-1之記憶體陣列塊1-2側的52-3感測放大器。亦即，互相鄰接之一對記憶體陣列塊係共享配置於其記憶體陣列塊相互間的感測放大器。

詳言之，如圖5所示，記憶體陣列塊1-1之記憶體陣列塊1-1a，係具備有配置於行方向的二個256Kb之副記憶單

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 21）

元陣列51-1、51-2。在二個256Kb之副記憶單元陣列51-1、51-2所鄰接的端部間係配置有感測放大器・行開關52-2與該等端部鄰接。配置於端部間的感測放大器・行開關52-2係由二個256Kb之副記憶單元陣列51-1、51-2所共享。又，在行方向上配置有感測放大器・行開關51-1、51-3與二個256Kb之副記憶單元陣列51-1、51-2之各自的另一方端部鄰接。記憶單元陣列1-1之記憶體陣列塊1-1b之的構成，由於與記憶體陣列塊1-1記憶體陣列塊1-1a的構成相同，所以其說明省略。

又，如圖6所示，記憶體陣列塊1-2之記憶體陣列塊1-2a，係同樣地，具備有配置於行方向的二個256 Kb之副記憶單元陣列51-1、51-2。二個256Kb之副記憶單元陣列51-1、51-2係配置於行方向上。在二個256Kb之副記憶單元陣列51-1、51-2所鄰接的端部間係配置有感測放大器・行開關51-1與該等端部鄰接。配置於端部間的感測放大器・行開關51-1係由二個256Kb之副記憶單元陣列51-1、51-2所共享。又，在行方向上配置有感測放大器・行開關51-2與256Kb之副記憶單元陣列51-2之另一方端部鄰接。在記憶體陣列塊1-2a中，未設有相當於與記憶體陣列塊1-1a(圖5)中之副記憶體陣列塊51-1之上述另一方端部鄰接而設之感測放大器・行開關52-1的感測放大器・行開關。代之者，係共享與記憶體陣列塊1-2之一列上之記憶體陣列塊，即記憶體陣列塊1-1之記憶體陣列塊1-1a之副記憶體陣列51-2(圖5)之上述另一方端部鄰接而設的感測放大器・行開關

（請先閱讀背面之注意事項再填寫本頁）
裝 訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 22）

52-3。記憶體陣列塊1-2之記憶體陣列塊1-2b的構成，由於與記憶體陣列塊1-2之記憶體陣列塊1-2a的構成相同，所以其說明省略。就圖2之宏塊單元中之另一個記憶體陣列塊而言，由於其與圖6所示之記憶體陣列塊1-2相同所以省略其說明。

圖7係顯示共享感測放大器方式之感測放大器的構成。

在鄰接行方向之二個記憶單元陣列51之間，配置有感測放大器61及行開關62。感測放大器61，係藉由活性化信號SAP,/SAN而活性化，行開關62係藉由行選擇信號CSW而活性化。

延伸於一方之記憶單元陣列的位元線偶BL1、/BL1，係經由等化器63-1及選擇閘64-1與感測放大器61及行開關62連接。延伸於另一方之記憶單元陣列的位元線偶BL2、/BL2，係經由等化器63-2及選擇閘64-2與感測放大器61及行開關62連接。

選擇閘64-1係藉由選擇信號ISO1而活性化，選擇閘64-2係藉由選擇信號ISO2而活性化。選擇閘64-1、64-2中之任一方活性化，位元線偶BL1、/BL1或是位元線偶BL2、/BL2就會與感測放大器61及行開關62電氣連接。

圖8係顯示在圖2之直流電位生成塊中所形成的電路。

基板電位產生電路29，係用以產生記憶體宏塊中的基板電位VBB。字線電位產生電路30，係用以產生提供至由列位址信號所選擇之字線的電位VPP。位元線電位產生電路31，係爲了在將讀出資料或寫入資料引至位元線偶上

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 23）

之前將位元線偶之電位等化成預定值而設。

感測放大器電源驅動器基準電位產生電路32，係根據外部電源VEXT而產生電源VPPA。電源VPPA，係提供至如圖9所示之記憶單元陣列電源驅動器塊4上。記憶體陣列電源驅動器塊4，係具備有在汲極上接受外部電源VEXT，又在閘極上接受電源VPPA以生成內部電源電壓(感測放大器驅動器(例如參照圖14)及記憶體陣列塊之電源VAA)的電源電壓降低電晶體。感測放大器驅動器，係用以產生提供至感測放大器之信號SAP、/SAN。

周邊電路電源電位產生電路33，係產生用以驅動記憶體宏塊中之周邊電路的內部電源VINT。

周邊電路電源驅動器基準電位產生電路33，係提供外部電源VEXT而產生電源VPPI。

周邊電路電源驅動器34，係提供外部電源VEXT以作爲驅動電源，且從周邊電路電源驅動器基準電位產生電路33提供電源VPPI以產生用以驅動記憶體宏塊中之周邊電路的內部電源VINT。

周邊電路電源驅動器之詳細構成，例如，係如圖8所示，由MOS電晶體所構成。在MOS電晶體之汲極上提供外部電源VEXT以作爲驅動電源，且在閘極上從周邊電路電源驅動器基準電位產生電路33提供電源VPPI以作爲控制信號而產生內部電源VINT。

圖10係顯示圖2之輸出入資料緩衝器塊內的構成。

輸出入資料緩衝器塊，係具有128個輸出入資料緩衝器

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂

五、發明說明（ 24）

3-0~3-127。亦即，在爲如圖2所示之記憶體宏塊的情況，作爲記憶體宏塊，例如，係具有2048(列)×2048(行)之4Mb的記憶容量。又，一個記憶體陣列塊，係具有512(列)×2048(行)之1 Mb的記憶容量，一個記憶單元陣列，係具有256(列)×1024(行)之256 Kb的記憶容量。

在各記憶單元陣列中，由於係對16行(16條的位元線偶)設置1條DQ線偶，所以在2048行中，就需要128條的DQ線偶。

因而，在其爲可同時讀寫該種128位元之資料I/O0-I/O127的構成時，輸出入資料緩衝器，當然亦需要128個。各自的輸出入資料緩衝器3-0~3-127，係藉由資料讀出時被活性化的讀出活性化信號RDEN及資料寫入時被活性化的寫入活性化信號WTEN所控制。

圖11係顯示圖2之控制塊內的構成。

控制塊5，係包含有/RAS緩衝器71，列位址緩衝器72-0~72-8、73、74，/CAS緩衝器75，行位址緩衝器76-0~76-3，/WE緩衝器77及輸出入資料緩衝器控制電路78。

/RAS緩衝器71，係根據由記憶體宏塊之外部所提供的列位址選通信號/RAS以產生記憶體宏塊之內部所使用的列位址選通信號RASint。

列位址緩衝號72-0~72-8，係與列位址選通信號RASint同步且將列位址信號(外部列位址信號)AR0~AE8取入於記憶體宏塊內部，以產生內部列位址信號AR0int~AR8int、/AR0int~AR8int，該內部列位址信號AR0int~AR8int、

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 25）

/AR0int~AR8int，係提供至列解碼器上，用以選擇被選擇之記憶體陣列塊內之512列之中的1列。

列位址緩衝器73、74，係與列位址選通信號RASint同步且將列位址信號(外部列位址信號)AR9、AR10取入於記憶體宏塊內部，以產生內部列位址信號AR9int~AR10int、/AR9int~/AR10int。該內部列位址信號AR9int~AR10int、/AR9int~/AR10int，係從複數個記憶體陣列塊(例如，4個)中選擇1個記憶體陣列塊。

用以選擇記憶體陣列塊之列位址信號(塊選擇用列位址信號)之數量，係按照記憶體宏塊內之記憶體陣列塊之數量而變。換句話說，記憶體宏塊內之記憶體陣列塊之數量M與塊選擇用列位址信號之數量m，係有$M \leq 2^m$的關係。

在本例中，記憶體陣列塊，由於其係設定最大爲可設置4個，所以塊選擇用列位址信號，成爲AR9、AR10二個。另外，記憶體陣列塊之數量爲一個的情況時，由於係將塊選擇用列位址信號AR9、AR10之值固定在預定(在此爲CND)，所以只要將SW1、SW4切換成各自與接點91、92連接即可。

在此，重要之點係在於使之對應於可變更之記憶體陣列塊數(記憶容量)的最大值就可預先設計控制塊5。換句話說，在將可配置於記憶體宏塊內的最大之記憶體陣列塊數設爲Lmax時，用以選擇該等記憶體陣列塊的塊選擇用列位址信號(外部列位址信號)之數n，係預先設計爲$\log_2$ Lmax以上。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 26）

又，在使用最大數的記憶體陣列塊時(記憶體宏塊之記憶容量設爲最大時)，係切換開關SW1~SW6，以便使用所有的塊選擇用列位址信號。

又，在使用二個記憶體陣列塊時，例如係將1個塊選擇用列位址信號(外部列位址信號AR9)當作內部列位址信號AR9int、/AR9int來使用，且遮斷其他的塊選擇用列位址信號(外部列位址信號AR10)，並切換開關SW1~SW6，以便將內部列位址信號AR9int、/AR9int同時固定在預定值(例如，電源電位VINT)上。

又，在只使用一個記憶體陣列塊時，如圖12所示，將開關SW1、SW4切換至GND側以遮斷所有的塊選擇用列位址信號(外部列位址信號AR9、AR10)，另外切換開關SW2、SW3、SW5、SW6以將內部列位址信號AR9int、/AR9int、AR10int、/AR10int同時固定在預定值(例如，電源電位VINT)上。

亦即，例如，在記憶體陣列塊爲1個時，若將列位址緩衝器73、74之輸入予以接地，則列位址緩衝器73、74，通常會呈非活性化的狀態。另一方面，若將塊選擇用列位址信號AR9int、AR10int、/AR9int、/AR10int固定在電源VINT上，則記憶體陣列塊，通常會呈選擇狀態。

藉由將開關SW1~SW6切換成如上所述，就可使外部位址信號AR9、AR10和內部位址信號AR9int、AR10int、/AR9int、/AR10int之對應關係與記憶體陣列塊之位址分配一致。亦即，可使所希望個數的列位址緩衝器73、74活性

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 27 ）

化並使外部位址信號AR9、AR10和內部位址信號AR9int、AR10int、/AR9int、/AR10int之對應關係與記憶體陣列塊之位址分配一致。

開關SW1~SW6，雖亦可進行電切換，但是實際上，只有在設計時才可依CAD處理來切換，且在製作製品或者樣品之後變成不可切換。換句話說，在設計記憶體宏塊時，若決定了記憶體宏塊之記憶容量(記憶體陣列塊數)的話，則亦可決定開關SW1~SW6的連接關係。

該開關SW1~SW6，係各自如圖13(a)、13(b)、13(c)、13(d)所示，可藉由配置金屬層80a或是接觸層80b來構成。

例如，在連接同一高度面上所形成的線A和線B時，就如圖13(a)、13(b)中以虛線所包圍的框I內所示，只要利用CAD配置連接線A和線B之金屬層80a即可。同樣地，在連接同一高度面上所形成的線B和線C(電源線)時，就如圖13(c)、13(d)中以虛線所包圍的框I內所示，只要利用CAD配置連接線B和線C之金屬層80a即可。

另一方面，在連接多層構造所形成的線A和線B時，就如圖13(a)、13(b)中以虛線所包圍的框II內所示，只要利用CAD配置連接線A和線B之金屬層80b即可。又，在連接多層構造所形成的線B和線C(電源線)時，就如圖13(c)、13(d)中以虛線所包圍的框II內所示，只要利用CAD配置連接線B和線C之金屬層80b即可。

另外，藉由實際的晶圓處理，在形成金屬層80a或是接觸層80b之後，就不可能切換開關SW1~SW6。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 28 ）

設計該種開關SW1~SW6的理由，係爲了容易設計記憶體宏塊之故。換句話說，按照記憶體宏塊之規格(列數、行數、I/O數、記憶容量等)，該情況就沒有必要重新設計控制塊，且如圖13所示，只要藉由CAD處理對預先設計的控制塊變更金屬層或是接觸層的圖型，就可獲得與記憶體宏塊之規格的控制塊。

/CAS緩衝器75，係根據由記憶體宏塊之外部所提供的行位址選通信號/CAS以產生在記憶體宏塊之內部所使用的行位址選通信號CASint。

行位址緩衝器76-0~76-3，係與行位址選通信號CASint同步且將行位址信號AC0~AC3取入於記憶體宏塊內部，以產生內部列位址信號AC0int~AC3int、/AC0int~/AC3int。該內部列位址信號AC0int~AC3int、/AC0int~/AC3int，係提供給行解碼器，用以選擇1對DQ線偶連接的16行之中的1行。

/WE緩衝器77，係根據由記憶體宏塊之外部所提供的寫入信號/WE以產生在記憶體宏塊之內部所使用的寫入信號WEint。輸出入資料緩衝器控制電路78，係根據行位址選通信號CASint和寫入信號WEint，以產生提供至圖10之輸出入資料緩衝器塊3的讀出活性化信號RDEN及寫入活性化信號WTEN。

圖14係詳細顯示圖2之記憶體宏塊12之構成，尤其是顯示電源線塊6a-1~6a-L、6b-1~6b-L的構成。

電源線塊6a-1~6a-L、7a、8a，係由在記憶體宏塊12之行方向的一端延伸的第一主電源線；由第一主電源線將電源

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 29 ）

VDD、VSS提供至記憶體陣列塊1-1~1-L、直流電位生成塊2及輸出入資料緩衝器塊3上的複數個第一副電源線；在記憶體宏塊12之行方向的另一端上延伸的第二主電源線；由第二主電源線將電源VDD、VSS提供至記憶體陣列電源驅動器塊4-1~4-L、直流電位生成塊2及控制塊5上的複數個第二副電源線所構成。

圖15係顯示圖3及圖4之記憶體陣列塊控制部50a。

在電源線塊6a-1之記憶容量爲1 Mb時，例如，由於具有512(列)×1024(行)構成，所以其電源線塊6a-1內的字線，可依列位址信號之下位9位元AR0int~AR8int、/AR0int~AR8int而被選擇。

在列解碼器81上，由圖11或圖12之控制塊5中供給內部列位址信號之下位9位元AR0int~AR8int、/AR0int~/AR8int。列解碼器81之輸出，係提供至字線驅動器82上。字線驅動器82，係將預定電位供給至由內部列位址信號AR0int~AR8int、/AR0int~/AR8int所選擇的一條線上。

內部列位址信號之上位2位元AR9int、AR10int、/AR9int~/AR10int，係在記憶體塊由複數個記憶體陣列塊所構成的情況，爲了選擇一個塊而使用。

塊選擇用之內部列位址信號之上位2位元AR9int~AR10int、/AR9int~/AR10int，係與內部列位址選通信號RASint同時供給至AND電路83上。AND電路83之輸出，係構成記憶體陣列塊活性化信號BEN，而列系控制電路84，係依該記憶體陣列塊活性化信號BEN而活性化。

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂

五、發明說明（30）

列系控制電路84之輸出，係提供至感測放大器・等化控制電路85上。感測放大器・等化控制電路85，係輸出等化控制信號EQL1、2，以決定位元線偶之等化的時間。又，感測放大器・等化控制電路85，係將感測放大器控制信號SEN提供至感測放大器驅動器86上。感測放大器驅動器86，係輸出感測放大器活性化控制信號SAP0~SAP2，以決定感測放大器之活性化的時間。

在行解碼器87上，輸入有顯示塊選擇之有無的記憶體陣列塊活性化信號BEN、內部列位址信號AR0int~AR8int、/AR0int~/AR8int，及內部行位址信號AC0int~AC3int、/AC0int~/AC3int。行解碼器87，係用以控制行選擇信號CSW0-1、2-1、…14-1、CSW1-2、3-2、…15-1、CSW1-5、3-5、…15-5之活性化。

例如，內部列位址信號AR8int爲"H"，而內部列位址信號/AR8int爲"L"時，行選擇信號CSW0-1、2-1、…14-1、CSW1-5、3-5、…15-5之活性化，就可依內部行位址信號AC0int~AC3int、/AC0int~/AC3int來控制。

圖16係顯示具有4個電源線塊6a-1~6a-4的記憶體宏塊，圖17係顯示只具有1個電源線塊6a的記憶體宏塊。

關於該等2種類的記憶體宏塊，由於記憶體陣列塊，基本上係使用完全相同的構成，所以圖16之記憶體宏塊，會對圖17之記憶體宏塊具有4倍的記憶容量。換句話說，藉由組合L個K位元之記憶體陣列宏塊就可容易提供K×L位元之記憶容量的記憶體宏塊。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（31）

但是，在採用位元線共享方式時，最初的一個記憶體陣列塊(記憶體陣列塊爲一個時的塊)，感測放大器・行開關之配置會如圖3所示般，而其餘的記憶體陣列宏塊，感測放大器・行開關之配置會如圖4所示般。在採用記憶庫構成的情況時，各記憶體陣列塊之全部係成爲圖3之構成。

又，記憶容量即使是互爲不同的記憶體宏塊，但是只要其中一個組合預先被設計的各塊就可容易進行記憶體宏塊之設計。另外，在本發明中，於設計時，只要利用CAD處理來切換控制塊5內的開關，就可按照記憶體宏塊之記憶容量來調節塊選選擇用列位址信號之數量。

圖18係顯示關於本發明之記憶體宏塊的設計流程圖。

首先，設計作爲構成記憶體宏塊用之基本要素的塊。在此所設計的塊上，包含有直流電位生成塊、記憶體陣列塊(K位元)、輸出入資料緩衝器塊、記憶體陣列電源驅動器塊、控制塊5及電源線塊。在設計控制塊之時，如上述般，係根據記憶體宏塊之最大容量，以決定要輸入塊選擇用列位址信號的位址緩衝器數。

其次，進行從此想要設計之記憶體宏塊的規格(記憶容量、列數、行數、I/O數等)之確認。亦即，就記憶容量、列數、行數、I/O數，例如調查是否成立記憶容量＝列數×行數×I/O數之式子，並確認成立之情況，在成立被確認的情況時，就輸入規格被決定之該等記憶容量、列數、行數、I/O數等。其次，根據記憶體宏塊之記憶容量(或是，列數、行數)N及記憶體陣列塊的記憶容量K以計算記憶體

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂

五、發明說明（ 32 ）

陣列塊數L=(N/K)。在決定記憶體陣列塊數L之後，藉由CAD處理，自動組合各塊以構成記憶體宏塊。同時，根據記憶體陣列塊數L並藉由CAD處理而自動進行控制塊內之塊位址用開關的切換。

根據以上之步驟就可完成記憶體宏塊之設計。之後，組合由閘陣列或是標準單元所構成的邏輯部和記憶體宏塊，以完成邏輯混成記憶體之設計。

依據該種的設計手法，則當決定記憶體宏塊之記憶容量(或是，列數、行數)時，係藉由CAD處理，而自動組合各塊以構成記憶體宏塊。同時，根據記憶體陣列塊數L並藉由CAD處理而自動進行控制塊內之塊位址用開關的切換。因而，在很短的設計期間內就可提供面積架空很少的記憶體宏塊。

圖19係顯示關於本發明之第二實施形態的記憶體宏塊內之平面佈置圖。圖20係詳細顯示圖19之記憶體陣列塊1-1內的平面佈置圖。

該記憶體宏塊，係與上述第一實施形態相同，與邏輯部共同集成在圖1所示之晶片10內，且具有8Md、4個記憶庫的構成。

亦即，記憶體宏塊，係由8個記憶體陣列塊1-1、1-2、…1-8，直流電位生成塊2，輸出入資料緩衝器塊3，記憶體陣列電源驅動器塊4a、4b，控制塊5，電源線塊6a-1、6a-2、…6a-4、6b-1、6b-2、…6b-4、7a、7b、8a、8b，測試塊9a及配線塊9b所構成。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 33 ）

記憶體宏塊之記憶容量，係依記憶體陣列塊之數量所決定者。在本例中，由於一個記憶體陣列塊1-1之記憶容量例如爲1 Mb，所以在該情況時，記憶體宏塊之記憶容量，因記憶體陣列塊之數爲8個所以其爲8 Mb。

另外，一個記憶體陣列塊1-1之記憶容量爲設計階段中之記憶體宏塊之記憶容量的最小單位，係與上述第一實施形態相同。換句話說，記憶體宏塊之記憶容量，例如係以1位元爲單位而可自由變更。

記憶體陣列塊1-1、1-2、…1-4，係互相鄰接配置於行方向(行線所延伸的方向)上。在記憶體陣列塊1-1、1-2、…1-4上，例如配置有延伸於行方向上之128對的DQ線偶，而各記憶體陣列塊的DQ線偶，係藉由互相鄰接配置記憶體陣列塊1-1、1-2、…1-4而互相結合者。

同樣地，記憶體陣列塊1-5、1-6、…1-8，係互相鄰接配置於行方向上。在記憶體陣列塊1-5、1-6、…1-8上，例如配置有延伸於行方向上之128對的DQ線偶，而各記憶體陣列塊的DQ線偶，係藉由互相鄰接配置記憶體陣列塊1-5、1 6、…1-8而互相結合者。

在直流電位生成塊2上，形成有用以生成基板電位VBB、字線電位VPP、位元線電位VBL、感測放大器電源驅動器用之基準電位VPPA、周邊電路用電源電位VINT等一定電位的電路。直流電位生成塊2，係配置在記憶體陣列塊1-1、1-2、…1-8之行方向的一端部上。

輸出入資料緩衝器塊3，係配置在記憶體陣列塊1-1、1-

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂

五、發明說明（ 34 ）

2、…1-8之行方向的另一端部上。記憶體陣列塊1-1、1-2、…1-8之DQ線偶，係與輸出入資料緩衝器塊3連接。直流電位生成塊2和輸出入資料緩衝器塊3，係將記憶體陣列塊1-1、1-2、…1-8夾於其間且配置在相對的位置上。

記憶體陣列電源驅動器塊4a、4b，係鄰接配置於各記憶體陣列塊1-1、1-2、…1-8上。記憶體陣列電源驅動器塊4a、4b，係包含用以將供感測放大器電源供給至感測放大器上的驅動器(電晶體)。

控制塊5，係包含外部列位址信號AR0~AR10、外部行位址信號AC0~AC3、外部列位址選通信號/RAS、外部行位址選通信號/外部CAS及寫入信號/外部WE之各緩衝器；以及按照記憶體宏塊(記憶體陣列塊之數量)以切換外部列位址信號AR0~AR10之一部分(塊選擇信號)有無使用的開關。該開關，係依金屬層(配線層)或接觸層之連接方法而可自由切換者，在設計階段中，雖可自由切換開關，但是在製作成樣品之後就不可做開關之切換。

電源線塊6a-1、6a-2、…6a-4、6b-1、6b-2、…6b-4、7a、7b、8a、8b，係配置於記憶體陣列塊1-1、1-2、…1-8之列方向的端部上。

記憶體陣列塊控制部50a，係包含列解碼器、行解碼器、列系控制電路。在記憶體陣列塊控制部50a之列方向之一方及另一方的端部上，各自配置有二個記憶單元陣列51-1、51-2。亦即，夾住記憶體陣列塊控制部50a且配置在記憶體陣列塊控制部50a之一方側上的記憶體陣列塊1-1a

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（35）

係具備有記憶單元陣列51-1、51-2，同樣地，夾住記憶體陣列塊控制部50a且配置在記憶體陣列塊控制部50a之另一方側上的記憶體陣列塊1-1b亦具備有記憶單元陣列51-1、51-2。

在記憶體陣列塊1-1a中，記憶單元陣列51-1、51-2，係鄰接於行方向上。在記憶單元陣列51-1、51-2鄰接於行方向的端部間配置有感測放大器(包含行開關)52-1。同樣地，在記憶體陣列塊1-1b中，記憶單元陣列51-1、51-2，係鄰接於行方向上。在記憶單元陣列51-1、51-2鄰接於行方向的端部間配置有感測放大器(包含行開關)51-1。其他的記憶體陣列塊1-2、…1-8之平面佈置圖由於亦與記憶體陣列塊1-1之平面佈置圖相同，所以省略其說明。

若依據如以上之記憶體宏塊的平面佈置圖，則即使有記憶容量增大之情況(記憶體陣列塊數之增加)由於可適當且短時間地配置各塊，所以面積架空會變少，同時可在短的TAT(處理時間)內設計。

另外，在上述實施形態中，係在記憶體宏塊之記憶容量爲一定的條件下，不會使列位址數(或是列數)、行位址數(或是行數)的設計時間大幅增加，而可自由變更。爲何如此，係因爲例如，即使在設計階段變更列位址數，列位址緩衝器或行位址解碼器之構成會保持原狀(不再設計)，而只要進行決定是否固定內部列位址信號之一部分的開關切換即可所致。

然而，此情況，由於記憶體宏塊之記憶容量爲一定，所

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

五、發明說明（36）

以列位址數和行位址數存在反比例的關係。亦即，若減少列位址數，則行位址數會增加。

如此若依據上述例，則當依邏輯混成記憶體之規格(列數、行數、I/O數、記憶容量等)而改變記憶體陣列塊之數時，雖然位址信號之數亦會改變，但是沒有必要重新設計/RAS緩衝器等的電路。又，如上述般，若依據本發明，則由於可構成隨著位址數之變更而藉由CAD設計自動進行電路設計之變更，所以就可縮短TAT(處理時間)。

再者，在按照邏輯混成記憶體之規格(列數、行數、I/O數、記憶容量等)以實現記憶體時，藉由自動處理組合事先經由人手所設計之副記憶體陣列塊來實現，就不需要經由人手之設計變更。又，配合I/O數之變更，則即使在變更輸出入資料緩衝器塊之設計時，亦可藉由CAD處理組合事先經由人手所設計之副記憶體陣列塊而在很短的時間內自動進行。

圖21係顯示將關於本發明之第三實施形態的1Mb之4個記憶體陣列塊，即記憶體陣列塊1-1~1-4排列於行方向的4Mb之宏塊單元的平面佈置圖。如圖21所示，記憶體陣列塊控制部50a~50d係配合實際之佈局而在行方向配置於記憶體陣列塊1-1~1-4之中央。在記憶體陣列塊控制部50d上更配置有鄰接於行方向的配線塊19。夾住記憶體陣列塊控制部50a~50d且在記憶體陣列塊控制部50a~50d之一方側上，配置有鄰接於行方向的512Kb之記憶體陣列塊1-1a~1-4a。又，夾住記憶體陣列塊控制部50a~50d且在記憶體陣列

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（37）

塊控制部50a~50d之另一方側上，配置有鄰接於行方向的512Kb的記憶體陣列塊1-1b~1-4b。夾住配線塊19且在配線塊19之一方側上配置有輸出入資料緩衝器塊3a及周邊電路電源驅動器電晶體34a。輸出入資料緩衝器塊3a及周邊電路電源驅動器電晶體34a，係鄰接記憶體陣列塊1-4a而逐次配置於行方向上。又，夾住配線塊19且在配線塊19之另一方側上配置有輸出入資料緩衝器塊3b及周邊電路電源驅動器電晶體34b。輸出入資料緩衝器3b及周邊電路電源驅動器電晶體34b，係鄰接記憶體陣列塊1-4b而逐次配置於行方向上。輸出入資料緩衝器塊3a，係對應共同設在記憶體陣列塊1-1a~1-4a上的DQ線偶DQ0-DQ63~/DQ0-/DQ63而設者。又，輸出入資料緩衝器塊3b，對應共同設在記憶體陣列塊1-1b~1-4b上的DQ線偶DQ64-DQ127~/DQ64-/DQ127而設者。另外，直流電位生成塊2在圖2、16中，雖係鄰接配置於記憶體陣列塊1-1之行方向的一端上，但是在本例中，如圖21所示，係鄰接配置於控制塊上，並與控制塊相配合以形成控制•直流電位生成塊502。

圖22係顯示512Kb之4個記憶體陣列塊，即記憶體陣列塊1-1~1-4排列於行方向的4Mb之宏塊單元的平面佈置圖。如圖22所示，記憶體陣列塊控制部50a~50d係配合實際之佈局而在行方向配置於記憶體陣列塊1-1~1-4之中央。在記憶體陣列塊控制部50d上更配置有鄰接於行方向的配線塊19。夾住記憶體陣列塊控制部50a~50d且在記憶體陣列塊控制部50a~50d之一方側上，配置有鄰接於行方向的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（38）

256Kb之記憶體陣列塊1-1a~1-4a。又，夾住記憶體陣列塊控制部50a~50d且在記憶體陣列塊控制部50a~50d之另一方側上，配置有鄰接於行方向的256Kb之記憶體陣列塊1-1b~104b。夾住配線塊19且在配線塊19之一方側上配置有輸出入資料緩衝器塊3a及周邊電路電源驅動器電晶體34a。輸出入資料緩衝器塊3a及周邊電路電源驅動器電晶體34a，係鄰接記憶體陣列塊1-4a而逐次配置於行方向上。又，夾住配線塊19且在配線塊19之另一方側上配置有輸出入資料緩衝器塊3b及周邊電路電源驅動器電晶體34b。輸出入資料緩衝器塊3b及周邊電路電源驅動器電晶體34b，係鄰接記憶體陣列塊1-4b而逐次配置於行方向上。輸出入資料緩衝器塊3a，係對應共同設在記憶體陣列塊1-1a~1-4a上的DQ線偶DQ0-DQ31~/DQ0-/DQ31而設者。又，輸出入資料緩衝器塊3b，係對應共同設在記憶體陣列塊1-1b~1-4b上的DQ線偶DQ32-DQ63~/DQ32-/DQ63而設者。另外，直流電位生成塊2在圖2、16中，雖係鄰接配置於記憶體陣列塊1-1之行方向的一端上，但是在本例中，如圖22所示，係鄰接配置於控制塊上，並與控制塊相配合以形成控制・直流電位生成塊502。

圖23係顯示圖21所示之平面佈置圖中的宏塊單元之記憶體陣列塊1-1a、記憶體陣列塊控制部50a及記憶體陣列塊1-1b。另外，記憶體陣列電源驅動器塊4-1、電源線塊6a-1、6b-1係省略圖示。如圖23所示，在512Kb之記憶體陣列塊1-1a、1-1b的平面佈置圖中，記憶體陣列塊控制部

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（39）

50a，係與圖3中者相同，包含有列解碼器、行解碼器、列系控制電路等。在記憶體陣列塊控制部50之列方向的各側上各自配置有記憶體陣列塊1-1a、1-1b。

記憶體陣列塊1-1a，係由16個32Kb副記憶體陣列塊101-1~101-16所構成，副記憶體陣列塊101-1~101-16係鄰接配置於列方向上。記憶體陣列塊1-1b亦同樣地由16個32Kb副記憶體陣列塊101-17~101-32所構成，副記憶體陣列塊101-17~101-32係鄰接配置於列方向上。

32Kb副記憶體陣列塊101-1~101-32之各個中，每16對之位元線偶BL、/BL對設有1對資料線偶DQ線偶，而32Kb副記憶體陣列塊101-1~101-16之各個具備有4對DQ線偶。亦即，32Kb副記憶體陣列塊101-1、102-2、…101-16，係各自具備有4對DQ線偶DQ0、/DQ0~DQ3、/DQ3，DQ4、/DQ4~DQ7、/DQ7，…DQ59、/DQ59~DQ63、/DQ63。因而，記憶體陣列塊1-1a，係具備有64對DQ線偶，即DQ0、/DQ0~DQ63、/DQ63。同樣地，32Kb副記憶體陣列塊101-17、101-18、…101-32，各自具備有4對DQ線偶DQ32、/DQ32~DQ35、/DQ35，DQ36、/DQ36~DQ39、/DQ39，…DQ124,/DQ124~DQ127、/DQ127。因而，記憶體陣列塊1-1b，係具備有64個DQ線偶，即DQ32、/DQ32~DQ127、/DQ127。因而，1Mb之記憶體陣列塊全體係具備有128對DQ線偶，即DQ0、/DQ0~DQ127、/DQ127。

如此一個副記憶體陣列塊的記憶容量會成爲設計階段中之記憶體宏塊之記憶容量的最小單位，即成爲記憶體宏塊

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 40 ）

之記憶容量擴張的基本單位。因而，若依據本例，則記憶體宏塊之記憶容量，可將副記憶體陣列塊101-1之記憶容量當作基本單位做變更。

32Kb副記憶體陣列塊之個數p個，係可按照記憶體宏塊之規格適當做選擇，且可將8×p對DQ線偶設在記憶體陣列塊上。亦即，一般而言，當將DQ線偶之位元幅度設爲Q，將副記憶體陣列塊之個數設爲P時，就可將Q×P對的DQ線偶設在記憶體陣列塊上。

決定記憶容量之基本單位的副記憶體陣列塊的設計雖因係依人手作業而成者而要求相稱的設計時間，但是若一旦設計副記憶體陣列塊且登錄在檔館內的話，則依記憶體宏塊之規格所定的副記憶體陣列塊之設計，藉由CAD操作從檔館中取出已由人手設計而準備的記憶體陣列塊，並藉由自動處理副記憶體陣列塊的佈局就可容易且以短時間來實現。

圖24係顯示圖22所示之平面佈置圖中之宏塊單元的記憶體陣列塊1-1a、記憶體陣列塊控制部50a及記憶體陣列塊1-1b。另外，記憶體陣列電源驅動器塊4-1、電源線塊6a-1、6b-1省略圖示。如圖24所示，在256Kb之記憶體陣列塊1-1a、1-1b的平面佈置圖中，記憶體陣列塊控制部50a，與圖3中者相同，包含有列解碼器、行解碼器、列系控制電路等。在記憶體陣列塊控制部50a之列方向的各側上，各自配置有記憶體陣列塊1-1a、1-1b。

記憶體陣列塊1-1a，係由8個32Kb副記憶體陣列塊101-

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（41）

1~101-8所構成，副記憶體陣列塊101-1~101-8係鄰接配置於列方向上。記憶體陣列塊1-1b亦同樣地由8個32Kb副記憶體陣列塊101-9~101-16所構成，副記憶體陣列塊101-9~101-16係鄰接配置於列方向上。

32Kb副記憶體陣列塊101-1~101-16之各個中，每16對之位元線偶BL、/BL對(行對)設有1對DQ線偶，而32Kb副記憶體陣列塊101-1~101-16之各個具備有4對DQ線偶。亦即，32Kb副記憶體陣列塊101-1、101-2、…101-8，係各自具備有4對DQ線偶DQ0、/DQ0~DQ3、/DQ3，DQ4、/DQ4~DQ7、/DQ7，…DQ28、/DQ28~DQ31、/DQ31。因而，記憶體陣列塊1-1a，係具備有32對DQ線偶，即DQ0、/DQ0~DQ31、/DQ31。同樣地，32Kb副記憶體陣列塊101-9、101-10、…101-16，各自具備有4對DQ線偶DQ32、/DQ32~DQ35、/DQ35，DQ36、/DQ36~DQ39、/DQ39，…DQ59,/DQ59~DQ63、/DQ63。因而，記憶體陣列塊1-1b，係具備有32對DQ線偶，即DQ32、/DQ32~DQ63、/DQ63。因而，512Kb之記憶體陣列塊全體係具備有64對DQ線偶，即DQ0、/DQ0~DQ63、/DQ63。

圖25係概略顯示圖23、24所示之記憶體陣列塊1-1之32Kb副記憶體陣列塊101-1的構成，2個16Kb副記憶體陣列塊151-1、151-2係配置在行方向上。2個16Kb副記憶體陣列塊151-1、151-2所鄰接的端部間配置有鄰接該等端部的感測放大器・行開關152-2。配置在端部間的感測放大器・行開關152-2係與2個16Kb副記憶體陣列塊151-1、151-2

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（42）

共享。又，在行方向中配置有與2個16Kb副記憶體陣列塊151-1、151-2之各自的另一方端部上鄰接的感測放大器・行開關151-1、151-3。

圖26係與圖25相同，顯示圖21、22之宏塊單元之記憶體陣列塊1-2之32Kb副記憶體陣列塊102-1的概略構成。記憶體陣列塊1-2之32Kb副記憶體陣列塊102-1，係在行方向上鄰接配置於記憶體陣列塊1-1的32Kb副記憶體陣列塊101-1上。在記憶體陣列塊1-2之32Kb副記憶體陣列塊102-1中，2個16Kb副記憶體陣列塊151-1、151-2係配置於行方向上。2個16Kb副記憶體陣列塊151-1、151-2所鄰接的端部間配置有鄰接該等端部的感測放大器・行開關152-1。配置在端部間的感測放大器・行開關152-1係與2個16Kb副記憶體陣列塊151-1、151-2共享。又，在行方向中配置有與2個16Kb副記憶體陣列塊151-1、151-2之另一方端部上鄰接的感測放大器・行開關152-2。在記憶體陣列塊102-中，雖然沒有設置相當於在32Kb副記憶體陣列塊101-1(圖25)中鄰接設於16Kb副記憶體陣列塊151-1的上述另一方端部上的感測放大器・行開關152-1之感測放大器・行開關。代之者，鄰接設於記憶體陣列塊101-1(圖25)中之副記憶單元陣列151-2的上述另一方端部上的感測放大器・行開關152-3係爲共享。記憶體陣列塊102-1中之副記憶單元陣列151-1，係在行方向上鄰接配置於記憶體陣列塊101-1(圖25)中之感測放大器・行開關152-3上。就圖21、22之宏塊單元之其他的記憶體陣列塊1-3、1-4的32Kb副記憶體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（43）

陣列塊而言由於係與圖26所示之32Kb副記憶體陣列塊102-1相同，所以省略其說明。

圖27係詳細顯示圖23之1Mb之記憶體陣列塊的全體，尤其是與記憶體陣列塊1-1a中之32Kb副記憶體陣列塊101-1之DQ0、/DQ0相關部分的構成。32Kb副記憶體陣列塊101-1之電路構成，若與圖5之記憶體陣列塊之電路構成相比較則可明白地知道基本上是相同的。然而，其所具備的DQ線偶之對數係不同的。亦即，圖5之記憶體陣列塊1-1a，具備有DQ0、/DQ0~DQ63、/DQ63之64對的DQ線偶，相對於此，圖27之記憶體陣列塊1-1a的副記憶體陣列塊101-1，具備有DQ0、/DQ0~DQ3、/DQ3之4對的DQ線偶。亦即，圖27之副記憶體陣列塊101-1~101-32之各個所具備的DQ線偶之對數，對圖5之記憶體陣列塊所具備的DQ線偶之對數是爲1/16。DQ線偶之對數會減少至1/16，係因將記憶容量之擴張單位設爲32Kb，且形成在每16行份的位元線偶上設置1對DQ線偶的構成所致。藉由DQ線偶之對數爲1/16，只要選擇32Kb副記憶體陣列塊之行方向的配置個數就可很容易實現以4位元單位決定記憶體宏塊之規格的I/O數。另外，圖27之記憶體陣列塊1-1，係具備有32個32Kb副記憶體陣列塊，因而全體而言，具有DQ0、/DQ0~DQ127、/DQ127之128對的DQ線偶。

圖28爲與圖27相同的圖，詳細顯示圖21之宏塊單元之記憶體陣列塊1-2的全體，尤其是與記憶體陣列塊1-2中之32Kb副記憶體陣列塊102-1之DQ0、/DQ0相關部分的構

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂

五、發明說明（44）

成。圖28之構成幾乎與圖27之構成相同。其不同點在圖28中可明顯得知，在副記憶體陣列塊102-1中，未設有相當於記憶體陣列塊1-1之32Kb副記憶體陣列塊101-1(圖27)中之感測放大器・行開關152-1的感測放大器・行開關。代之者，鄰接設於記憶體陣列塊1-1a之記憶體陣列塊101-1(圖27)中之副記憶單元陣列151-2的上述另一方端部上的感測放大器・行開關152-3係爲共享。另外，從容易理解的觀點來看，圖28係顯示鄰接設於記憶體陣列塊1-1a之記憶體陣列塊101-1(圖27)中之副記憶單元陣列151-2的上述另一方端部上的感測放大器・行開關152-3。就圖21之宏塊單元之其他的記憶體陣列塊1-3、1-4的32Kb副記憶體陣列塊而言由於亦與圖28所示之32Kb副記憶體陣列塊102-1相同，所以省略其說明。

在1對DQ線偶上，連接有16行份的位元線偶。在16行份的位元線偶之中，由於在由行選擇信號所選擇的1行份之位元線偶和1對DQ線偶之間可授受資料，所以可同時輸出入的位元數(I/O數)，會在每一32Kb副記憶體陣列塊中成爲4位元(4I/O數)，且在每一1Mb副記憶體陣列塊中成爲128位元(128I/O數)。

圖29係詳細顯示圖24之512Kb之記憶體陣列塊的全體，尤其是與記憶體陣列塊1-1a中之32Kb副記憶體陣列塊101-1之DQ0、/DQ0相關部分的構成。32Kb副記憶體陣列塊101-1之電路構成，若與圖5之記憶體陣列塊之電路構成相比較則可明白地知道基本上是相同的。然而，其所具備的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（45）

DQ線偶之對數係不同的。亦即，圖5之記憶體陣列塊1-1a，具備有DQ0、/DQ0~DQ63、/DQ63之64對的DQ線偶，相對於此，圖29之記憶體陣列塊1-1a的副記憶體陣列塊101-1，具備有DQ0、/DQ0~DQ3、/DQ3之4對的DQ線偶。亦即，圖29之副記憶體陣列塊101-1~101-16之各個所具備的DQ線偶之對數，對圖5之記憶體陣列塊所具備的DQ線偶之對數是爲1/16。藉由DQ線偶之對數爲1/16，在與圖27、28相關敘述的1Mb記憶體之情況相同，只要選擇32Kb副記憶體陣列塊之行方向的配置個數就可容易實現以4位元單位決定記憶體宏塊之規格的I/O數。另外，圖29之記憶體陣列塊1-1，係具備有16個32Kb副記憶體陣列塊，因而全體而言，具有DQ0、/DQ0~DQ63、/DQ63之64對的DQ線偶。

圖30爲與圖28相同的圖，詳細顯示圖22之宏塊單元之記憶體陣列塊1-2的全體，尤其是與記憶體陣列塊1-2中之32Kb副記憶體陣列塊102-1之DQ0、/DQ0相關部分的構成。圖30之構成幾乎與圖28之構成相同。其不同點在圖30中可明顯得知，在副記憶體陣列塊102-1中，未設有相當於記憶體陣列塊1-1之32Kb之副記憶體陣列塊101-1(圖29)中之感測放大器・行開關152-1的感測放大器・行開關。代之者，設於記憶體陣列塊1-1a之記憶體陣列塊101-1(圖29)中之記憶體陣列塊1-2a側上的感測放大器・行開關152-3係爲共享。另外，從容易理解的觀點來看，圖30係顯示設於記憶體陣列塊1-1a之記憶體陣列塊101-1(圖29)中之記憶體陣列塊1-2a側上的感測放大器・行開關152-3。就

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（46）

圖22之宏塊單元之其他的記憶體陣列塊1-3、1-4的32Kb副記憶體陣列塊而言由於亦與圖28所示之32Kb副記憶體陣列塊102-1相同，所以省略其說明。

在1對DQ線偶上，連接有16行份的位元線偶。在16行份的位元線偶之中，由於在由行選擇信號所選擇的1行份之位元線偶和1對DQ線偶之間可授受資料，所以可同時輸出入的位元數(I/O數)，會在每一32Kb副記憶體陣列塊中成爲4位元(4I/O)，且在每一512Kb 記憶體陣列塊中成爲64位元(64I/O)。

圖27~30之記憶體陣列塊中之感測放大器•行開關的詳細構成，係與圖7所示者相同。

圖31係顯示圖21、22之平面佈置圖中之控制塊502的構成。圖31之控制塊502係包含有與圖2所示之控制塊5相同構成的控制塊5和與圖2所示之電位生成塊2相同構成的電位生成塊2。若將圖31中之控制塊502之構成，與圖2之平面佈置圖中之控制塊5之構成相比較時，則在圖31之控制塊502的構成更具備有直流電位生成塊2的點上是不同的。相對於此，在圖2之平面佈置圖中，直流電位生成塊2係鄰接配置於1Mb記憶體陣列塊1-1的上端。圖2之平面佈置圖之構成點係與圖21、22之平面佈置圖之構成不同。

在圖21、22之平面佈置圖中，係將直流電位生成塊2之配置，如圖2之平面佈置圖所示般地從1Mb記憶體陣列塊1-1之上端的配置，變更至控制塊內的理由，係因在將控制塊配置於記憶體塊上端的情況，列方向中之記憶體陣列

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（47）

塊1-1的幅度，會依所配置的複數個32Kb副記憶體陣列塊的個數而變化，且記憶體陣列塊之列方向中的寬幅和直流電位生成塊2之列方向中的寬幅不一定要相等所致。爲了規避此，在圖21、22之平面佈置圖中，係將直流電位生成塊2之配置，如圖2之平面佈置圖所示般地從1Mb記憶體陣列塊1-1之上端變更至控制塊內。

圖32及33係顯示圖31中之控制及直流電位生成塊502的詳細構成。

如圖32及33所示，控制及直流電位生成塊502，係包含有控制塊5，與由/RAS緩衝器71、列位址緩衝器72-0~72-8、73、74、/CAS緩衝器75、行位址緩衝器76-0~76-3及WE緩衝器77及輸出入資料緩衝器控制電路78所構成之圖1所示者相同的構成；以及直流電位生成塊2，由各種的電位產生電路所構成。

/RAS緩衝器72，係基於由記憶體宏塊之外部所提供的列位址選通信號/RAS以產生在記憶體宏塊之內部所使用的列位址選通信號RASint。

列位址緩衝器72-0~72-8，係與列位址選通信號RASint同步且將列位址信號(外部列位址信號)AR0~AR8取入於記憶體宏塊內部，以產生內部列位址信號AR0int~AR8int、/AR0int~/AR8int。該內部列位址信號AR0int~AR8int、/AR0int~/AR8int，係提供至列解碼器上，用以選擇被選擇之記憶體陣列塊內之512列之中的1列。

列位址緩衝器73、74，係與列位址選通信號RASint同步

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂

五、發明說明（48）

且將列位址信號(外部列位址信號)AR8、AR10取入於記憶體宏塊內部，以產生內部列位址信號AR9int、AR10int、/AR9int~/AR10int。該內部列位址信號AR9int、AR10int、/AR9int~/AR10int，係從複數個記憶體陣列塊(例如，4個)中選擇1個記憶體陣列塊。

用以選擇記憶體陣列塊之列位址信號(塊選擇用列位址信號)之數量，係按照記憶體宏塊內之記憶體陣列塊之數量而變。

如圖32及33所示，控制及直流電位生成塊502中之控制塊5的構成係與圖11所示之控制塊5的構成相同，因而就與圖11、12相關敘述的說明，例如關於記憶體塊之選擇的開關SW1~SW6之切換的說明，即使對本例而言亦可同樣的適用。

直流電位生成塊2，係具備有基板電位產生電路29、字線電位產生電路30、位元線電位產生電路31、感測放大器電源驅動器基準電位產生電路32及周邊電路電源基準電位產生電路33。

基板電位產生電路29，係用以產生記憶體宏塊中之基板電位VBB。字線電位產生電路30，係用以產生依列位址信號所選擇之提供至字線的電位VPP。位元線電位產生電路31，係在將讀出資料或是寫入資料導入於位元線偶之前爲了將位元線偶之電位等化成預定值而設。

感測放大器電源驅動器基準電位產生電路32，係基於外部電源VEXT而產生電源VPPA。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（49）

周邊電路電源電位產生電路33，係由周邊電路電源電位產生電路34，係提供外部電源VEXT以產生電源VPPI；以及周邊電路電源，提供電源VPPI至閘極上用以產生驅動記憶體宏塊中之周邊電路的內部電源VINT所構成。

電源VPPA係提供至圖21、22之平面佈置圖中之記憶體陣列電源驅動器塊4上。記憶體陣列電源驅動器塊4，係用以產生感測放大器驅動器(例如參照圖15)的電源VAA。記憶體陣列電源驅動器塊4係由MOS電晶體所構成，而電源VPPA係輸入至該MOS電晶體之閘極上。該MOS電晶體之汲極係與外部電源VEXT連接，且從源極取出電源VAA，並提供至感測放大器驅動器上。感測放大器驅動器，係用以產生提供至感測放大器之信號SAP、/SAN。

圖34係詳細顯示圖21之記憶體宏塊之平面佈置圖中之輸出入資料緩衝器3a及周邊電路電源驅動器塊34a的構成。雖未圖示，但是輸出入資料緩衝器塊3b及周邊電路電源驅動器塊34b之構成亦爲相同。

如圖34所示，輸出入資料緩衝器塊3a，係由鄰接配置於列方向的64個輸出入資料緩衝器塊3a-1~3a-64所構成。64個輸出入資料緩衝器3a-1~3a-64係對應64對DQ線偶DQ0、/DQ0~DQ63、/DQ63而設。

例如，對應DQ線偶DQ0、/DQ0對，DQ線偶DQ1、/DQ1對，DQ2、/DQ2對，…而各自配置有輸出入資料緩衝器3a-1、3a-2、3a-3、…。

又，64個輸出入端子I/O0~I/O63係對應64個輸出入資料

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝
訂

五、發明說明（50）

緩衝器3a-1~3a-64而設，64個輸出入資料緩衝器3a-1~3a-64係各自與64個輸出入端子I/O0~I/O63連接。

如此爲了由複數個輸出入資料緩衝器來構成輸出入資料緩衝器塊，而有必要預先設計輸出入資料緩衝器。輸出入資料緩衝器之設計雖係依人手作業而成且被要求相稱的設計時間，但是若一旦設計輸出入資料緩衝器且事先登錄在檔館內的話，則依記憶體宏塊之規格所定的輸出入資料緩衝器塊之設計，藉由CAD操作從檔館中取出已由人手設計而準備的輸出入資料緩衝器，並藉由自動處理輸出入資料緩衝器的佈局就可容易且以短時間來實現。

周邊電路電源驅動器塊34a係鄰接設於輸出入資料緩衝器3a上。亦即，係鄰接且對應互相鄰接配置於列方向的64個輸出入資料緩衝器3a-1~3a-64，而64個周邊電路電源驅動器34a-1~34a-64係鄰接配置於列方向上。例如，係對應輸出入資料緩衝器3a-1、3a-2、3a-3、…而各自配置有周邊電路電源驅動器34a-1、34a-2、34a-3、…。由於輸出入資料緩衝器3b及周邊電路電源驅動器34b之構成亦爲相同，所以簡單說明之。

亦即，輸出入資料緩衝器塊3b，與輸出入資料緩衝器塊3a相同，係由鄰接配置於列方向之64個輸出入資料緩衝器所構成。周邊電路電源驅動器34b亦由鄰接配置於列方向之64個周邊電路電源驅動器所構成。接著，周邊電路電源驅動器34b係對應配置於輸出入資料緩衝器塊3b上。亦即，周邊電路電源驅動器塊34b之64個周邊電路電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（51）

源驅動器係對應配置於輸出入資料緩衝器塊3b之64個輸出入資料緩衝器上。

各周邊電路電源驅動器，係提供外部電源VEXT以作爲驅動電源，且從周邊電路電源驅動器基準電位產生電路33(圖8)提供電源VPPI以作爲控制信號而產生內部電源VINT。內部電源VINT係提供至各輸出入資料緩衝器上以作爲驅動電源，且，提供至其他的電路，例如位址緩衝器、列解碼器、行解碼器等上以作爲驅動電源。各周邊電路電源驅動器之構成，例如，如圖8之控制塊5內的直流電位生成塊2中之周邊電路電源驅動器34所示，係由MOS電晶體所構成。在MOS電晶體之汲極上提供外部電源VEXT以作爲驅動電源，且在閘極上從周邊電路電源驅動器基準電位產生電路33中提供電源VPPI以作爲控制信號而產生內部電源VINT。內部電源VINT係提供至各輸出入資料緩衝器上以作爲驅動電源。

如此爲了由複數個周邊電路電源驅動器來構成周邊電路電源驅動器，而有必要預先設計周邊電路電源驅動器。周邊電路電源驅動器之設計雖係依人手作業而成且被要求相稱的設計時間，但是若一旦設計周邊電路電源驅動器且事先登錄在檔館內的話，則依記憶體宏塊之規格所定的周邊電路電源驅動器之設計，藉由CAD操作從檔館中取出已由人手設計而準備的周邊電路電源驅動器，並藉由自動處理周邊電路電源驅動器的佈局就可容易且以短時間來實現。

在圖34所示之平面佈置圖中，64個輸出入資料緩衝器

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（52）

塊3a-1~3a-64和64個周邊電路電源驅動器34a-1~34a-64係以大概互相相等的間距排列在列方向上。64個輸出入資料緩衝器塊3a-1~3a-64及64個周邊電路電源驅動器34a-1~34a-64係對應64對DQ線偶DQ0、/DQ0~DQ63、/DQ63對而設，64對DQ線偶DQ0、/DQ0~DQ63、/DQ63對由於係以每4對設在各32Kb副記憶體陣列塊上，所以輸出入資料緩衝器塊3a-1~3a-64及周邊電路電源驅動器34a-1~34a-64之間距爲32Kb副記憶體陣列塊之列方向的間距之1/4。因而，如圖34所示，可將64個輸出入資料緩衝器3a-1~3a-64及64個周邊電路電源驅動器34a-1~34a-64之列方向的排列個數設爲32Kb副記憶體陣列塊之列方向的排列個數之4倍，以適於多位元輸出者。

圖35係顯示輸出入資料緩衝器之具體的構成例。輸出入緩衝器係由讀出緩衝器111和寫入緩衝器112所構成。讀出緩衝器111係依讀出控制信號RDEN所控制，且將DQ線偶例如DQ0、/DQ0上之資料輸出至I/O部。讀出緩衝器111係依控制信號WTEN所控制，且將輸入至I/O部的寫入資料輸出至DQ線偶DQ0、/DQ0。

圖36係顯示圖22之記憶體宏塊之平面佈置圖中之與圖34相同的圖。亦即，圖36係詳細顯示圖21之記憶體宏塊之平面佈置圖中之輸出入資料緩衝器塊3a及周邊電路電源驅動器塊34a的構成。雖未圖示，但是輸出入資料緩衝器塊3b及周邊電路電源驅動器34b之構成亦爲相同。

如圖36所示，輸出入資料緩衝器塊3a，係由鄰接配置

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂

五、發明說明（53）

於列方向的32個輸出入資料緩衝器3a-1~3a-32所構成。32個輸出入資料緩衝器3a-1~3a-32係對應32對DQ線偶DQ0、/DQ0~DQ31、/DQ31而設。

與圖34所示之輸出入資料緩衝器塊中者相同，例如，對應DQ線偶DQ0、/DQ0對，DQ線偶DQ1、/DQ1對，DQ2、/DQ2對，…而各自配置有輸出入資料緩衝器3a-1、3a-2、3a-3、…。

周邊電路電源驅動器塊34a係鄰接設於輸出入資料緩衝器3a上。亦即，係鄰接且對應互相鄰接配置於列方向的32個輸出入資料緩衝器3a-1~3a-32，而32個周邊電路電源驅動器34a-1~34a-32係鄰接配置於列方向上。例如，係對應輸出入資料緩衝器3a-1、3a-2、3a-3、…而各自配置有周邊電路電源驅動器34a-1、34a-2、34a-3、…。由於輸出入資料緩衝器塊3b之周邊電路電源驅動器塊34b之構成亦爲相同，所以簡單說明之。

亦即，輸出入資料緩衝器塊3b，與輸出入資料緩衝器塊3a相同，係由鄰接配置於列方向之32個輸出入資料緩衝器所構成。周邊電路電源驅動器34b亦由鄰接配置於列方向之32個周邊電路電源驅動器所構成。接著，周邊電路電源驅動器塊34b係對應配置於輸出入資料緩衝器塊3b上。亦即，周邊電路電源驅動器塊34b之32個周邊電路電源驅動器係對應配置於輸出入資料緩衝器塊3b之32個輸出入資料緩衝器上。

又，32個輸出入端子I/O0~I/O31係對應32個輸出入資料

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 54 ）

緩衝器3a-1~3a-32而設，32個輸出入資料緩衝器3a-1~3a-32係各自與32個輸出入端子I/O0~I/O31連接。

在圖36所示之平面佈置圖中，32個輸出入資料緩衝器塊3a-1~3a-32和32個周邊電路電源驅動器34a-1~34a-32係以大概互相相等的間距排列在列方向上。32個輸出入資料緩衝器塊3a-1~3a-32及32個周邊電路電源驅動器34a-1~34a-32係對應32對DQ線偶DQ0、/DQ0~DQ31、/DQ31對而設，32個DQ線偶DQ0、/DQ0~DQ31、/DQ31對由於係以每4對設在各32Kb副記憶體陣列塊上，所以輸出入資料緩衝器塊3a-1~3a-32及周邊電路電源驅動器34a-1~34a-32之間距爲32Kb副記憶體陣列塊之列方向的間距之1/4。

圖34之輸出入資料緩衝器塊係由64個輸出入資料緩衝器塊3a-1~3a-64及64個周邊電路電源驅動器34a-1~34a-64所構成，相對於此，圖36之輸出入資料緩衝器塊係由32個輸出入資料緩衝器塊3a-1~3a-32及32個周邊電路電源驅動器34a-1~34a-32。除了此點以外，圖36之平面佈置圖之構成係與圖34之平面佈置圖之構成相同。

圖37係顯示圖34之輸出入資料緩衝器塊之變形例的構成圖。亦即在本例中，輸出入資料緩衝器3a-1~3a-64之間距雖與圖34所示之例不同，但是周邊電路電源驅動器之間距卻成爲輸出入資料緩衝器3a-1~3a-64之間距的8倍，且周邊電路電源驅動器塊34a係由8個周邊電路電源驅動器34a-1~34a-8所構成。亦即，周邊電路電源驅動器34a-1~34a-8之間距係與32Kb副記憶體陣列塊101-1~101-8之間

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（55）

距的2倍相等。

另外，與圖34中的情況相同，64個輸出入端子I/O0~I/O63係對應64個輸出入資料緩衝器塊3a-1~3a-64而設，64個輸出入資料緩衝器塊3a-1~3a-64係各自與64個輸出入端I/O0~I/O63連接。

圖38係顯示圖36之輸出入資料緩衝器塊之變形例的構成圖。亦即在本例中，輸出入資料緩衝器3a-1~3a-32之間距雖與圖36所示之例不同，但是周邊電路電源驅動器之間距卻成爲輸出入資料緩衝器3a-1~3a-32之間距的8倍，且周邊電路電源驅動器塊34a係由4個周邊電路電源驅動器34a-1~34a-4所構成。亦即，周邊電路電源驅動器34a-1~34a-4之間距係與32Kb副記憶體陣列塊101-1~101-4之間距的2倍相等。

另外，與圖36中的情況相同，32個輸出入端I/O0~I/O31係對應32個輸出入資料緩衝器塊3a-1~3a-32而設，32個輸出入資料緩衝器塊3a-1~3a-32係各自與32個輸出入端I/O0~I/O31連接。

在多位元輸出之DRAM宏塊中，輸出入資料緩衝器部及周邊電路電源驅動器之消耗電流非常大，且在DRAM宏塊中所消耗的電流之50%以上係由輸出入資料緩衝器及周邊電路電源驅動器所消耗。在上述構成中，由於係取在每一DQ線偶上配置有輸出入資料緩衝器及周邊電路電源驅動器的手法，所以按照DQ線偶之對數，因可改變所設之I/O輸出入資料緩衝器及周邊電路電源驅動器的個數，故可迴

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（56）

避輸出入資料緩衝器部之浪費的電流消耗和晶片尺寸之增大。此藉由按照DQ線偶之對數，改變所設之I/O輸出入資料緩衝器及周邊電路電源驅動器的個數，而可將I/O輸出入資料緩衝器及周邊電路電源驅動器中之電晶體尺寸之合計值設定在必要的最小值上之故。若依據上述構成，則在I/O數很少且消耗電流很小的情況周邊電路電源驅動器之電晶體尺寸的必要面積會變小。若再依據上述構成，則由於周邊電路電源驅動器，係鄰接配置於電流消耗多的輸出入資料緩衝器上，所以由輸出入資料緩衝器及周邊電路電源驅動器之間的電源匯流排電阻所產生的輸出入資料緩衝器電源之電位降會變小。

圖39係顯示關於本發明之記憶體宏塊的設計流程圖。

首先，設計用以構成記憶體宏塊之基本要素的塊。在此所設計之塊上，包含有直流電位生成塊、記憶體陣列塊(Kb)、輸出入資料緩衝器塊、記憶體陣列電源驅動器塊、控制塊及電源線塊。在設計控制塊時，如上述般，基於記憶體宏塊之最大如量，決定輸入塊選擇用列位址信號的位址緩衝器數。

其次，就由此所設計的記憶體宏塊之規格(記憶容量、列數、行數、I/O數等)加以確認。亦即，進行由此所欲設計的記憶體宏塊之規格(記憶容量、列數、行數、I/O數等)的確認。即，就記憶容量、列數、行數、I/O數，例如調查是否成立記憶容量=列數×行數×I/O數的式子，以確認成立之情況。當成立已被確認時，則輸入以規格所規定的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（57）

該等記憶容量、列數、行數、I/O數等。其次，基於每一副記憶體陣列塊之DQ線偶數Q和I/O數R以計算副記憶體陣列塊數P=(R/Q)。又，將輸出入資料緩衝器設定成等於P。其次，記憶體宏塊之記憶容量(或是，列數、行數)N及副記憶體陣列塊之記憶容量M及P以計算記憶體陣列塊數L=N(M×P)。在決定該等數之後，藉由CAD處理，自動組合副記憶體陣列宏塊及輸出入資料緩衝器而形成與規格一致的副記憶體陣列宏塊及輸出入資料緩衝器塊以構成記憶體宏塊。同時，基於記憶體陣列宏塊數L藉由CAD處理自動進行控制塊內之塊位址用開關之切換。

根據以上記憶體宏塊之設計就算完成。之後，組合由閘陣列或是標準單元所構成的邏輯部和記憶體宏塊，邏輯混成記憶體之設計就完成。

若依據該種的設計手法，則當決定記憶體宏塊之規格時，藉由CAD處理自動配合預定數的副記憶體陣列塊，及較佳者更配合預定數的輸出入資料緩衝器、周邊電路基準驅動器以構成記憶體宏塊。同時，基於記憶體陣列宏塊數L藉由CAD處理自動進行控制塊內之塊位址用開關之切換。因而，可提供以很短的設計期間及面積架空少的記憶體宏塊。

[發明之效果]

如以上說明般，若依據本發明之邏輯混成記憶體，則可達如下之效果。

藉由CAD處理，只要組合P×L個M位元之副記憶體陣列

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 58 ）

塊，就可設計M×L位元之記憶體宏塊。而且，感測放大器•行開關，由於爲存在於其兩端之二個記憶單元陣列所共亨，所以即使記憶體宏塊之記憶容量變大，面積架空也很少。又，共同將DQ線偶及輸出入資料緩衝器塊設在複數個記憶體陣列塊上，亦對於記憶體宏塊之面積縮小上以所貢獻。

又，在每一成爲記憶容量增減之最小單位的記憶體陣列塊上，由於配置記憶體陣列電源驅動器，所以可迴避在記憶容量很小時存在過剩尺寸之記憶體陣列電源驅動器的事態。又，在實現不同的記憶容量之記憶體宏塊時，只要藉由CAD處理來切換開關，以調節塊選擇用位址信號之數量即可。

再者，藉由人手設計預先準備副記憶體陣列塊，並利用CAD操作自動處理按照所需要之記憶容量之數量的副記憶體陣列塊之佈局，依此不需要依人手所進行之複雜的設計變更就可實現時間短且按照規格的記憶體宏塊。

又，預先準備基本單位之輸出入資料緩衝器，並利用CAD操作自動處理按照所需要之記憶容量之數量的副記憶體陣列塊之佈局，依此不需要依人手所進行之複雜的設計變更就可容易實現I/O數之輸出入資料緩衝器塊。

而且，藉由預先準備基本單位之周邊電路電源驅動器，並使用所需要數之周邊電路電源驅動器，利用CAD操作自動處理並置於輸出入資料緩衝器塊上且與輸出入資料緩衝器塊之列方向之寬幅的周邊電路電源驅動器，依此不需要

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（59）

依人手所進行之複雜的設計變更就可容易實現。

根據以上說明，即使在記憶體宏塊之規格上有所變更，不需要依人手所進行之複雜的設計變更，利用CAD操作之自動設計亦可在很短的設計期間內供給面積架空少的記憶體宏塊。亦即，利用人手進行既複雜有需要長期的設計期間之基本設計，且藉由對記憶體宏塊之規格變更使用基本設計並利用CAD操作以容易自動處理，就可在很短的時間內實現面積架空少的記憶體宏塊。

[圖式之簡單說明]

圖1顯示邏輯混成記憶體之平面佈置圖的一例。

圖2顯示本發明第一實施形態之記憶體宏塊的平面佈置圖。

圖3顯示圖2之記憶體宏塊的平面佈置圖。

圖4顯示圖2之記憶體宏塊的平面佈置圖。

圖5顯示圖3之記憶體宏塊內的構成圖。

圖6顯示圖4之記憶體宏塊內的構成圖。

圖7顯示共享感測放大器方式之感測放大器・行開關的構成圖。

圖8顯示圖2之直流電位生成塊內的構成圖。

圖9顯示圖2之記憶體陣列電源驅動器塊內的構成圖。

圖10顯示圖2之輸出入資料緩衝器塊內的構成圖。

圖11顯示圖2之控制塊內的構成圖。

圖12顯示圖2之控制塊內的構成圖。

圖13(a)、(b)、(c)、(d)各自顯示圖11及圖12之開關的切

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 60 ）

換手法。

圖14顯示圖2之電源線塊之內的構成圖。

圖15顯示圖3及圖4之記憶體陣列塊控制部內的構成圖。

圖16顯示4Mb記憶體宏塊之平面佈置圖的一例圖。

圖17顯示1Mb記憶體宏塊之平面佈置圖的一例圖。

圖18爲記憶體宏塊之設計流程圖。

圖19顯示本發明第二實施形態之記憶體宏塊的平面佈置圖。

圖20顯示圖19之記憶體宏塊的平面佈置圖。

圖21顯示本發明第三實施形態之4Mb之記憶體宏塊的平面佈置圖。

圖22爲與圖21相同的圖，顯示2Mb之記憶體宏塊的平面佈置圖。

圖23顯示圖21之記憶體陣列塊的平面佈置圖。

圖24爲與圖23相同的圖，顯示圖22之記憶體陣列塊的平面佈置圖。

圖25概略顯示圖23、24之記憶體陣列塊之副記憶體陣列塊的構成局部圖。

圖26概略顯示圖23、24之記憶體陣列塊之副記憶體陣列塊的構成其他局部圖。

圖27詳細顯示圖23概略所示之副記憶體陣列塊的局部構成圖，尤其是，詳細顯示副記憶體陣列塊的局部構成圖。

圖28詳細顯示圖23概略所示之副記憶體陣列塊的局部

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（61）

構成圖，尤其是，詳細顯示副記憶體陣列塊的局部構成圖。

圖29詳細顯示圖23概略所示之記憶體陣列塊的局部構成圖，尤其是，詳細顯示副記憶體陣列塊的局部構成圖。

圖30詳細顯示圖23概略所示之記憶體陣列塊的局部構成圖，尤其是，詳細顯示副記憶體陣列塊的局部構成圖。

圖31概略顯示圖21、22之記憶體之平面佈置圖中之控制塊·直流電位生成塊內的構成圖。

圖32詳細顯示圖21、22之記憶體之平面佈置圖中之控制·直流電位生成塊內之控制塊5的構成圖。

圖33詳細顯示圖21、22之記憶體之平面佈置圖中之控制·直流電位生成塊內之直流電位生成塊的構成圖。

圖34詳細顯示圖21之記憶體宏塊之平面佈置圖中之輸出入資料緩衝器塊及周邊電路電源驅動器塊的構成圖。

圖35顯示輸出入資料緩衝器之具體的構成圖。

圖36詳細顯示圖22之記憶體宏塊之平面佈置圖中之輸出入資料緩衝器塊及周邊電路電源驅動器塊的構成圖。

圖37詳細顯示圖21之記憶體宏塊之平面佈置圖中之輸出入資料緩衝器塊及周邊電路電源驅動器塊的其它構成圖。

圖38詳細顯示圖22之記憶體宏塊之平面佈置圖中之輸出入資料緩衝器塊及周邊電路電源驅動器塊的其它構成圖。

圖39爲記憶體宏塊之設計流程圖。

圖40顯示邏輯混成記憶體之平面佈置圖的一例圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（62）

圖41顯示邏輯混成記憶體之平面佈置圖的一例圖。

圖42顯示記憶體宏塊之平面佈置圖的一例圖。

圖43顯示圖42之記憶體陣列塊內的構成圖。

圖44顯示習知記憶體宏塊之平面佈置圖的一例圖。

圖45顯示習知記憶體宏塊之平面佈置圖的一例圖。

[元件編號之說明]

1-1、1-2、…1-L	：記憶體陣列塊
1-1a、1-1b、1-2a、1-2b	：記憶體陣列塊
2	：直流電位生成塊
3、3a、3b	：輸出入資料緩衝器塊
3a-1~3a-64	：輸出入資料緩衝器
4-1、4-2、…4-L	：記憶體陣列電源驅動器塊
5	：控制塊
6a-1~6a-L、6b-1~6b-L	：電源線塊
7a、7b	：電源線塊
8a、8b	：電源線塊
9a	：測試塊
9b	：配線塊
10	：晶片
11	：邏輯部
12	：記憶體宏塊
13	：輸出入部(I/O部)
14a、14b	：功能塊
15a~15d、16a~16d	：副記憶體宏塊

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（63）

17	：控制部宏塊
18	：配線部
19	：配線塊
20	：記憶單元陣列
21	：感測放大器
22	：列解碼器
23	：行解碼器
24	：輸出入資料緩衝器
25	：列位址緩衝器
26	：行位址緩衝器
27	：列系控制電路
28	：行系控制電路
29	：基板電位產生電路
30	：字線電位產生電路
31	：位元線電位產生電路
32	：S/A驅動器基準電位產生電路
33	：周邊電路電源驅動器基準電位產生電路
34a	：周邊電路電源驅動器塊
34a-1~34a-64	：周邊電路電源驅動器
50a~50d	：記憶體陣列塊控制部
51-1，51-2	：記憶單元陣列
52-1~52-3	：感測放大器・行開關
61	：感測放大器
62	：行開關

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 64 ）

63-1，63-2	：等化器
64-1，64-2	：單元陣列選擇閘
71	：/RAS緩衝器
72-0~72-8，73，74	：列位址緩衝器
75	：/CAS緩衝器
76-0~76-3	：行位址緩衝器
77	：/WE緩衝器
78	：輸出入資料緩衝器控制電路
80a	：金屬層
80b	：接觸層
81	：列解碼器
82	：字線驅動器
83	：AND電路
84	：列系控制電路
85	：感測放大器・等化控制電路
86	：感測放大器驅動器
87	：行解碼器
91，92	：感測放大器
101-1~101-32	：副記憶體陣列塊
102-1	：副記憶體陣列塊
151-1，151-2	：副記憶單元陣列
152-1~152-3	：感測放大器・行開關
502	：控制・直流電位生成塊
DQ0,/DO0~DQ127,/DQ127	：DQ線偶
SW1~SW6	：開關

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：　邏輯混成記憶體　）

本發明之目的係在於謀求縮短記憶體宏塊之設計期間及縮小占有面積。

本發明之解決手段係在於：記憶體宏塊12具有包含K位元記憶容量的記憶單元陣列及感測放大器的L個記憶體陣列塊1-1、1-2、…1-L。包含有用以產生驅動器之電源之電路的記憶體陣列電源驅動器塊4-1、4-2、…4-L，係對應記憶體陣列塊1-1、1-2、…1-L而設。該驅動器係使感測放大器得以動作者。記憶體陣列塊1-1、1-2、…1-L，係在行方向互相鄰接而配置，在記憶體陣列塊1-1、1-2、…1-L上，配置有延伸於行方向的DQ線偶。電源線塊6a-L、6b-L、7a、7b、8a、8b，係配置在記憶體陣列塊之列方向的端部上。

英文發明摘要（發明之名稱：　"MEMORY HYBRIDIZED WITH LOGIC CIRCUIT"　）

日　文：　ロジック混載メモリ

【課題】　メモリマクロの設計期間の短縮と占有面積の縮小を図る。

【解決手段】　メモリマクロ１２は、Ｋビットの記憶容量のメモリセルアレイ及びセンスアンプを含むＬ個のメモリアレイブロック１－１，１－２，…１－Ｌを有する。センスアンプを動作させるドライバの電源を発生する回路を含むメモリアレイ電源ドライバブロック４－１，４－２，…４－Ｌは、メモリアレイブロック１－１，１－２，…１－Ｌに対応して設けられている。メモリアレイブロック１－１，１－２，…１－Ｌは、カラム方向に互いに隣接して配置され、メモリアレイブロック１－１，１－２，…１－Ｌ上には、カラム方向に伸びるＤＱ線対が配置されている。電源線ブロック６ａ－Ｌ，６ｂ－Ｌ，７ａ，７ｂ，８ａ，８ｂは、メモリアレイブロックのロウ方向の端部に配置されている。

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

修正 本89年5月29日 補充

公告本

A8 B8 C8 D8

418522

第87111882號專利申請案
中文申請專利範圍修正本(89年5月)

六、申請專利範圍

1. 一種邏輯混成記憶體，在單晶片上集成有記憶體宏塊和邏輯部，其特徵為：前述記憶體宏塊具備有，控制塊，具有緩衝由前述邏輯部所輸入之外部位址信號並生成內部位址信號的機構；至少一個記憶體陣列塊，具有配置成行列狀之各個N位元記憶容量之複數個記憶單元陣列、連接在前述記憶單元陣列上用以放大記憶單元之資料的感測放大器、接受由前述控制塊之內部位址信號生成機構所生成的內部位址信號用以選擇由內部位址信號所指定的行列上之位址之記憶單元的解碼器、及資料線；以及輸出入資料緩衝器塊，介以前述資料線接受由前述至少一個記憶體陣列塊之前述解碼器所選擇之記憶單元的資料並輸出至前述邏輯部上，藉此前述記憶體宏塊具有N位元之整數倍的記憶容量。
2. 如申請專利範圍第1項之邏輯混成記憶體，其中，前述至少一個記憶體陣列塊係在行方向上互相鄰接配置有複數個，前述資料線係將前述複數個記憶體陣列塊之前述記憶單元陣列上部設在行方向上，而前述複數個記憶體陣列塊係共享前述資料線。
3. 如申請專利範圍第1項之邏輯混成記憶體，其中，前述至少一個記憶體陣列塊係在行方向上互相鄰接配置有複數個，而前述複數個記憶體陣列塊之互相鄰接之至少一對記憶體陣列塊塊係共享前述感測放大器。
4. 如申請專利範圍第1項之邏輯混成記憶體，其中，前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

器，前述控制塊更進一步具備有複數個開關，係為了使前述外部位址信號和前述內部位址信號的對應關係與前述記憶體陣列塊之位址分配得以一致而對應前述外部位址信號和前述複數個位址緩衝器之間而設者。

5. 如申請專利範圍第1項之邏輯混成記憶體，其中，前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝器，前述控制塊更進一步具備有複數個開關，係為了使前述外部位址信號和前述內部位址信號的對應關係與前述記憶體陣列塊之位址分配得以一致而在使所希望之個數的位址緩衝器活性化之下對應前述外部位址信號和前述複數個位址緩衝器之間而設者。

6. 如申請專利範圍第1項之邏輯混成記憶體，其中，前述記憶體宏塊更具備有與前述記憶體陣列塊之個數對應之個數的記憶體陣列電源驅動器塊，記憶體陣列電源驅動器塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的機構。

7. 如申請專利範圍第1項之邏輯混成記憶體，其中，前述記憶體陣列塊係具備有接受外部電源電壓而生成使記憶單元陣列動作之內部電源電壓的機構。

8. 如申請專利範圍第6項之邏輯混成記憶體，其中，前述記憶體陣列電源驅動器塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的電源降壓電晶體。

9. 如申請專利範圍第7項之邏輯混成記憶體，其中，前述記

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

憶體陣列塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的電源降壓電晶體。

10. 如申請專利範圍第1項之邏輯混成記憶體，其中，前述記憶體陣列塊係具備有接受外部電源電壓，而生成供給至前述記憶體陣列塊、前述輸出入資料緩衝器塊、及前述控制塊之直流電源電位的電源電位生成塊。

11. 如申請專利範圍第1項之邏輯混成記憶體，其中，更具備有電源線塊，係鄰接配置於前述複數個記憶體陣列塊之列方向的端部上，且含有電源線。

12. 如申請專利範圍第4或5項之邏輯混成記憶體，其中，前述複數個開關係按照前述對應關係而被選擇連接。

13. 如申請專利範圍第12項之邏輯混成記憶體，其中前述開關，係由金屬配線層所構成，且按照前述對應關係而被選擇切斷。

14. 如申請專利範圍第12項之邏輯混成記憶體，其中前述開關，係由接觸配線層所構成，且按照前述對應關係而被選擇形成。

15. 如申請專利範圍第1項之邏輯混成記憶體，其中，前述記憶單元陣列係由配置成行列狀的DRAM所構成。

16. 如申請專利範圍第1項之邏輯混成記憶體，其中前述複數個記憶體陣列塊，係具備有記憶體陣列塊控制部，包含有列解碼器、行解碼器及使前述感測放大器動作的驅動器；以及至少一個記憶單元陣列，至少配置在前述記憶體陣列塊控制部之列方向的一端上。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

17. 一種邏輯混成記憶體，在單晶片上集成有記憶體宏塊和邏輯部，其特徵為：前述記憶體宏塊係由控制塊、至少一個記憶體陣列塊和複數個輸出入資料緩衝器塊所構成，前述控制塊具備有緩衝由前述邏輯部所輸入之外部位址信號並生成內部位址信號的機構，前述至少一個記憶體陣列塊係具備有解碼器，在列方向上配置有P個由配置成行列狀之M位元記憶單元陣列所構成的副記憶單元陣列塊，接受由前述控制塊之內部位址信號生成機構所生成的內部位址信號而選擇由內部位址信號所指定的行列上之位置的記憶單元，前述副記憶體陣列塊更具備有連接在前述記憶單元上用以放大記憶單元之資料的感測放大器和用以讀出前述記憶單元陣列所選擇之行的資料之Q位元寬幅的資料線，前述複數個輸出入資料緩衝器塊之各個係具備有介以前述資料線而接受放大由前述至少一個記憶體陣列塊之前述解碼器所選擇的記憶單元之資料並輸出至前述邏輯部上的機構，藉此前述記憶體宏塊具有M×P位元之整數倍的記憶容量和Q×P位元之輸出入數。

18. 如申請專利範圍第17項之邏輯混成記憶體，其中，前述複數個記憶體陣列塊之各個係具備有接受外部電源電壓而生成前述感測放大器之內部電源電壓的電源電壓電晶體。

19. 如申請專利範圍第17項之邏輯混成記憶體，其中，前述至少一個記憶體陣列塊係在行方向上互相鄰接配置有複

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

數個，前述資料線係將前述複數個記憶體陣列塊之前述記憶單元陣列上部設在行方向上，而前述複數個記憶體陣列塊係共享前述資料線。

20. 如申請專利範圍第17項之邏輯混成記憶體，其中，前述至少一個記憶體陣列塊係在行方向上鄰接配置有複數個，而前述複數個記憶體陣列塊之互相鄰接之至少一對記憶體陣列塊係共享前述感測放大器。

21. 如申請專利範圍第17項之邏輯混成記憶體，其中，前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝器，前述控制塊更進一步具備有複數個開關，係為了使前述外部位址信號和前述內部位址信號的對應關係與前述記憶體陣列塊之位址分配得以一致而對應前述外部位址信號和前述複數個位址緩衝器之間而設者。

22. 如申請專利範圍第21項之邏輯混成記憶體，其中，前述複數個開關係按照前述對應關係而被選擇連接。

23. 如申請專利範圍第22項之邏輯混成記憶體，其中，前述開關，係由金屬配線層所構成，且按照前述對應關係而被選擇切斷。

24. 如申請專利範圍第22項之邏輯混成記憶體，其中前述開關，係由接觸配線層所構成，且按照前述對應關係而被選擇形成。

25. 如申請專利範圍第17項之邏輯混成記憶體，其中，前述記憶體宏塊更具備有與前述記憶體陣列塊之個數對應之個數的記憶體陣列電源驅動器塊，記憶體陣列電源驅動

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

器塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的機構。

26. 如申請專利範圍第17項之邏輯混成記憶體，其中，前述記憶體陣列塊係具備有接受外部電源電壓而生成使記憶單元陣列動作之內部電源電壓的機構。

27. 如申請專利範圍第26項之邏輯混成記憶體，其中，前述記憶體陣列電源驅動器塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的電源降壓電晶體。

28. 如申請專利範圍第27項之邏輯混成記憶體，其中，前述記憶體陣列塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的電源降壓電晶體。

29. 如申請專利範圍第17項之邏輯混成記憶體，其中，前述記憶單元陣列係由配置成行列狀的DRAM所構成。

30. 一種設計邏輯混成記憶體之方法，在單晶片上集成有記憶體宏塊和邏輯部，其特徵為：前述記憶體宏塊具備有，控制塊，具有緩衝由前述邏輯部所輸入之外部位址信號並生成內部位址信號的機構；至少一個記憶體陣列塊，具有配置成行列狀之各個N位元記憶容量之複數個記憶單元陣列、連接在前述記憶單元陣列上用以放大記憶單元之資料的感測放大器、接受由前述控制塊之內部位址信號生成機構所生成的內部位址信號用以選擇由內部位址信號所指定的行列上之位址之記憶單元的解碼器、及資料線；以及輸出入資料緩衝器塊，介以前述資料線

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

接受由前述至少一個記憶體陣列塊之前述解碼器所選擇之記憶單元的資料並輸出至前述邏輯部上，該設計方法包含有決定滿足前述記憶體宏塊之規格的前述記憶體陣列塊之數L(L為自然數)之步驟、及按照程式利用自動處理以作成將被決定的L個前述記憶體陣列塊鄰接配置在前述輸出入資料緩衝器塊及前述控制塊上的佈局資料之步驟，藉此前述記憶體宏塊具有N×L位元之整數倍的記憶容量。

31. 如申請專利範圍第30項設計邏輯混成記憶體之方法，其中，前述至少一個記憶體陣列塊係在行方向上鄰接配置有複數個，前述資料線係將前述複數個記憶體陣列塊之前述記憶單元陣列上部設在行方向上，而前述複數個記憶體陣列塊係共享前述資料線。

32. 如申請專利範圍第30項設計邏輯混成記憶體之方法，其中，前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝器，前述控制塊係對應於前述外部位址信號和前述複數個位址緩衝器之間且更具備有複數個開關，為了使前述外部位址信號和前述內部位址信號的對應關係與前述記憶體陣列塊之位址分配得以一致而選擇連接前述複數個開關者。

33. 如申請專利範圍第30項設計邏輯混成記憶體之方法，其中，前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝器，前述控制塊係對應於前述外部位址信號和前述複數個位址緩衝器之間且更具備有複數個開關，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

為了使前述外部位址信號和前述內部位址信號的對應關係與前述記憶體陣列塊之位址分配得以一致而選擇連接前述複數個開關且使所希望之個數的位址緩衝器活性化者。

34. 如申請專利範圍第30項設計邏輯混成記憶體之方法，其中，前述記憶體宏塊更具備有與前述記憶體陣列塊之個數對應之個數的記憶體陣列電源驅動器塊，記憶體陣列電源驅動器塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的機構。

35. 如申請專利範圍第30項設計邏輯混成記憶體之方法，其中，前述記憶體陣列塊係具備有接受外部電源電壓，而生成供給至前述記憶體陣列塊、前述輸出入資料緩衝器塊、及前述控制塊之直流電源電位的電源電位生成塊。

36. 如申請專利範圍第30項設計邏輯混成記憶體之方法，其中，更具備有電源線塊，係鄰接配置於前述複數個記憶體陣列塊之列方向的端部上，且含有電源線。

37. 如申請專利範圍第30項設計邏輯混成記憶體之方法，其中，前述記憶單元陣列係由配置成行列狀的DRAM所構成。

38. 如申請專利範圍第30項設計邏輯混成記憶體之方法，其中，前述記憶體陣列塊之整數L係根據前述記憶體宏塊之列數、行數、輸出入資料數、總容量之規格中之至少一個規格而決定者。

39. 一種設計邏輯混成記憶體之方法，在單晶片上集成有記

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

憶體宏塊和邏輯部，其特徵為：前述記憶體宏塊係由控制塊、至少一個記憶體陣列塊和複數個輸出入資料緩衝器塊所構成，前述控制塊具備有緩衝由前述邏輯部所輸入之外部位址信號並生成內部位址信號的機構，前述至少一個記憶體陣列塊係具備有解碼器，在列方向上配置有P個由配置成行列狀之M位元記憶單元陣列所構成的副記憶單元陣列，接受由前述控制塊之內部位址信號生成機構所生成的內部位址信號而選擇由內部位址信號所指定的行列上之位置的記憶單元，前述副記憶體陣列塊更具備有連接在前述記憶單元上用以放大記憶單元之資料的感測放大器和用以讀出前述記憶單元陣列所選擇之行的資料之Q位元寬幅的資料線，前述複數個輸出入資料緩衝器塊之各個係具備有介以前述資料線而接受放大由前述至少一個記憶體陣列塊之前述解碼器所選擇的記憶單元之資料並輸出至前述邏輯部上的機構，該設計方法包含有決定滿足前述記憶體宏塊之規格的前述副記憶體陣列塊之數P、前述記憶體陣列塊之數L和前述輸出入資料緩衝器塊之數之步驟、及按照程式利用自動處理以作成將被決定之數的前述記憶體陣列塊P和前述輸出入資料緩衝器塊鄰接配置在前述控制塊上的佈局資料之步驟，藉此前述記憶體宏塊具有M×P×L位元之整數倍的記憶容量和Q×P位元之輸出入數。

40. 如申請專利範圍第39項設計邏輯混成記憶體之方法，其中，前述複數個記憶體陣列塊之各個係具備有接受外部電源電壓而生成前述感測放大器之內部電源電壓的電源

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

降壓電晶體。

41. 如申請專利範圍第39項設計邏輯混成記憶體之方法，其中，前述至少一個記憶體陣列塊係在行方向上互相鄰接配置有複數個，前述資料線係將前述複數個記憶體陣列塊之前述記憶單元陣列上部設在行方向上，而前述複數個記憶體陣列塊係共享前述資料線。

42. 如申請專利範圍第39項設計邏輯混成記憶體之方法，其中，前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝器，前述控制塊更進一步具備有開關，係為了使前述外部位址信號和前述內部位址信號的對應關係與前述記憶體陣列塊之位址分配得以一致者。

43. 如申請專利範圍第39項設計邏輯混成記憶體之方法，其中，前述記憶體宏塊更具備有與前述記憶體陣列塊之個數對應之個數的記憶體陣列電源驅動器塊，記憶體陣列電源驅動器塊係具備有接受外部電源電壓而生成使記憶體陣列動作之內部電源電壓的機構。

44. 如申請專利範圍第39項設計邏輯混成記憶體之方法，其中，前述記憶單元陣列係由配置成行列狀的DRAM所構成。

45. 如申請專利範圍第39項設計邏輯混成記憶體之方法，其中，前述副記憶體陣列塊之數P和前述輸出入資料緩衝器之數係根據前述記憶體宏塊之列數、行數、輸出入資料數、總容量之規格中之至少一個規格而決定者。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

公告本

418522

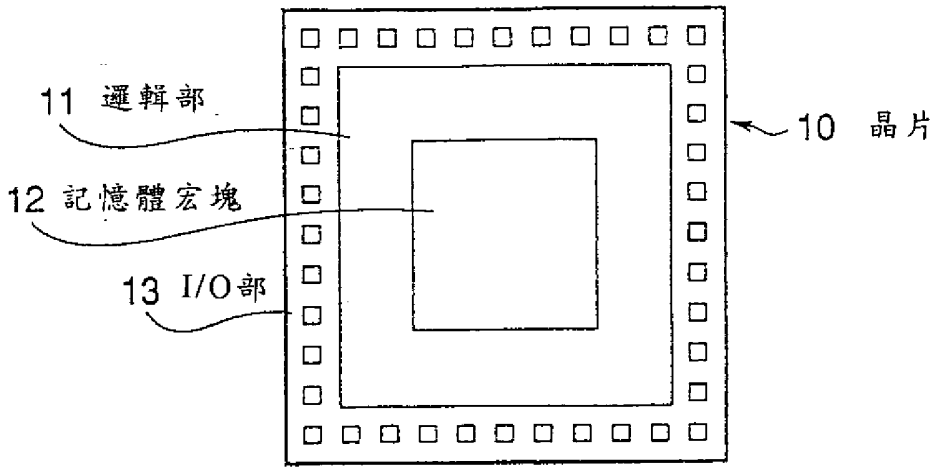


圖 1

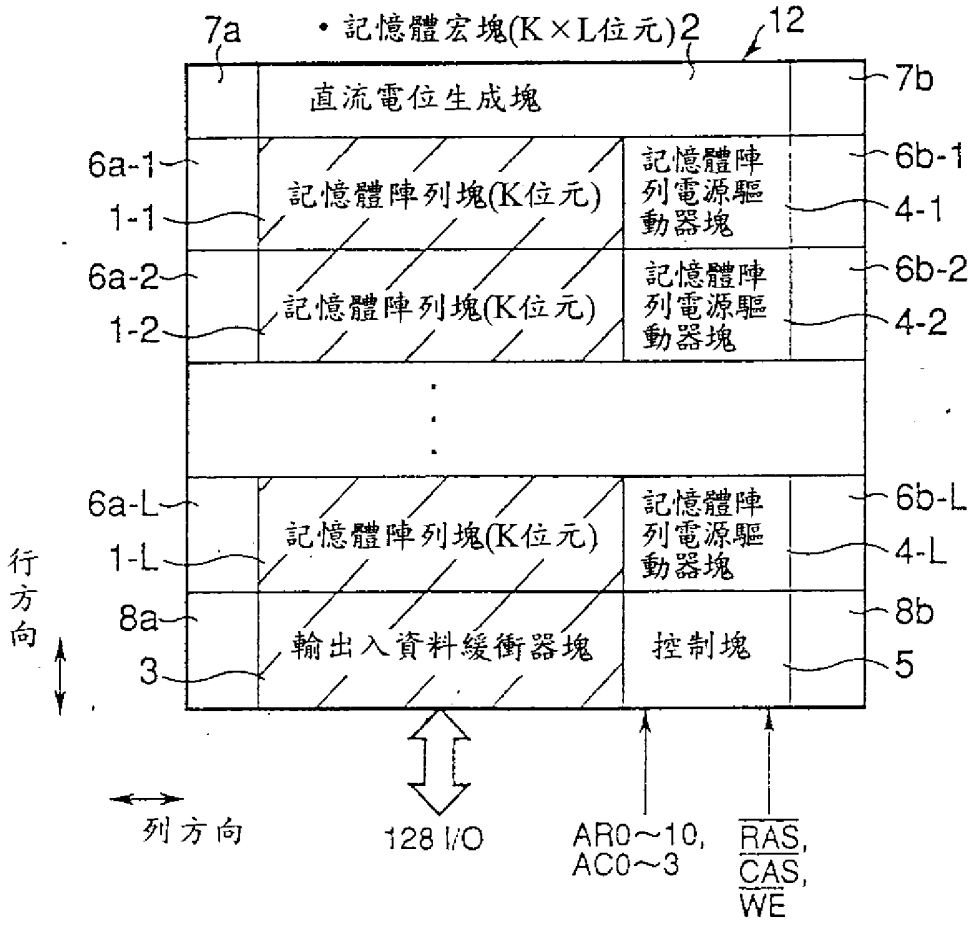


圖 2

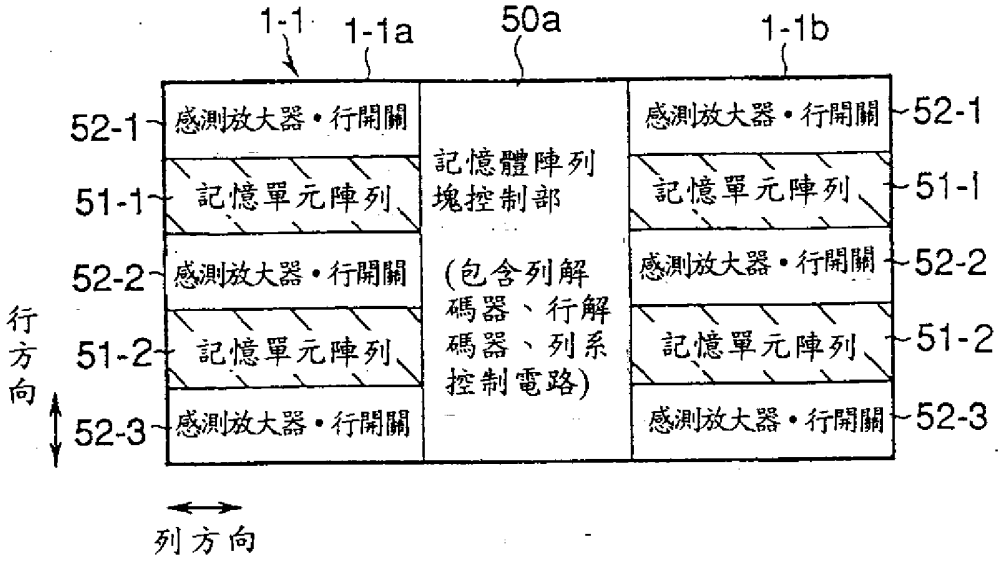

1-1
1-1a
50a
1-1b
52-1
感測放大器・行開關
記憶體陣列
塊控制部
感測放大器・行開關
52-1
51-1
記憶單元陣列
(包含列解
碼器、行解
碼器、列系
控制電路)
記憶單元陣列
51-1
52-2
感測放大器・行開關
感測放大器・行開關
52-2
51-2
記憶單元陣列
記憶單元陣列
51-2
52-3
感測放大器・行開關
感測放大器・行開關
52-3
行方向
列方向

圖 3

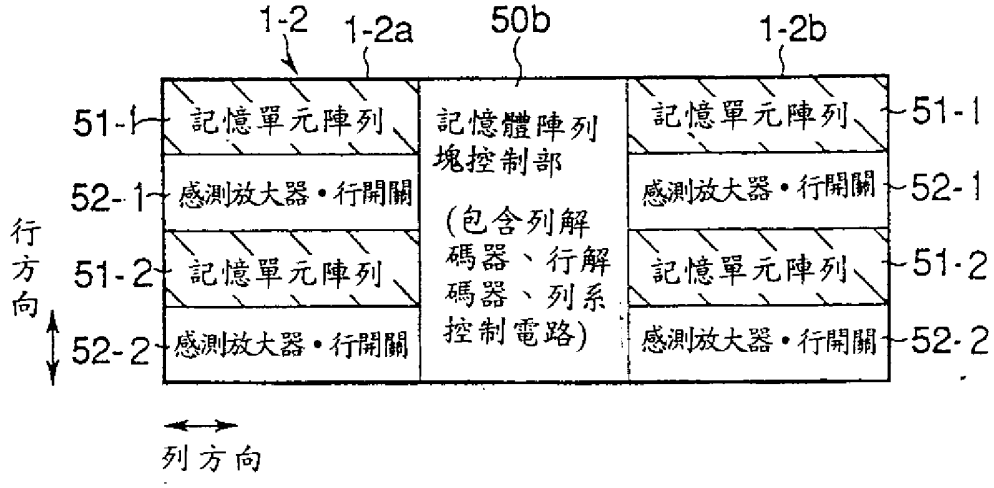

1-2
1-2a
50b
1-2b
51-1
記憶單元陣列
記憶體陣列
塊控制部
記憶單元陣列
51-1
52-1
感測放大器・行開關
(包含列解
碼器、行解
碼器、列系
控制電路)
感測放大器・行開關
52-1
51-2
記憶單元陣列
記憶單元陣列
51-2
52-2
感測放大器・行開關
感測放大器・行開關
52-2
行方向
列方向

圖 4

118522

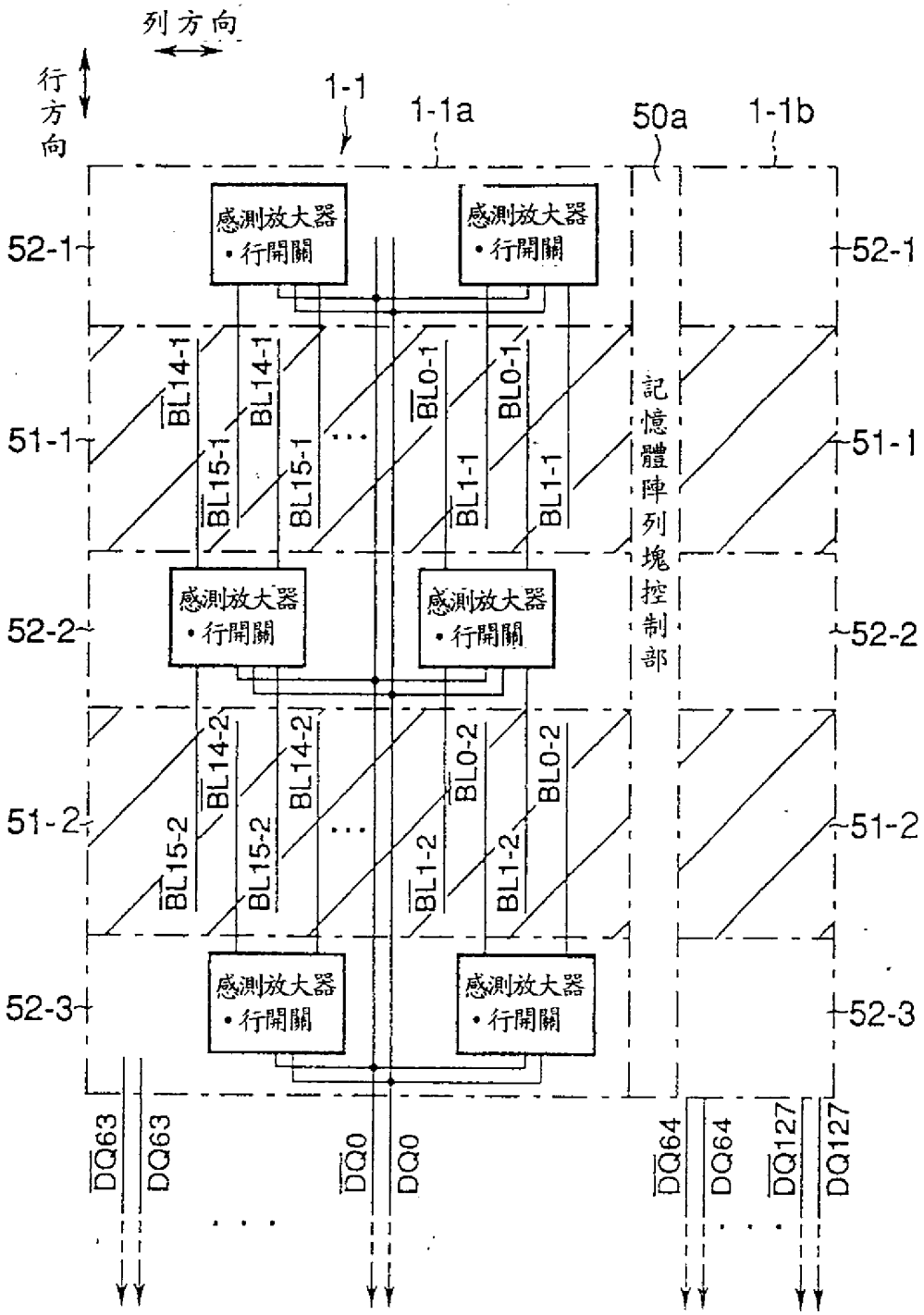

列方向
行方向
1-1
1-1a
50a
1-1b
感測放大器
・行開關
52-1
51-1
52-2
51-2
52-3
BL14-1
BL15-1
BL0-1
BL1-1
記憶體陣列塊控制部
BL14-2
BL15-2
BL0-2
BL1-2
DQ63
DQ0
DQ64
DQ127

圖 5

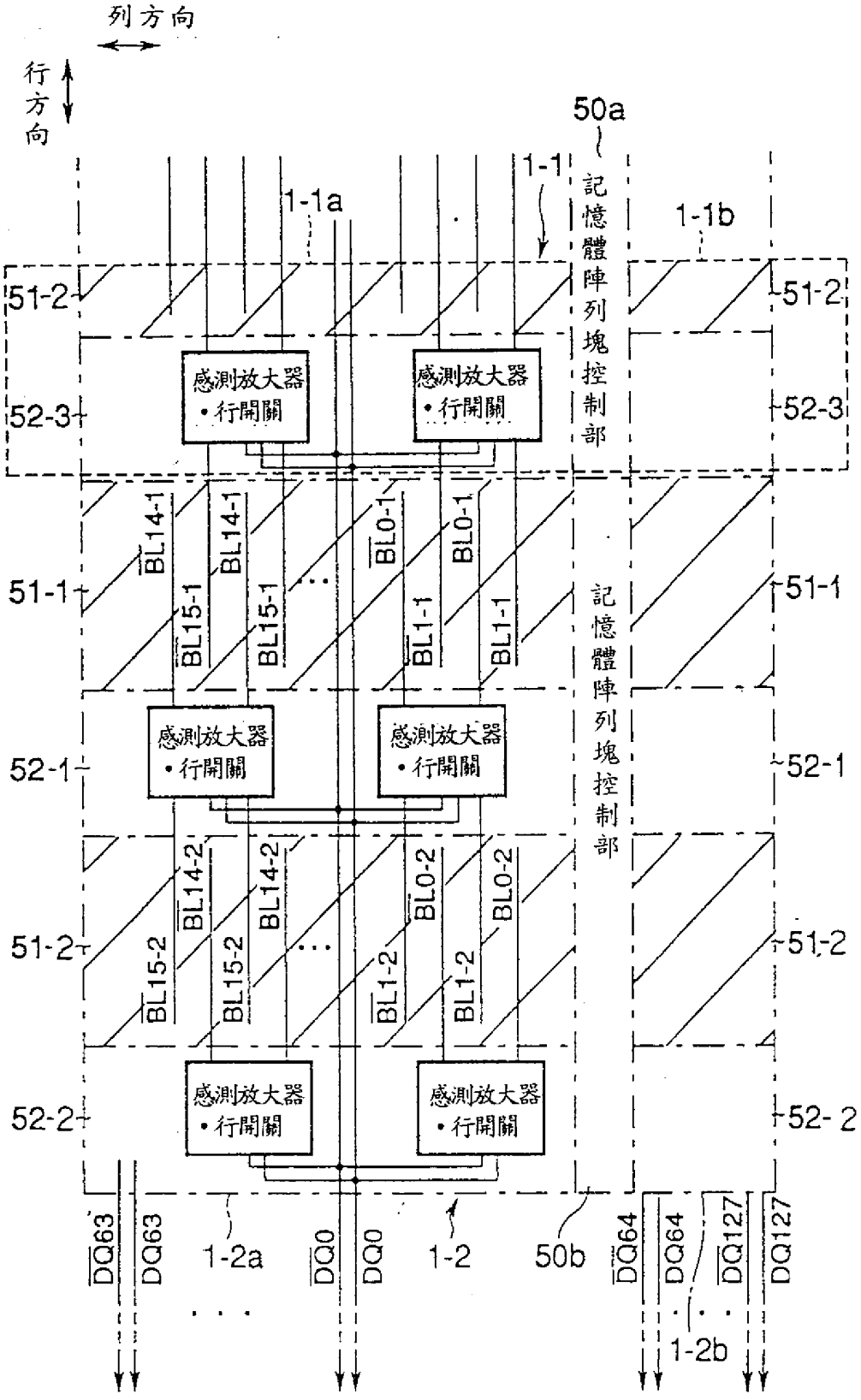

列方向
行方向
50a
1-1
記憶體陣列塊控制部
1-1a
1-1b
51-2
52-3
感測放大器・行開關
51-1
52-1
52-2
BL14-1
BL15-1
BL0-1
BL1-1
BL14-2
BL15-2
BL0-2
BL1-2
DQ63
DQ0
DQ64
DQ127
1-2a
1-2
50b
1-2b

圖 6

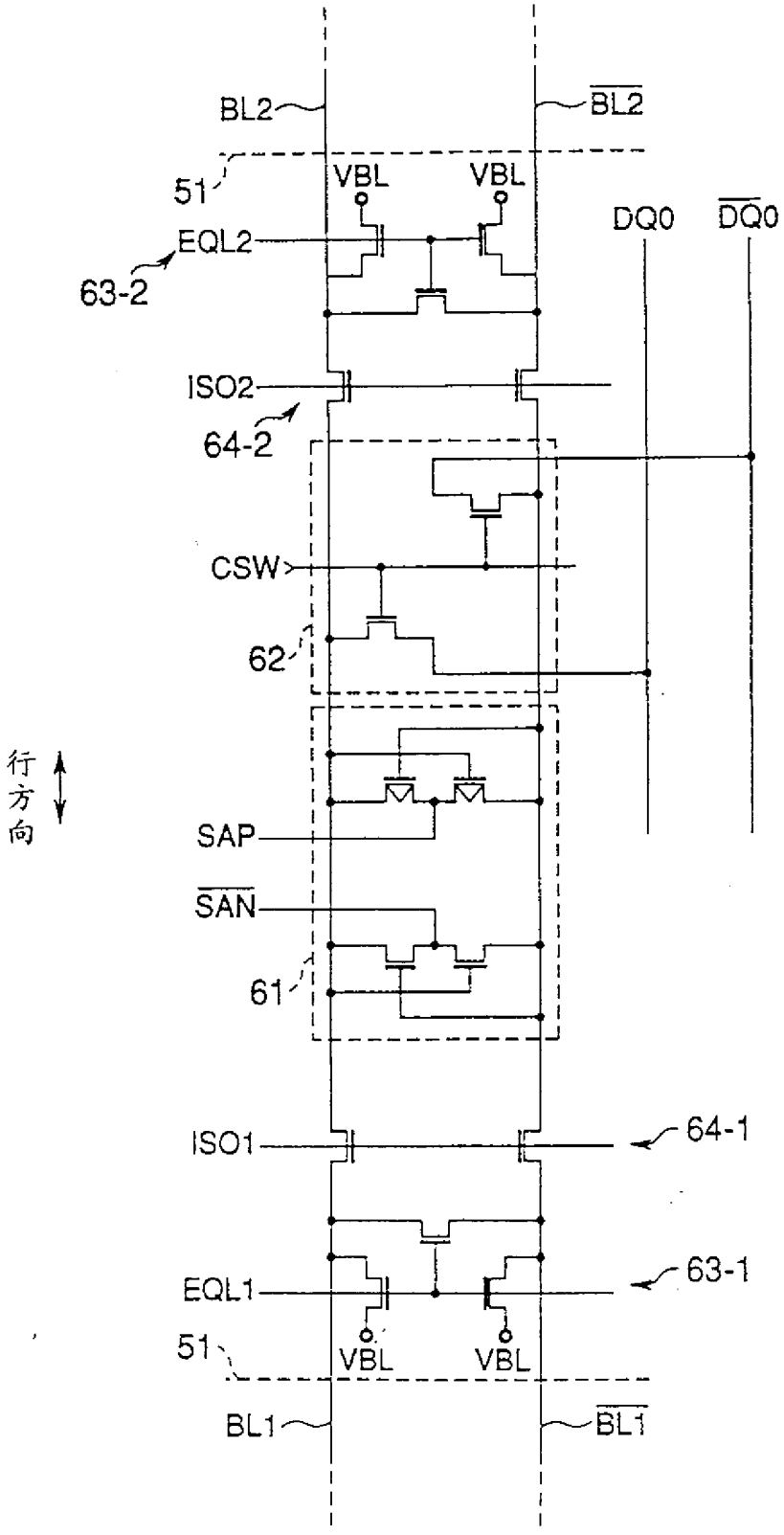

BL2
$\overline{BL2}$
51
VBL
VBL
DQ0
$\overline{DQ0}$
EQL2
63-2
ISO2
64-2
CSW
62
行方向
SAP
$\overline{SAN}$
61
ISO1
64-1
EQL1
63-1
51
VBL
VBL
BL1
$\overline{BL1}$

圖 7

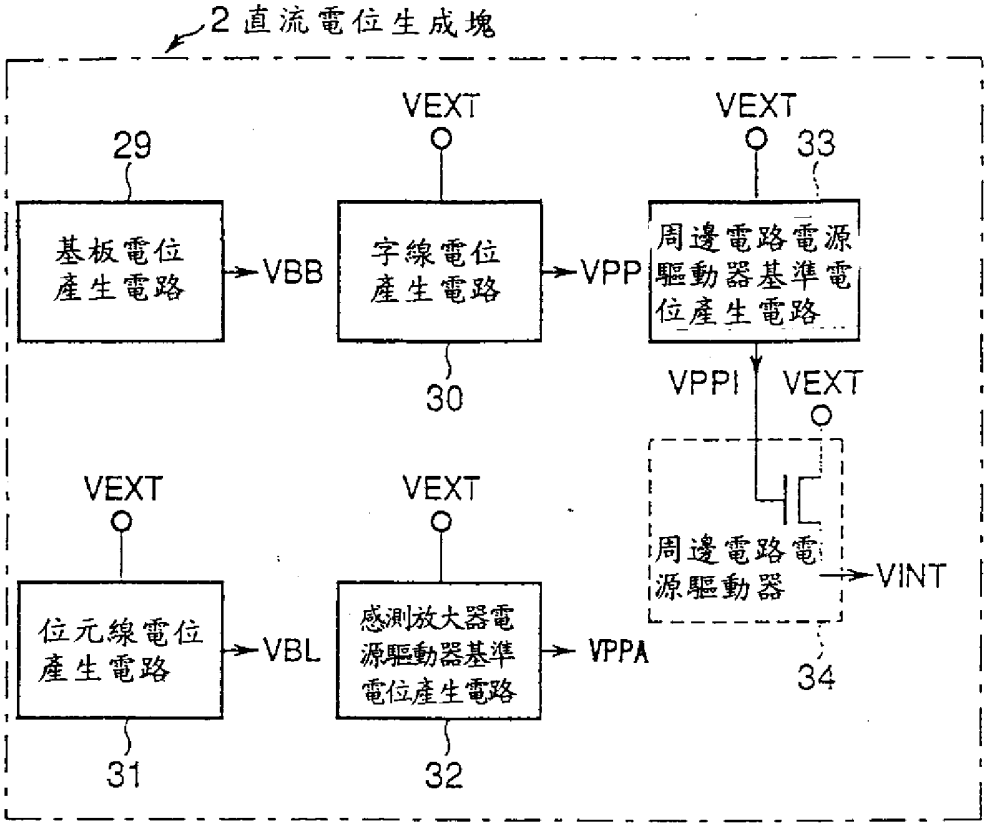

2 直流電位生成塊
29
基板電位產生電路
VBB
VEXT
字線電位產生電路
30
VPP
VEXT
33
周邊電路電源驅動器基準電位產生電路
VPPI
VEXT
周邊電路電源驅動器
VINT
34
VEXT
位元線電位產生電路
31
VBL
VEXT
感測放大器電源驅動器基準電位產生電路
32
VPPA

圖 8

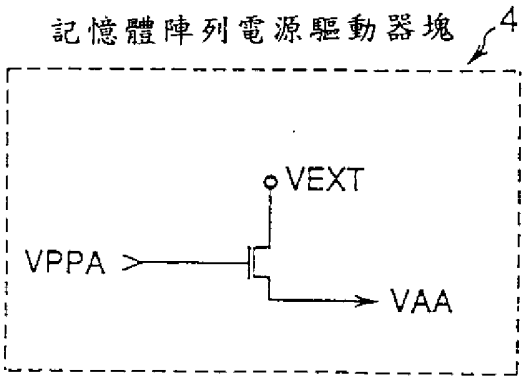

記憶體陣列電源驅動器塊
4
VEXT
VPPA
VAA

圖 9

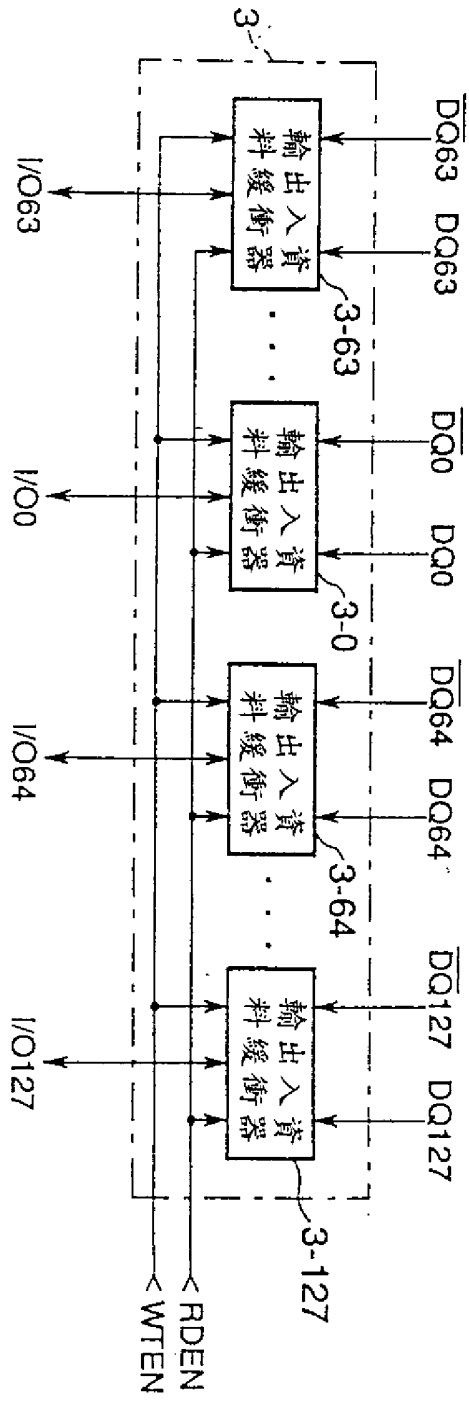

3
輸出入資料緩衝器
3-63
3-0
3-64
3-127
DQ63
DQ63
DQ0
DQ0
DQ64
DQ64
DQ127
DQ127
I/O63
I/O0
I/O64
I/O127
RDEN
WTEN

圖10

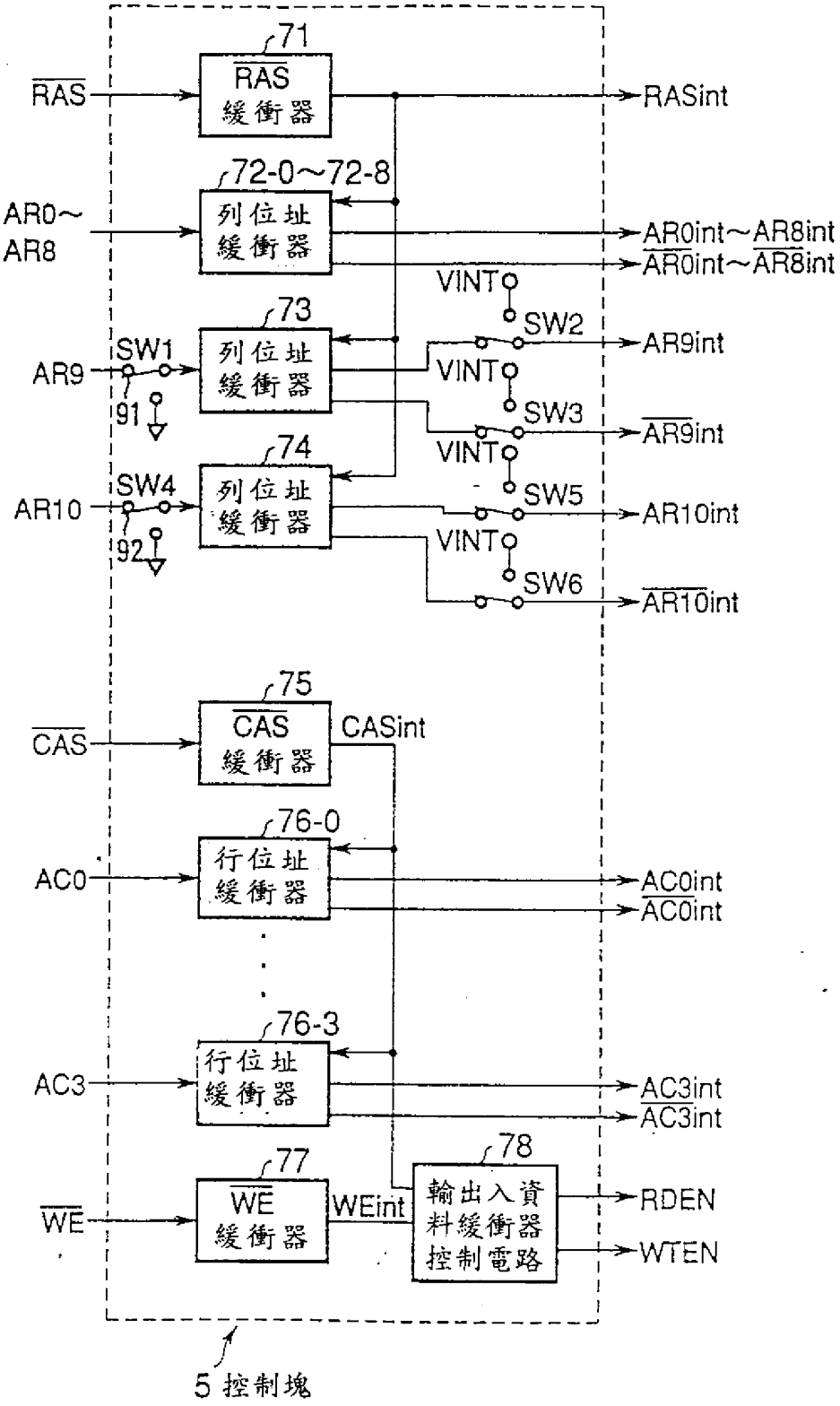

71
RAS
緩衝器
RAS
RASint
72-0~72-8
列位址
緩衝器
AR0~
AR8
AR0int~AR8int
AR0int~AR8int
VINT
SW2
73
列位址
緩衝器
SW1
AR9
AR9int
VINT
91
SW3
AR9int
VINT
74
列位址
緩衝器
SW4
AR10
SW5
AR10int
VINT
92
SW6
AR10int
75
CAS
緩衝器
CAS
CASint
76-0
行位址
緩衝器
AC0
AC0int
AC0int
76-3
行位址
緩衝器
AC3
AC3int
AC3int
77
WE
緩衝器
WE
WEint
78
輸出入資
料緩衝器
控制電路
RDEN
WTEN
5 控制塊

圖 11

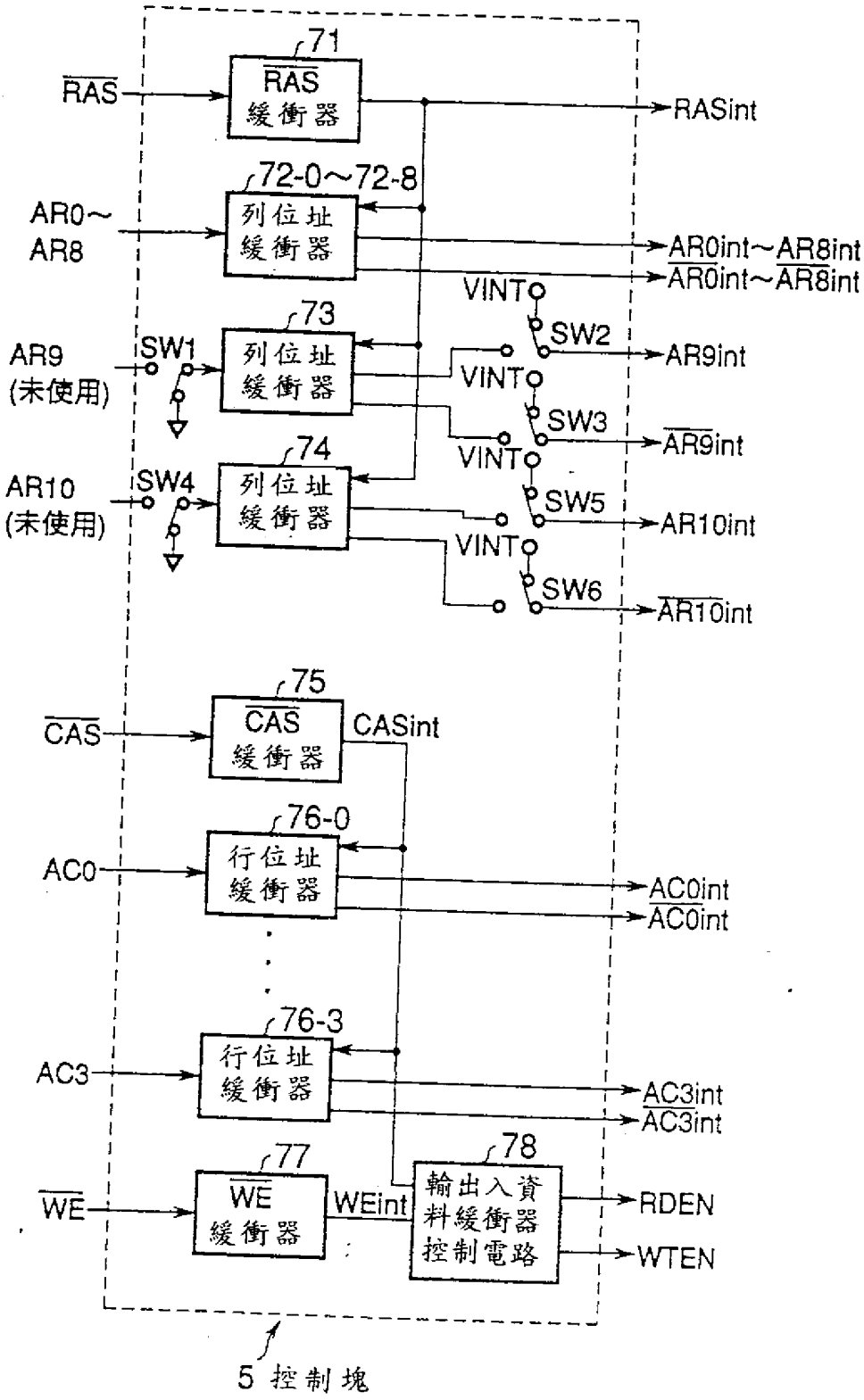

71
RAS
RAS
緩衝器
RASint
72-0～72-8
AR0～
AR8
列位址
緩衝器
AR0int～AR8int
AR0int～AR8int
VINT
SW2
AR9int
73
AR9
(未使用)
SW1
列位址
緩衝器
VINT
SW3
AR9int
VINT
74
AR10
(未使用)
SW4
列位址
緩衝器
SW5
AR10int
VINT
SW6
AR10int
75
CAS
CAS
緩衝器
CASint
76-0
AC0
行位址
緩衝器
AC0int
AC0int
76-3
AC3
行位址
緩衝器
AC3int
AC3int
77
WE
WE
緩衝器
WEint
78
輸出入資
料緩衝器
控制電路
RDEN
WTEN
5 控制塊

圖 12

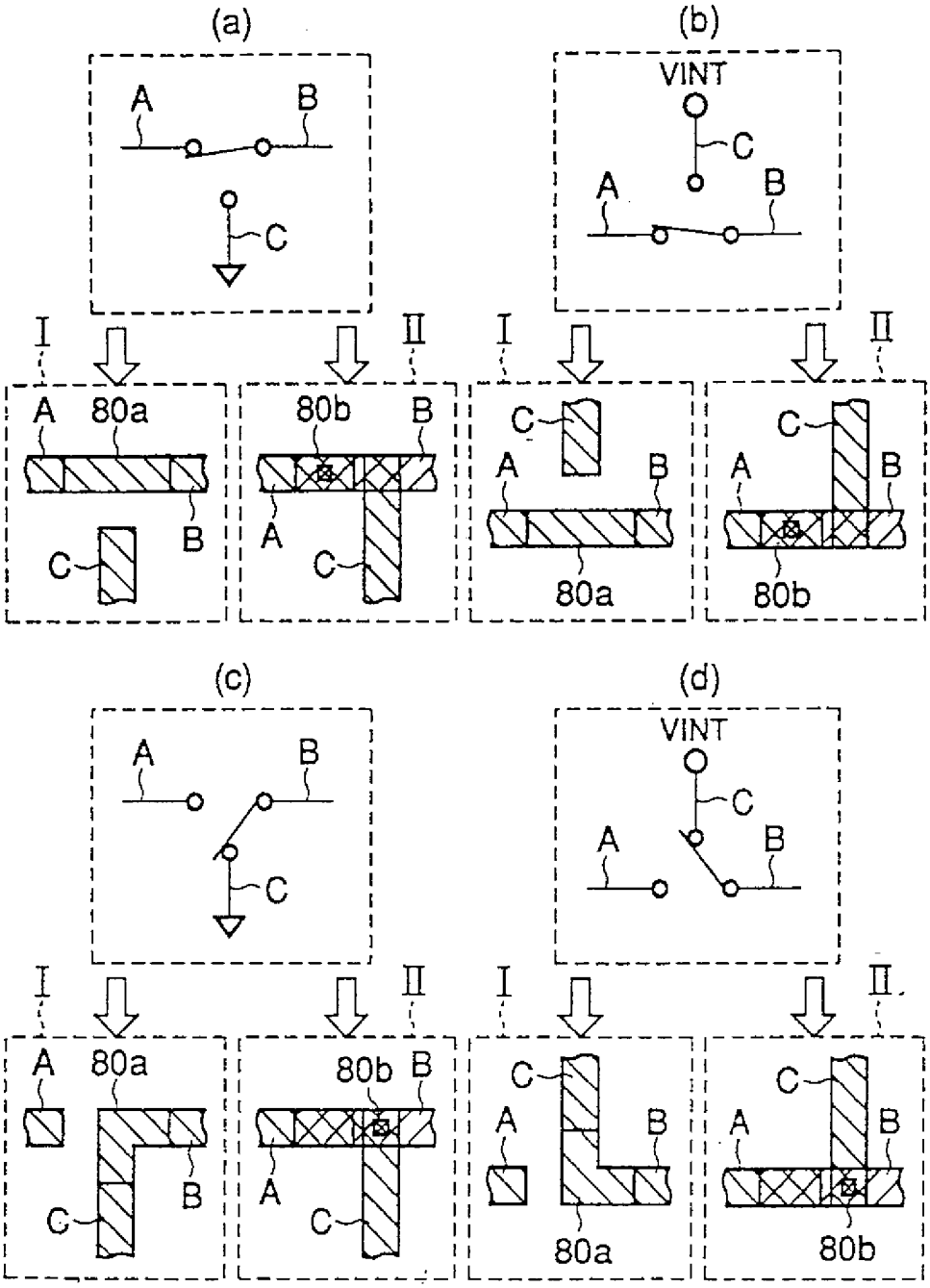


圖 13

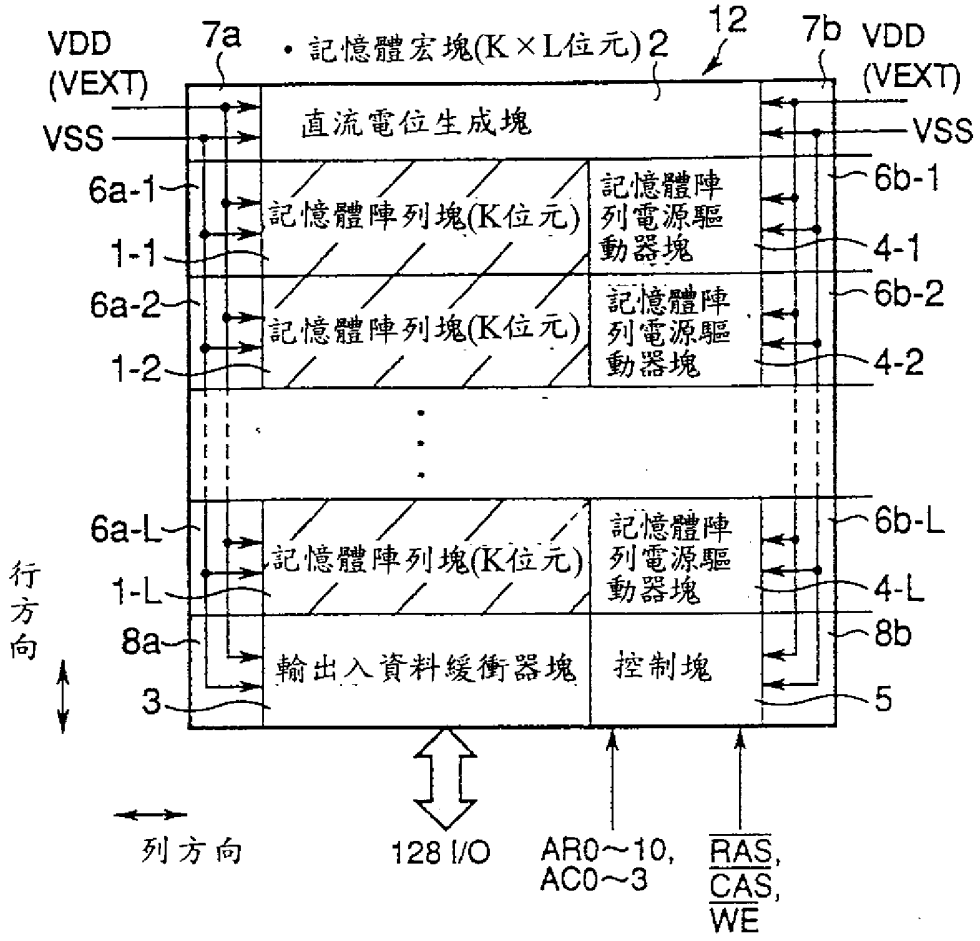

VDD
(VEXT)
VSS
7a
記憶體宏塊(K×L位元)
2
12
7b
VDD
(VEXT)
VSS
直流電位生成塊
6a-1
1-1
記憶體陣列塊(K位元)
記憶體陣列電源驅動器塊
6b-1
4-1
6a-2
1-2
記憶體陣列塊(K位元)
記憶體陣列電源驅動器塊
6b-2
4-2
6a-L
1-L
記憶體陣列塊(K位元)
記憶體陣列電源驅動器塊
6b-L
4-L
8a
3
輸出入資料緩衝器塊
控制塊
8b
5
行方向
列方向
128 I/O
AR0～10,
AC0～3
RAS,
CAS,
WE

圖 14

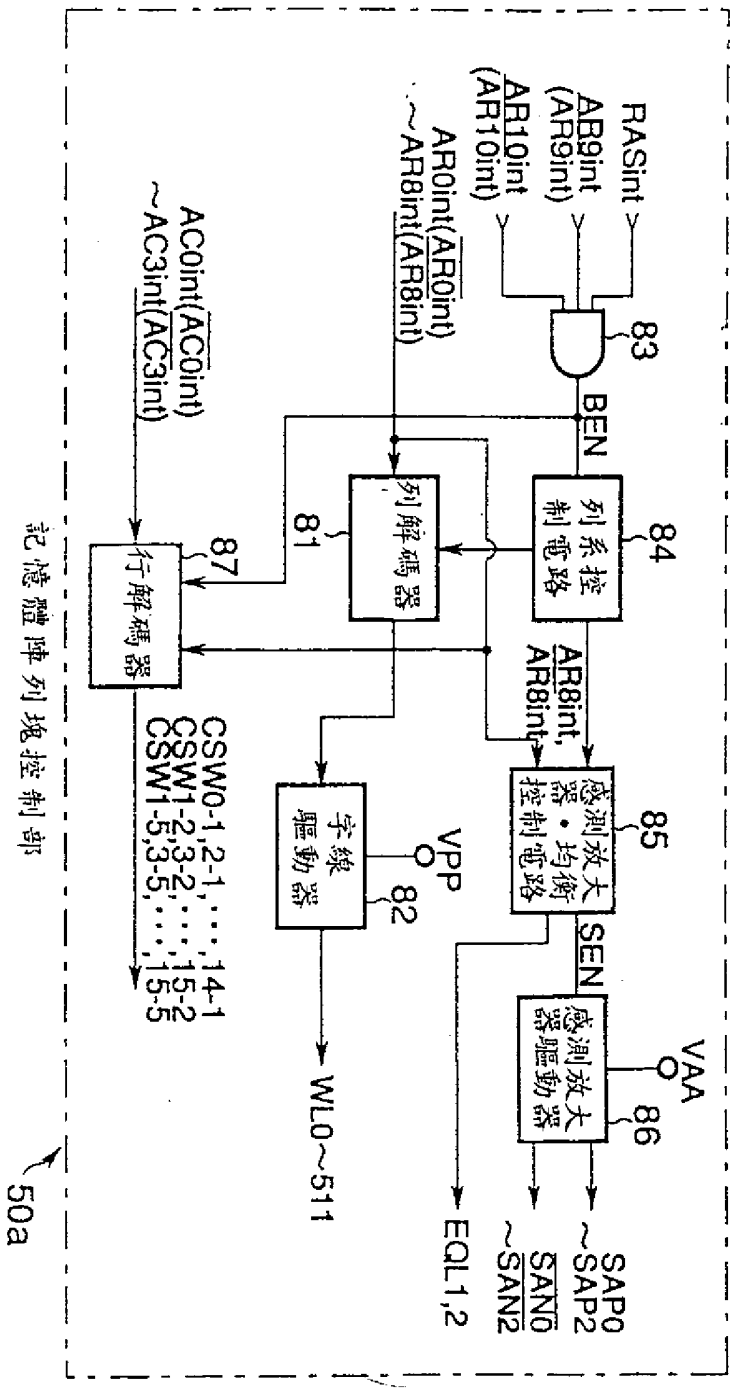

RASint
AR9int (AR9int)
AR10int (AR10int)
AR0int(AR0int) ~AR8int(AR8int)
AC0int(AC0int) ~AC3int(AC3int)
83
BEN
列系控制電路
84
列解碼器
81
行解碼器
87
AR8int, AR8int
感測放大器・均衡控制電路
85
SEN
感測放大器驅動器
86
VAA
字線驅動器
82
VPP
CSW0-1,2-1,...,14-1
CSW1-2,3-2,...,15-2
CSW1-5,3-5,...,15-5
WL0~511
EQL1,2
SAP0 ~SAP2
SAN0 ~SAN2
記憶體陣列塊控制部
50a

圖 15

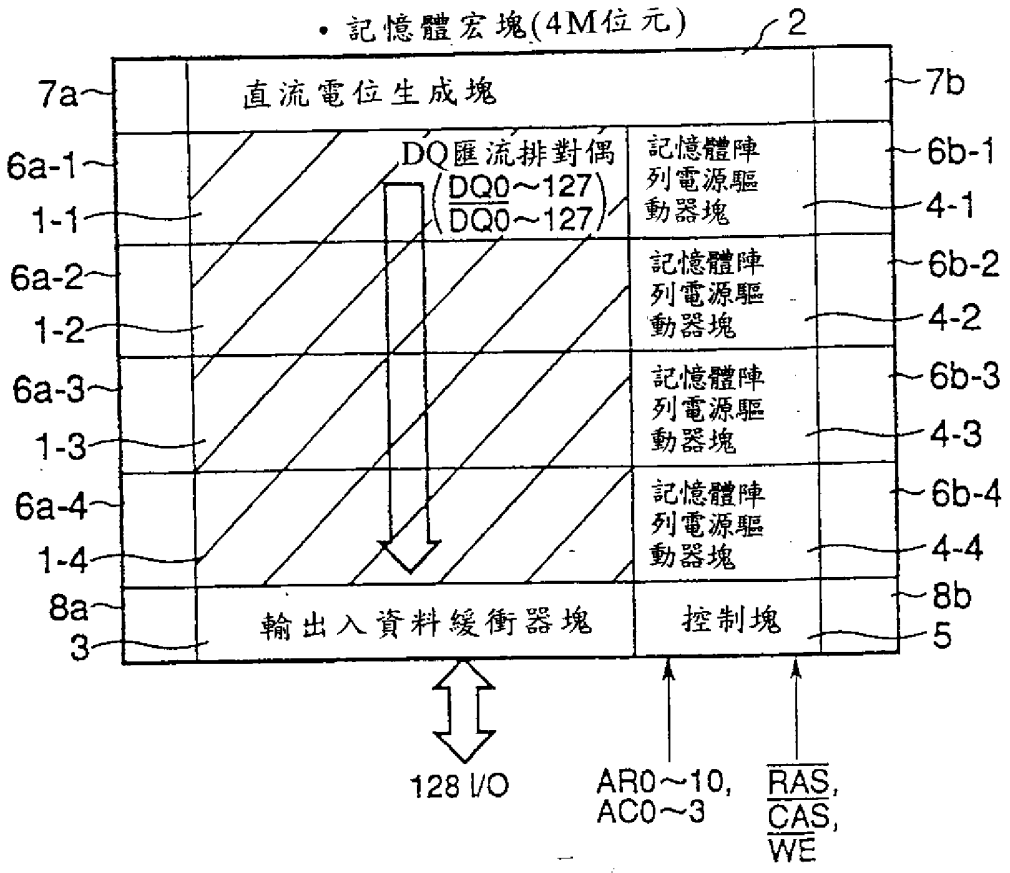

• 記憶體宏塊(4M位元)
2
7a
直流電位生成塊
7b
6a-1
1-1
DQ匯流排對偶
(DQ0~127
DQ0~127)
記憶體陣
列電源驅
動器塊
6b-1
4-1
6a-2
1-2
記憶體陣
列電源驅
動器塊
6b-2
4-2
6a-3
1-3
記憶體陣
列電源驅
動器塊
6b-3
4-3
6a-4
1-4
記憶體陣
列電源驅
動器塊
6b-4
4-4
8a
3
輸出入資料緩衝器塊
控制塊
8b
5
128 I/O
AR0~10,
AC0~3
RAS,
CAS,
WE

圖 16

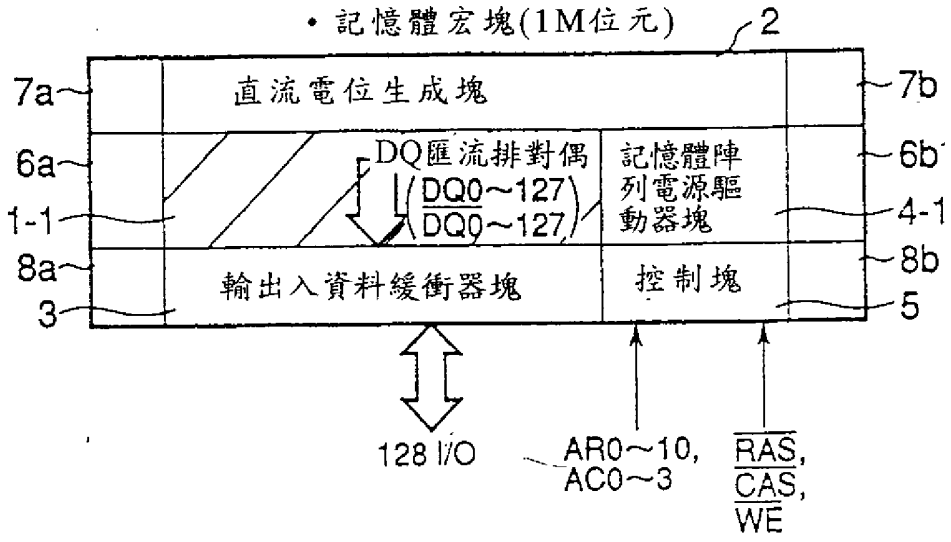
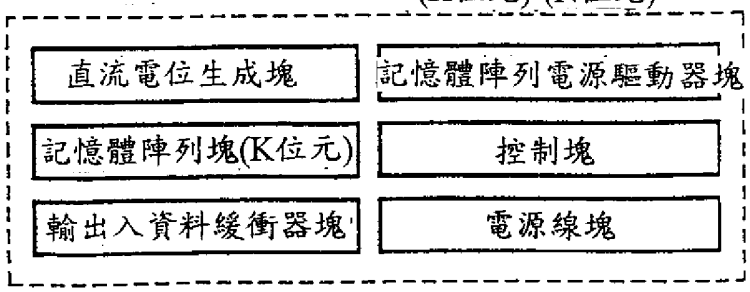

• 記憶體宏塊(1M位元)
2
7a
直流電位生成塊
7b
6a
1-1
DQ匯流排對偶
(DQ0~127
DQ0~127)
記憶體陣
列電源驅
動器塊
6b
4-1
8a
3
輸出入資料緩衝器塊
控制塊
8b
5
128 I/O
AR0~10,
AC0~3
RAS,
CAS,
WE

圖 17

[記憶體宏塊設計流程圖]

塊設計(記憶容量之最小單位，最大容量)

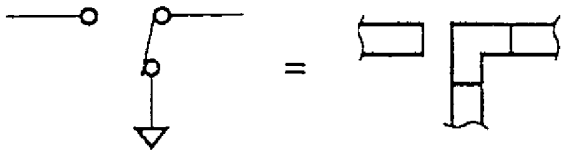
(K位元) (N位元)



規格之確認及輸入(記憶體宏塊之記憶容量N位元，列數，行數，I/O數等)

計算記憶體陣列塊數L(=N/K)

塊位址用開關之切換(利用CAD處理以進行切換自動化)

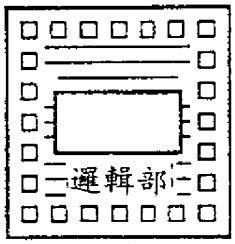


記憶體宏塊之設計終了

記憶體宏塊

邏輯設計

(閘陣列，標準單元等)



記憶體混合邏輯之設計終了



圖 18

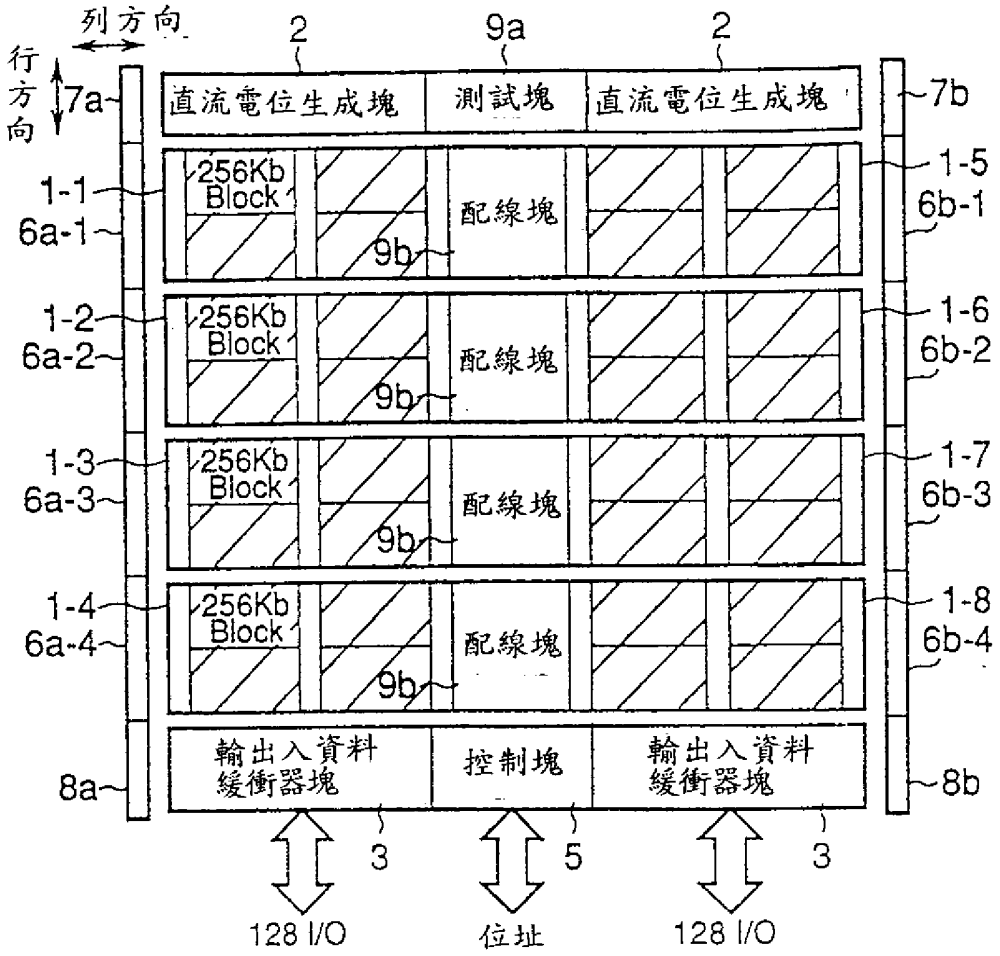

列方向
行方向
2
9a
2
7a
直流電位生成塊
測試塊
直流電位生成塊
7b
1-1
6a-1
256Kb Block
9b
配線塊
1-5
6b-1
1-2
6a-2
256Kb Block
9b
配線塊
1-6
6b-2
1-3
6a-3
256Kb Block
9b
配線塊
1-7
6b-3
1-4
6a-4
256Kb Block
9b
配線塊
1-8
6b-4
8a
輸出入資料緩衝器塊
控制塊
輸出入資料緩衝器塊
8b
3
5
3
128 I/O
位址
128 I/O

圖 19

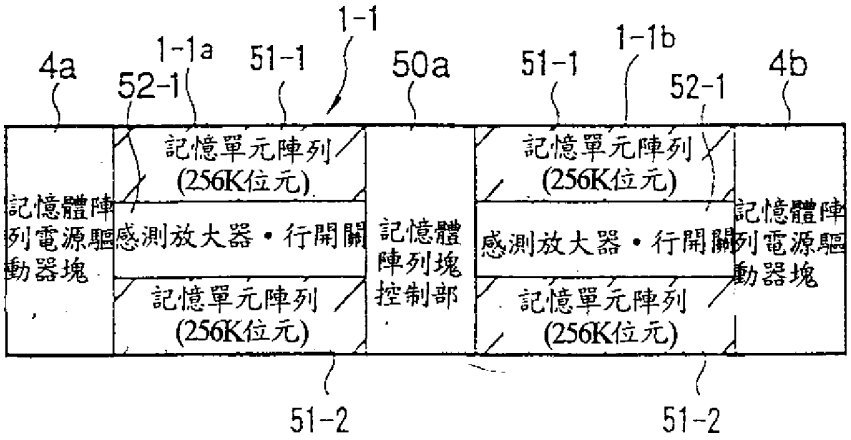

1-1
4a
1-1a
52-1
51-1
50a
51-1
1-1b
52-1
4b
記憶體陣列電源驅動器塊
記憶單元陣列 (256K位元)
感測放大器・行開關
記憶單元陣列 (256K位元)
記憶體陣列塊控制部
記憶單元陣列 (256K位元)
感測放大器・行開關
記憶單元陣列 (256K位元)
記憶體陣列電源驅動器塊
51-2
51-2

圖 20

418522

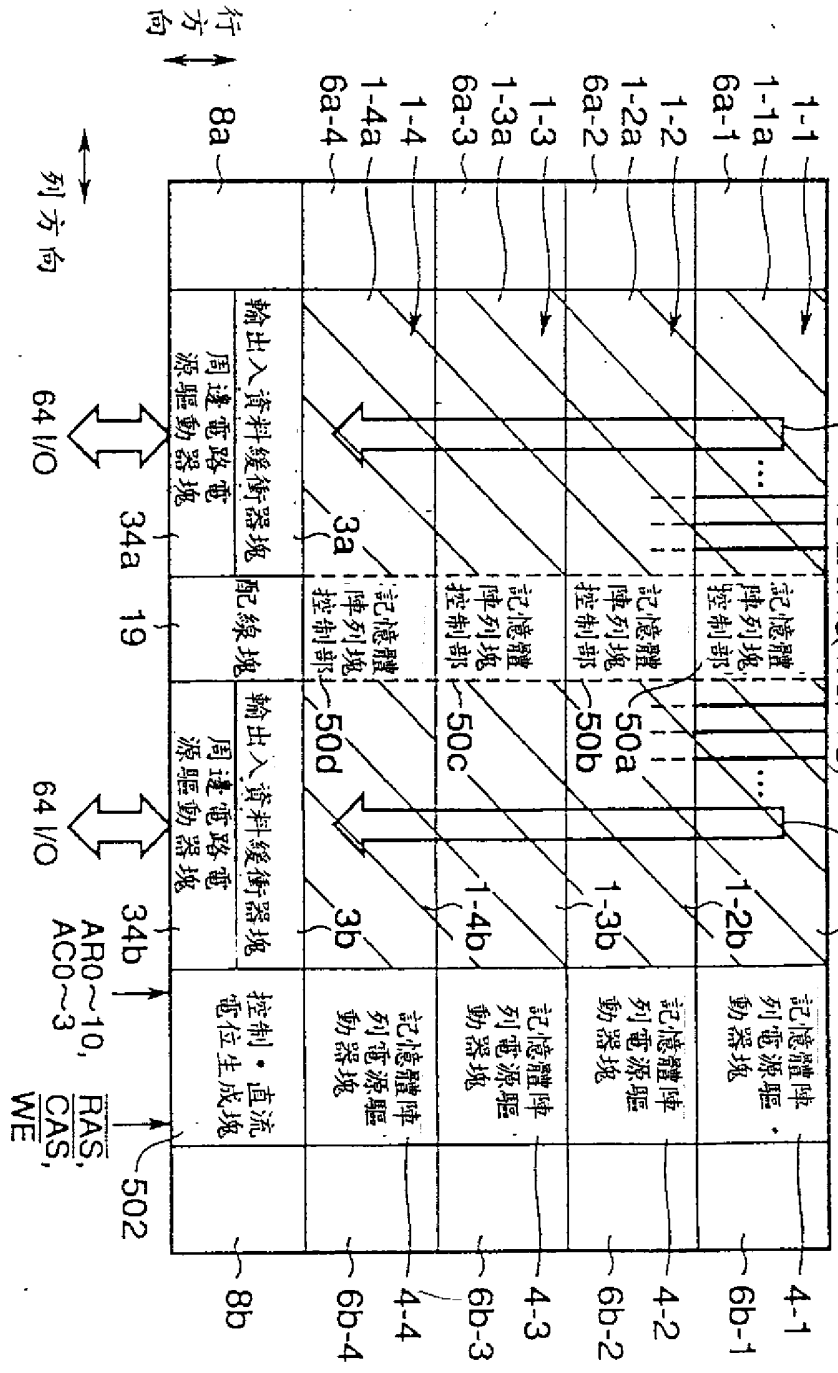

(DQ0,/DQ0～DQ63,/DQ63)
(DQ64,/DQ64～DQ127,/DQ127)
• 記憶體宏塊(4M位元)
1-1b
記憶體陣列電源驅動器塊
1-2b
記憶體陣列電源驅動器塊
1-3b
記憶體陣列電源驅動器塊
1-4b
記憶體陣列電源驅動器塊
3b
控制・直流電位生成塊
502
4-1
4-2
4-3
4-4
6b-1
6b-2
6b-3
6b-4
8b
1-1
1-1a
6a-1
1-2
1-2a
6a-2
1-3
1-3a
6a-3
1-4
1-4a
6a-4
8a
行方向
列方向
記憶體陣列控制部
50a
50b
50c
50d
3a
輸出入資料緩衝器塊
周邊電路電源驅動器塊
34a
64 I/O
配線塊
19
34b
64 I/O
AR0～10,
AC0～3
RAS,
CAS,
WE

圖 21

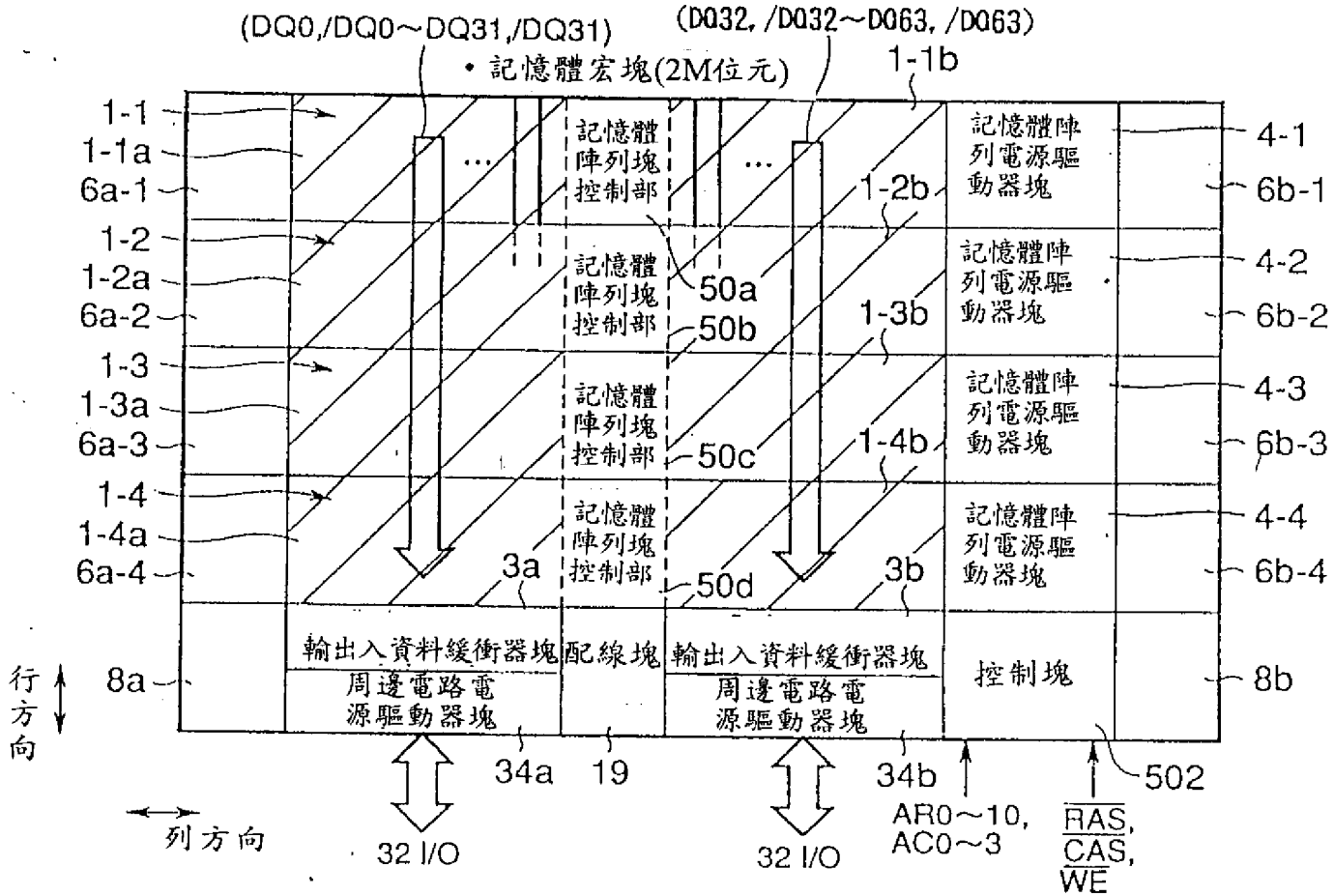

(DQ0,/DQ0～DQ31,/DQ31)
(DQ32,/DQ32～DQ63,/DQ63)
・記憶體宏塊(2M位元)
1-1
1-1a
6a-1
1-2
1-2a
6a-2
1-3
1-3a
6a-3
1-4
1-4a
6a-4
8a
記憶體陣列塊控制部
記憶體陣列塊控制部
記憶體陣列塊控制部
記憶體陣列塊控制部
50a
50b
50c
50d
3a
3b
1-1b
1-2b
1-3b
1-4b
記憶體陣列電源驅動器塊
記憶體陣列電源驅動器塊
記憶體陣列電源驅動器塊
記憶體陣列電源驅動器塊
4-1
6b-1
4-2
6b-2
4-3
6b-3
4-4
6b-4
8b
輸出入資料緩衝器塊
周邊電路電源驅動器塊
配線塊
輸出入資料緩衝器塊
周邊電路電源驅動器塊
控制塊
行方向
列方向
34a
19
34b
502
32 I/O
32 I/O
AR0～10,
AC0～3
RAS,
CAS,
WE

圖22

418522

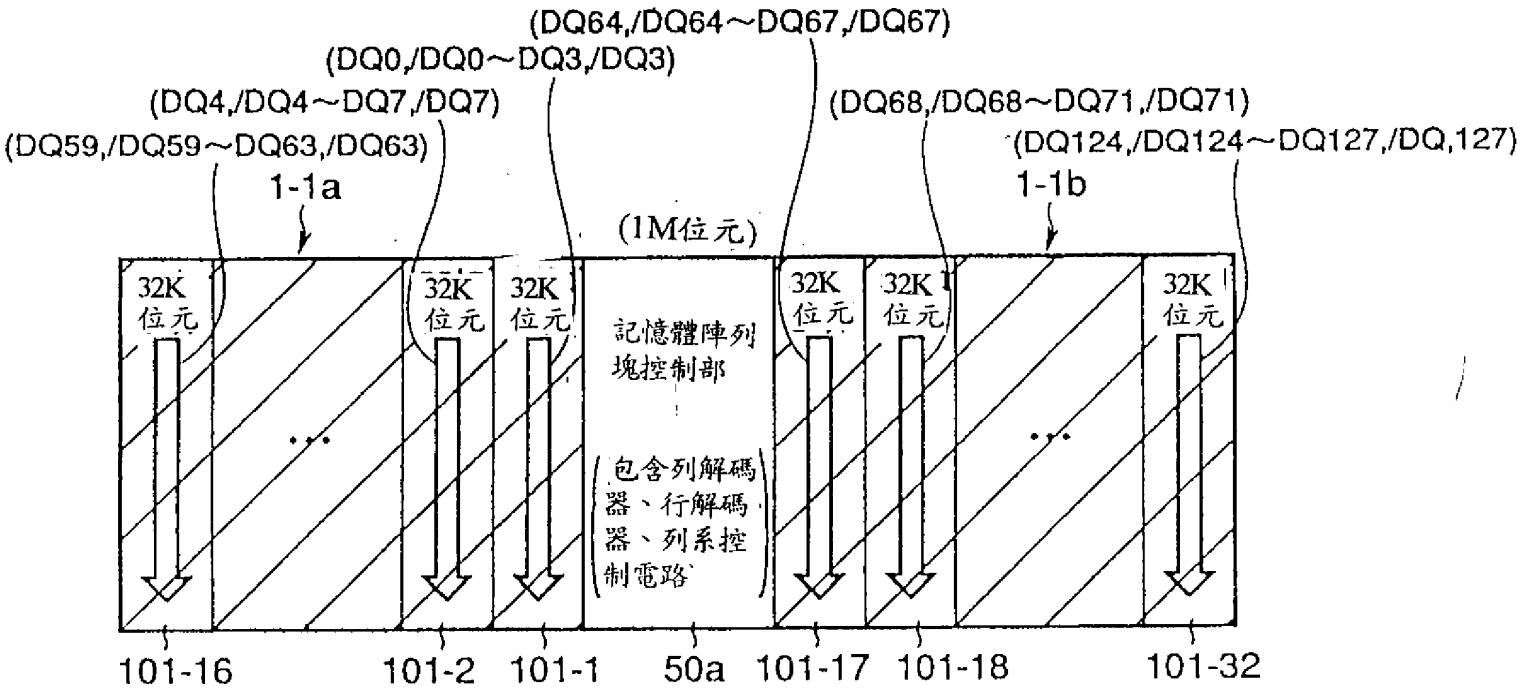

(DQ64,/DQ64～DQ67,/DQ67)
(DQ0,/DQ0～DQ3,/DQ3)
(DQ4,/DQ4～DQ7,/DQ7)
(DQ59,/DQ59～DQ63,/DQ63)
(DQ68,/DQ68～DQ71,/DQ71)
(DQ124,/DQ124～DQ127,/DQ,127)
1-1a
1-1b
(1M位元)
32K 位元
記憶體陣列塊控制部
包含列解碼器、行解碼器、列系控制電路
101-16
101-2
101-1
50a
101-17
101-18
101-32

圖 23

418522

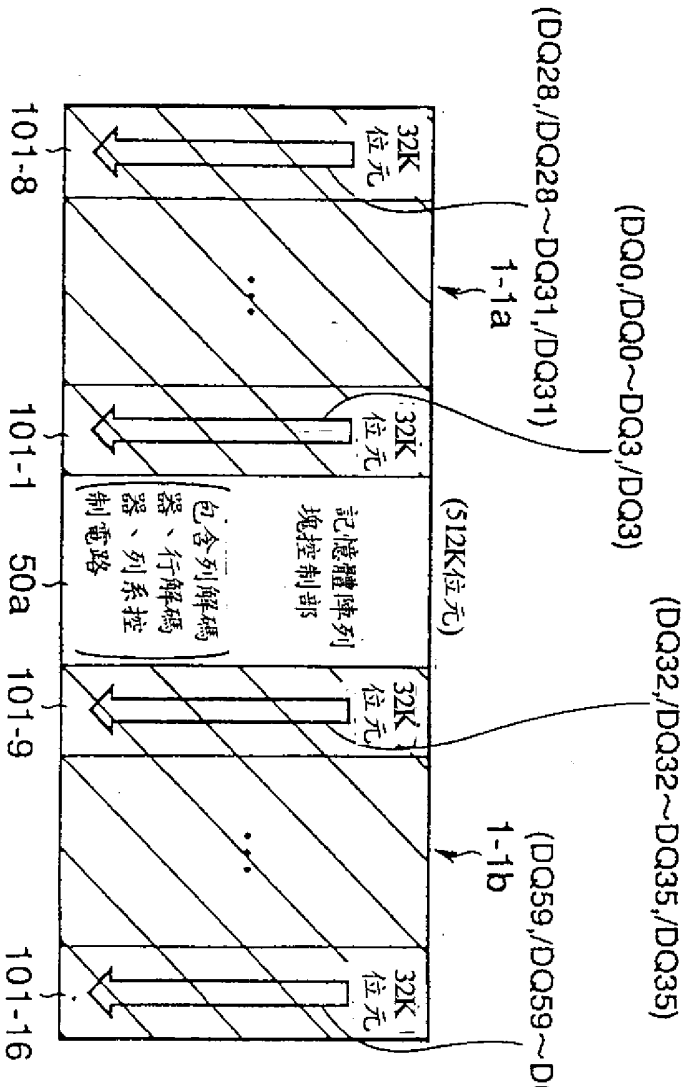

(DQ28,/DQ28~DQ31,/DQ31)
(DQ0,/DQ0~DQ3,/DQ3)
(DQ32,/DQ32~DQ35,/DQ35)
(DQ59,/DQ59~DQ63,/DQ63)
1-1a
1-1b
(512K位元)
32K位元
記憶體陣列塊控制部
包含列解碼器、行解碼器、列系控制電路
101-8
101-1
50a
101-9
101-16

圖 2 4

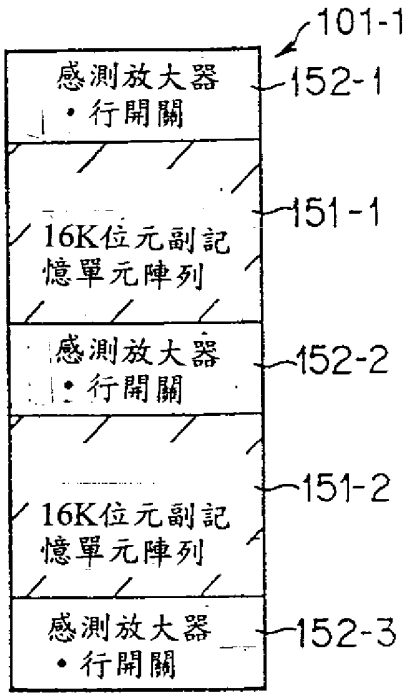

101-1
感測放大器
・行開關
152-1
16K位元副記
憶單元陣列
151-1
感測放大器
・行開關
152-2
16K位元副記
憶單元陣列
151-2
感測放大器
・行開關
152-3

圖 25

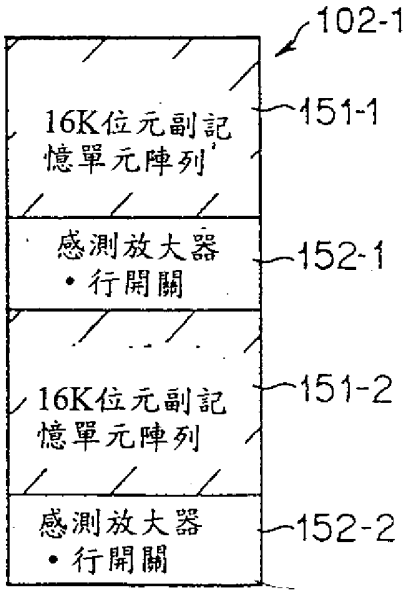

102-1
16K位元副記
憶單元陣列
151-1
感測放大器
・行開關
152-1
16K位元副記
憶單元陣列
151-2
感測放大器
・行開關
152-2

圖 26

418522

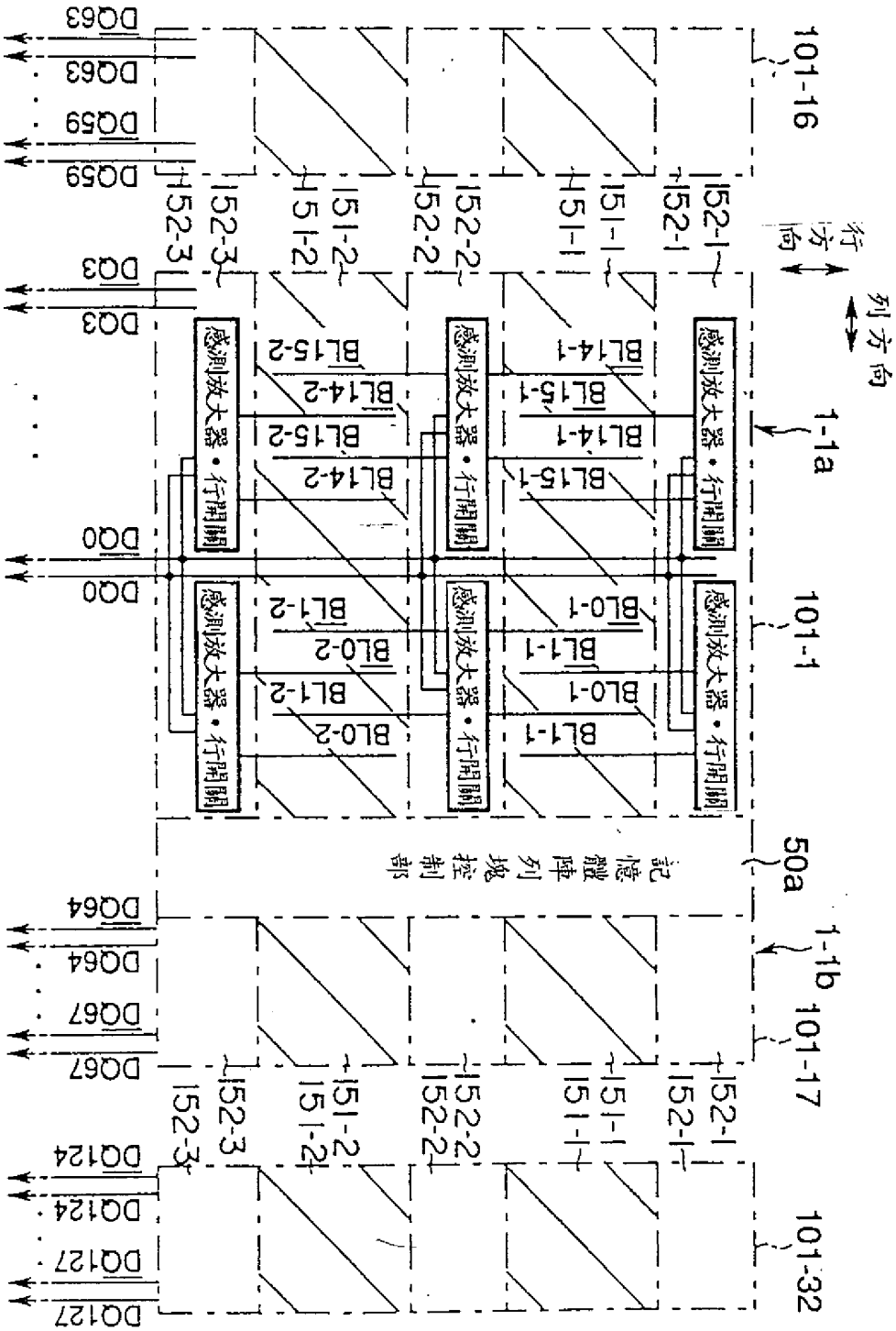
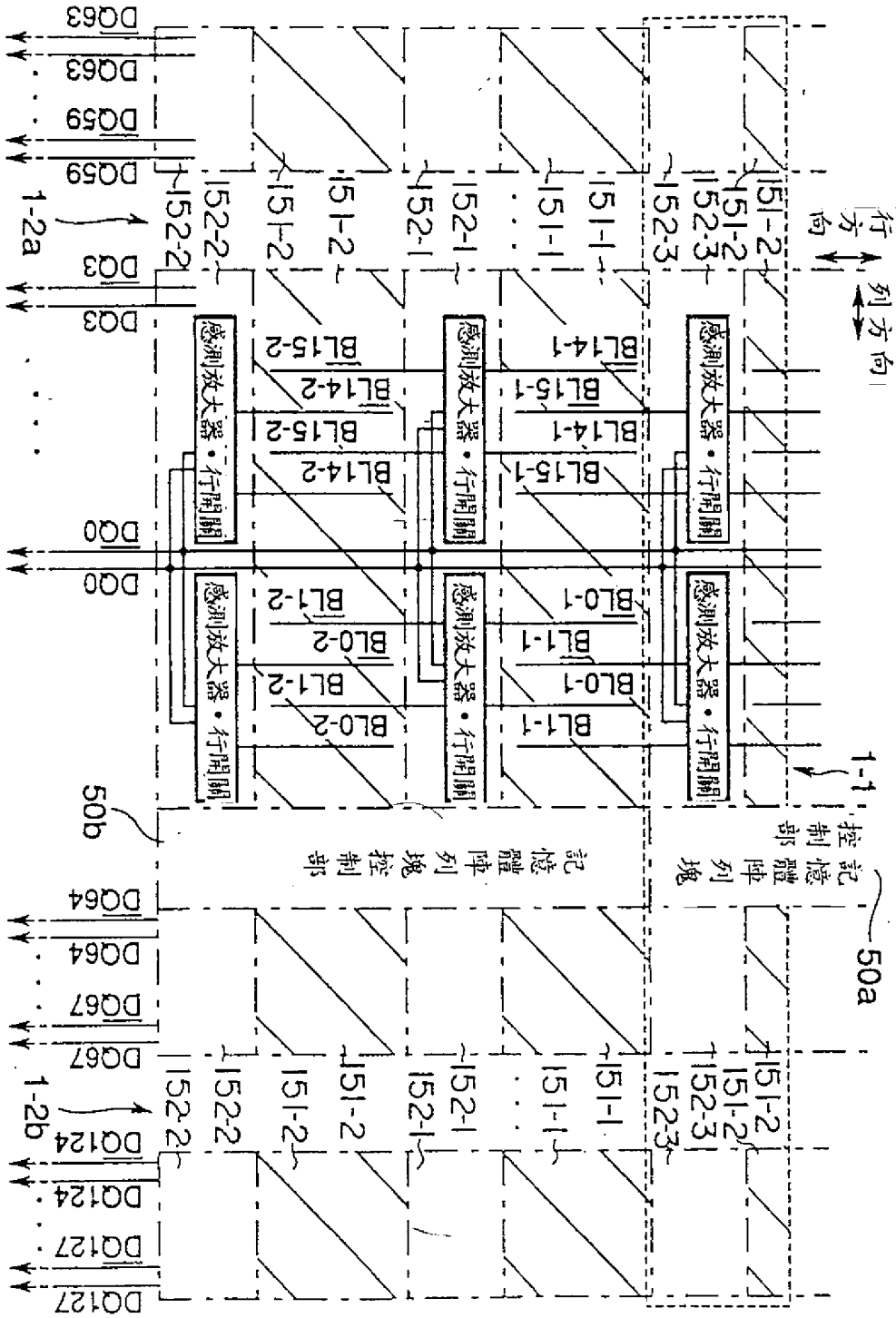

101-16
101-1
101-17
101-32
1-1a
1-1b
50a
行方向
列方向
記憶體陣列塊控制部
感測放大器・行開關
152-1
152-2
152-3
151-1
151-2
BL14-1
BL15-1
BL14-2
BL15-2
BL0-1
BL1-1
BL0-2
BL1-2
DQ0
DQ3
DQ59
DQ63
DQ64
DQ67
DQ124
DQ127

圖 27

418522



行方向
列方向
感測放大器・行開關
記憶體陣列塊控制部
控制部
記憶體陣列塊
50a
50b
1-1
1-2a
1-2b
DQ0
DQ3
DQ59
DQ63
DQ64
DQ67
DQ124
DQ127
BL0-1
BL0-2
BL1-1
BL1-2
BL14-1
BL14-2
BL15-1
BL15-2
151-1
151-2
152-1
152-2
152-3

圖28

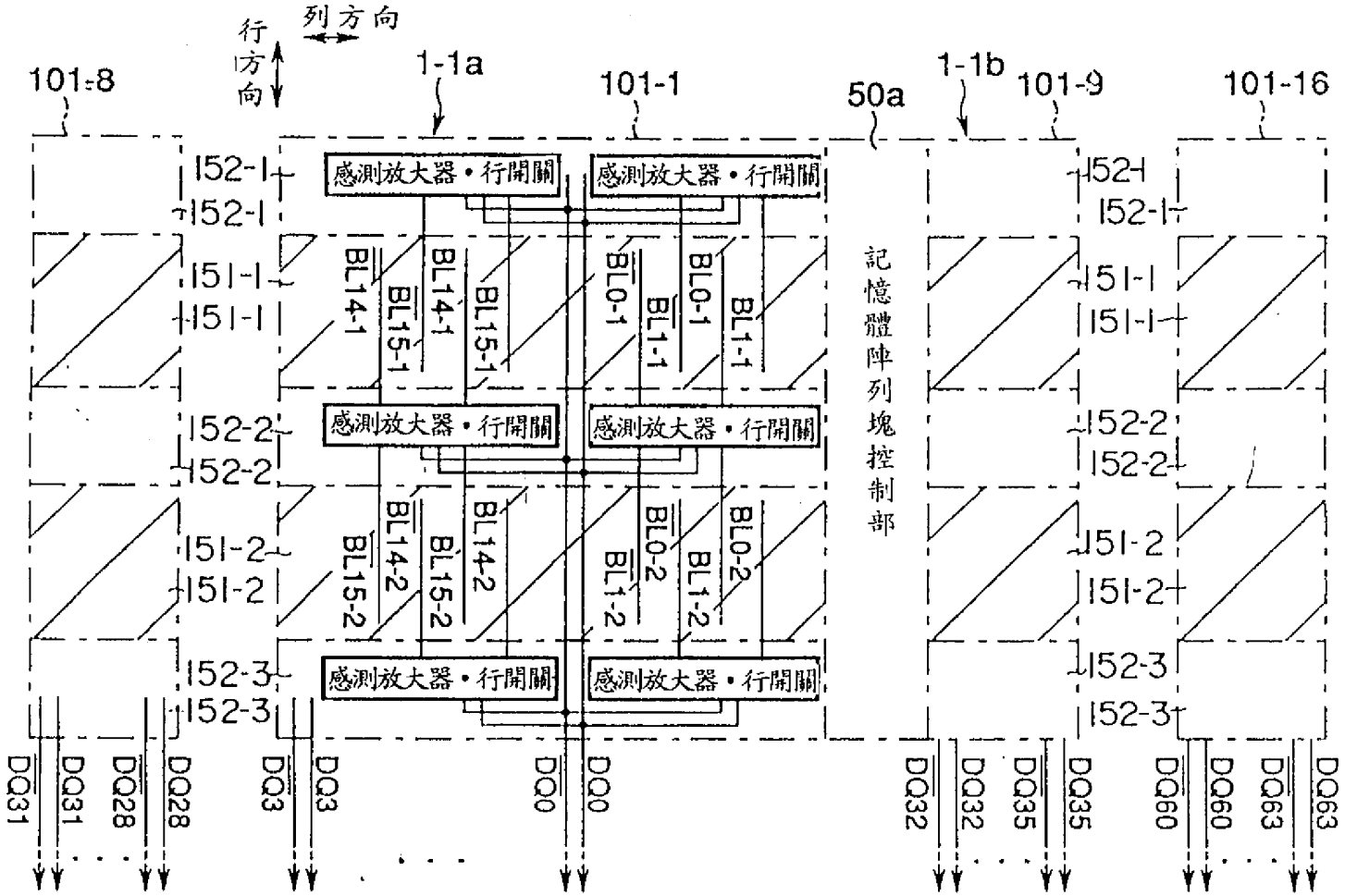

行方向
列方向
101-8
1-1a
101-1
50a
1-1b
101-9
101-16
感測放大器・行開關
記憶體陣列塊控制部
152-1
151-1
152-2
151-2
152-3
BL14-1
BL15-1
BL0-1
BL1-1
BL14-2
BL15-2
BL0-2
BL1-2
DQ31
DQ28
DQ3
DQ0
DQ32
DQ35
DQ60
DQ63

圖 29

418522

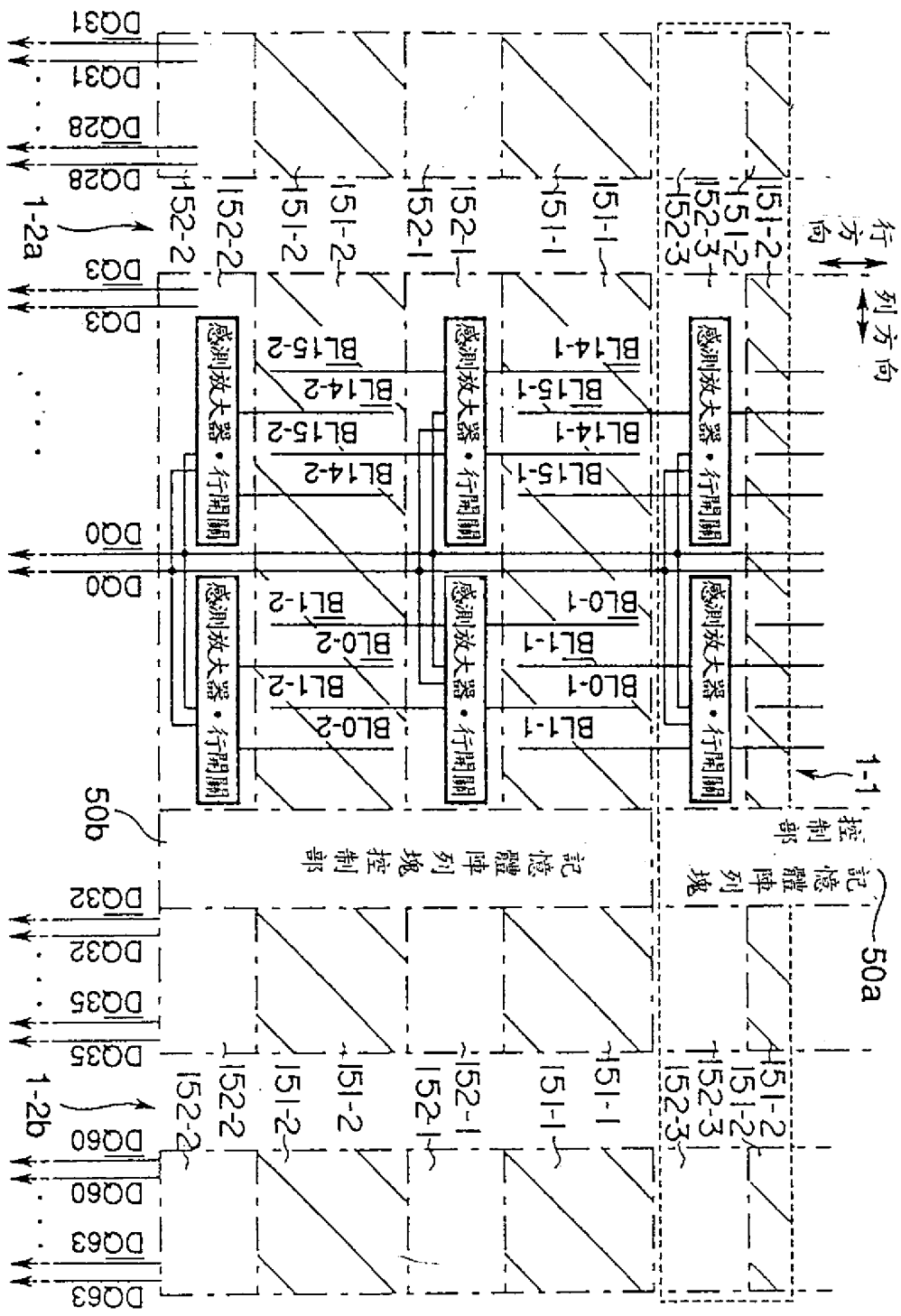

行方向
列方向
1-1
控制部
50a
記憶體陣列塊
50b
記憶體陣列塊控制部
感測放大器・行閘關
151-1
151-2
152-1
152-2
152-3
BL0-1
BL1-1
BL0-2
BL1-2
BL14-1
BL15-1
BL14-2
BL15-2
DQ0
DQ3
DQ28
DQ31
DQ32
DQ35
DQ60
DQ63
1-2a
1-2b

圖 30

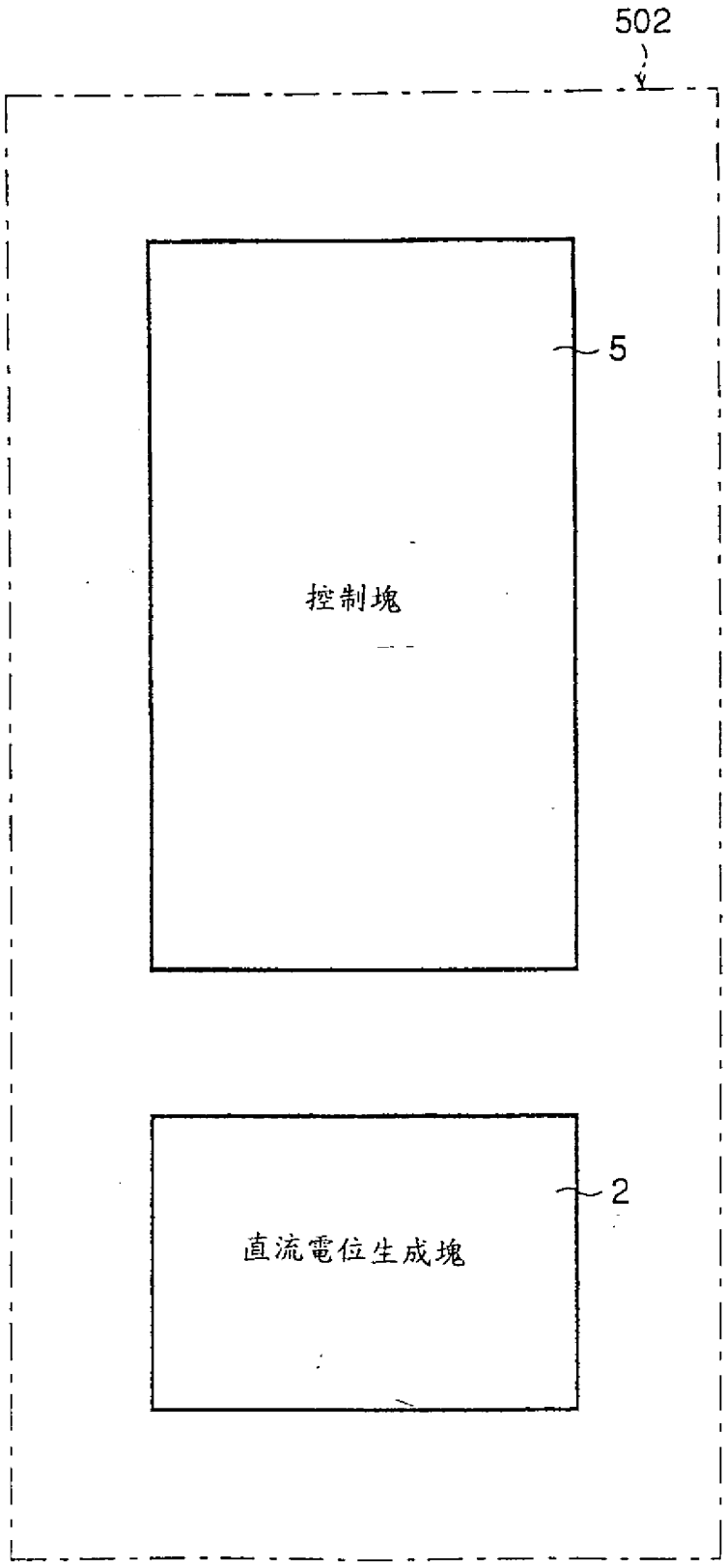


圖 31

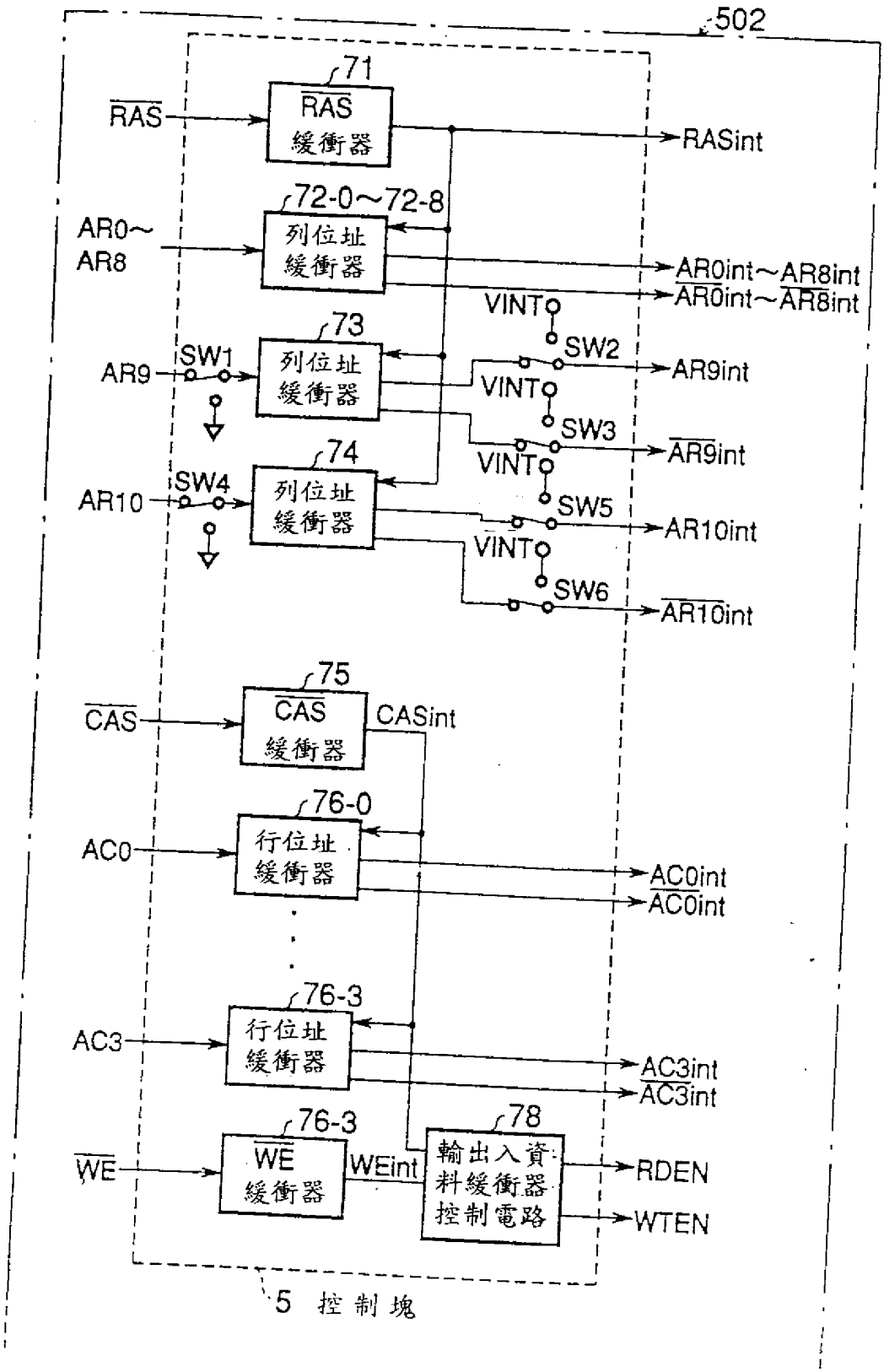

502
71
RAS
緩衝器
RAS
RASint
72-0～72-8
AR0～
AR8
列位址
緩衝器
AR0int～AR8int
AR0int～AR8int
VINT
SW2
73
AR9
SW1
列位址
緩衝器
AR9int
VINT
SW3
AR9int
74
VINT
SW4
AR10
列位址
緩衝器
SW5
AR10int
VINT
SW6
AR10int
75
CAS
緩衝器
CAS
CASint
76-0
AC0
行位址
緩衝器
AC0int
AC0int
76-3
AC3
行位址
緩衝器
AC3int
AC3int
76-3
78
WE
緩衝器
WE
WEint
輸出入資
料緩衝器
控制電路
RDEN
WTEN
5 控制塊

圖 32

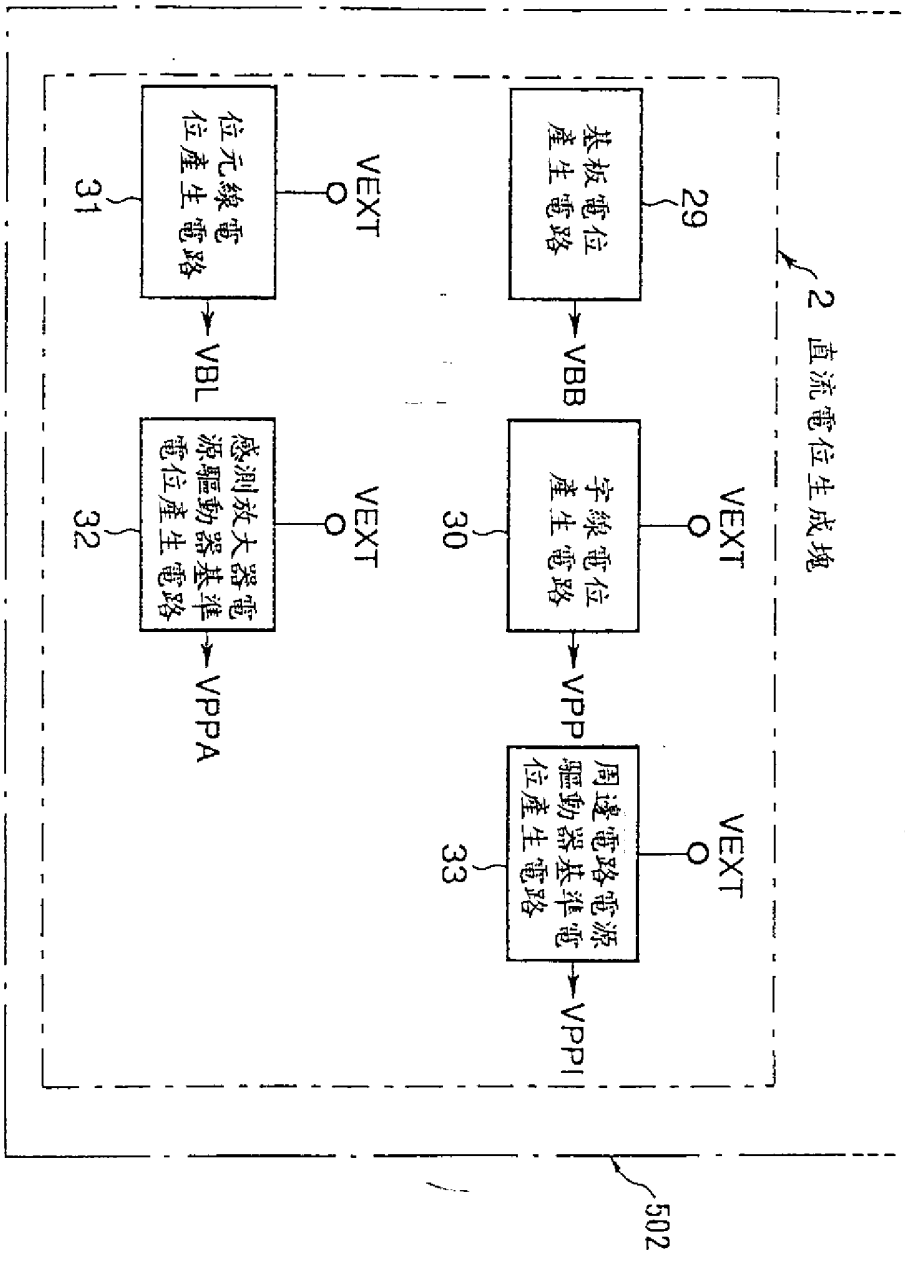

2 直流電位生成塊
基板電位產生電路
29
VBB
字線電位產生電路
30
VPP
周邊電路電源驅動器基準電位產生電路
33
VPPI
VEXT
VEXT
VEXT
位元線電位產生電路
31
VBL
感測放大器電源驅動器基準電位產生電路
32
VPPA
502

圖 33

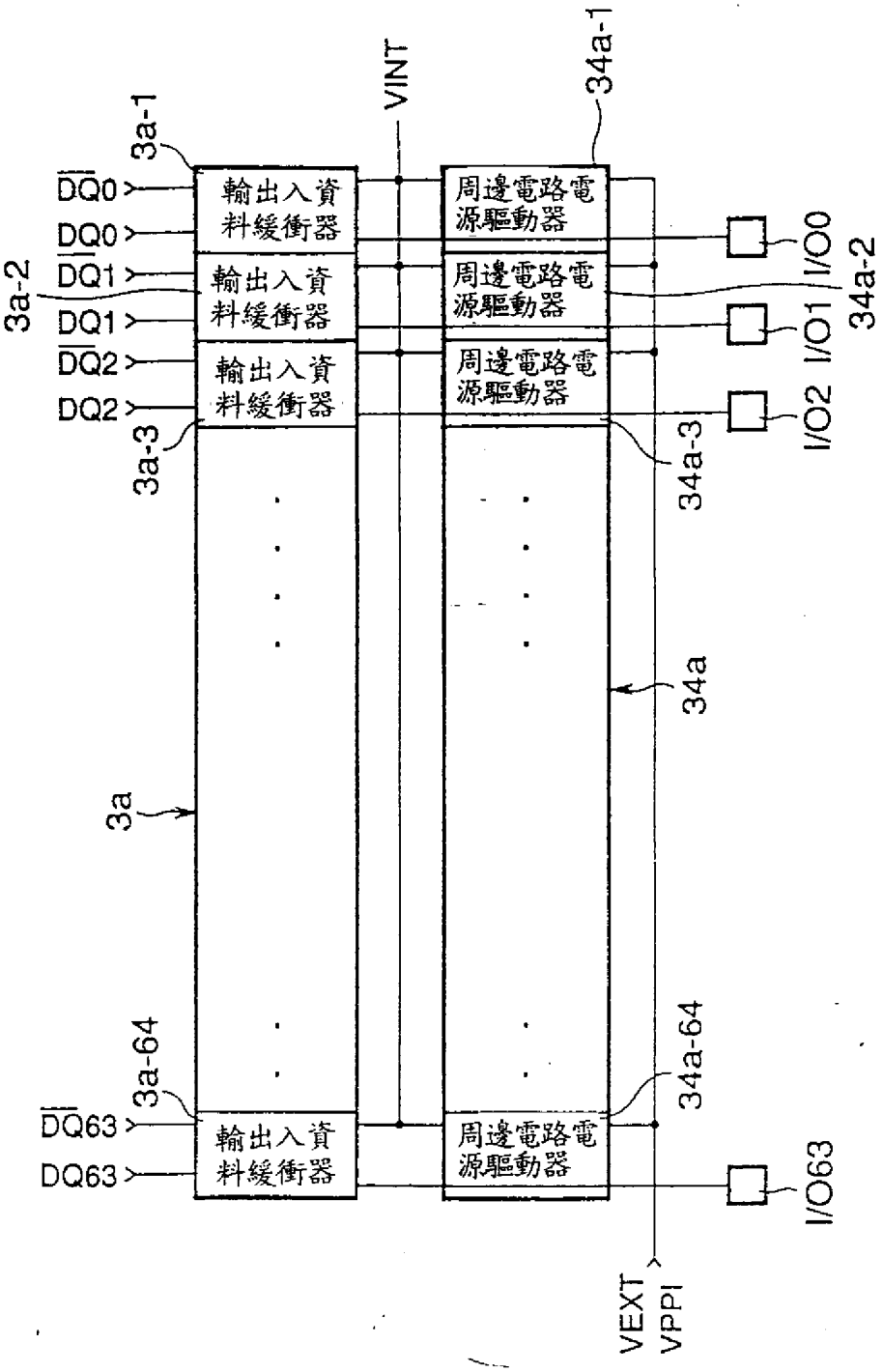

3a-1
VINT
34a-1
DQ0
DQ0
DQ1
DQ1
DQ2
DQ2
3a-2
3a-3
輸出入資料緩衝器
輸出入資料緩衝器
輸出入資料緩衝器
周邊電路電源驅動器
周邊電路電源驅動器
周邊電路電源驅動器
I/O0
I/O1
I/O2
34a-2
34a-3
34a
3a
3a-64
DQ63
DQ63
輸出入資料緩衝器
周邊電路電源驅動器
34a-64
I/O63
VEXT
VPPI

圖 34

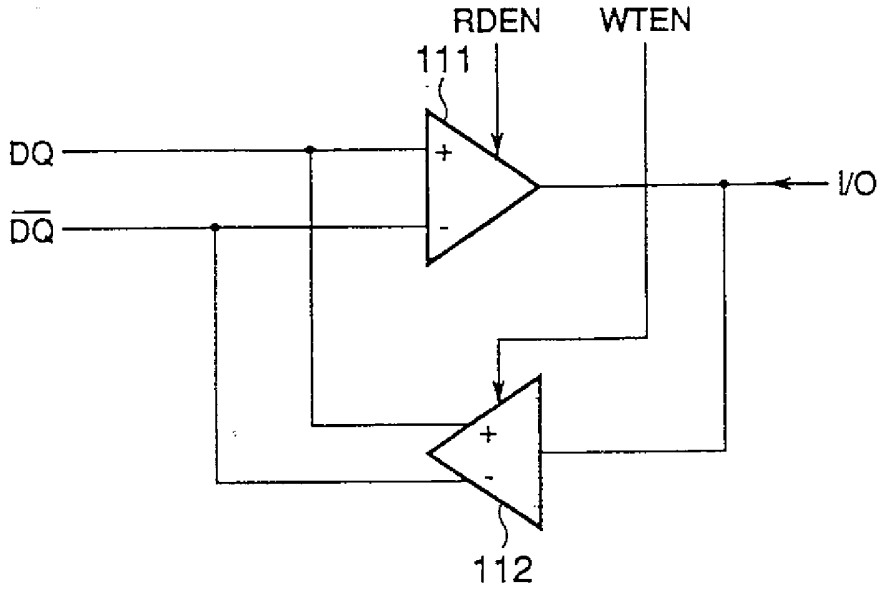


圖 3 5

418522

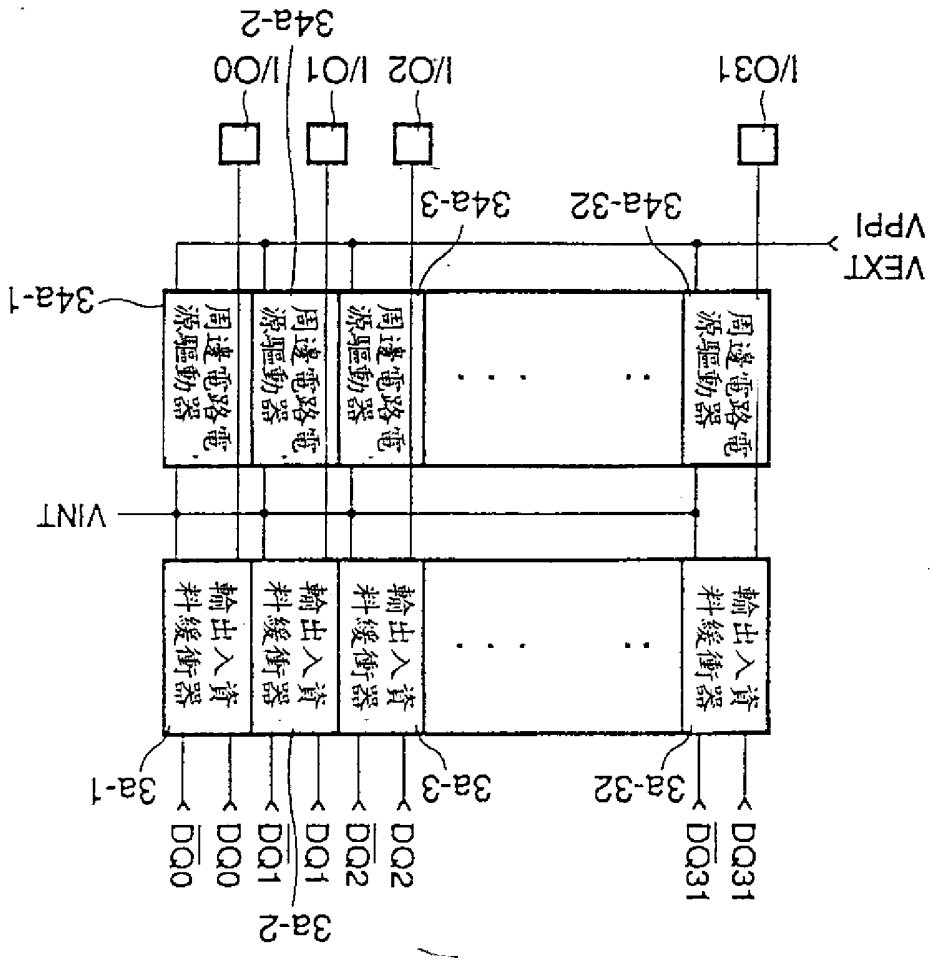

I/O31
I/O2
I/O1
I/O0
34a-2
34a-3
34a-32
VEXT
VPPI
34a-1
周邊電路電源驅動器
輸出入資料緩衝器
VINT
3a-1
3a-2
3a-3
3a-32
DQ31
DQ2
DQ1
DQ0

圖 36

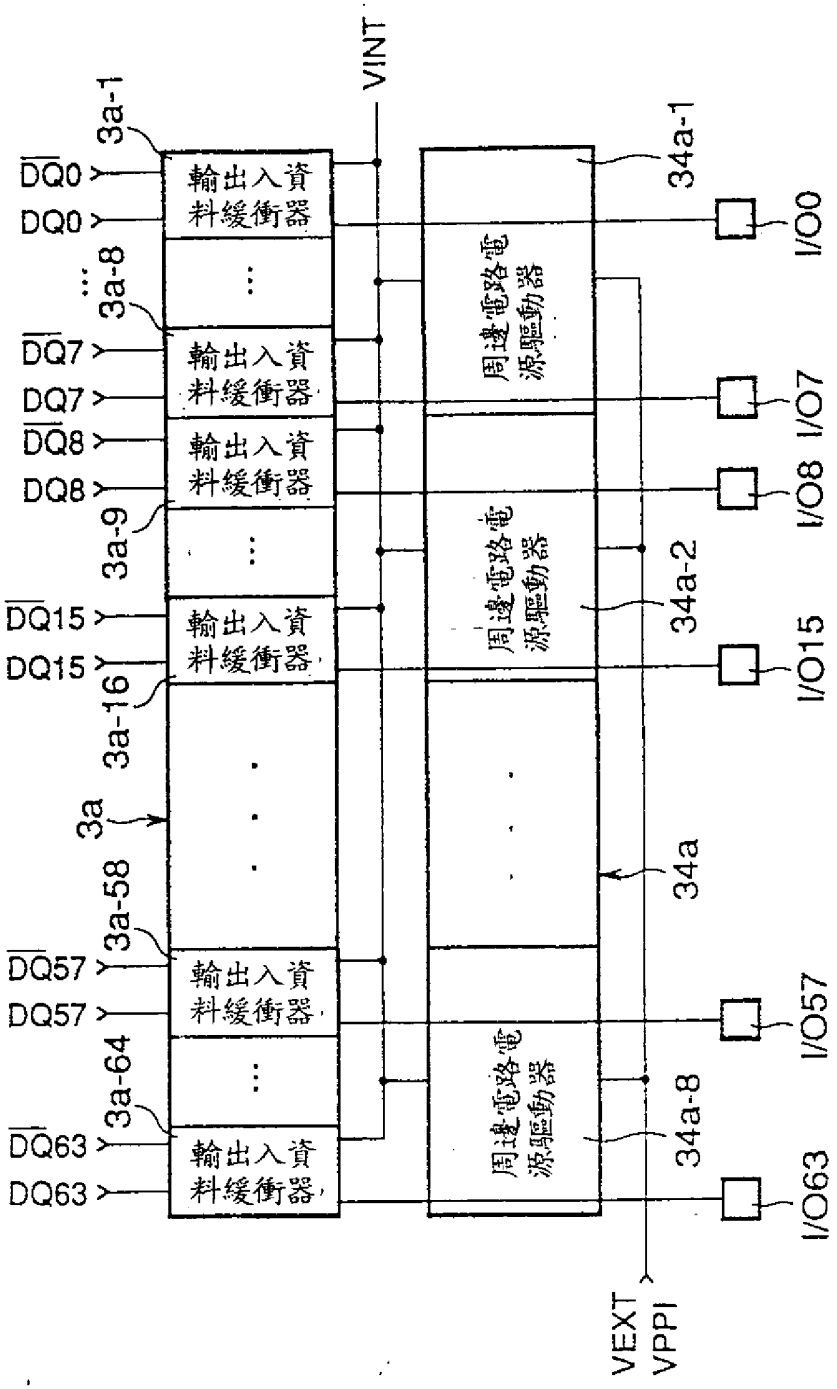

VINT
3a-1
DQ0
DQ0
輸出入資料緩衝器
3a-8
DQ7
DQ7
輸出入資料緩衝器
DQ8
DQ8
輸出入資料緩衝器
3a-9
DQ15
DQ15
輸出入資料緩衝器
3a-16
3a
3a-58
DQ57
DQ57
輸出入資料緩衝器
3a-64
DQ63
DQ63
輸出入資料緩衝器
周邊電路電源驅動器
34a-1
34a-2
34a
34a-8
I/O0
I/O7
I/O8
I/O15
I/O57
I/O63
VEXT
VPPI

圖 37

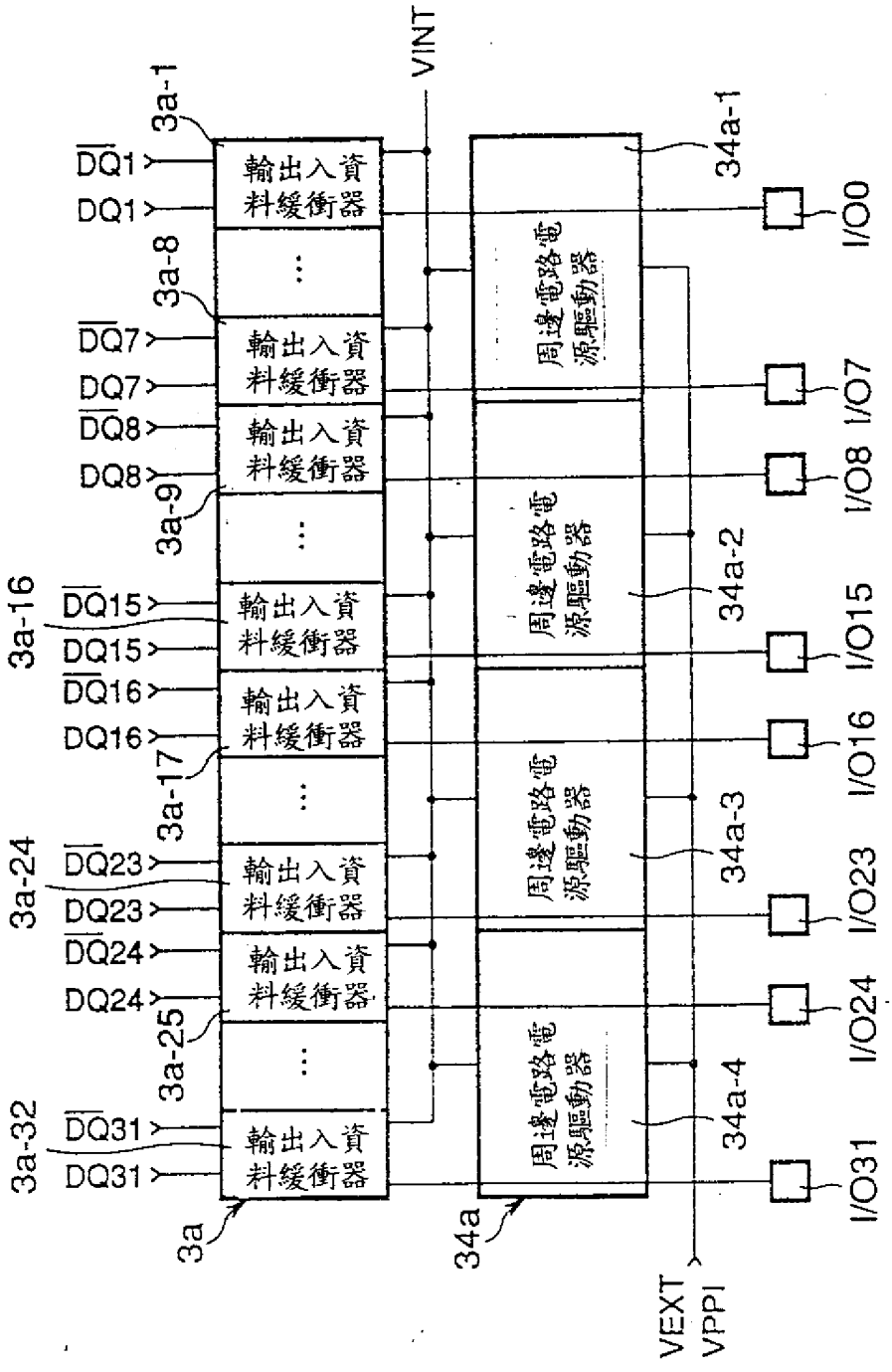

VINT
3a-1
DQ1
DQ1
輸出入資料緩衝器
3a-8
DQ7
DQ7
DQ8
DQ8
3a-9
3a-16
DQ15
DQ15
DQ16
DQ16
3a-17
3a-24
DQ23
DQ23
DQ24
DQ24
3a-25
3a-32
DQ31
DQ31
3a
34a
周邊電路電源驅動器
34a-1
34a-2
34a-3
34a-4
I/O0
I/O7
I/O8
I/O15
I/O16
I/O23
I/O24
I/O31
VEXT
VPPI

圖 38

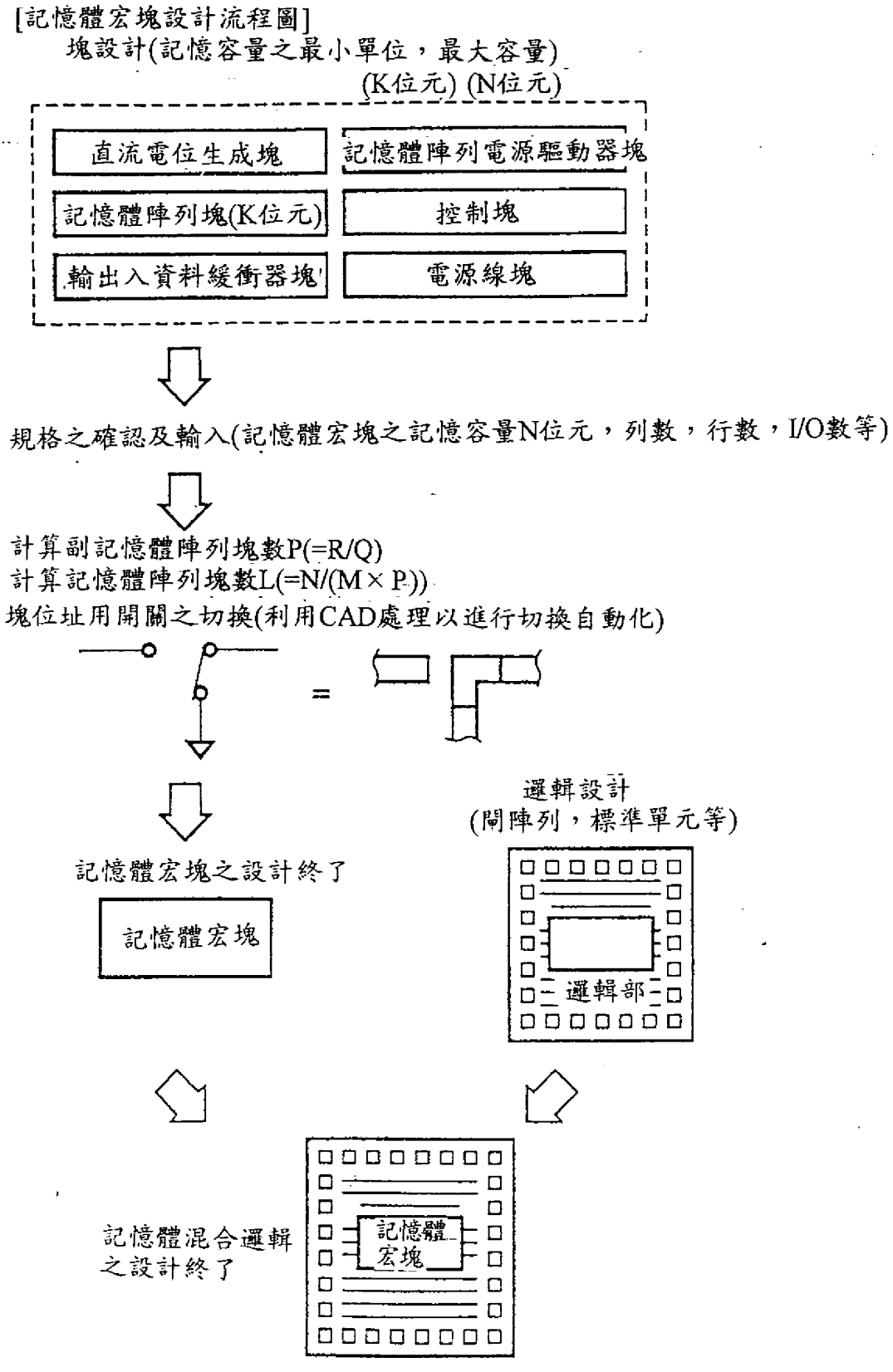

[記憶體宏塊設計流程圖]
塊設計(記憶容量之最小單位，最大容量)
(K位元) (N位元)
直流電位生成塊
記憶體陣列電源驅動器塊
記憶體陣列塊(K位元)
控制塊
輸出入資料緩衝器塊
電源線塊
規格之確認及輸入(記憶體宏塊之記憶容量N位元，列數，行數，I/O數等)
計算副記憶體陣列塊數P(=R/Q)
計算記憶體陣列塊數L(=N/(M × P))
塊位址用開關之切換(利用CAD處理以進行切換自動化)
=
邏輯設計
(閘陣列，標準單元等)
記憶體宏塊之設計終了
記憶體宏塊
邏輯部
記憶體混合邏輯
之設計終了
記憶體
宏塊

圖 39

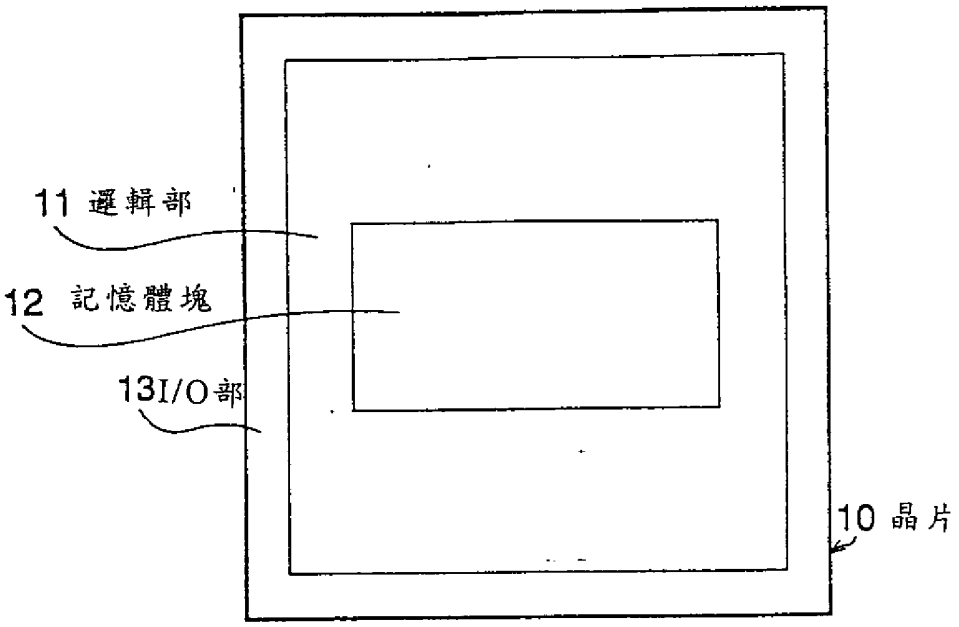


圖 40

【図41】

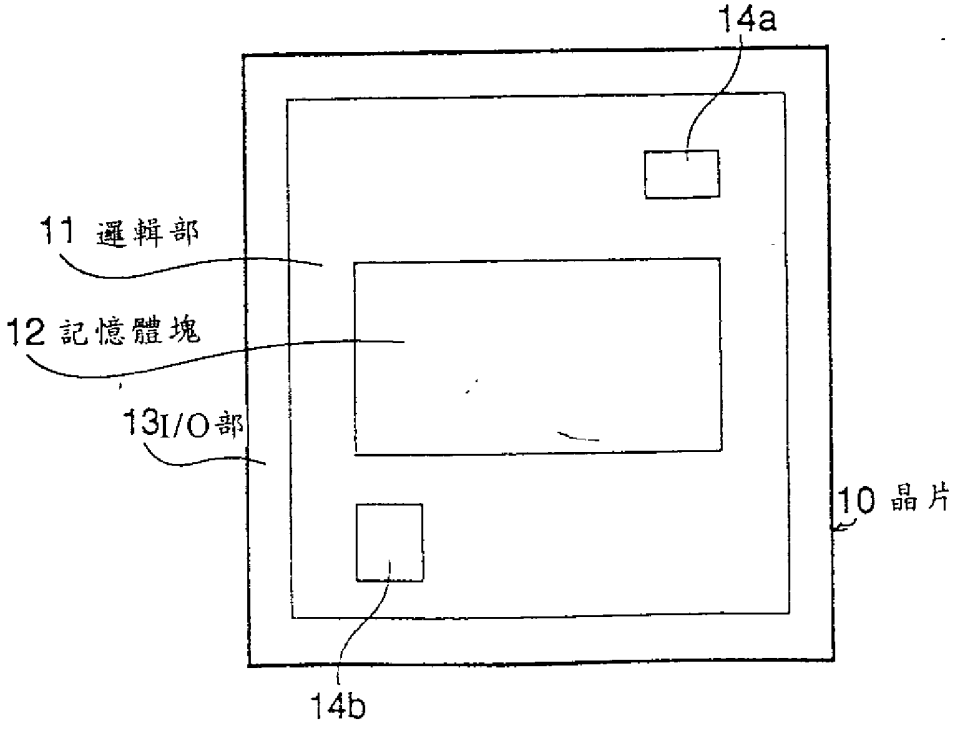


圖 41

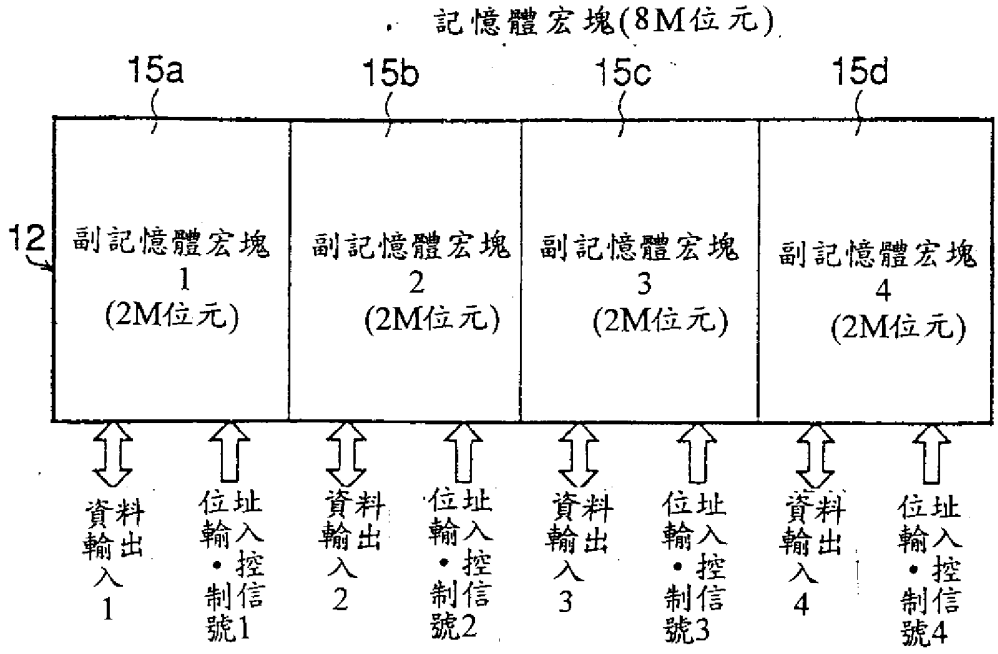

記憶體宏塊(8M位元)
15a
15b
15c
15d
12
副記憶體宏塊 1 (2M位元)
副記憶體宏塊 2 (2M位元)
副記憶體宏塊 3 (2M位元)
副記憶體宏塊 4 (2M位元)
資料輸入出 1
位址輸入控制信號1
資料輸入出 2
位址輸入控制信號2
資料輸入出 3
位址輸入控制信號3
資料輸入出 4
位址輸入控制信號4

圖 42

418522

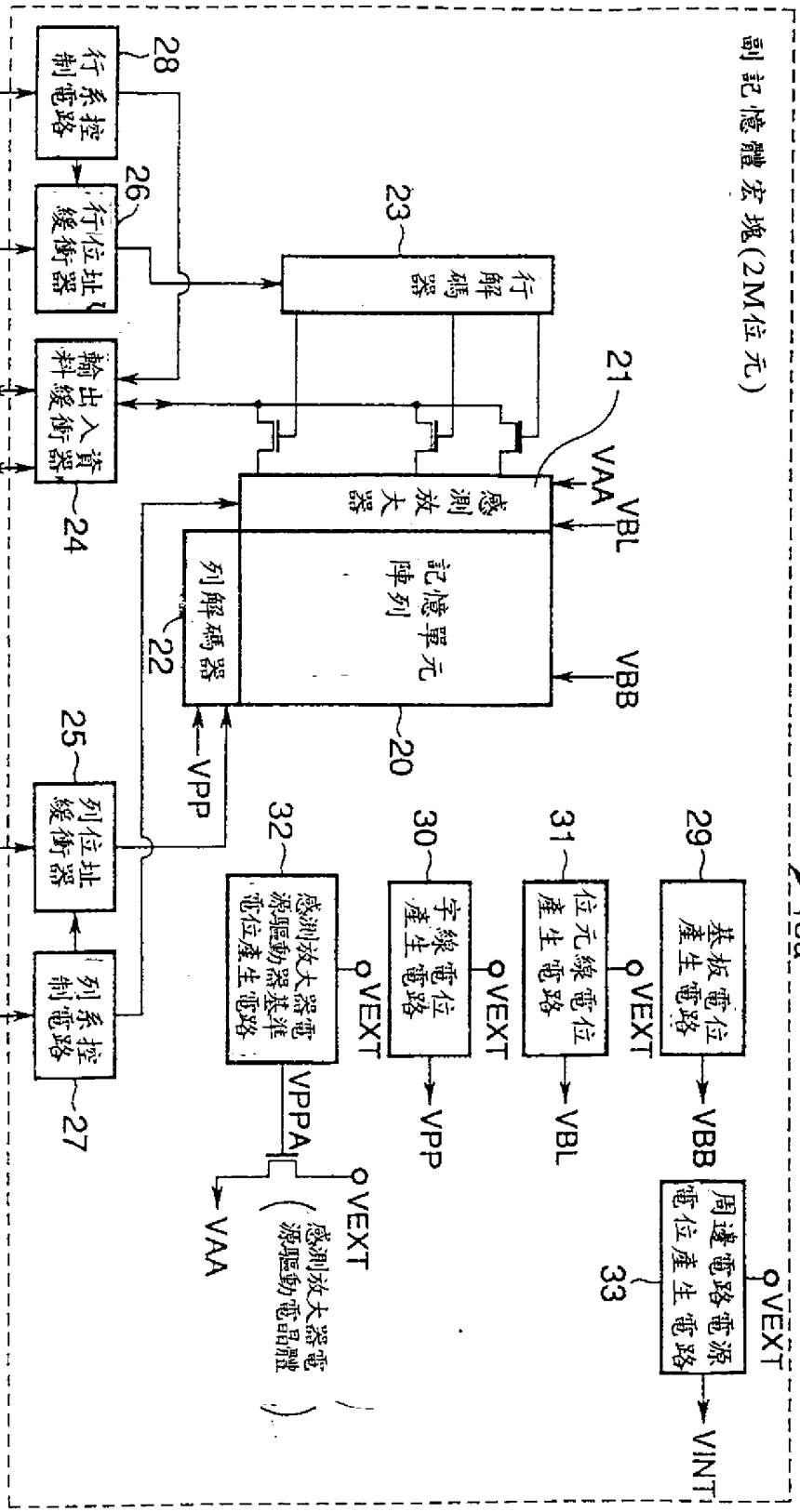

副記憶體宏塊(2M位元)
15a
行系控制電路
CAS
28
行位址緩衝器
行位址輸入
26
輸出入資料緩衝器
資料輸出入
WE
24
行解碼器
23
感測放大器
21
VAA
VBL
記憶單元陣列
VBB
列解碼器
22
20
VPP
列位址緩衝器
列位址輸入
25
列系控制電路
RAS
27
基板電位產生電路
29
VBB
位元線電位產生電路
31
VEXT
VBL
字線電位產生電路
30
VEXT
VPP
感測放大器電源驅動器基準電位產生電路
32
VEXT
VPPA
VAA
VEXT
(感測放大器電源驅動電晶體)
周邊電路電源電位產生電路
33
VEXT
VINT

圖 43

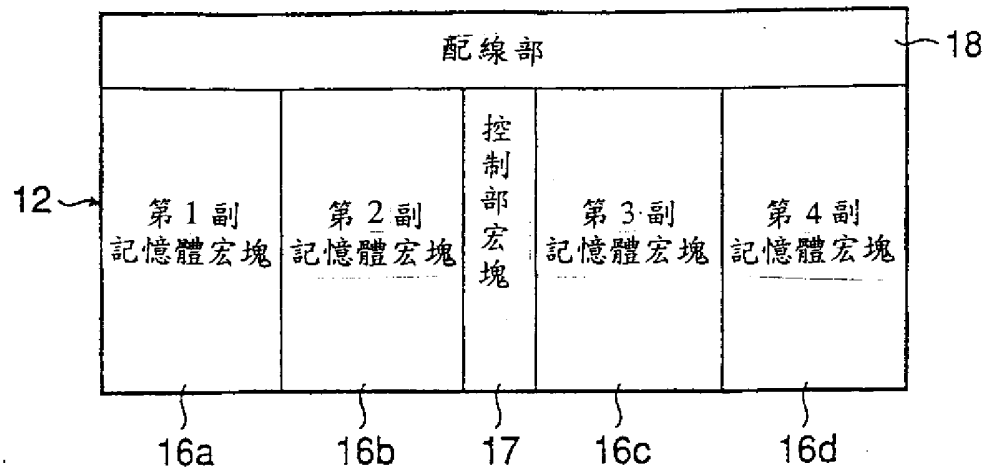

配線部
18
12
第1副記憶體宏塊
第2副記憶體宏塊
控制部宏塊
第3副記憶體宏塊
第4副記憶體宏塊
16a
16b
17
16c
16d

圖44

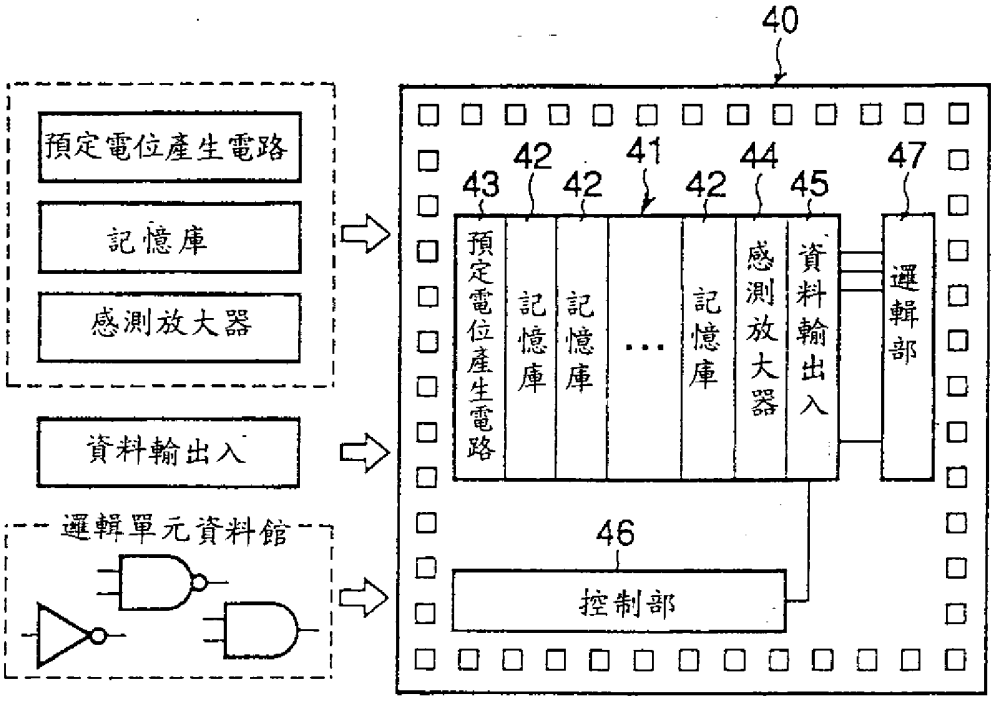

40
預定電位產生電路
記憶庫
感測放大器
資料輸出入
邏輯單元資料館
43
42
42
41
42
44
45
47
預定電位產生電路
記憶庫
記憶庫
...
記憶庫
感測放大器
資料輸出入
邏輯部
46
控制部

圖45

修正 本89年5月29日 補充

公告本

A8 B8 C8 D8

418522

第87111882號專利申請案
中文申請專利範圍修正本(89年5月)

六、申請專利範圍

1. 一種邏輯混成記憶體，在單晶片上集成有記憶體宏塊和邏輯部，其特徵為：前述記憶體宏塊具備有，控制塊，具有緩衝由前述邏輯部所輸入之外部位址信號並生成內部位址信號的機構；至少一個記憶體陣列塊，具有配置成行列狀之各個N位元記憶容量之複數個記憶單元陣列、連接在前述記憶單元陣列上用以放大記憶單元之資料的感測放大器、接受由前述控制塊之內部位址信號生成機構所生成的內部位址信號用以選擇由內部位址信號所指定的行列上之位址之記憶單元的解碼器、及資料線；以及輸出入資料緩衝器塊，介以前述資料線接受由前述至少一個記憶體陣列塊之前述解碼器所選擇之記憶單元的資料並輸出至前述邏輯部上，藉此前述記憶體宏塊具有N位元之整數倍的記憶容量。
2. 如申請專利範圍第1項之邏輯混成記憶體，其中，前述至少一個記憶體陣列塊係在行方向上互相鄰接配置有複數個，前述資料線係將前述複數個記憶體陣列塊之前述記憶單元陣列上部設在行方向上，而前述複數個記憶體陣列塊係共享前述資料線。
3. 如申請專利範圍第1項之邏輯混成記憶體，其中，前述至少一個記憶體陣列塊係在行方向上互相鄰接配置有複數個，而前述複數個記憶體陣列塊之互相鄰接之至少一對記憶體陣列塊塊係共享前述感測放大器。
4. 如申請專利範圍第1項之邏輯混成記憶體，其中，前述控制塊之前述內部位址信號機構係具備有複數個位址緩衝

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）