(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3926005号

(P3926005)

(45)発行日　平成19年6月6日(2007.6.6)　(24)登録日　平成19年3月9日(2007.3.9)

(51)Int.Cl.		F I		
H01L 21/822	(2006.01)	H01L	27/04	B
H01L 27/04	(2006.01)	G11C	11/34	335A
G11C 11/413	(2006.01)	G05F	3/24	Z
G05F 3/24	(2006.01)	G11C	11/34	354F
G11C 11/4074	(2006.01)	H03F	3/345	B

請求項の数 3　(全 15 頁)　最終頁に続く

(21)出願番号　特願平9-311414
(22)出願日　平成9年10月27日(1997.10.27)
(65)公開番号　特開平11-135729
(43)公開日　平成11年5月21日(1999.5.21)
審査請求日　平成14年10月21日(2002.10.21)

(73)特許権者　500174247
エルピーダメモリ株式会社
東京都中央区八重洲２－２－１
(74)代理人　100123788
弁理士　宮崎　昭夫
(74)代理人　100106138
弁理士　石橋　政幸
(74)代理人　100127454
弁理士　緒方　雅昭
(72)発明者　井出　昭
東京都小平市上水本町五丁目２０番１号
株式会社　日立製作所　半導体事業部内
(72)発明者　加藤　浩之
東京都小平市上水本町５丁目２２番１号
株式会社　日立マイコンシステム内
最終頁に続く

(54)【発明の名称】基準電圧発生回路

(57)【特許請求の範囲】

【請求項１】

第１、第２、及び第３のＭＯＳＦＥＴと第１及び第２の抵抗素子とを含み、

上記第１および第２のＭＯＳＦＥＴは同一の半導体基板上に同一製造工程で形成されたものであり、

上記第１のＭＯＳＦＥＴのチャネル幅を上記第２のＭＯＳＦＥＴよりも大きくするとともに、上記第１のＭＯＳＦＥＴと上記第２のＭＯＳＦＥＴとに同じ電流を流すようにすることにより、テーリング領域において上記第１のＭＯＳＦＥＴの電流密度が上記第２のＭＯＳＦＥＴの電流密度より小さくなるようにされており、

上記第１のＭＯＳＦＥＴ、上記第１の抵抗素子、および上記第２の抵抗素子を直列に接続し、かつ上記第１の抵抗素子と上記第１のＭＯＳＦＥＴのゲート・ソース間との直列回路と、上記第２のＭＯＳＦＥＴのゲート・ソース間とを並列に接続することで、上記第１のＭＯＳＦＥＴのゲート・ソース間電圧と上記第２のＭＯＳＦＥＴのゲート・ソース間電圧との差電圧に対応した電圧が上記第１の抵抗素子に印加され、上記第１の抵抗素子に流れる電流を上記第２の抵抗素子に流し、

上記第２の抵抗素子で生成された電圧に前記第３のＭＯＳＦＥＴのゲート・ソース間電圧を加えることにより、上記第２の抵抗素子で生成された電圧に対して、その電圧の、前記差電圧の持つ正の温度特定による温度特性を前記第３のＭＯＳＦＥＴの負の温度特性によって相殺し、温度補償した基準電圧を生成することを特徴とする基準電圧発生回路。

【請求項２】

上記第２のＭＯＳＦＥＴは、ゲートとドレインとが共通接続されてなり、
上記第１のＭＯＳＦＥＴのゲートは、上記第２のＭＯＳＦＥＴの共通接続されたゲートとドレインに接続され、
上記第１のＭＯＳＦＥＴのソースの電圧と上記第２のＭＯＳＦＥＴのソースの電圧との差が上記第１の抵抗素子に印加されるものであり、
上記第１のＭＯＳＦＥＴのドレインには、上記第３のＭＯＳＦＥＴのゲート電圧が印加されるものであり、
上記第３のＭＯＳＦＥＴのゲート・ソース電圧に上記第２の抵抗素子で形成された電圧が加算されて上記基準電圧を形成するものであることを特徴とする請求項１の基準電圧発生回路。

【請求項３】
上記第１と第２の抵抗素子を含んで電源から回路の接地電位に向う電流径路に流れる電流を制御する電流源ＭＯＳＦＥＴと、
上記電流源ＭＯＳＦＥＴのゲートとドレイン間に印加される電圧を緩和する電圧緩和手段とを更に備えてなることを特徴とする請求項１または請求項２の基準電圧発生回路。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、基準電圧発生回路、電源回路及び半導体集積回路装置に関し、例えばＲＡＭ（ランダム・アクセス・メモリ）に設けられる降圧電圧発生回路に用いられる基準電圧発生回路、電源回路及びそれを含む半導体集積回路装置に利用して有効な技術に関するものである。

【０００２】
【従来の技術】
半導体メモリに搭載される降圧回路として、培風館１９９４年１１月５日発行「超ＬＳＩメモリ」伊藤清男著、第２６７頁～第３１０頁がある。この降圧回路は、バイポーラトランジスタを用いるＢｉＣＭＯＳ（バイポーラトランジスタとＣＭＯＳ複合回路）ＲＡＭでは、バイポーラトランジスタで構成されたバンドギャップ電源を用い、ＭＯＳＦＥＴを用いたものでは高しきい値電圧のＭＯＳＦＥＴと低しきい値電圧のＭＯＳＦＥＴの差電圧をカレントミラー型のアンプで増幅するというものである。

【０００３】
【発明が解決しようとする課題】
上記高しきい値電圧のＭＯＳＦＥＴと低しきい値電圧のＭＯＳＦＥＴの差電圧を用いるものでは、異なるしきい値電圧のＭＯＳＦＥＴを形成するためにプロセスが複雑化する。そして、本願発明者等においては、素子の微細化に伴ってＭＯＳＦＥＴ自体の耐圧に対応して回路の動作電圧を設定し、従来回路との整合性を採るために外部端子から供給される電源電圧を降圧して上記動作電圧を形成するようにした場合、内部回路では上記耐圧対策ができるが、上記外部電源を受けざるを得ない降圧回路自体にあっては格別の素子耐圧破壊保護を行うことの必要性に気が付いた。

【０００４】
この発明の目的は、ＭＯＳＦＥＴを用いた簡単な構成の基準電圧発生回路を提供することにある。ＭＯＳＦＥＴで構成された半導体集積回路装置に好適な電源回路を提供する。実効的に耐圧以上の電源電圧で動作を可能にした制御回路を含む半導体集積回路装置を提供する。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【０００５】
【課題を解決するための手段】
本願において開示される発明のうち代表的な１つの概要を簡単に説明すれば、下記の通りである。すなわち、同一の半導体基板上に同一製造工程で形成された第１及び第２のＭＯＳＦＥＴと第１と第２の抵抗素子とを用い、上記第１のＭＯＳＦＥＴには、テーリング領

域において相対的に小さな電流密度にされた電流を流し、上記第２のＭＯＳＦＥＴには、テーリング領域において相対的に大きな電流密度にされた電流を流し、上記第１の抵抗素子には、上記第１のＭＯＳＦＥＴのゲートとソース間電圧と上記第２のゲートとソース間電圧との差電圧に対応した電圧を印加し、上記第１の抵抗素子で形成された電流を上記第２の抵抗素子に流して、かかる第２の抵抗素子で形成された電圧と上記第２のＭＯＳＦＥＴを含む同一製造工程で形成されたＭＯＳＦＥＴのゲート，ソース間電圧を加えて温度依存性をキャンセルさせた基準電圧を形成する。

【０００８】

【発明の実施の形態】

図１には、この発明に係る基準電圧発生回路の一実施例の回路図が示されている。同図の各素子は、単結晶シリコンのような１個の半導体基板上において形成される。同図においては、Ｐチャンネル型ＭＯＳＦＥＴはチャンネル部分を矢印を付すことによって、Ｎチャンネル型ＭＯＳＦＥＴと区別される。このことは、他の回路図においても同様である。

【０００９】

特に制限されないが、上記各ＭＯＳＦＥＴは、配線幅が０．３５μｍプロセスにより形成される。このような微細化された配線幅を用いたプロセスでは、ＭＯＳＦＥＴのゲート酸化膜の膜厚が８ｎｍ程度にされる。それ故、通常動作の外部電源電圧が５Ｖ±１０％、電圧が高くされるバーンイン（エージング）時の電圧が８Ｖ製品に適用すれば、ＭＯＳＦＥＴのゲート酸化膜にかかる電界は、通常動作では５．６～６．９ＭＶ／ｃｍ、バーンイン時では１０ＭＶ／ｃｍとなってしまう。一方、熱酸化膜の信頼性を考えると、通常動作での酸化膜の電界は４～５ＭＶ／ｃｍ、バーンイン時には６～７Ｍ／ｃｍに設定することが適切と考えられる。したがって、ＭＯＳＦＥＴのゲートに印加できる電圧は、上記通常動作時には３．２Ｖ～４Ｖとなり、バーンイン時には４．８Ｖ～５．６Ｖ程度に抑える必要がある。このような電界抑制がなされないと、初期不良を洗い出すためのバーンインを実施すると、上記配線幅が０．３５μｍプロセスにより形成されたＭＯＳＦＥＴは、その大半が破壊されてしまうという問題が生じる。

【００１０】

したがって、５Ｖ電源で動作する電子回路との整合性を採るためには、上記素子の耐圧保護のために降圧回路を設けて、内部回路に供給される動作電圧を降圧する必要がある。この降圧動作のために基準電圧を形成する必要があるが、ＭＯＳＦＥＴのしきい値電圧差を利用するものでは、２種類のしきい値電圧を持つＭＯＳＦＥＴを形成するためにプロセスが複雑化してしまうので、この実施例の基準電圧発生回路では、次に説明するように同一のプロセスにより形成されたＭＯＳＦＥＴＭ１とＭ２のゲート，ソース間電圧の差を利用する。この基準電圧発生回路には、必然的に上記５Ｖのような電源電圧Ｖccが供給されるものであるので、上記素子耐圧を考慮した耐圧破壊保護回路も合わせて設けられる。

【００１１】

この実施例では、従来のようなしきい値電圧ではなく、同一の製造工程で形成された２つのＭＯＳＦＥＴをテーリング領域で動作させ、かつその電流密度を異ならせてゲート，ソース間電圧ＶＧＳに差を持たせ、かかるゲート，ソース間電圧ＶＧＳの差分を利用する。つまり、特に制限されないが、Ｐチャンネル型ＭＯＳＦＥＴＭ１ないしＭ２は、同一の製造プロセスで形成されることによりいわゆるしきい値電圧は、同じく形成される。ＭＯＳＦＥＴＭ１とＭ２は、同じチャンネル長のもとで、異なるチャンネル幅を持つようにされることにより、特に制限されないが、等しいバイアス電流Ｉ１とＩ２を流すようにすることにより電流密度が異なるようにされる。

【００１２】

図１１の特性図に示すように、ＭＯＳＦＥＴのテーリング領域においてはゲート，ソース間電圧Ｖｇｓに対してドレイン，ソース間電流Ｉｄｓが対数目盛りのもとで直線性を持つ領域であり、かかる領域ではＭＯＳＦＥＴのチャンネル長Ｌｇが２．００μｍから０．３５μｍのように異なるものでも、同じ電圧－電流特性を持つものとなり、バイポーラトランジスタと同様な動作を行うものである。同図の縦軸の電流スケールにおいて、１Ｅ－４

は10^{-4}（Ａ）、１Ｅ－６は10^{-6}（Ａ）、１Ｅ－８は10^{-8}（Ａ）を表しており、１Ｅ－６から１Ｅ－１０の範囲のようなテーリング領域では、その電流密度が１０倍異なると約０．１Ｖの電圧差が生じる。

【００１３】

上記ＭＯＳＦＥＴＭ１に対してＭ２の電流密度を上記のように大きくすること、言い換えるならば、ＭＯＳＦＥＴＭ１に対してＭＯＳＦＥＴＭ２のサイズ（チャンネル幅）を１／１０に小さく形成することにより、ゲート，ソース間電圧ＶＧＳ２とＶＧＳ１に電圧差を持たせることができる。ＭＯＳＦＥＴＭ２は、ゲートとドレインとを接続してダイオード形態にし、ゲートをＭＯＳＦＥＴＭ１のゲートと共通化させるとともに、ＭＯＳＦＥＴＭ１のソースと電源電圧Ｖccとの間に抵抗Ｒ１を接続する。この抵抗Ｒ１には、上記ＭＯＳＦＥＴＭ２とＭ１のゲート，ソース間電圧ＶＧＳ２－ＶＧＳ１のような差電圧ΔＶＧＳが印加される。

【００１４】

上記抵抗Ｒ１で形成された電流Ｉ１は、ＭＯＳＦＥＴＭ１を通して抵抗Ｒ２に流して、抵抗Ｒ１とＲ２の抵抗比に従って上記差電圧ΔＶＧＳをＲ２／Ｒ１倍に増幅させる。この差電圧ΔＶＧＳは、後で説明するように正の温度特性を持つため、それを相殺させるようＭＯＳＦＥＴＭ３が設けられ、ＭＯＳＦＥＴＭ３のゲート，ソース間電圧ＶＧＳ３と上記抵抗Ｒ２で発生した電圧が温度補償された基準電圧ＶＲＥＦとされる。

【００１５】

この実施例では、上記のように電源電圧Ｖccとして約５Ｖのような電圧を用い、上記ＭＯＳＦＥＴＭ１～Ｍ３は、前記０．３５μｍプロセスにより形成され、そのゲート酸化膜の耐圧がバーンイン時の電圧に対して小さくなっている。そこで、上記バーンイン時でもＭＯＳＦＥＴのゲート酸化膜が破壊しないように、上記抵抗Ｒ２及びＭＯＳＦＥＴＭ３のドレインと回路の接地電位との間には、電圧緩和素子Ｍ５３、Ｍ５４が設けられる。特に制限されないが、この電圧緩和素子Ｍ５３とＭ５４は、ゲートとドレインが接続されたダイオード形態のＮチャンネル型ＭＯＳＦＥＴ、あるいはゲートに中間電圧が印加されたＭＯＳＦＥＴにより構成される。このような電圧緩和素子を設けることにより、電流Ｉ１とＩ３をそれぞれ形成する電流源ＭＯＳＦＥＴＭ６１とＭ６０のドレイン電圧は、電源電圧Ｖccから基準電圧ＶＲＥＦ、ＭＯＳＦＥＴＭ３のゲート，ソース間電圧ＶＧＳ３をそれぞれ差し引いた電圧、あるいは上記中間電圧からＮチャンネル型ＭＯＳＦＥＴのゲート，ソース間電圧差し引いた中間電圧となり、ゲート酸化膜を破壊させるような高電圧の印加を阻止する。なお、電流Ｉ２を流す電流源ＭＯＳＦＥＴＭ６２のドレイン電圧は、抵抗Ｒ３の抵抗値を適切に調整することで十分小さくできるので問題ない。

【００１６】

特に制限されないが、回路の接地電位側に設けられた電流源ＭＯＳＦＥＴＭ６０～Ｍ６２は、上記抵抗Ｒ１で形成された電流Ｉ１を流すＭＯＳＦＥＴＭ６１をダイオード形態にし、それと上記電流Ｉ２及びＩ３を流すＭＯＳＦＥＴＭ６０とＭ６２とを電流ミラー形態にして、電流Ｉ１と電流Ｉ２、Ｉ３をそれぞれほぼ等しく設定するものであってもよい。

【００１７】

上記のようにＭＯＳＦＥＴにおいてはゲート，ソース間電圧Ｖｇｓに対してドレイン，ソース間電流Ｉｄｓが対数目盛りのもとで直線性を持つ領域は、１Ｅ－８＝０．０１μＡのように微小電流領域であるから必然的に低消費電力となる。つまり、上記基準電圧ＶＲＥＦは、電源電圧Ｖccと回路の接地電位間に設けられた、定常的にバイアス電流を流すことによって形成されるものであるが、上記バイアス電流そのものが極めて小さな電流値であるために、従来のようなＭＯＳＦＥＴのしきい値電圧差を利用したものに比べて大幅に低消費電力となる。

【００１８】

ちなみに、従来のようにしきい値電圧差を増幅する方式では、回路のＭＯＳＦＥＴの動作領域は飽和領域で設計する必要がある。飽和領域にするためには、次式（１）の条件が必要である。

ＶＤＳ≧ＶＧＳ－Ｖｔｈ　・・・・・・・（１）
当然ＶＤＳ＞０Ｖであるから、ＶＧＳ＞Ｖｔｈである。すなわち、原理的にＭＯＳＦＥＴはＶＧＳ≦Ｖｔｈの領域では動作しない。慎重に設計した場合でも、通常１μＡ程度のバイアス電流を流す必要があり、これに比べるとテーリング領域において上記のようにＭＯＳＦＥＴに流れる本願発明のような電流Ｉ１～Ｉ３は、おおむね無視できるような微小電流となる。ここで、ＶＤＳはＭＯＳＦＥＴのドレイン，ソース間電圧、ＶＧＳはＭＯＳＦＥＴのゲート，ソース間電圧、ＶｔｈはＭＯＳＦＥＴのしきい値電圧である。

【００１９】
上記ＭＯＳＦＥＴＭ１～Ｍ３に流れる電流Ｉ１～Ｉ３が、上記テーリング領域となるようにそれぞれの電流値が設定され、各ＭＯＳＦＥＴＭ１～Ｍ３における電流密度をＪ１～Ｊ３とする。前記説明したように、基準電圧ＶＲＥＦは、次式（２）のように表すことができる。
ＶＲＥＦ＝（Ｒ２／Ｒ１）（ＶＧＳ２－ＶＧＳ１）＋ＶＧＳ３　・・（２）
上記ＶＧＳ２－ＶＧＳ１＝ΔＶＧＳを求めると、次式（３）のようになる。
ΔＶＧＳ＝（ｋＴ／ｑ）ｌｎ（Ｊ２／Ｊ１）（１＋Ｃｄ／Ｃｏｘ）・・（３）
上記ＶＲＥＦの温度特性は、次式（４）のようになる。
ｄＶＲＥＦ／ｄＴ＝（Ｒ２／Ｒ１）ΔＶＧＳ／ｄＴ＋ｄＶＧＳ３／ｄＴ　（４）
ここで、Ｃｏｘは、ゲート酸化膜の単位面積当たりの容量、Ｃｄは、チャンネル部の空乏層単位面積当たりの容量である。

【００２０】
上記式（３）の第２項ｄＶＧＳ３／ｄＴの温度依存性は、テーリング領域では－２ｍＶ／°Ｃ程度であるので、この温度依存性をキャンセルさせるには、第１項のΔＶＧＳ／ｄＴ＝２ｍＶ／°Ｃであるから、常温中では（Ｒ２／Ｒ１）ΔＶＧＳ＝３００Ｋ×２ｍＶ／°Ｃ＝０．６Ｖにすればよい。つまり、抵抗Ｒ２で０．６Ｖを発生させるように調整すればよい。そして、テーリング領域のＭＯＳＦＥＴＭ３のゲート，ソース間電圧ＶＧＳ３＝０．５Ｖとすると、ＶＲＥＦ＝１．１Ｖが形成される。すなわち、上記基準電圧発生回路では、ＶＲＥＦ＝１．１Ｖ前後で温度依存性がキャンセルさせることができる。上記バイアス電流Ｉ１～Ｉ３を十分に制御することにより電源電圧Ｖｃｃの依存性もなくすことができる。

【００２１】
図２には、この発明に係る基準電圧発生回路の他の一実施例の回路図が示されている。この実施例では、上記ゲート，ソース間電圧差を形成する前記同様な２つのＭＯＳＦＥＴＭ１とＭ２のうち、ＭＯＳＦＥＴＭ１をダイオード接続し、それに上記抵抗Ｒ１を直列に接続する。これらのＭＯＳＦＥＴＭ１と抵抗Ｒ１の直列回路をＭＯＳＦＥＴＭ２のゲート，ソース間に接続する。特に制限されないが、上記ＭＯＳＦＥＴＭ２のソースには、抵抗Ｒ４を介して電源電圧Ｖccが印加される。

【００２２】
上記の構成でも前記同様に、ＭＯＳＦＥＴＭ２のゲート，ソース間電圧ＶＧＳ２とＭＯＳＦＥＴＭ１のゲート，ソース間電圧ＶＧＳ１との差電圧が抵抗Ｒ１に印加されて電流Ｉ１が形成される。この電流Ｉ１を抵抗Ｒ２に流して前記同様に差電圧ΔＶをＲ２／Ｒ１倍に増幅させる。上記ＭＯＳＦＥＴＭ２をテーリング領域で動作させるような電流制御のために、ＭＯＳＦＥＴＭ３のドレインに抵抗Ｒ３が設けられてその他端を上記抵抗Ｒ２と共通接続される。特に制限されないが、電流Ｉ１と電流Ｉ２を等しくさせる場合には、抵抗Ｒ２とＲ３を同じ抵抗値とし、両者の電圧が等しくなるように電圧比較回路Ａで比較して電流増幅動作、言い換えるならばインピーダンス変換を行うソースフォロワＭＯＳＦＥＴＭ３のゲート電圧を制御する。

【００２３】
上記電圧比較回路Ａは、差動増幅回路で構成されるのが、低消費電力と高利得とするために差動ＭＯＳＦＥＴのドレインに設けられる負荷回路の抵抗値が大きく形成されることにより出力インピーダンスが大きくなってしまう。つまり、上記電圧比較回路Ａは、図３の

（Ａ）、（Ｂ）に示すような差動増幅回路を用いて構成され、低消費電力化のために小さなバイアス電流を流しつつ、大きな電圧利得を得るようにするために、負荷回路を構成するＭＯＳＦＥＴＭ６～Ｍ９及び負荷抵抗Ｒ６、Ｒ７の抵抗値が大きくされて、必然的に大きな出力インピーダンスを持つものとなるので、上記ＭＯＳＦＥＴＭ３により電流増幅して、上記抵抗Ｒ３に流れる電流Ｉ２の制御を行う。上記のように抵抗Ｒ２とＲ３の抵抗値を等しくすると、電流Ｉ２は電流Ｉ１に等しくできる。図３（Ａ）に示した回路では、差動ＭＯＳＦＥＴＭ５と負荷ＭＯＳＦＥＴＭ７の間に電圧緩和素子としてのＭＯＳＦＥＴＭ５３が設けられる。特に制限されないが、電圧緩和素子としてのＭＯＳＦＥＴＭ５３はダイオード接続される。

【００２４】

図４には、この発明に係る基準電圧発生回路を用いた電源回路の一実施例のブロック図が示されている。この電源回路は、半導体集積回路装置の外部端子から供給された電源電圧Ｖccを降圧し、内部回路の動作に用いられる内部電圧ＶＩＮＴを形成する。特に制限されないが、上記外部端子から供給される電源電圧Ｖccは５Ｖとされ、通常動作時における上記内部電圧ＶＩＮＴは約３Ｖに設定される。電源回路は、上記通常動作の他にバーンイン時あるいはバッテリー動作時に対応した電圧切り換え機能が付加される。

【００２５】

基準電圧発生回路は、前記図１又は図２に示したような回路から構成されて、前記のような安定化された基準電圧ＶＲＥＦを発生させる。この基準電圧ＶＲＥＦは、定倍回路（１）、定倍回路（２）及び定倍回路（３）に供給され、それぞれの回路から電圧ＶＯＰ、ＶＢＩ及びＶＤＲが形成される。上記ＶＯＰは、前記のように通常動作時に用いられる回路の接地電位を基準とした３Ｖ程度の定電圧とされる。電圧ＶＢＩは、電源電圧Ｖccを基準にした定電圧であり、バーインモードのときの内部電圧に用いられる。そして、電圧ＶＤＲは、電源電圧Ｖccを基準にした定電圧であり、上記バーインモードとは逆に電源電圧Ｖccの低下、いいかえるならばバッテリー電圧の供給を検出するのに用いられる。

【００２６】

上記電圧ＶＯＰとＶＢＩは、電源電圧選択回路に供給されて、ここで電源電圧Ｖｃｃに対応していずれか１つが選択された内部電圧ＶＲＥＧとして出力される。電源電圧Ｖｃｃが５Ｖ程度のときには電圧ＶＯＰが選択され、電源電圧Ｖｃｃを一定値以上に高くすると、上記電圧ＶＢＩが選択される。上記電圧ＶＤＲは、低電圧切替回路に供給されて、ここでバッテリー電圧を検出して制御信号ＬＶＭが発生される。駆動増幅回路は、基本的にはボルテージフォロワ回路から構成され、通常動作のときには上記電圧ＶＲＥＧに対応した内部電圧ＶＩＮＴを発生させる。そして、制御信号ＬＶＭが供給されると、言い換えるならば、外部電源電圧Ｖｃｃが上記通常動作時の定電圧ＶＯＰ以下になると、上記外部端子から供給された電圧をそのまま内部電圧ＶＩＮＴとして出力させるような出力切り換えが行われる。

【００２７】

図５には、上記基準電圧発生回路、定倍回路（１）～定倍回路（３）の具体的一実施例の回路図が示されている。基準電圧発生回路は、前記図２の実施例と同様な基準電圧発生回路であり、ＭＯＳＦＥＴＭ１～Ｍ３及び抵抗Ｒ１～Ｒ４と、、前記図３（Ａ）に示したと同様な電圧比較回路Ａを構成するＭＯＳＦＥＴＭ４～Ｍ９及びＭ５３及び抵抗Ｒ５とにより構成される。

【００２８】

この実施例では、安定化のために電圧比較回路Ａの両入力と出力との間にそれぞれキャパシタＣ１，Ｃ２が設けられる。また、電圧緩和素子としてのＭＯＳＦＥＴＭ５３とＭ５４は、それぞれダイオード接続されている。そして、電圧比較回路Ａの出力と回路の接地電位との間に設けられるキャパシタＣ４は、電源投入直後に回路が正しく動作するための起動用として設けられている。この容量Ｃ４は、電圧緩和機能を持たせるために２つのキャパシタを直列形態に接続して用いられる。つまり、キャパシタＣ１～Ｃ４は、ＭＯＳ容量から構成されるものであり、その誘電体膜が上記ゲート絶縁膜を利用するものであるため

にＭＯＳＦＥＴと同様に電圧緩和を必要とするからである。
【００２９】
キャパシタＣ３は、基準電圧ＶＲＥＦを安定化させるものであり、かかる基準電圧はＰチャンネル型ＭＯＳＦＥＴＭ１０のゲート，ソース間に印加される。このＭＯＳＦＥＴＭ１０により上記基準電圧ＶＲＥＦは電流信号に変換され、電流ミラー回路を構成するＮチャンネル型ＭＯＳＦＥＴＭ１１とＭ１２と、同じく電流ミラー回路を構成するＰチャンネル型ＭＯＳＦＥＴＭ１３とＭ１４を介してダイオード形態にされれＰチャンネル型ＭＯＳＦＥＴＭ１５、Ｍ１６、Ｍ１７に供給され、上記ＭＯＳＦＥＴＭ１７のゲート，ドレインは回路の接地電位に接続される。それ故、定倍回路（１）を構成する上記直列接続のＭＯＳＦＥＴＭ１５～Ｍ１７は、上記ＭＯＳＦＥＴＭ１０と同じ電流が流れ、同じサイズで形成されることによりそれぞれのゲート，ソース間電圧が上記基準電圧ＶＲＥＦと等しくされる。その結果、出力電圧ＶＯＰは、接地電位を基準にして３×ＶＲＥＦのような定電圧にされる。ＭＯＳＦＥＴＭ５５は、そのゲートに中点電圧Ｖcc／２が印加されることにより電圧緩和素子として作用する。
【００３０】
上記ＭＯＳＦＥＴＭ１０で形成された電流は、Ｎチャンネル型ＭＯＳＦＥＴＭ１１と電流ミラー回路を構成するＮチャンネル型ＭＯＳＦＥＴを介して、上記同様にダイオード形態にされてＰチャンネル型ＭＯＳＦＥＴＭ１８、Ｍ１９、Ｍ２０に供給され、上記ＭＯＳＦＥＴＭ１８のソースは電源電圧Ｖｃｃに接続される。上記同様に定倍回路（２）を構成する直列接続のＭＯＳＦＥＴＭ１８～Ｍ２０は、上記ＭＯＳＦＥＴＭ１０と同じ電流が流れ、同じサイズで形成されることによりそれぞれのゲート，ソース間電圧が上記基準電圧ＶＲＥＦと等しくされる。その結果、出力電圧ＶＢＩは、電源電圧Ｖｃｃを基準にして３×ＶＲＥＦのような定電圧にされる。電圧ＶＤＲを形成する定倍回路（３）は、上記定倍回路（２）と同様なＭＯＳＦＥＴＭ２１～Ｍ２３及びＮチャンネル型ＭＯＳＦＥＴとにより構成される。
【００３１】
図６には、電源電圧選択回路の一実施例の回路図が示されている。この実施例では、基本的にはボルテージフォロワ形態にされた差動回路から構成される。ただし、入力側として並列接続されたＭＯＳＦＥＴＭ２６とＭ２７を用い、そのゲートに上記電圧ＶＯＰとＶＢＩを供給する。バイアス電流を形成するＭＯＳＦＥＴＭ２９のゲートには定電圧ＶＮＮが印加される。
【００３２】
この回路は、電圧ＶＯＰとＶＢＩのうち、いずれか高い方の電圧が選択されて出力される。図９の電圧特性図に示すように、外部電源電圧Ｖccが３．３Ｖ～６．６Ｖの範囲では、ＶＯＰ＞ＶＢＩの関係となってＭＯＳＦＥＴＭ２６がオン状態にＭ２７がオフ状態にされて電圧ＶＯＰが選択される。外部電源電圧Ｖccを上記６．６Ｖ以上にすると、言い換えるなぱ、Ｖcc－３×ＶＲＥＦ＞ＶＯＰ（３×ＶＲＥＦ）となると、ＶＢＩ＞ＶＯＰの関係となってＭＯＳＦＥＴＭ２６がオフ状態に代わってＭ２７がオン状態にされて電圧ＶＢＩが選択される。
【００３３】
図７には、低電圧切替回路の一実施例の回路図が示されている。この実施例では、定電圧ＶＰＰをＰチャンネル型ＭＯＳＦＥＴＭ３０のゲートに印加して、微小電流を流す定電流源を形成し、それと直列に上記電圧ＶＤＲを受けるＮチャンネル型ＭＯＳＦＥＴＭ３２を接続する。そして、耐圧保護のためにＶcc／２を受ける電圧緩和素子としてのＰチャンネル型ＭＯＳＦＥＴＭ３１がその間に挿入される。
【００３４】
前記のように電圧ＶＤＲは、Ｖcc－３×ＶＲＥＦ（３．３Ｖ）とされて上記Ｖccが約５Ｖ程度のときには、ＭＯＳＦＥＴＭ３２に流れる電流が上記ＭＯＳＦＥＴＭ３０に流れる電流に比べて十分大きく吸い込み電流動作を行う。これに対して、Ｖccが上記３．３Ｖ程度まで低下すると、ＭＯＳＦＥＴＭ３２のゲートに印加される電圧ＶＤＲがほぼ零になり、

上記ＭＯＳＦＥＴＭ３０からの微小電流によって押し出し電流動作を行う。このような制御電流は、そのゲートに中点電圧Ｖcc／２が印加されることによって電圧緩和素子として作用するＰチャンネル型ＭＯＳＦＥＴＭ３３とＮチャンネル型ＭＯＳＦＥＴＭ３４の共通接続点に流れるようにされる。上記ＭＯＳＦＥＴＭ３３はＰチャンネル型ＭＯＳＦＥＴＭ３５のゲートの電流経路として動作し、上記ＭＯＳＦＥＴＭ３４はＮチャンネル型ＭＯＳＦＥＴＭ３８のゲート電流経路として動作する。

【００３５】

上記電流－電圧変化動作を行うＰチャンネル型ＭＯＳＦＥＴＭ３５とＮチャンネル型ＭＯＳＦＥＴＭ３８の間には、上記中点電圧Ｖcc／２を受けるＰチャンネル型ＭＯＳＦＥＴＭ３６とＮチャンネル型ＭＯＳＦＥＴＭ３７が直列に接続される。これにより、上記電源電圧Ｖccが３．３Ｖ以上の高いときには、上記電圧ＶＤＲに従ってＭＯＳＦＥＴＭ３２に流れる電流によりＰチャンネル型ＭＯＳＦＥＴＭ３５のゲート電圧がほぼＶcc／２まで低下してオン状態にされる。このとき、Ｎチャンネル型ＭＯＳＦＥＴＭ３８のゲート電圧は、上記ＭＯＳＦＥＴＭ３２に流れる電流によってディスチャージされて回路の接地電位にされてオフ状態にされる。これに対して、上記電源電圧Ｖccが３．３Ｖ以下に低下すると、上記電圧ＶＤＲが零となり、ＭＯＳＦＥＴＭ３２がオフ状態にされるためにＰチャンネル型ＭＯＳＦＥＴＭ３０で形成された押し出し電流によってＮチャンネル型ＭＯＳＦＥＴＭ３８のゲート電圧がほぼＶcc／２まで上昇してオン状態にされる。このとき、Ｐチャンネル型ＭＯＳＦＥＴＭ３５のゲート電圧は、上記ＭＯＳＦＥＴＭ３０からの電流によってチャージアップされて電源電圧Ｖccとなるためにオフ状態にされる。

【００３６】

上記Ｐチャンネル型ＭＯＳＦＥＴＭ３５の出力信号は、Ｐチャンネル型の出力ＭＯＳＦＥＴＭ３９のゲートに供給され、上記Ｎチャンネル型ＭＯＳＦＥＴＭ３８の出力信号は、Ｎチャンネル型の出力ＭＯＳＦＥＴＭ４２のゲートに供給される。そして、これらの出力ＭＯＳＦＥＴＭ３９とＭ４２のゲート耐圧保護のために前記同様にＶcc／２がゲートに印加されたＰチャンネル型ＭＯＳＦＥＴＭ４０とＮチャンネル型ＭＯＳＦＥＴＭ４１とが直列に挿入される。そして、出力切り替え制御信号ＬＶＭは、例えばＮチャンネル型ＭＯＳＦＥＴＭ４２のドレインから出力される。

【００３７】

図８には、上記駆動増幅回路の一実施例の回路図が示されている。この実施例は、ＭＯＳＦＥＴＭ４３～Ｍ４８からなるボルテージフォロワ形態にされた差動出力回路と、ＭＯＳＦＥＴＭ４９～Ｍ５２からなる出力切り替え回路により構成される。Ｎチャンネル型の差動ＭＯＳＦＥＴＭ４５とＭ４６のドレインには、電流ミラー形態にされたＰチャンネル型ＭＯＳＦＥＴＭ４３とＭ４４が設けられる。上記差動ＭＯＳＦＥＴＭ４５とＭ４６の共通化されたソースと回路の接地電位との間には、定電圧ＶＮＮを受けてバイアス電流を流す電流源ＭＯＳＦＥＴＭ４７が設けられる。そして、電流増幅を行うＰチャンネル型の出力ＭＯＳＦＥＴＭ４８が設けられ、上記差動増幅回路は入力信号ＶＲＥＧに従った出力電圧ＶＩＮＴを形成するというボルテージフォロワ動作を行う。

【００３８】

出力切り替え回路を構成するＰチャンネル型ＭＯＳＦＥＴＭ４９には、定電圧ＶＰＰが印加されて微小電流が流れるように設定される。このＭＯＳＦＥＴＭ４９に対して直列に上記出力電圧ＶＩＮＴを受けるＮチャンネル型ＭＯＳＦＥＴＭ５０及び前記制御信号ＬＶＭを受けるＮチャンネル型ＭＯＳＦＥＴＭ５１が直列に接続される。上記ＭＯＳＦＥＴ４９のドレインは、Ｐチャンネル型の出力ＭＯＳＦＥＴＭ５２のゲートに印加される。このＭＯＳＦＥＴＭ５２のソースには、電源電圧Ｖccが印加され、ドレインは上記出力端子ＶＩＮＴに接続されている。

【００３９】

上記駆動増幅回路の動作は、図９の電圧特性図に従って説明する。外部電源電圧ＶＥＸＴ（Ｖcc）３．３Ｖ以下の低電圧領域では、上記定電圧ＶＲＥＧそのものが本来の電圧として形成されない。この電圧範囲では前記のように制御信号ＬＶＭがＶcc／２のようなハイ

レベルになり、ＭＯＳＦＥＴＭ５１をオン状態にさせる。これにより、Ｐチャンネル型の出力ＭＯＳＦＥＴＭ５２をオン状態にして出力電圧ＶＩＮＴを電源電圧Ｖccと等しい電圧として出力させる。

【００４０】

外部電源電圧ＶＥＸＴ（Ｖcc）が３．３Ｖを超えて大きくなると、上記低電圧切替回路が検知して、制御信号ＬＶＭをロウレベルに変化させる。これにより、上記ＭＯＳＦＥＴＭ５１がオフ状態にされ、上記Ｐチャンネル型ＭＯＳＦＥＴＭ４９からの電流によって出力ＭＯＳＦＥＴＭ５２のゲート電圧が電源電圧Ｖccまでチャージアップされてオフ状態にされる。そして、このとき定倍回路（１）が有効な動作を開始して定電圧ＶＯＰを形成しているので、かかる電圧ＶＯＰに対応して形成された３．３Ｖの電圧ＶＲＥＧが、上記ボルテージフォロワ出力回路を通して内部電圧ＶＩＮＴとして出力される。そして、外部電源電圧ＶＥＸＴ（Ｖcc）を６．６Ｖ以上に高くすると、ＶＢＩ＞ＶＯＰの関係となって、上記電圧ＶＲＥＧがＶccの上昇とともに変化して上昇する電圧ＶＢＩに対応した電圧となる。

【００４１】

上記電圧特性のうち、網かけを行った３つの部分が実際の使用領域とされる。つまり、ＶＩＮＴ＝ＶＥＸＴ（Ｖcc）は、電源電圧Ｖccをバッテリーに切り替えて使用した場合であり、ＶＩＮＴ＝ＶＯＰは、通常動作モードのときであり、ＶＩＮＴ＝ＶＢＩは、バーンインモードのときである。

【００４２】

図１０には、この発明に係る半導体記憶装置を説明すたるめのブロック図が示されている。同図（Ａ）は、入力回路と出力回路を外部システムとのレベル整合をとるために外部電源電圧Ｖccで動作させ、アドレス選択等の周辺回路とメモリアレイを前記のような電源回路で構成された降圧電圧を用いて構成される。この場合、素子の耐圧が上記バーインモードを含めて外部電源電圧Ｖccより小さいときには、上記降圧回路、入力回路及び出力回路において前記のような電圧緩和素子が挿入される。特に、入力回路や出力回路等において、２値の制御信号を形成するものは、前記図７に示したような電圧緩和構成とすることにより、ＣＭＯＳ回路の制御信号を形成することができる。

【００４３】

同図（Ｂ）では、降圧回路と出力回路が外部電源電圧で動作させられ、他の入力回路、周辺回路及びメモリアレイは内部降圧電圧で動作させられる。そして、同図（Ｃ）では、上記降圧回路のみが外部電源回路で動作させられる。上記（Ａ）～（Ｃ）のように内部回路の動作電圧は、種々の構成を採ることができるが、降圧回路だけは外部電源電圧で動作させらることを避けることができない。このため、降圧回路において、言い換えるならば、電源回路において、上記のように動作電圧が素子のゲート絶縁膜の耐圧を超える場合、前記のような電圧緩和素子を設けることが必須とされる。

【００４４】

上記のようなメモリ回路では、システム等の外部電源電圧が遮断された場合、記憶情報の不揮発化のためにバッテリーバックアップ動作を行うことが必要となる。この実施例の電源回路では、上記バッテリー電圧を検知し、外部電圧をそのまま内部電圧として切り替えて供給することにより、低い電池電圧の使用あるいは電池寿命を長くすることができる。

【００４５】

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

（１）　同一の半導体基板上に同一製造工程で形成された第１及び第２のＭＯＳＦＥＴと第１と第２の抵抗素子とを用いて製造プロセスの簡素化を図りつつ、上記第１のＭＯＳＦＥＴには、テーリング領域において相対的に小さな電流密度にされた電流を流し、上記第２のＭＯＳＦＥＴには、テーリング領域において相対的に大きな電流密度にされた電流を流し、上記第１の抵抗素子には、上記第１のＭＯＳＦＥＴのゲートとソース間電圧と上記第２のゲートとソース間電圧との差電圧に対応した電圧を印加し、上記第１の抵抗素子で形成された電流を上記第２の抵抗素子に流して、かかる第２の抵抗素子で形成された電圧

と上記第２のＭＯＳＦＥＴを含む同一製造工程で形成されたＭＯＳＦＥＴのゲート，ソース間電圧を加えて温度依存性をキャンセルさせた基準電圧を形成することができるという効果が得られる。

【００４６】

（２）　第３の抵抗素子と電圧制御回路とを更に設け、上記第１のＭＯＳＦＥＴはゲートとドレインを共通接続してダイオード形態にして上記第１の抵抗素子の一端に接続し、かかる第１のＭＯＳＦＥＴと第１と抵抗素子との直列回路を上記第２のＭＯＳＦＥＴのゲートとソース間に設け、上記第１の抵抗素子と他端には上記第２の抵抗素子の一端を接続し、上記第１のＭＯＳＦＥＴのドレインに上記第３の抵抗素子の一端を接続し、上記第２の抵抗素子と第３の抵抗素子の他端は共通接続して上記電圧制御回路により上記第２と第３の抵抗素子で発生する電圧が等しくなるように制御することにより、第２のＭＯＳＦＥＴのソースと上記第２と第３の抵抗素子の共通接続点との間で上記基準電圧を得ることができるという効果が得られる。

【００４７】

（３）　上記第１と第２のＭＯＳＦＥＴに流れる電流の電流密度は、第２のＭＯＳＦＥＴに対して第１のＭＯＳＦＥＴのサイズを大きくするとともに両者にほぼ同じ電流を流すようにすることにより両者のサイズ比に従って高精度に電流密度比を設定することができるという効果が得られる。

【００４８】

（４）　上記第３のＭＯＳＦＥＴにはゲート，ドレインが接続されてダイオード形態にされたＭＯＳＦＥＴを直列に接続し、上記第３のＭＯＳＦＥＴのゲートと基板間に印加される電圧を緩和させることにより、動作電圧に対してゲート絶縁耐圧の小さな素子を用いること、言い換えるならば、動作電圧をそのままで素子の微細化を実現できるという効果が得られる。

【００４９】

（５）　上記基準電圧がゲートとソース間に印加された第４のＭＯＳＦＥＴを設け、上記第４のＭＯＳＦＥＴで形成された電流を受けて同じ電流を形成する電流ミラー回路で形成された電流を上記第４のＭＯＳＦＥＴと同じサイズとされたダイオード形態の複数の直列ＭＯＳＦＥＴを流すことにより、上記直列ＭＯＳＦＥＴの数に対応して上記基準電圧の整数倍された定電圧を形成することができるという効果が得られる。

【００５０】

（６）　上記基準電圧を第４のＭＯＳＦＥＴのゲートとソース間に印加して形成された電流を電流ミラー回路を介して同じ電流を上記第４のＭＯＳＦＥＴと同じサイズとされたダイオート形態の複数の第１と第２の直列ＭＯＳＦＥＴに流して、上記第１と第２直列ＭＯＳＦＥＴにより形成された回路の接地電位及び電源電圧を基準にして整数倍された第１と第２の定電圧を受けて、通常動作時には上記第１の定電圧を電力増幅して内部電源電圧として出力させ、バーンイン等の試験モードのときには上記電源電圧に従って変化する第２の定電圧を電力増幅して内部電源電圧として出力させることができるという効果が得られる。

【００５１】

（７）　上記電源回路を構成する各回路には、電源電圧と回路の接地電位との間にダイオード形態にされたＭＯＳＦＥＴが設けられて、上記各回路を構成するＭＯＳＦＥＴのゲートに印加される電圧を緩和させることにより、動作電圧に対してゲート絶縁耐圧の小さな素子を用いること、言い換えるならば、動作電圧をそのままで素子の微細化を実現できるという効果が得られる。

【００５２】

（８）　上記出力切り換え回路は、上記第１と第２の定電圧を受け、並列形態にされた第５と第６のＭＯＳＦＥＴと、上記第５と第６のＭＯＳＦＥＴに対して差動形態にされてドレインとゲートが接続された第７のＭＯＳＦＥＴと、上記第５ないし第７のＭＯＳＦＥＴの共通化されたソースに設けられたバイアス電流源回路を備え、上記第７のＭＯＳＦＥＴ

のドレインから出力信号を得るものとし、上記試験モードのときには電源電圧を上昇させて上記第１の定電圧に対して第２の定電圧が高くなるようにすることにより、外部電源電圧に従って自動的な切り替えを行うようにすることができるという効果が得られる。

【００５３】

（９）　上記電圧切り換え回路の出力部には、上記定電圧を形成するに必要な電源電圧以下の領域では、電源電圧をそのまま出力させるスイッチＭＯＳＦＥＴを設ることにより低電圧領域での動作、特にバッテリーバックアップ時に有効な電源供給を行うようにすることができるという効果が得られる。

【００５４】

（１０）　上記スイッチＭＯＳＦＥＴをオン状態にさせる制御信号を形成する制御回路は、制御信号がゲートに供給されたＰチャンネル型ＭＯＳＦＥＴのドレインとＮチャンネル型ＭＯＳＦＥＴのドレインとの間に、電源電圧を分圧して形成された中点電圧がゲートに供給されたＰチャンネル型ＭＯＳＦＥＴ及びＮチャンネル型ＭＯＳＦＥＴを直列に接続し、上記Ｐチャンネル型ＭＯＳＦＥＴのドレインから次段回路のＰチャンネル型ＭＯＳＦＥＴをスイッチ制御する出力信号を形成し、Ｎチャンネル型ＭＯＳＦＥＴのドレインから次段回路のＮチャンネル型ＭＯＳＦＥＴをスイッチ制御する出力信号を形成するものであり、かかる出力信号により上記スイッチＭＯＳＦＥＴのスイッチ制御を行わせることにより、動作電圧に対してゲート絶縁耐圧の小さな素子を用いること、すなわち、動作電圧をそのままで素子の微細化を実現できるという効果が得られる。

【００５５】

（１１）　上記電源電圧と回路の接地電位を受けて動作し、上記電源電圧を分圧して形成された中点電圧がゲートに供給されたＰチャンネル型ＭＯＳＦＥＴとＮチャンネル型ＭＯＳＦＥＴとを、制御信号をゲートに受けるＰチャンネル型ＭＯＳＦＥＴのドレインとＮチャンネル型ＭＯＳＦＥＴのドレインとの間に直列に挿入し、上記Ｐチャンネル型ＭＯＳＦＥＴのドレインから次段回路のＰチャンネル型ＭＯＳＦＥＴをスイッチ制御する出力信号を形成し、Ｎチャンネル型ＭＯＳＦＥＴのドレインから次段回路のＮチャンネル型ＭＯＳＦＥＴをスイッチ制御する出力信号を形成することにより、動作電圧に対してゲート絶縁耐圧の小さな素子を用いること、言い換えるならば、動作電圧をそのままで素子の微細化を実現できるという効果が得られる。

【００５６】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、基準電圧発生回路は、前記のようにテーリング領域で動作する２つのＭＯＳＦＥＴの電流密度差に対応したゲート，ソース間の差電圧を電圧増幅したものと、同じくテーリング領域で動作するＭＯＳＦＥＴのゲート，ソース間電圧を加えて温度補償を行うようにするものであれば何であってもよい。上記内部電圧は、上記基準電圧を整数倍するものの他、上記抵抗比を利用した電圧増幅するもの、あるいは上記分圧して微小電圧にするもの等種々の実施形態を採ることができる。上記電圧緩和素子は、抵抗素子で構成し、そこで発生する電圧降下を利用して、それと直列に接続されるＭＯＳＦＥＴのゲートとドレイン間に印加される電圧を緩和させるようにするものであってもよい。

【００５７】

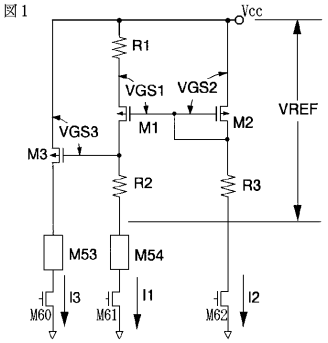
電源回路は、バッテリー動作させないものでは前記定倍回路（３）、低電圧切替回路を省略することができる。また、電源電圧切り替え回路及び駆動増幅回路は種々の実施形態を採ることができる。上記基準電圧発生回路は、電源回路に用いられるもの他、半導体集積回路装置に形成される各種基準電圧発生回路として広く利用できる。上記基準電圧発生回路又は電源回路を備えた半導体集積回路装置は、前記のような半導体記憶装置の他にＣＭＯＳ回路で構成された各種半導体集積回路装置に広く適用できる。上記半導体記憶装置は、スタティック型やダイナミック型のＲＡＭ、あるいは不揮発性記憶装置のＲＯＭのような各種の実施形態を採ることができる。

【００５８】

【発明の効果】
本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、同一の半導体基板上に同一製造工程で形成された第１及び第２のＭＯＳＦＥＴと第１と第２の抵抗素子とを用いて製造プロセスの簡素化を図りつつ、上記第１のＭＯＳＦＥＴには、テーリング領域において相対的に小さな電流密度にされた電流を流し、上記第２のＭＯＳＦＥＴには、テーリング領域において相対的に大きな電流密度にされた電流を流し、上記第１の抵抗素子には、上記第１のＭＯＳＦＥＴのゲートとソース間電圧と上記第２のゲートとソース間電圧との差電圧に対応した電圧を印加し、上記第１の抵抗素子で形成された電流を上記第２の抵抗素子に流して、かかる第２の抵抗素子で形成された電圧と上記第２のＭＯＳＦＥＴを含む同一製造工程で形成されたＭＯＳＦＥＴのゲート，ソース間電圧を加えて温度依存性をキャンセルさせた基準電圧を形成することができる。
【００５９】
上記基準電圧を第４のＭＯＳＦＥＴのゲートとソース間に印加して形成された電流を電流ミラー回路を介して同じ電流を上記第４のＭＯＳＦＥＴと同じサイズとされたダイオート形態の複数の第１と第２の直列ＭＯＳＦＥＴに流して、上記第１と第２直列ＭＯＳＦＥＴにより形成された回路の接地電位及び電源電圧を基準にして整数倍された第１と第２の定電圧を受けて、通常動作時には上記第１の定電圧を電力増幅して内部電源電圧として出力させ、バーンイン等の試験モードのときには上記電源電圧に従って変化する第２の定電圧を電力増幅して内部電源電圧として出力させることができる。
【００６０】
上記電源電圧と回路の接地電位を受けて動作し、上記電源電圧を分圧して形成された中点電圧がゲートに供給されたＰチャンネル型ＭＯＳＦＥＴとＮチャンネル型ＭＯＳＦＥＴとを、制御信号をゲートに受けるＰチャンネル型ＭＯＳＦＥＴのドレインとＮチャンネル型ＭＯＳＦＥＴのドレインとの間に直列に挿入し、上記Ｐチャンネル型ＭＯＳＦＥＴのドレインから次段回路のＰチャンネル型ＭＯＳＦＥＴをスイッチ制御する出力信号を形成し、Ｎチャンネル型ＭＯＳＦＥＴのドレインから次段回路のＮチャンネル型ＭＯＳＦＥＴをスイッチ制御する出力信号を形成することにより、動作電圧に対してゲート絶縁耐圧の小さな素子を用いること、言い換えるならば、動作電圧をそのままで素子の微細化を実現できる。
【図面の簡単な説明】
【図１】この発明に係る基準電圧発生回路の一実施例を示す回路図である。
【図２】この発明に係る基準電圧発生回路の他の一実施例を示す回路図である。
【図３】図２の基準電圧発生回路に用いられる電圧比較回路の一実施例を示す回路図である。
【図４】この発明に係る基準電圧発生回路を用いた電源回路の一実施例を示すブロック図である。
【図５】図４の基準電圧発生回路、定倍回路（１）～定倍回路（３）の具体的一実施例を示す回路図である。
【図６】図４の電源電圧選択回路の一実施例を示す回路図である。
【図７】図４の低電圧切替回路の一実施例を示す回路図である。
【図８】図４の駆動増幅回路の一実施例を示す回路図である。
【図９】この発明に係る電源回路の動作を説明するための電圧特性図である。
【図１０】この発明に係る半導体集積回路装置の一実施例を示すブロック図である。
【図１１】この発明を説明するためのＭＯＳＦＥＴの特性図である。
【符号の説明】
Ｍ１～Ｍ５２…ＭＯＳＦＥＴ、Ｍ５３～Ｍ５５…電圧緩和素子（ＭＯＳＦＥＴ）、Ｃ１～Ｃ４…キャパシタ、Ｒ１～Ｒ７…抵抗素子、Ａ…電圧比較回路。

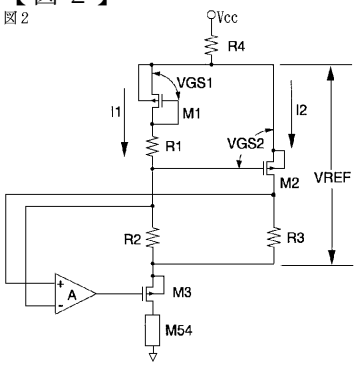
【図１】

図1



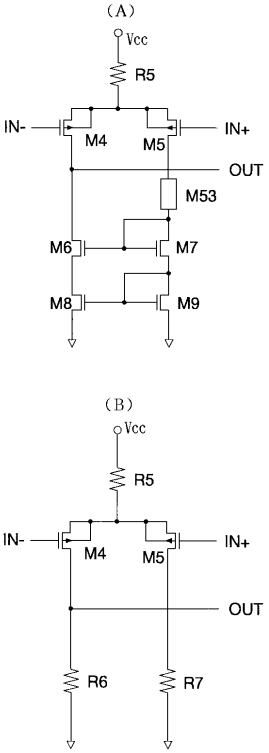
【図２】

図2



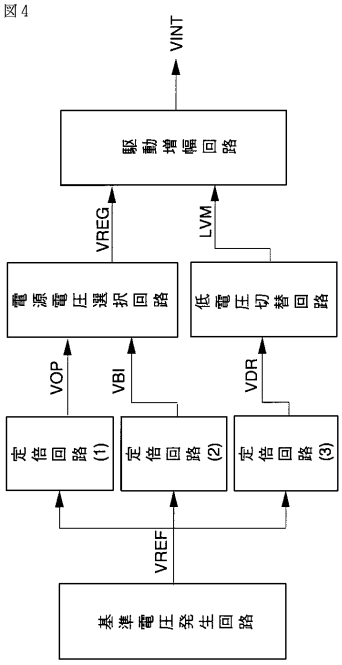
【図３】

図3



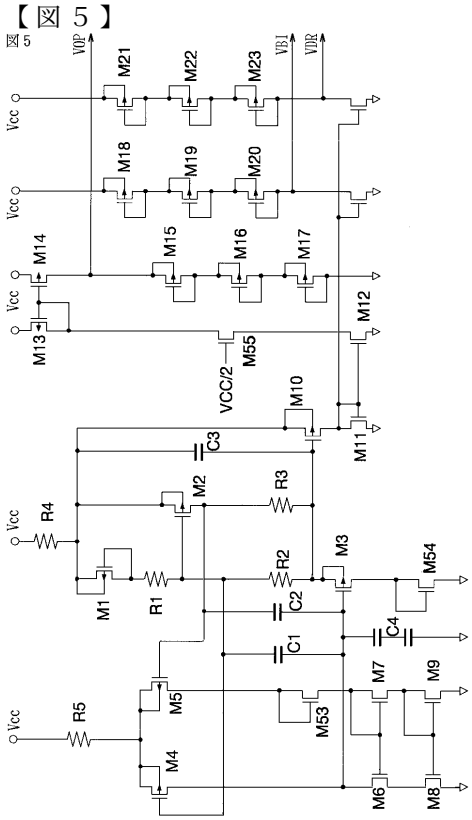
【図４】

図4



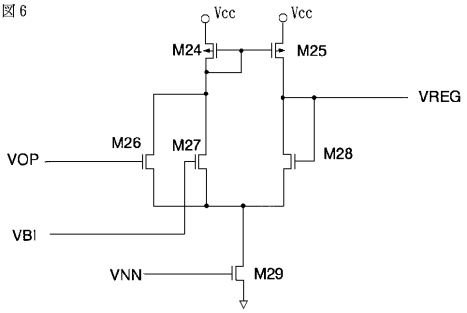
【図５】

図5



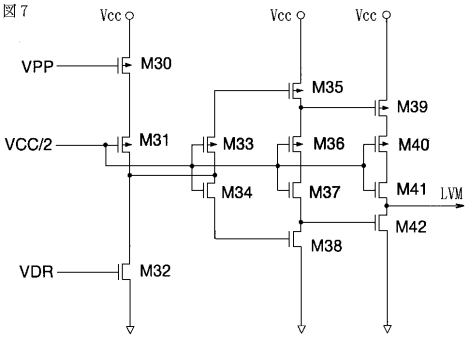
【図６】

図6



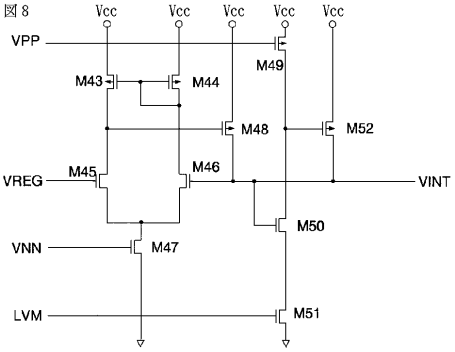
【図７】

図7



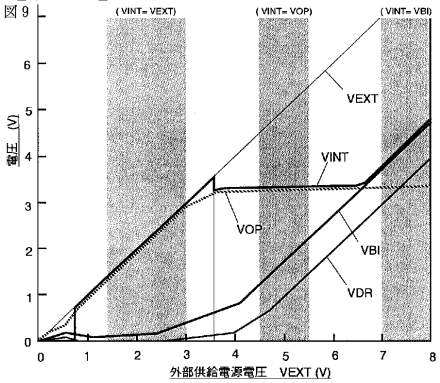
【図８】

図8



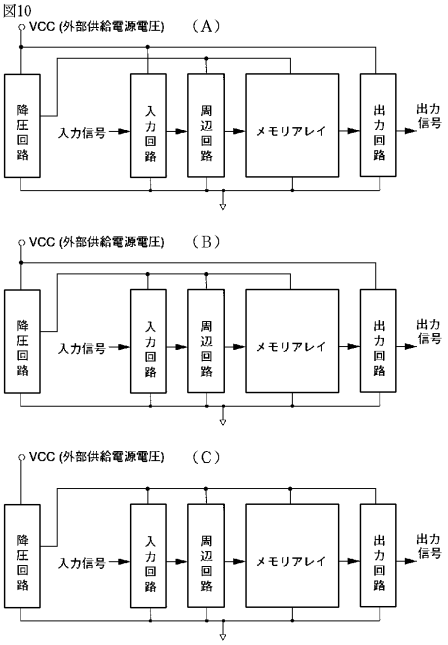
【図９】

図9



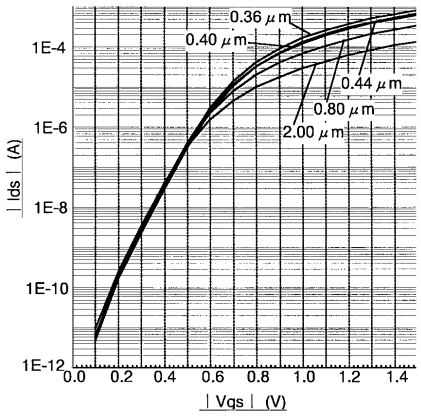
【図１０】

図10



【図１１】

図11



フロントページの続き

(51)Int.Cl. ＦＩ
Ｈ０３Ｆ 3/345 (2006.01)

審査官 棚田 一也

(56)参考文献 特開平０７－２６３６２９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl., ＤＢ名)
H01L 21/822
G05F 3/24
G11C 11/407
G11C 11/413
H01L 27/04
H03F 3/345