

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 1 区分

【発行日】平成 27 年 1 月 15 日 (2015.1.15)

【公開番号】特開 2012-118073 (P2012-118073A)

【公開日】平成 24 年 6 月 21 日 (2012.6.21)

【年通号数】公開・登録公報 2012-024

【出願番号】特願 2011-259727 (P2011-259727)

【国際特許分類】

G 0 1 T 7/00 (2006.01)

A 6 1 B 6/03 (2006.01)

【F I】

G 0 1 T 7/00 A

A 6 1 B 6/03 3 2 0 W

【手続補正書】

【提出日】平成 26 年 11 月 20 日 (2014.11.20)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

センサスタックを形成する方法であって、

第 1 の面及び第 2 の面を有する基板を設けるステップと、

第 1 の面及び第 2 の面を有する集積回路を、前記基板の前記第 1 の面に配置するステップであって、前記集積回路は、前記集積回路の前記第 1 の面に配置された第 1 の複数の接点パッドを備える、ステップと、

複数のセンサ素子を有するセンサアレイを設けるステップであって、前記センサ素子のそれぞれは、第 1 の面及び第 2 の面を有し、前記センサアレイは、前記センサアレイの第 2 の面に配置された第 2 の複数の接点パッドを備える、ステップと、

1 つ以上のインターポーザ素子と、前記インターポーザ素子を貫通して配置された 1 つ以上のスルービアとを有するインターポーザを、前記センサアレイの前記 1 つ以上のセンサ素子と前記集積回路との間に配置して、前記センサアレイを前記集積回路の前記第 1 の面から持ち上げ、前記 1 つ以上のセンサ素子から成る平面がセンサスタック法線に対して局所的に垂直であるようにするステップであって、前記インターポーザは、前記センサアレイの前記各センサ素子の前記第 2 の面を前記集積回路の前記第 1 の面と結合するように構成されている、ステップと、

前記集積回路の前記第 1 の面の前記第 1 の複数の接点パッドを、前記センサアレイの前記第 2 の面の前記第 2 の複数の接点パッドと動作可能に結合して、タイル状配列が可能なセンサスタックを形成するステップと、

を含む方法。

【請求項 2】

前記インターポーザの前記 1 つ以上のインターポーザ素子は、角度がついた外形を有し、前記インターポーザの前記 1 つ以上のインターポーザ素子は、長方形、楔形、正方形、円形、又はこれらの組み合わせの形状を有する、請求項 1 に記載の方法。

【請求項 3】

前記センサアレイの前記 1 つ以上のセンサ素子を、前記集積回路の領域の一部分の上に配置するステップと、

前記集積回路の前記第 2 の面と前記基板との間にスペーサ素子を配置するステップと、
を更に含む、請求項 1 または 2 に記載の方法。

【請求項 4】

タイル状配列が可能な検出器アレイを形成する方法であって、
タイル状配列が可能なセンサスタックを形成するステップであって、
第 1 の面及び第 2 の面を有するセンサ素子を設けるステップであって、前記センサ素子は、
前記センサ素子の前記第 2 の面に配置された第 1 の複数の接点パッドを備える、ステップと、
第 1 の面及び第 2 の面を有する集積回路の領域の一部分に前記センサ素子を配置するステップと、
前記センサ素子と前記集積回路との間に楔形インターポーザ素子を配置するステップであって、
前記楔形インターポーザ素子は、前記センサ素子から成る平面がセンサスタック法線に対して局所的に垂直であるように、前記センサ素子を前記集積回路の前記第 1 の面から持ち上げるように構成され、
前記楔形インターポーザ素子は、前記楔形インターポーザ素子を貫通して配置されたスルービアを備え、
前記インターポーザは、前記センサ素子の前記第 2 の面を前記集積回路の前記第 1 の面と動作可能に結合するように構成されている、ステップと、
前記センサ素子の前記第 2 の面の前記第 1 の複数の接点パッドを前記集積回路の前記第 1 の面の第 2 の複数の接点パッドと動作可能に結合して、タイル状配列が可能な前記センサスタックを形成するステップと、
を含むステップと、
基板の第 1 の面に、複数のタイル状配列が可能なセンサスタックをタイル状に配列して、
タイル状配列が可能な前記検出器アレイを形成するステップと、
を含む方法。

【請求項 5】

前記集積回路の前記第 2 の面と前記基板の前記第 1 の面との間にスペーサ素子を配置するステップであって、前記スペーサ素子は、前記インターポーザ素子の前記楔形を補償するように構成されている、ステップと、
ワイヤボンド又はフレキシブル相互接続を用いて、前記集積回路を他の電子回路と動作可能に結合するステップであって、前記センサ素子と前記集積回路との間に設けられた隙間空間に前記ワイヤボンド又はフレキシブル相互接続部を配置することを含むステップと、
を更に含む、請求項 4 に記載の方法。

【請求項 6】

タイル状配列が可能な検出器アレイを形成する方法であって、
第 1 の複数の、タイル状配列が可能な階段状センサスタックを形成するステップであって、
第 1 の面及び第 2 の面を有するセンサ素子を設けるステップであって、前記センサ素子は、
前記センサ素子の前記第 2 の面に配置された第 1 の複数の接点パッドを備える、ステップと、
第 1 の面及び第 2 の面を有する集積回路の領域の一部分に前記センサ素子を配置するステップと、
前記センサ素子と前記集積回路との間に階段状インターポーザ素子を配置するステップであって、
前記階段状インターポーザ素子は、前記センサ素子から成る平面がセンサスタック法線に対して局所的に垂直であるように、前記センサ素子を前記集積回路の前記第 1 の面から持ち上げるように構成され、
前記階段状インターポーザ素子は、前記階段状インターポーザ素子を貫通して配置されたスルービアを備え、
前記階段状インターポーザ素子は、前記センサ素子の前記第 2 の面を前記集積回路の前記第 1 の面と動作可能に結合するように構成されている、ステップと、
前記センサ素子の前記第 2 の面の前記第 1 の複数の接点パッドを前記集積回路の前記第 1 の面の第 2 の複数の接点パッドと動作可能に結合して、前記第 1 の複数の、タイル状配列

が可能な階段状センサスタックを形成するステップと、
を含むステップと、
第 2 の複数のセンサスタックを形成するステップであって、
第 1 の面及び第 2 の面を有するセンサ素子を設けるステップであって、前記センサ素子は、前記センサ素子の前記第 2 の面に配置された第 1 の複数の接点パッドを備える、ステップと、
第 1 の面及び第 2 の面を有する集積回路の領域の一部分に前記センサ素子を配置するステップと、
前記センサ素子の前記第 2 の面の前記第 1 の複数の接点パッドを前記集積回路の前記第 1 の面の第 2 の複数の接点パッドと動作可能に結合して、前記第 2 の複数の、タイル状配列が可能な階段状センサスタックを形成するステップと、
を含むステップと、
前記第 1 の複数の、タイル状配列が可能な階段状センサスタック及び前記第 2 の複数の、タイル状配列が可能な階段状センサスタックを、基板の第 1 の面にタイル状に配列して、タイル状配列が可能な前記検出器アレイを形成するステップと、
を含む方法。

【請求項 7】

検出器アレイ (3 0 、 4 0 、 7 0 、 1 1 0) であって、
第 1 の面及び第 2 の面を有する基板 (7 2) と、
平面型検出器アレイを形成するために前記基板 (7 2) の前記第 1 の面に配列された、複数のタイル状配列が可能なセンサスタック (3 2 、 4 2 、 5 0) と、を備え、前記複数のタイル状配列が可能なセンサスタック (3 2 、 4 2 、 5 0) のそれぞれは、
第 1 の面及び第 2 の面を有するセンサ素子 (5 2) であって、前記センサ素子 (5 2) の前記第 2 の面に配置された第 1 の複数の接点パッド (8 2) を備える、センサ素子 (5 2) と、
第 1 の面及び第 2 の面を有する集積回路 (5 4) と、
自身を貫通して配置された 1 つ以上のスルービア (9 0) を有する、インターポーザ素子 (5 6) であって、前記インターポーザ素子 (5 6) は、前記センサ素子 (5 2) と前記集積回路 (5 4) との間に配置され、前記センサ素子 (5 2) を前記集積回路 (5 4) の前記第 1 の面から持ち上げ、前記センサ素子 (5 2) から成る平面が検出器アレイ法線に対して局所的に垂直であるようにするように構成され、前記インターポーザ素子 (5 6) は、前記センサ素子 (5 2) の前記第 2 の面を前記集積回路 (5 4) の前記第 1 の面と動作可能に結合するように構成されている、インターポーザ素子 (5 6) と、を備え、
前記センサ素子 (5 2) の前記第 2 の面の前記第 1 の複数の接点パッド (8 2) を、前記集積回路 (5 4) の前記第 1 の面の第 2 の複数の接点パッド (8 6) と動作可能に結合することにより、タイル状配列が可能な前記センサスタック (5 0) が形成される、
検出器アレイ (3 0 、 4 0 、 7 0 、 1 1 0) 。

【請求項 8】

前記インターポーザ素子 (5 6) は、階段状インターポーザ素子又は楔形インターポーザ素子である、請求項 7 に記載の検出器アレイ (3 0 、 4 0 、 7 0 、 1 1 0) 。

【請求項 9】

前記インターポーザ素子 (5 6) は、
1 つ以上のルーティング層 (9 2) 、 1 つ以上のルーティングパターン、又は前記 1 つ以上のルーティング層及び前記 1 つ以上のルーティングパターンの両方と、
前記インターポーザ素子の第 1 の面に配置された上面接点パッド、及び前記インターポーザ素子の第 2 の面に配置された底面接点パッドと、
を更に備える、請求項 7 または 8 に記載の検出器アレイ (3 0 、 4 0 、 7 0 、 1 1 0) 。

【請求項 10】

前記集積回路の前記第 2 の面と前記基板の前記第 1 の面との間に配置されたスペーサ素子を更に備える、請求項 7 乃至 9 のいずれかに記載の検出器アレイ (3 0 、 4 0 、 7 0 、 1

1 0) 。