

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第7部門第4区分  
【発行日】令和6年7月24日(2024.7.24)

【国際公開番号】WO2023/079820  
【出願番号】特願2023-557633(P2023-557633)

【国際特許分類】

H 0 2 M 1/08(2006.01)

H 0 3 F 3/217(2006.01)

H 0 3 F 1/02(2006.01)

10

【F I】

H 0 2 M 1/08 A

H 0 3 F 3/217

H 0 3 F 1/02

【手続補正書】

【提出日】令和6年3月22日(2024.3.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

20

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電界効果トランジスタにて構成された第1トランジスタ及び絶縁ゲートバイポーラトランジスタにて構成された第2トランジスタの並列接続回路を有するスイッチング素子と、入力制御信号に応じて前記スイッチング素子を駆動するよう構成されたドライバ回路と、を備え、

前記ドライバ回路は、前記スイッチング素子を第1状態から第2状態に遷移させる際、前記第1トランジスタの前記第1状態から前記第2状態への遷移タイミングと、前記第2トランジスタの前記第1状態から前記第2状態への遷移タイミングと、を異ならせ、前記第1状態及び前記第2状態の内、一方はオフ状態であって且つ他方はオン状態である

30

、半導体装置。

【請求項2】

前記ドライバ回路は、前記入力制御信号に基づき前記第1トランジスタの状態を制御するための第1制御信号及び前記第2トランジスタの状態を制御するための第2制御信号を生成するよう構成された制御信号生成回路を備えて、前記第1制御信号に基づき前記第1トランジスタのゲートを駆動し且つ前記第2制御信号に基づき前記第2トランジスタのゲートを駆動し、

40

前記制御信号生成回路は、前記入力制御信号の変化に基づく前記第1制御信号の変化タイミングと前記入力制御信号の変化に基づく前記第2制御信号の変化タイミングとを異ならせるよう構成された遅延回路を備える

、請求項1に記載の半導体装置。

【請求項3】

前記遅延回路は、前記入力制御信号における所定変化にตอบสนองして前記第1トランジスタ及び前記第2トランジスタをターンオンさせる際、前記所定変化に基づき前記第1トランジスタをターンオンさせるためのレベル変化を前記第1制御信号に生じさせる第1タイミングと、前記所定変化に基づき前記第2トランジスタをターンオンさせるためのレベル変化を前記第2制御信号に生じさせる第2タイミングとの間に、差を設ける

50

、請求項 2 に記載の半導体装置。

【請求項 4】

前記遅延回路は、前記第 1 タイミングと前記第 2 タイミングが同時であるときと比べて、前記スイッチング素子のターンオンでのスイッチング損失が低減されるよう、前記差を設ける

、請求項 3 に記載の半導体装置。

【請求項 5】

前記第 1 トランジスタ及び前記第 2 トランジスタのターンオンにより前記第 1 トランジスタのドレイン電流及び前記第 2 トランジスタのコレクタ電流が増加する場合において、前記入力制御信号における前記所定変化に応答して前記第 1 トランジスタ及び前記第 2 トランジスタをターンオンさせる際、

前記遅延回路は、前記第 1 トランジスタのドレイン電流の増加率が最大となるタイミングと前記第 2 トランジスタのコレクタ電流の増加率が最大となるタイミングとが重なるように、前記差を設ける

、請求項 3 又は 4 に記載の半導体装置。

【請求項 6】

前記遅延回路は、前記入力制御信号における所定変化に応答して前記第 1 トランジスタ及び前記第 2 トランジスタをターンオフさせる際、前記所定変化に基づき前記第 1 トランジスタをターンオフさせるためのレベル変化を前記第 1 制御信号に生じさせる第 1 タイミングと、前記所定変化に基づき前記第 2 トランジスタをターンオフさせるためのレベル変化を前記第 2 制御信号に生じさせる第 2 タイミングとの間に、差を設ける

、請求項 2 に記載の半導体装置。

【請求項 7】

前記遅延回路は、前記第 1 タイミングと前記第 2 タイミングが同時であるときと比べて、前記スイッチング素子のターンオフでのスイッチング損失が低減されるよう、前記差を設ける

、請求項 6 に記載の半導体装置。

【請求項 8】

誘導性負荷を經由して前記第 1 トランジスタにドレイン電流及び前記第 2 トランジスタにコレクタ電流が流れている状態を起点に、前記入力制御信号における前記所定変化に

応答して前記第 1 トランジスタ及び前記第 2 トランジスタをターンオフさせる際、前記遅延回路は、前記第 1 トランジスタを前記第 2 トランジスタよりも先にオフ状態に向かわせることで前記第 2 トランジスタのコレクタ電流を増大させ、その後、前記ドレイン電流及び前記コレクタ電流の和に対する前記コレクタ電流の割合が所定割合以下であるときに前記第 2 トランジスタがターンオフするように、前記差を設ける

、請求項 6 又は 7 に記載の半導体装置。

【請求項 9】

前記スイッチング素子と前記ドライバ回路の組を複数備え、

2 つの組における 2 つのスイッチング素子が直列接続されることでハーフブリッジ回路が形成される

、請求項 1 ~ 4、6 及び 7 の何れかに記載の半導体装置。

【請求項 10】

各組において、前記第 2 トランジスタに対して並列にショットキバリアダイオードが接続される

、請求項 9 に記載の半導体装置。

【請求項 11】

各組において、前記第 1 トランジスタ及び前記ショットキバリアダイオードは炭化ケイ素を用いて形成される

、請求項 10 に記載の半導体装置。

【請求項 12】

10

20

30

40

50

前記ハーブブリッジ回路が複数設けられる  
、請求項9に記載の半導体装置。

10

20

30

40

50