

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-203258

(P2006-203258A)

(43) 公開日 平成18年8月3日(2006.8.3)

| | | |
|------------------------------|---------------------|-------------|
| (51) Int. Cl. | F I | テーマコード (参考) |
| HO 1 G 4/30 (2006.01) | HO 1 G 4/30 3 O 1 B | 5 E 0 0 1 |
| HO 1 G 4/12 (2006.01) | HO 1 G 4/30 3 O 1 D | 5 E 0 8 2 |
| | HO 1 G 4/12 3 5 2 | |

審査請求 未請求 請求項の数 6 O L (全 28 頁)

| | | | |
|--------------|-------------------------------------|----------|---|
| (21) 出願番号 | 特願2006-120800 (P2006-120800) | (71) 出願人 | 000006231 株式会社村田製作所 |
| (22) 出願日 | 平成18年4月25日 (2006.4.25) | | 京都府長岡京市東神足1丁目10番1号 |
| (62) 分割の表示 | 特願2005-329712 (P2005-329712) の分割 | (74) 代理人 | 100085143 弁理士 小柴 雅昭 |
| 原出願日 | 平成17年11月15日 (2005.11.15) | (72) 発明者 | 高島 寛和 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 |
| (31) 優先権主張番号 | 特願2004-373166 (P2004-373166) | (72) 発明者 | 上岡 浩 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 |
| (32) 優先日 | 平成16年12月24日 (2004.12.24) | (72) 発明者 | 高木 義一 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 |
| (33) 優先権主張国 | 日本国 (JP) | Fターム(参考) | 5E001 AB03 AC01 AF06 |

最終頁に続く

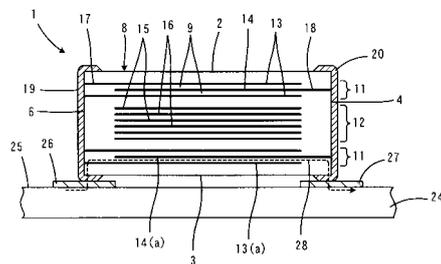
(54) 【発明の名称】 積層コンデンサおよびその実装構造

(57) 【要約】

【課題】 積層コンデンサにおいて、低ESL化および高ESR化の双方を図る。

【解決手段】 コンデンサ本体8において、第1のコンデンサ部11と第2のコンデンサ部12とを積層方向に並ぶように配置しながら、第1のコンデンサ部11が積層方向での少なくとも一端に位置するようにし、それによって、実装面25により近い側に第1のコンデンサ部11が位置するようにする。第1のコンデンサ部11の共振周波数を、第2のコンデンサ部12の共振周波数より高くして、第1のコンデンサ部11が低ESL化に寄与するようにしながら、第2のコンデンサ部12の1層あたりのESRを、第1のコンデンサ部11の1層あたりのESRより高くなるようにして、第2のコンデンサ部12が高ESR化に寄与するようにする。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

積層された複数の誘電体層をもって構成される積層構造を有するコンデンサ本体を備え

、
前記コンデンサ本体は、第 1 および第 2 のコンデンサ部を構成していて、
前記第 1 のコンデンサ部は、静電容量を形成するように所定の前記誘電体層を介して互いに対向する少なくとも 1 対の第 1 および第 2 の内部電極を含み、

前記第 1 の内部電極には、前記コンデンサ本体の外表面にまで引き出される複数の第 1 の引出し部が形成され、かつ、前記第 2 の内部電極には、前記コンデンサ本体の外表面にまで引き出される複数の第 2 の引出し部が形成され、

前記第 2 のコンデンサ部は、静電容量を形成するように所定の前記誘電体層を介して互いに対向する少なくとも 1 対の第 3 および第 4 の内部電極を含み、

前記第 3 の内部電極には、前記コンデンサ本体の外表面にまで引き出される少なくとも 1 つの第 3 の引出し部が形成され、かつ、前記第 4 の内部電極には、前記コンデンサ本体の外表面にまで引き出される少なくとも 1 つの第 4 の引出し部が形成され、

前記コンデンサ本体の外表面上には、前記第 1、第 2、第 3 および第 4 の引出し部にそれぞれ電氣的に接続される第 1、第 2、第 3 および第 4 の外部端子電極が形成され、

前記第 1 のコンデンサ部の共振周波数は、前記第 2 のコンデンサ部の共振周波数より高く、かつ、

前記第 2 のコンデンサ部に含まれる 1 組の前記第 3 および第 4 の内部電極ならびにその間の前記誘電体層により与えられる 1 層あたりの等価直列抵抗は、前記第 1 のコンデンサ部に含まれる 1 組の前記第 1 および第 2 の内部電極ならびにその間の前記誘電体層により与えられる 1 層あたりの等価直列抵抗より高くされている、
積層コンデンサ。

【請求項 2】

前記第 1 および第 2 の外部端子電極の少なくとも一方は、前記第 3 および第 4 の外部端子電極の少なくとも一方と共通である、請求項 1 に記載の積層コンデンサ。

【請求項 3】

前記第 1 および第 2 の外部端子電極は、交互に配置される、請求項 1 または 2 に記載の積層コンデンサ。

【請求項 4】

前記コンデンサ本体において、前記第 1 のコンデンサ部と前記第 2 のコンデンサ部とは積層方向に並ぶように配置されるとともに、前記第 1 のコンデンサ部が積層方向での少なくとも一方端に位置される、請求項 1 ないし 3 のいずれかに記載の積層コンデンサ。

【請求項 5】

前記コンデンサ本体において、前記第 2 のコンデンサ部が 2 つの前記第 1 のコンデンサ部によって積層方向に挟まれるように配置される、請求項 4 に記載の積層コンデンサ。

【請求項 6】

請求項 4 または 5 に記載の積層コンデンサが所定の実装面上に実装された構造であって、前記第 1 のコンデンサ部が前記実装面により近い側に位置するように前記コンデンサ本体を向けた状態で、前記積層コンデンサが実装される、積層コンデンサの実装構造。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、積層コンデンサおよびその実装構造に関するもので、特に、高周波回路において有利に適用される積層コンデンサおよびその実装構造に関するものである。

【背景技術】

【0002】

数 GHz のような高周波領域において、MPU (マイクロプロセッシングユニット) 等のための電源回路に用いられるデカップリングコンデンサとして、たとえば特開平 11 -

10

20

30

40

50

144996号公報(特許文献1)に記載のような構造の積層コンデンサが知られている。この積層コンデンサによれば、多端子構造にしながら、隣り合う端子を逆極性にすることによって、正極から負極への電流の流れを短くし、電流の流れを多様にし、さらに、電流の方向を互いに逆方向に向けるようにして磁束の相殺を行ない、それによって、ESL(等価直列インダクタンス)の低減が図られている。

【0003】

しかしながら、上記特許文献1に記載の積層コンデンサによれば、ESLの低下に伴って、ESR(等価直列抵抗)も低下するため、インピーダンス特性が急峻になるという問題を有している。

【0004】

他方、特開2001-284170号公報(特許文献2)では、コンデンサ本体の内部に静電容量を形成するために設けられる内部電極の各々について、コンデンサ本体の表面にまで引き出されかつ外部端子電極に電氣的に接続される引き出し部の数を単に1つとすることによって、積層コンデンサのESRを高めることが提案されている。

【0005】

しかしながら、特許文献2に記載の構造によれば、ESRを高くすることができるものの、それに伴って、ESLが高くなり、高周波側の特性が劣化するという問題がある。

【特許文献1】特開平11-144996号公報

【特許文献2】特開2001-284170号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

そこで、この発明の目的は、低ESL化を図りながらも、高ESR化を図ることができる、積層コンデンサを提供しようとすることである。

【0007】

この発明の他の目的は、上述のように低ESL化が図られた積層コンデンサの低ESL特性を十分に発揮させることができる、積層コンデンサの実装構造を提供しようとすることである。

【課題を解決するための手段】

【0008】

この発明に係る積層コンデンサは、積層された複数の誘電体層をもって構成される積層構造を有するコンデンサ本体を備えている。この発明では、上述した技術的課題を解決するため、積層コンデンサが、次のように構成されることを特徴としている。

【0009】

すなわち、積層コンデンサに備えるコンデンサ本体は、第1および第2のコンデンサ部を構成している。

【0010】

第1のコンデンサ部は、静電容量を形成するように所定の誘電体層を介して互いに対向する少なくとも1対の第1および第2の内部電極を含み、第1の内部電極には、コンデンサ本体の外表面にまで引き出される複数の第1の引出し部が形成され、かつ、第2の内部電極には、コンデンサ本体の外表面にまで引き出される複数の第2の引出し部が形成される。

【0011】

他方、第2のコンデンサ部は、静電容量を形成するように所定の誘電体層を介して互いに対向する少なくとも1対の第3および第4の内部電極を含み、第3の内部電極には、コンデンサ本体の外表面にまで引き出される少なくとも1つの第3の引出し部が形成され、かつ、第4の内部電極には、コンデンサ本体の外表面にまで引き出される少なくとも1つの第4の引出し部が形成される。

【0012】

コンデンサ本体の外表面上には、上記第1、第2、第3および第4の引出し部にそれぞれ

10

20

30

40

50

れ電氣的に接続される第 1、第 2、第 3 および第 4 の外部端子電極が形成される。

【0013】

そして、第 1 のコンデンサ部の共振周波数は、第 2 のコンデンサ部の共振周波数より高く、かつ、第 2 のコンデンサ部に含まれる 1 組の第 3 および第 4 の内部電極ならびにその間の誘電体層により与えられる 1 層あたりの等価直列抵抗は、第 1 のコンデンサ部に含まれる 1 組の第 1 および第 2 の内部電極ならびにその間の誘電体層により与えられる 1 層あたりの等価直列抵抗より高くされていることを特徴としている。

【0014】

この発明に係る積層コンデンサにおいて、第 1 および第 2 の外部端子電極の少なくとも一方は、第 3 および第 4 の外部端子電極の少なくとも一方と共通であってもよい。

10

【0015】

第 1 および第 2 の外部端子電極は、交互に配置されることが好ましい。

【0016】

コンデンサ本体において、第 1 のコンデンサ部と第 2 のコンデンサ部とは積層方向に並ぶように配置されるとともに、第 1 のコンデンサ部が積層方向での少なくとも一方端に位置されることが好ましい。この場合、コンデンサ本体において、第 2 のコンデンサ部が 2 つの第 1 のコンデンサ部によって積層方向に挟まれるように配置されることがより好ましい。

【0017】

この発明は、また、上述した第 1 および第 2 のコンデンサ部の積層方向での配置についての好ましい実施態様に係る積層コンデンサが所定の実装面上に実装された、積層コンデンサの実装構造にも向けられる。この発明に係る積層コンデンサの実装構造は、第 1 のコンデンサ部が実装面により近い側に位置するようにコンデンサ本体を向けた状態で、積層コンデンサが実装されることを特徴としている。

20

【発明の効果】

【0018】

この発明に係る積層コンデンサによれば、コンデンサ本体を第 1 のコンデンサ部と第 2 のコンデンサ部とに分割し、第 1 のコンデンサ部の共振周波数を第 2 のコンデンサ部の共振周波数より高くしているため、第 1 のコンデンサ部がコンデンサ本体の複合特性において高周波側に影響を与えることになり、第 1 のコンデンサ部の ESL 特性が反映され、コンデンサ本体の低 ESL 化を図ることができる。

30

【0019】

また、コンデンサ本体を第 1 のコンデンサ部と第 2 のコンデンサ部とに分割し、第 1 のコンデンサ部の共振周波数と第 2 のコンデンサ部の共振周波数とを異ならせることにより、第 1 のコンデンサ部の ESR と第 2 のコンデンサ部の ESR との複合特性によって、コンデンサ本体の ESR が決定されることになり、高 ESR 化を図ることができる。

【0020】

その結果、低 ESL かつ高 ESR の双方を満足させる積層コンデンサを得ることができる。

【0021】

この発明に係る積層コンデンサにおいて、第 1 および第 2 の外部端子電極が交互に配置されていると、正極から負極への電流の流れをより短くし、かつ磁束の相殺をより効果的に行なうことができるので、第 1 のコンデンサ部での ESL をより低減することができる。

40

【0022】

コンデンサ本体において、第 1 のコンデンサ部と第 2 のコンデンサ部とが積層方向に並ぶように配置されるとともに、第 1 のコンデンサ部が積層方向での少なくとも一方端に位置される場合であって、第 1 のコンデンサ部が実装面により近い側に位置するようにコンデンサ本体を向けた状態で、積層コンデンサが実装される場合には、正極の外部端子電極から内部電極を通過して負極の外部端子電極へと流れる電流の経路をより短くすることがで

50

きるので、実装構造において低 E S L 化を図ることができる。したがって、低 E S L 化が図られた積層コンデンサの低 E S L 特性を十分に発揮させることができる。

【0023】

コンデンサ本体において、第 2 のコンデンサ部が 2 つの第 1 のコンデンサ部によって積層方向に挟まれるように配置されていると、上述のような低 E S L 化が可能な実装構造を得るにあたって、コンデンサ本体の上下についての方向性をなくすことができる。

【発明を実施するための最良の形態】

【0024】

図 1 ないし図 4 は、この発明の第 1 の実施形態による積層コンデンサ 1 を示している。ここで、図 1 は、積層コンデンサ 1 の外観を示す斜視図であり、図 2 は、積層コンデンサ 1 の実装構造を示す断面図である。なお、図 2 において、積層コンデンサ 1 は、後述する図 3 および図 4 の線 I I - I I に沿う断面をもって示されている。

10

【0025】

積層コンデンサ 1 は、相対向する 2 つの主面 2 および 3 ならびにこれら主面 2 および 3 間を連結する 4 つの側面 4、5、6 および 7 を有する直方体状のコンデンサ本体 8 を備えている。コンデンサ本体 8 は、主面 2 および 3 の方向に延びる、たとえば誘電体セラミックからなる積層された複数の誘電体層 9 をもって構成される積層構造を有している。

【0026】

コンデンサ本体 8 は、図 2 に示すように、第 1 および第 2 のコンデンサ部 1 1 および 1 2 を構成している。この実施形態では、第 1 のコンデンサ部 1 1 と第 2 のコンデンサ部 1 2 とは、積層方向に並ぶように配置され、しかも、第 2 のコンデンサ部 1 2 が 2 つの第 1 のコンデンサ部 1 1 によって積層方向に挟まれるように配置されている。その結果、第 1 のコンデンサ部 1 1 は、コンデンサ本体 8 における積層方向での両端に位置される。

20

【0027】

第 1 のコンデンサ部 1 1 は、静電容量を形成するように所定の誘電体層 9 を介して互いに対向する少なくとも 1 対の第 1 および第 2 の内部電極 1 3 および 1 4 を備えている。他方、第 2 のコンデンサ部 1 2 は、静電容量を形成するように所定の誘電体層 9 を介して互いに対向する少なくとも 1 対の第 3 および第 4 の内部電極 1 5 および 1 6 を備えている。

【0028】

この実施形態では、より大きな静電容量を得るため、第 1 および第 2 の内部電極 1 3 および 1 4 の対の数ならびに第 3 および第 4 の内部電極 1 5 および 1 6 の対の数は、複数とされる。

30

【0029】

図 3 は、第 1 のコンデンサ部 1 1 の内部構造を示す平面図であり、(a) は、第 1 の内部電極 1 3 が通る断面を示し、(b) は、第 2 の内部電極 1 4 が通る断面を示している。

【0030】

図 3 (a) に示すように、第 1 の内部電極 1 3 には、コンデンサ本体 8 の外表面、すなわち側面 4 ~ 7 にまで引き出される複数、たとえば 7 つの第 1 の引出し部 1 7 が形成されている。また、図 3 (b) に示すように、第 2 の内部電極 1 4 には、コンデンサ本体 8 の外表面、すなわち側面 4 ~ 7 にまで引き出される複数、たとえば 7 つの第 2 の引出し部 1 8 が形成されている。

40

【0031】

コンデンサ本体 8 の側面 4 ~ 7 の各々上には、第 1 の引出し部 1 7 にそれぞれ電氣的に接続される複数、たとえば 7 つの第 1 の外部端子電極 1 9、ならびに第 2 の引出し部 1 8 にそれぞれ電氣的に接続される複数、たとえば 7 つの第 2 の外部端子電極 2 0 が形成されている。第 1 および第 2 の外部端子電極 1 9 および 2 0 は、図 1 および図 2 に示されるように、側面 4 ~ 7 上から主面 2 および 3 の各々の一部上にまで延びるように形成されている。

【0032】

第 1 の引出し部 1 7 がそれぞれ引き出される側面 4 ~ 7 上での各位置は、第 2 の引出し

50

部 1 8 がそれぞれ引き出される各位置と異っており、したがって、第 1 の外部端子電極 1 9 が設けられる側面 4 ~ 7 上での各位置は、第 2 の外部端子電極 2 0 の各位置と異っている。そして、第 1 の外部端子電極 1 9 と第 2 の外部端子電極 2 0 とは、側面 4 ~ 7 上において、交互に配置されている。

【 0 0 3 3 】

図 4 は、第 2 のコンデンサ部 1 2 の内部構造を示す平面図であり、(a) は、第 3 の内部電極 1 5 が通る断面を示し、(b) は、第 4 の内部電極 1 6 が通る断面を示している。

【 0 0 3 4 】

図 4 (a) に示すように、第 3 の内部電極 1 5 には、コンデンサ本体 8 の外表面、すなわち側面 5 および 7 にまで引き出される少なくとも 1 つ、たとえば 2 つの第 3 の引出し部 2 1 が形成されている。また、図 4 (b) に示すように、第 4 の内部電極 1 6 には、コンデンサ本体 8 の外表面、すなわち側面 5 および 7 にまで引き出される少なくとも 1 つ、たとえば 2 つの第 4 の引出し部 2 2 が形成されている。

10

【 0 0 3 5 】

この実施形態では、第 3 の引出し部 2 1 は、前述した第 1 の外部端子電極 1 9 に電氣的に接続され、第 4 の引出し部 2 2 は、前述した第 2 の外部端子電極 2 0 に電氣的に接続されている。すなわち、第 1 の外部端子電極 1 9 のいくつかは、第 3 の引出し部 2 1 に電氣的に接続されるべき第 3 の外部端子電極と共通であり、第 2 の外部端子電極 2 0 のいくつかは、第 4 の引出し部 2 2 に電氣的に接続されるべき第 4 の外部端子電極と共通である。

【 0 0 3 6 】

上述のように、第 3 および第 4 の引出し部 2 1 および 2 2 が、それぞれ、第 1 および第 2 の引出し部 1 7 および 1 8 と共通する第 1 および第 2 の外部端子電極 1 9 および 2 0 に電氣的に接続されていると、積層コンデンサ 1 自身において、第 1 のコンデンサ部 1 1 と第 2 のコンデンサ部 1 2 とを並列に接続した状態とすることができる。

20

【 0 0 3 7 】

なお、後述する実施形態のように、第 3 および第 4 の引出し部 2 1 および 2 2 にそれぞれ接続されるべき第 3 および第 4 の外部端子電極を、第 1 および第 2 の外部端子電極とは別に設けてもよい。

【 0 0 3 8 】

以上説明した第 1 の実施形態では、各々 1 つの第 3 および第 4 の内部電極 1 5 および 1 6 についての第 3 および第 4 の引出し部 2 1 および 2 2 の各々の数は、各々 1 つの第 1 および第 2 の内部電極 1 3 および 1 4 についての第 1 および第 2 の引出し部 1 7 および 1 8 の各々の数より少ない。すなわち、前者が 2 つであり、後者が 7 つである。そのため、内部電極 1 3 ~ 1 6 の材料等の他の条件が同じであれば、第 1 のコンデンサ部 1 1 の E S L を、第 2 のコンデンサ部 1 2 の E S L よりも低くすることができ、その結果、第 1 のコンデンサ部 1 1 の共振周波数を、第 2 のコンデンサ部 1 2 の共振周波数よりも高くすることができる。

30

【 0 0 3 9 】

他方、前述したように、第 3 および第 4 の引出し部 2 1 および 2 2 の各々の数が、第 1 および第 2 の引出し部 1 7 および 1 8 の各々の数より少ないため、内部電極 1 3 ~ 1 6 あるいは引出し部 1 7、1 8、2 1 および 2 2 が E S R に及ぼす影響が第 1 のコンデンサ部 1 1 と第 2 のコンデンサ部 1 2 とで変わらないとすれば、第 2 のコンデンサ部 1 2 に含まれる 1 組の第 3 および第 4 の内部電極 1 5 および 1 6 ならびにその間の誘電体層 9 により与えられる 1 層あたりの E S R を、第 1 のコンデンサ部 1 1 に含まれる 1 組の第 1 および第 2 の内部電極 1 3 および 1 4 ならびにその間の誘電体層 9 により与えられる 1 層あたりの E S R より高くすることができる。

40

【 0 0 4 0 】

以上のようなことから、積層コンデンサ 1 の特性は、第 1 のコンデンサ部 1 1 による低 E S L 特性が有効に働くとともに、第 1 のコンデンサ部 1 1 の E S R 特性と第 2 のコンデンサ部 1 2 の E S R 特性とが反映された高 E S R 特性となる。したがって、積層コンデン

50

サ 1 によれば、低 E S L 化および高 E S R 化の双方を実現することができる。

【 0 0 4 1 】

図 2 には、配線基板 2 4 によって与えられた実装面 2 5 上に、積層コンデンサ 1 が実装された構造が示されている。配線基板 2 4 の実装面 2 5 上には、いくつかの導電ランド 2 6 および 2 7 が設けられていて、第 1 および第 2 の外部端子電極 1 9 および 2 0 が、それぞれ、導電ランド 2 6 および 2 7 に半田付け（図示せず。）等によって電氣的に接続される。

【 0 0 4 2 】

上述のような実装構造において、第 1 のコンデンサ部 1 1 が実装面 2 5 により近い側に位置するようにコンデンサ本体 8 を向けた状態で、積層コンデンサ 1 が実装されている。

10

【 0 0 4 3 】

上述のような積層コンデンサ 1 の実装状態において、第 1 の外部端子電極が正極となり、第 2 の外部端子電極 2 0 が負極となる時点において、正極から内部電極 1 3 ~ 1 6 を通って負極へと流れる電流の流れのループを考慮した場合、より高周波になるほど、図 2 において破線の矢印 2 8 で示すように、最下層から 2 つの内部電極 1 3 (a) および 1 4 (a) に流れる電流が E S L 値により大きく影響するようになる。そのため、前述したように、第 1 のコンデンサ部 1 1 を実装面 2 5 により近い側に位置させると、積層コンデンサ 1 の実装状態において、一層の低 E S L 化を図ることができる。

【 0 0 4 4 】

なお、第 1 の実施形態のように、第 2 のコンデンサ部 1 2 が 2 つの第 1 のコンデンサ部 1 1 によって積層方向に挟まれるように配置されていると、コンデンサ本体 8 の上下についての方向性をなくすことができる。したがって、図 2 に示すように、主面 3 を実装面 2 5 側に向けても、図示しないが、主面 2 を実装面 2 5 側に向けても、上述のような低 E S L 化を図ることができる。

20

【 0 0 4 5 】

図 5 は、上述した積層コンデンサ 1 が与える等価回路を模式的に示している。図 5 に示した要素と図 1 ないし図 4 に示した各要素との対応関係がわかるように、図 5 において、図 1 ないし図 4 に示した要素に相当する要素には同様に参照符号が付されている。

【 0 0 4 6 】

図 5 において、第 1 ないし第 4 の内部電極 1 3 ~ 1 6 の各々について、1 つの内部電極が 1 本の線で示されている。第 1 のコンデンサ部 1 1 においては、第 1 および第 2 の内部電極 1 3 および 1 4 が 2 対図示されるとともに、これら 2 対の第 1 および第 2 の内部電極 1 3 および 1 4 の間に点線を表示することによって、さらに多数の第 1 および第 2 の内部電極 1 3 および 1 4 を備え得ることが示唆されている。同様に、第 2 のコンデンサ部 1 2 においても、第 3 および第 4 の内部電極 1 5 および 1 6 が 2 対図示されるとともに、これら 2 対の第 3 および第 4 の内部電極 1 5 および 1 6 の間に点線を表示することによって、さらに多数の第 3 および第 4 の内部電極 1 5 および 1 6 を備え得ることが示唆されている。

30

【 0 0 4 7 】

なお、図 5 と前述の図 2 とを対比したとき、第 1 のコンデンサ部 1 1 における第 1 および第 2 の内部電極 1 3 および 1 4 の数が一致しないが、これは、図 2 では、第 1 および第 2 の内部電極 1 3 および 1 4 の代表的なもののみが図示されていると理解すればよい。

40

【 0 0 4 8 】

図 5 に示すように、引出し部 1 7、1 8、2 1 および 2 2 の各々について、1 つの引出し部のそれぞれに関連して、E S R 2 9 および E S L 3 0 が形成されている。

【 0 0 4 9 】

図 6 は、この実施形態による積層コンデンサ 1 の好ましい用途を説明するためのもので、積層コンデンサ 1 をデカップリングコンデンサとして用いている M P U の回路構成を示す図である。

【 0 0 5 0 】

50

M P Uは、M P Uチップ101およびメモリ102を備える。電源部103は、M P Uチップ101に電源を供給するためのもので、電源部103からM P Uチップ101に至る電源回路には、積層コンデンサ1がデカップリングコンデンサとして機能するように接続されている。また、M P Uチップ101からメモリ102側には、図示しないが、信号回路が構成されている。

【0051】

上述したM P Uに関連して、デカップリングコンデンサとして用いられる積層コンデンサ1は、ノイズ吸収や電源の変動に対する平滑化のために用いられるばかりでなく、クイックパワーサプライとしての機能も有している。したがって、このようなデカップリングコンデンサとして用いられる積層コンデンサ1にあっては、E S Lができるだけ低いことが望ましく、この点において、この実施形態に係る積層コンデンサは、デカップリングコンデンサとして有利に用いることができる。

10

【0052】

図7は、この発明の第2の実施形態による積層コンデンサ1aを説明するための図4に対応する図である。図7において、図4に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0053】

前述した第1の実施形態の場合と比較して、第2の実施形態では、第3の内部電極15には、単に1つの第3の引出し部21が形成され、かつ、第4の内部電極16には、単に1つの第4の引出し部22が形成されていることを特徴としている。その他の構成については、第1の実施形態の場合と同様である。

20

【0054】

第2の実施形態によれば、第2のコンデンサ12に含まれる1組の第3および第4の内部電極15および16ならびにその間の誘電体層9により与えられる1層あたりのE S Rを、より高くすることができる。

【0055】

図8は、この発明の第3の実施形態による積層コンデンサ1bを説明するための図4に対応する図である。図8において、図4に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0056】

第3の実施形態では、第3および第4の内部電極15および16のいずれか一方が、図3に示した第1および第2の内部電極13および14のいずれか一方と同じパターンを有していることを特徴としている。より具体的には、図8(b)に示すように、第4の内部電極16が、図3(b)に示した第2の内部電極14と同じパターンを有している。したがって、第4の内部電極16には、7つの第4の引出し部22が形成されている。その他の構成については、第1の実施形態の場合と実質的に同様である。

30

【0057】

第3の実施形態によれば、各々1つの第3および第4の内部電極15および16についての第3および第4の引出し部21および22の少なくとも一方の数が、各々1つの第1および第2の内部電極13および14についての第1および第2の引出し部17および18の各々の数より少ないという条件を満たしている。したがって、第2のコンデンサ部12に含まれる1組の第3および第4の内部電極15および16ならびにその間の誘電体層9により与えられる1層あたりのE S Rは、第1の実施形態の場合よりも低くなるものの、第1のコンデンサ部11に含まれる1組の第1および第2の内部電極13および14ならびにその間の誘電体層9により与えられる1層あたりのE S Rより高くされることができる。

40

【0058】

図9は、この発明の第4の実施形態による積層コンデンサ1cを説明するためのものである。ここで、図9(a)および(b)は、それぞれ、図3(a)および(b)に対応し、図9(c)および(d)は、それぞれ、図4(a)および(b)に対応している。図9

50

において、図3および図4に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0059】

第4の実施形態では、第3および第4の外部端子電極31および32が別途形成されていることを特徴としている。すなわち、コンデンサ本体8の短辺側の側面5および7上に形成された外部端子電極は、第1および第2の外部端子電極19および20ではなく、第3および第4の外部端子電極31および32である。これら第3および第4の外部端子電極31および32には、図9(c)および(d)に示すように、それぞれ、第3の内部電極15の第3の引出し部21および第4の内部電極16の第4の引出し部22が電氣的に接続される。

10

【0060】

他方、図9(a)に示すように、第1の内部電極13には、5つの第1の引出し部17しか形成されず、これら第1の引出し部17は、コンデンサ本体8の長辺側の側面4および6にのみ引き出され、第1の外部端子電極19に電氣的に接続される。また、図9(b)に示すように、第2の内部電極14には、5つの第2の引出し部18しか形成されず、これら第2の引出し部18は、コンデンサ本体8の長辺側の側面4および6にのみ引き出され、第2の外部端子電極20に電氣的に接続される。

【0061】

その他の構成については、第1の実施形態の場合と実質的に同様である。

【0062】

第4の実施形態によれば、第1の実施形態の場合と比べて、第1および第2の引出し部17および18の各々の数以外の条件が等しいとすれば、第1のコンデンサ部11の共振周波数がより低くなる。

20

【0063】

図10は、この発明の第5の実施形態による積層コンデンサ1dを説明するためのものである。ここで、図10(a)および(b)は、それぞれ、図3(a)および(b)に対応し、図10(c)および(d)は、それぞれ、図4(a)および(b)に対応している。図10において、図3および図4に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0064】

第5の実施形態では、コンデンサ本体8の短辺側の側面5および7上には、いずれの外部端子電極もが形成されないことを特徴としている。すなわち、コンデンサ本体8の長辺側の側面4および6上にのみ、第1および第2の外部端子電極19および20が形成される。

30

【0065】

また、第5の実施形態では、図10(c)に示すように、第3の内部電極15には、1つの第3の引出し部21が形成され、第3の引出し部21は、第1の外部端子電極19のいずれかに電氣的に接続される。また、図10(d)に示すように、第4の内部電極16には、1つの第4の引出し部22が形成され、第4の引出し部22は、第2の外部端子電極20のいずれかに電氣的に接続される。

40

【0066】

その他の構成については、第1の実施形態の場合と実質的に同様である。

【0067】

第5の実施形態は、コンデンサ本体8の短辺側の側面5および7上には外部端子電極が形成されない積層コンデンサ1dに対しても、この発明を適用できることを明示する意義を有する。

【0068】

図11は、この発明の第6の実施形態による積層コンデンサ1eを説明するための図3に対応する図である。図11において、図3に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

50

【0069】

第6の実施形態では、図11(a)に示すように、第1の内部電極13が形成された誘電体層9上には、ダミー引出し部38が形成され、他方、図11(b)に示すように第2の内部電極14が形成された誘電体層9上には、ダミー引出し部39が形成される。

【0070】

ダミー引出し部38および39は、誘電体層9の周縁部に位置される。ダミー引出し部38は、複数の第1の引出し部17の各間に位置し、かつ第2の外部端子電極20に電氣的に接続される。他方、ダミー引出し部39は、複数の第2の引出し部18の各間に位置し、かつ第1の外部端子電極19に電氣的に接続される。

【0071】

上述のように、ダミー引出し部38および39が形成されることによって、内部電極13および14の厚みに起因してコンデンサ本体8に生じ得る段差を抑制することができるとともに、外部端子電極19および20の、コンデンサ本体8に対する接合強度を高めることができる。

【0072】

図12は、この発明の第7の実施形態による積層コンデンサ1fを説明するための図4に対応する図である。図12において、図4に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0073】

第7の実施形態では、図12(a)に示すように、第3の内部電極15が形成された誘電体層9上には、ダミー引出し部40が形成され、他方、図12(b)に示すように、第4の内部電極16が形成された誘電体層9上には、ダミー引出し部41が形成される。

【0074】

ダミー引出し部40および41は、誘電体層9の短辺に沿って位置される。ダミー引出し部40は、コンデンサ本体8の短辺側の側面5および7上に形成された第2の外部端子電極20に電氣的に接続される。他方、ダミー引出し部41は、コンデンサ本体8の短辺側の側面5および7上に形成された第1の外部端子電極19に電氣的に接続される。

【0075】

上述したダミー引出し部40および41は、前述の図11に示したダミー引出し部38および39と実質的に同様の作用効果を奏するものである。

【0076】

なお、図12に示した第7の実施形態の変形例として、ダミー引出し部を、誘電体層9の長辺に沿ってさらに位置させることも可能である。この場合においても、各ダミー引出し部は、コンデンサ本体8の長辺側の側面4および6上に形成された第1および第2の外部端子電極19および20にそれぞれ電氣的に接続される。

【0077】

図13は、この発明の第8の実施形態による積層コンデンサ1gを説明するための図である。図13には、図3または図4に示した要素と共通する要素が多く図示されているので、図13において、図3または図4に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0078】

図13には、コンデンサ本体8に備える誘電体層9のうち、内部電極が形成されないものが図示されている。このような内部電極が形成されない誘電体層9は、コンデンサ本体8の積層方向における端部に位置されたり、第1のコンデンサ部11と第2のコンデンサ部12との境界部分に位置されたりする。

【0079】

第8の実施形態では、図13に示すように、内部電極が形成されない誘電体層9の周縁部に沿って、複数のダミー引出し部42が形成される。ダミー引出し部42は、外部端子電極19または20に電氣的に接続される。また、ダミー引出し部42の寸法は、前述したダミー引出し部38～41の各寸法と実質的に同等とされ、好ましくは、内部電極13

10

20

30

40

50

～ 16の各主要部と重なり合わないようにされる。

【0080】

このようなダミー引出し部42の作用効果についても、前述したダミー引出し部38～41の場合と実質的に同様である。

【0081】

以上のダミー引出し部に関連する第6のないし第8の実施形態は、各々単独で実施されてもよいが、好ましくは、2つ以上の実施形態が組み合わされて実施され、最も好ましくは、3つの実施形態が組み合わされて実施される。

【0082】

図14は、この発明の第9の実施形態による積層コンデンサ1hを説明するための図3
10 に対応する図である。図14において、図3に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0083】

図14(a)および図14(b)には、それぞれ、図3(a)および図3(b)に示した第1および第2の内部電極13および14が示されている。他方、図14(c)には、ダミー内部電極45が示されている。ダミー内部電極45は、この実施形態では、図14(b)に示した第2の内部電極14と同じパターンを有している。すなわち、ダミー内部電極45には、コンデンサ本体8の側面4～7にまで引き出される引出し部46が形成され、引出し部46は、第2の外部端子電極20に電氣的に接続される。

【0084】

前述したように、第1のコンデンサ部11(図2参照)を構成するため、図14(a)に示した第1の内部電極13と図14(b)に示した第2の内部電極とが互いに対向するように積層されるが、この実施形態では、上述の積層構造における、積層方向での端部および/または途中において、第2の内部電極14と隣り合うように、少なくとも1つのダミー内部電極45が積層される。
20

【0085】

上述のように、ダミー内部電極45を積層構造に含ませることによって、静電容量は増加しないが、第2の外部端子電極20の、コンデンサ本体8に対する接合強度を高めることができる。したがって、この実施形態は、大きな静電容量を必要としないが、誘電体層9の積層数を確保しながら、外部端子電極20の接合強度を確保したい場合において、有
30 利に適用される。

【0086】

第9の実施形態の変形例として、第1の内部電極13と同じパターンを有するダミー内部電極が形成されてもよい。

【0087】

図15は、この発明の第10の実施形態による積層コンデンサ1iを説明するための図4
4 に対応する図である。図15において、図4に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0088】

図15(a)および図15(b)には、それぞれ、図4(a)および図4(b)に示した第3および第4の内部電極15および16が示されている。図15(c)には、ダミー内部電極49が示されている。ダミー内部電極49は、この実施形態では、図15(b)に示した第4の内部電極16と同じパターンを有している。すなわち、ダミー内部電極49には、コンデンサ本体8の短辺側の側面5および7にまで引き出される引出し部50が形成され、引出し部50は、第2の外部端子電極20に電氣的に接続される。
40

【0089】

前述したように、第2のコンデンサ部12(図2参照)を構成するため、図15(a)に示した第3の内部電極15と図15(b)に示した第4の内部電極16とが互いに対向するように積層されるとき、この積層構造における、積層方向での端部および/または途中において、第4の内部電極16と隣り合うように、少なくとも1つのダミー内部電極4
50

9が積層される。上述したダミー内部電極49の作用効果は、図14(c)に示したダミー内部電極45と実質的に同様である。

【0090】

第10の実施形態の変形例として、第3の内部電極15と同じパターンを有するダミー内部電極が形成されてもよい。

【0091】

図16は、この発明の第11の実施形態による積層コンデンサ1jを説明するための図3に対応する図である。図16において、図3に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0092】

図16(a)および図16(b)には、それぞれ、図3(a)および図3(b)に示した第1および第2の内部電極13および14が示されている。他方、図16(c)には、ダミー内部電極53が示されている。ダミー内部電極53は、この実施形態では、図4(b)に示した第4の内部電極と同じパターンを有している。すなわち、ダミー内部電極53には、コンデンサ本体8の短辺側の側面5および7にまで引き出される引出し部54が形成され、引出し部54は、第2の外部端子電極20に電氣的に接続される。

【0093】

前述したように、第1のコンデンサ部11(図2参照)を構成するため、図16(a)に示した第1の内部電極13と図16(b)に示した第2の内部電極14とが互いに対向するように積層されるとき、この積層構造における、積層方向での端部および/または途中において、第2の内部電極14と隣り合うように、少なくとも1つのダミー内部電極53が積層される。

【0094】

上述のダミー内部電極53の作用効果は、図14および図15にそれぞれ示したダミー内部電極45および49の場合と実質的に同様である。

【0095】

第11の実施形態の変形例として、図4(a)に示した第3の内部電極15と同じパターンを有するダミー内部電極が形成されてもよい。

【0096】

図17は、この発明の第12の実施形態による積層コンデンサ1kを説明するための図4に対応する図である。図17において、図4に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0097】

図17(a)および図17(b)には、それぞれ、図4(a)および図4(b)に示した第3および第4の内部電極15および16が示されている。他方、図17(c)には、ダミー内部電極57が示されている。ダミー内部電極57は、図3(b)に示した第2の内部電極14と同じパターンを有している。すなわち、ダミー内部電極57には、コンデンサ本体8の側面4~7にまで引き出される引出し部58が形成され、引出し部58は、第2の外部端子電極20に電氣的に接続される。

【0098】

前述したように、第2のコンデンサ部12(図2参照)を構成するため、図17(a)に示した第3の内部電極15と図17(b)に示した第4の内部電極16とが互いに対向するように積層されるとき、この積層構造における、積層方向での端部および/または途中において、第4の内部電極16と隣り合うように、少なくとも1つのダミー内部電極57が積層される。

【0099】

上述のダミー内部電極57の作用効果は、図14ないし図16にそれぞれ示したダミー内部電極45、49および53の場合と実質的に同様である。

【0100】

第12の実施形態の変形例として、図3(a)に示した第1の内部電極13と同じパタ

10

20

30

40

50

ーンを有するダミー内部電極が形成されてもよい。

【0101】

なお、上述の第9ないし第12の実施形態は、これらを適宜組み合わせる実施することができる。より具体的には、第9および第11の実施形態は、第1のコンデンサ部11に関するものであり、第10および第12の実施形態は、第2のコンデンサ部12に関するものである。第9および第11の実施形態の各々は、第10および第12の実施形態の各々と任意に組み合わせる実施することができる。

【0102】

図18ないし図21は、この発明の第13の実施形態による積層コンデンサ61を示している。

10

【0103】

ここで、図18は、積層コンデンサ61の外観を示す斜視図であり、図19は、積層コンデンサ61における第1および第2のコンデンサ部62および63の配置状態を図解的に示す側面図である。図18および図19には、実装面64が図示されている。積層コンデンサ61は、実装状態において、実装面64と平行な方向に積層方向を有していることを特徴としている。

【0104】

積層コンデンサ61は、相対向する2つの主面65および66ならびにこれら主面65および66間を連結する4つの側面67、68、69および70を有する直方体状のコンデンサ本体71を備えている。コンデンサ本体71は、主面65および66の方向に延びる、たとえば誘電体セラミックからなる積層された複数の誘電体層72（図20および図21参照）をもって構成される積層構造を有している。

20

【0105】

コンデンサ本体71は、図19に示すように、第1および第2のコンデンサ部62および63を構成している。第1のコンデンサ部62と第2のコンデンサ部63とは、実装面64に平行な積層方向に並ぶように配置され、しかも、第2のコンデンサ部63が2つの第1のコンデンサ部62によって挟まれるように配置されている。その結果、第1のコンデンサ部62は、コンデンサ本体71における積層方向での両端に位置される。

【0106】

図20は、第1のコンデンサ部62の内部構造を示す誘電体層72の平面図であり、（a）は、第1の内部電極73が通る断面を示し、（b）は、第2の内部電極74が通る断面を示している。他方、図21は、第2のコンデンサ部63の内部構造を示す誘電体層72の平面図であり、（a）は、第3の内部電極75が通る断面を示し、（b）は、第4の内部電極76が通る断面を示している。

30

【0107】

第1のコンデンサ部62においては、図20に示す、少なくとも1対の第1および第2の内部電極73および74が、静電容量を形成するように所定の誘電体層72を介して互いに対向している。他方、第2のコンデンサ部63においては、図21に示す、少なくとも1対の第3および第4の内部電極75および76が、静電容量を形成するように所定の誘電体層72を介して互いに対向している。

40

【0108】

図20（a）に示すように、第1の内部電極73には、コンデンサ本体71の相対向する2つの側面67および69にまでそれぞれ引き出される各2つの第1の引出し部77が形成されている。また、図20（b）に示すように、第2の内部電極74には、コンデンサ本体71の相対向する側面67および69にまでそれぞれ引き出される各2つの第2の引出し部78が形成されている。

【0109】

コンデンサ本体71の側面67および69の各々上には、第1の引出し部77にそれぞれ電氣的に接続される各2つの第1の外部端子電極79、ならびに第2の引出し部78にそれぞれ電氣的に接続される各2つの第2の外部端子電極80が形成されている。第1お

50

よび第2の外部端子電極79および80は、図18にその一部が示されているように、側面67および69の各々上から主面65および66の各々の一部上にまで延びるように形成されている。また、第1の外部端子電極79と第2の外部端子電極80とは、側面67および69の各々上において、交互に配置されている。

【0110】

図21(a)に示すように、第3の内部電極75には、コンデンサ本体71の相対向する側面67および69にまでそれぞれ引き出される各1つの第3の引出し部81が形成されている。また、図21(b)に示すように、第4の内部電極76には、コンデンサ本体71の相対向する側面67および69にまでそれぞれ引き出される各1つの第4の引出し部82が形成されている。

10

【0111】

この実施形態では、第3の引出し部81は、前述した第1の外部端子電極79に電氣的に接続され、第4の引出し部82は、前述した第2の外部端子電極80に電氣的に接続されている。

【0112】

この第13の実施形態においても、各々1つの第3および第4の内部電極75および76についての第3および第4の引出し部81および82の各々の数は、各々1つの第1および第2の内部電極73および74についての第1および第2の引出し部77および78の各々の数より少ない。そのため、内部電極73~76の材料等の他の条件が同じであれば、第1のコンデンサ部62のESLを、第2のコンデンサ部63のESLよりも低くすることができ、その結果、第1のコンデンサ部62の共振周波数を、第2のコンデンサ部63の共振周波数よりも高くすることができる。

20

【0113】

他方、前述したように、第3および第4の引出し部81および82の各々の数が、第1および第2の引出し部77および78の各々の数より少ないため、内部電極73から76あるいは引出し部77、78、81および82がESRに及ぼす影響が第1のコンデンサ部62と第2のコンデンサ部63とで変わらないとすれば、第2のコンデンサ部63に含まれる1組の第3および第4の内部電極75および76ならびにその間の誘電体層72により与えられる1層あたりのESRを、第1のコンデンサ部62に含まれる1組の第1および第2の内部電極73および74ならびにその間の誘電体層72により与えられる1層あたりのESRより高くすることができる。

30

【0114】

このようなことから、積層コンデンサ61の特性は、第1の実施形態による積層コンデンサ1の場合と同様、第1のコンデンサ部62による低ESL特性と第2のコンデンサ部63による高ESR特性とを複合した特性となる。したがって、積層コンデンサ61によっても、低ESL化および高ESR化の双方を実現することができる。

【0115】

図22および図23は、それぞれ、この発明の第14および第15の実施形態による積層コンデンサ61aおよび61bを説明するための図19に対応する図である。図22および図23において、図19に示す要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

40

【0116】

前述した第13の実施形態による積層コンデンサ61の場合には、実装面64と直交する方向に誘電体層72ならびに内部電極73~76が延びるようにされているので、第1の実施形態による積層コンデンサ1の場合のように、実装面64と内部電極との距離が及ぼすESLへの影響を考慮する必要がない。したがって、第1および第2のコンデンサ部62および63の配置に関して、図19に示すような配置状態の他、図22および図23にそれぞれ示すような配置状態をも問題なく採用することができる。

【0117】

以上、この発明を図示した実施形態に関連して説明したが、この発明の範囲内において

50

、その他種々の変形例が可能である。

【0118】

たとえば、内部電極に形成される引出し部の位置や数あるいは外部端子電極の位置や数については、さらに種々に変更することができる。

【0119】

また、コンデンサ本体における第1および第2のコンデンサ部の配置については、後述する実験例からもわかるように、図示した実施形態での配置以外のものも可能である。

【0120】

また、たとえば第1の実施形態では、第1および第2の内部電極13および14が第1のコンデンサ部11を構成するためだけに設けられ、かつ第3および第4の内部電極15および16が第2のコンデンサ部12を構成するためだけに設けられたが、第1のコンデンサ部と第2のコンデンサ部との境界部に位置する内部電極が、第1および第2のコンデンサ部の双方のための内部電極として、すなわち、第1または第2の内部電極と第3または第4の内部電極とを兼ねる内部電極として設けられてもよい。

10

【0121】

また、たとえば第1の実施形態において、第1のコンデンサ部11の共振周波数を第2のコンデンサ部12の共振周波数より高くするため、第1および第2の引出し部17および18の数（あるいは対の数）を第3および第4の引出し部21および22の数（あるいは対の数）より多くしたが、このような方法に代えて、あるいはこのような方法に加えて、内部電極13～16の材料、パターンおよび/または積層数の変更による方法を採用して

20

【0122】

また、たとえば第1の実施形態では、第2のコンデンサ部12における1層あたりのESRを第1のコンデンサ部11における1層あたりのESRより高くするため、第3および第4の引出し部21および22の数を第1および第2の引出し部17および18の数より少なくしたが、このような方法に代えて、あるいはこのような方法に加えて、第3および/または第4の内部電極15および/または16の材料を比抵抗のより高いものにした

30

【0123】

次に、この発明による効果を確認するために実施した実験例について説明する。

【0124】

この実験例では、周知のように、複数のセラミックグリーンシートを用意し、特定のセラミックグリーンシート上に、引出し部を有する内部電極を導電性ペーストの印刷によって形成し、内部電極が形成されたセラミックグリーンシートを含む複数のセラミックグリーンシートを積層し、得られた積層体を焼成してコンデンサ本体を得、このコンデンサ本体の外表面上に外部端子電極を導電性ペーストの焼付けによって形成するという各工程を経て、表1に示した各試料に係る積層コンデンサを作製した。

【0125】

各試料に係る積層コンデンサについて、コンデンサ本体の寸法は2.0mm×1.25mm×0.5mmとし、内部電極の総積層数を64とし、静電容量を0.68μFとし、図1等に示した実施形態の場合と同様、外部端子電極の数を14とした。また、内部電極の厚みを1μmとし、引出し部の厚みを1μmとし、引出し部の幅を100μmとした。

40

【0126】

【表 1】

| 試料 番号 | 積層 配置 状態 | 第1のコンデンサ部 | | | 第2のコンデンサ部 | | | 第1の 引出し 部数 | 第2の 引出し 部数 | 第3の 引出し 部数 | 第4の 引出し 部数 |
|----------|----------------|--------------|------------|----------------|-------------|--------------|-----|------------------|------------------|------------------|------------------|
| | | 内部電極 パターン | 積層数 | 共振周波数 [MHz] | ESR [mΩ] | 内部電極 パターン | 積層数 | | | | |
| *1 | A | 図3 | 64 | 32.8 | 164 | — | — | 7 | 7 | — | — |
| 2 | B | 図3 | 上20 下20 | 38.1 | 163 | 図4 | 24 | 26.9 | 577 | 7 | 2 |
| 3 | B | 図3 | 上10 下10 | 54.6 | 170 | 図4 | 44 | 19.7 | 562 | 7 | 2 |
| 4 | B | 図3 | 上6 下6 | 71.7 | 162 | 図4 | 52 | 18.1 | 571 | 7 | 2 |
| 5 | B | 図3 | 上4 下4 | 89.9 | 163 | 図4 | 56 | 17.4 | 574 | 7 | 2 |
| 6 | C | 図3 | 32 | 42.7 | 158 | 図7 | 32 | 23.2 | 1140 | 7 | 1 |
| 7 | C | 図3 | 8 | 89.9 | 165 | 図7 | 56 | 17.4 | 1151 | 7 | 1 |
| 8 | D | 図3 | 8 | 89.5 | 161 | 図7 | 56 | 16.4 | 1150 | 7 | 1 |
| *9 | E | — | — | — | — | 図25 | 64 | 16 | 1155 | — | 1 |

10

20

30

40

50

表 1 において、「積層配置状態」の欄に示された A ~ E は、図 2 4 の (A) ~ (E) にそれぞれ対応している。図 2 4 には、第 1 および第 2 のコンデンサ部についての積層方向での配置状態が示されている。なお、図 2 4 において、参照符号「35」を付した部分は、いずれの内部電極も形成されない外層部を示している。また、図 2 4 において、図示された積層構造物の各下面が実装面側に向いている。

【0128】

表 1 の「第 1 のコンデンサ部」および「第 2 のコンデンサ部」の各欄には、「内部電極パターン」、「積層数」、「共振周波数」および「1 層あたり ESR」が示されている。

【0129】

ここで、コンデンサの ESR は、電極 1 層あたりの抵抗を R、積層数を N としたとき、
以下の式で表すことができる。

$$\text{コンデンサの ESR} = R(4N - 2) / N^2$$

本件では、第 1 のコンデンサ部全体の ESR をコンデンサの ESR として逆算して、電極 1 層あたりの抵抗 R を算出し、この R の値を上記数式に代入し、かつ $N = 2$ (コンデンサ 1 層は内部電極 2 枚が対向して形成される。) を上記数式に代入することにより、「1 層あたり ESR」を算出している。

【0130】

それぞれの「内部電極パターン」の欄には、各試料において採用された内部電極パターンを図示する図面の番号が引用されている。なお、試料 9 の「第 2 のコンデンサ部」における「内部電極パターン」の欄に引用された「図 2 5」については、添付の図 2 5 に示すような内部電極パターンを採用したものである。

【0131】

図 2 5 には、第 3 の引出し部 2 1 を有する第 3 の内部電極 1 5 と第 4 の引出し部 2 2 を有する第 4 の内部電極 1 6 とが図示されるとともに、第 3 および第 4 の引出し部 2 1 および 2 2 にそれぞれ電氣的に接続される第 3 および第 4 の外部端子電極 3 1 および 3 2 が図示されている。図 2 5 において、(1) ~ (1 4) は、積層順序を示している。

【0132】

再び表 1 を参照して、「積層数」は、「第 1 のコンデンサ部」にあっては、第 1 および第 2 の内部電極の合計積層数を示し、「第 2 のコンデンサ部」にあっては、第 3 および第 4 の内部電極の合計積層数を示している。また、「第 1 のコンデンサ部」の「積層数」の欄における「上」および「下」の表示は、図 2 4 (b) における「第 1 のコンデンサ部 (上)」および「第 1 のコンデンサ部 (下)」にそれぞれ対応している。

【0133】

また、「第 1 の引出し部数」、「第 2 の引出し部数」、「第 3 の引出し部数」および「第 4 の引出し部数」は、それぞれ、各々 1 つの対応の内部電極についての引出し部の数を示している。

【0134】

表 1 に示すような設計とされた試料 1 ~ 9 の各々について求められた「ESL 値」および「ESR 値」が、表 2 に示されている。

【0135】

10

20

30

40

【表 2】

| 試料番号 | ESL値 | ESR値 |
|------|------|--------|
| *1 | 35pH | 6.8mΩ |
| 2 | 35pH | 12.3mΩ |
| 3 | 36pH | 30.1mΩ |
| 4 | 36pH | 31.1mΩ |
| 5 | 37pH | 32.3mΩ |
| 6 | 36pH | 16.1mΩ |
| 7 | 36pH | 37.2mΩ |
| 8 | 43pH | 38.1mΩ |
| *9 | 48pH | 36.7mΩ |

10

【0136】

表 1 および表 2 において、試料番号に * を付したものは、この発明の範囲外の比較例である。

【0137】

比較例としての試料 1 では、表 1 に示すように、高 ESR 化に寄与する第 2 のコンデンサ部を備えないため、表 2 に示すように、低 ESL 化を図ることができるものの、高 ESR 化を図ることができない。

20

【0138】

もう一つの比較例としての試料 9 では、表 1 に示すように、低 ESL 化に寄与する第 1 のコンデンサ部を備えないため、表 2 に示すように、高 ESR 化を図ることができるものの、低 ESL 化を図ることができない。

【0139】

これらに対して、この発明の範囲内にある実施例としての試料 2 ~ 8 では、表 1 に示すように、第 1 および第 2 のコンデンサ部の双方を備えているので、表 2 に示すように、低 ESL 化および高 ESR 化の双方が図られている。

【0140】

また、試料 2 ~ 7 については、ESL 値は試料 1 とほぼ同程度の値が得られている。これは、高周波域においては、実装面側に電界が集中し、図 2 に示す破線の矢印 28 のようなループでの特性が最も影響されるようになり、引出し部数の多い第 1 のコンデンサ部が実装面側に積層配置されている試料 2 ~ 7 では、第 1 のコンデンサ部の低い ESL の値が支配的になった結果である。

30

【0141】

これに対して、実装面側に第 2 のコンデンサ部が配置された試料 8 においては、試料 2 ~ 7 と比較すると、ESL 値が高くなっている。なお、試料 8 の構成でも、試料 9 と比較した場合、第 1 のコンデンサ部が存在する分、ESL 値を低くすることができている。

【0142】

また、同じ積層配置状態で第 1 のコンデンサ部の積層数を変化させた試料 2 ~ 5 では、ESL 値はほぼ同程度であることから、ESL 値に対する、第 1 のコンデンサ部の積層数による影響は少ないことがわかる。

40

【0143】

一方、ESR 値については、積層コンデンサ全体の全体積層数に対する第 2 のコンデンサ部の積層数が増加するほど、ESR 値は高くなっている。また、第 2 のコンデンサ部の積層数が同じ試料 5、試料 7 および試料 8 を比較すると、第 3 および第 4 の引出し部数が 2 である試料 5 に対して、第 3 および第 4 の引出し部数が 1 である試料 7 および試料 8 の方が、ESR 値は高くなっている。また、試料 7 および試料 8 では、試料 9 よりも ESR 値が高くなっている。これは、第 1 のコンデンサ部の ESR 値と第 2 のコンデンサ部の E

50

S R 値とがともに試料 9 の E S R 値よりも高くなった結果、第 1 のコンデンサ部と第 2 のコンデンサ部とでは共振周波数が異なることによって、積層コンデンサの E S R 値としても、試料 9 の E S R 値よりも高くなるためである。

【 0 1 4 4 】

試料 7 および 8 間で比較すると、ほぼ同じ程度の E S R 値であり、積層配置状態が異なっても、第 2 のコンデンサ部の積層数が同じであれば、E S R 値はほとんど変化しない傾向にあることがわかる。

【 0 1 4 5 】

また、試料 2 ~ 8 間で比較すると、第 1 および第 2 のコンデンサ部において、積層数が多くなるほど、共振周波数が低下する傾向にある。また、試料 5、試料 7 および試料 8 の第 1 のコンデンサ部の共振周波数から明らかなように、積層配置状態が異なっても、積層枚数が同じであれば、共振周波数はほとんど変わらない。

10

【 0 1 4 6 】

さらに、試料 2 ~ 7 では、第 1 のコンデンサ部の共振周波数は、第 2 のコンデンサ部の共振周波数よりも高くなるように設定されている。たとえば、試料 2 においては、第 1 のコンデンサ部については総積層数が 40 で共振周波数が 38 MHz であり、第 2 のコンデンサ部については積層数が 24 で共振周波数が 26 MHz となっている。第 2 のコンデンサ部の方が、積層数が少ないにもかかわらず、第 1 のコンデンサ部よりも共振周波数が低くなっているのは、引出し部数が異なるためである。この試料 2 において、さらに第 1 のコンデンサ部の積層数を増やして第 2 のコンデンサ部の積層数を減らした場合、両者の共振周波数差は小さくなり、さらには同じ共振周波数となる。このとき、第 1 のコンデンサ部と第 2 のコンデンサ部の共振周波数が重なった場合、両者の E S R は並列と見なせるため、E S R が低下することになる。したがって、所望の高さの E S R を得ることができない。

20

【 0 1 4 7 】

このようなことから、第 1 のコンデンサ部の共振周波数は、第 2 のコンデンサ部の共振周波数より高く設定する必要がある。

【 0 1 4 8 】

図 26 には、表 1 および表 2 に示した実施例としての試料 5 と比較例としての試料 1 および 9 の各々についての周波数 - インピーダンス特性が示されている。

30

【 0 1 4 9 】

図 26 を参照して、試料 1 では、表 2 に示すように、E S L 値の低下に伴って、E S R 値も低下しているため、インピーダンス特性が急峻になっている。

【 0 1 5 0 】

他方、試料 9 では、表 2 に示すように、E S R 値を高くすることができるものの、それに伴って、E S L 値が高くなるため、高周波側のインピーダンス特性が劣化している。

【 0 1 5 1 】

これらに対して、試料 5 によれば、表 2 に示すように、低 E S L 化および高 E S R 化を図ることができ、高周波側に至るまで優れたインピーダンス特性を得ることができる。

【 図面の簡単な説明 】

40

【 0 1 5 2 】

【 図 1 】 この発明の第 1 の実施形態による積層コンデンサ 1 の外観を示す斜視図である。

【 図 2 】 図 1 に示した積層コンデンサ 1 の実装状態を示す断面図であり、積層コンデンサ 1 については、図 3 および図 4 の線 I I - I I に沿う断面をもって示している。

【 図 3 】 図 2 に示した第 1 のコンデンサ部 11 の内部構造を示す平面図であり、(a) は、第 1 の内部電極 13 が通る断面を示し、(b) は、第 2 の内部電極 14 が通る断面を示している。

【 図 4 】 図 2 に示した第 2 のコンデンサ部 12 の内部構造を示す平面図であり、(a) は、第 3 の内部電極 15 が通る断面を示し、(b) は、第 4 の内部電極 16 が通る断面を示している。

50

【図5】図1に示した積層コンデンサ1が与える等価回路を模式的に示す図である。

【図6】図1に示した積層コンデンサ1をデカップリングコンデンサとして用いているMPUの回路構成を示す図である。

【図7】この発明の第2の実施形態による積層コンデンサ1aを説明するための図4に対応する図である。

【図8】この発明の第3の実施形態による積層コンデンサ1bを説明するための図4に対応する図である。

【図9】この発明の第4の実施形態による積層コンデンサ1cを説明するためのもので、(a)および(b)は、それぞれ、図3(a)および(b)に対応し、(c)および(d)は、それぞれ、図4(a)および(b)に対応している。

【図10】この発明の第5の実施形態による積層コンデンサ1dを説明するためのもので、(a)および(b)は、それぞれ、図3(a)および(b)に対応し、(c)および(d)は、それぞれ、図4(a)および(b)に対応している。

【図11】この発明の第6の実施形態による積層コンデンサ1eを説明するための図3に対応する図である。

【図12】この発明の第7の実施形態による積層コンデンサ1fを説明するための図4に対応する図である。

【図13】この発明の第8の実施形態による積層コンデンサ1gを説明するための誘電体層9の平面図である。

【図14】この発明の第9の実施形態による積層コンデンサ1hを説明するための図3に対応する図である。

【図15】この発明の第10の実施形態による積層コンデンサ1iを説明するための図4に対応する図である。

【図16】この発明の第11の実施形態による積層コンデンサ1jを説明するための図3に対応する図である。

【図17】この発明の第12の実施形態による積層コンデンサ1kを説明するための図4に対応する図である。

【図18】この発明の第13の実施形態による積層コンデンサ61の外観を示す斜視図である。

【図19】図18に示した積層コンデンサ61における第1および第2のコンデンサ部62および63の配置状態を図解的に示す側面図である。

【図20】図19に示した第1のコンデンサ部62の内部構造を示す誘電体層72の平面図であり、(a)は、第1の内部電極73が通る断面を示し、(b)は、第2の内部電極74が通る断面を示している。

【図21】図19に示した第2のコンデンサ部63の内部構造を示す誘電体層72の平面図であり、(a)は、第3の内部電極75が通る断面を示し、(b)は、第4の内部電極76が通る断面を示している。

【図22】この発明の第14の実施形態による積層コンデンサ61aを説明するための図19に対応する図である。

【図23】この発明の第15の実施形態による積層コンデンサ61bを説明するための図19に対応する図である。

【図24】この発明による効果を確認するために実施した実験例において採用された第1のコンデンサ部と第2のコンデンサ部とについての積層配置状態のいくつかの例を図解的に示す図である。

【図25】上記実験例において作製された試料9の第2のコンデンサ部における内部電極パターンを示す平面図である。

【図26】上記実験例において作製された試料1、5および9の周波数 - インピーダンス特性を示す図である。

【符号の説明】

【0153】

10

20

30

40

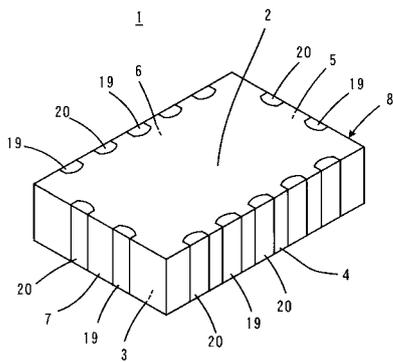
50

- 1, 1 a, 1 b, 1 c, 1 d, 1 e, 1 f, 1 g, 1 h, 1 i, 1 j, 1 k, 6 1, 6
- 1 a, 6 1 b 積層コンデンサ
- 2, 3, 6 5, 6 6 主面
- 4 ~ 7, 6 7 ~ 7 0 側面
- 8, 7 1 コンデンサ本体
- 9, 7 2 誘電体層
- 1 1, 6 2 第 1 のコンデンサ部
- 1 2, 6 3 第 2 のコンデンサ部
- 1 3, 7 3 第 1 の内部電極
- 1 4, 7 4 第 2 の内部電極
- 1 5, 7 5 第 3 の内部電極
- 1 6, 7 6 第 4 の内部電極
- 1 7, 7 7 第 1 の引出し部
- 1 8, 7 8 第 2 の引出し部
- 1 9, 7 9 第 1 の外部端子電極
- 2 0, 8 0 第 2 の外部端子電極
- 2 1, 8 1 第 3 の引出し部
- 2 2, 8 2 第 4 の引出し部
- 2 5, 6 4 実装面
- 3 1 第 3 の外部端子電極
- 3 2 第 4 の外部端子電極

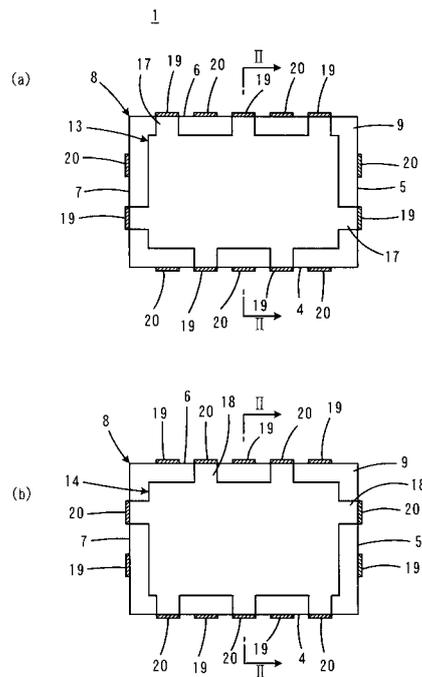
10

20

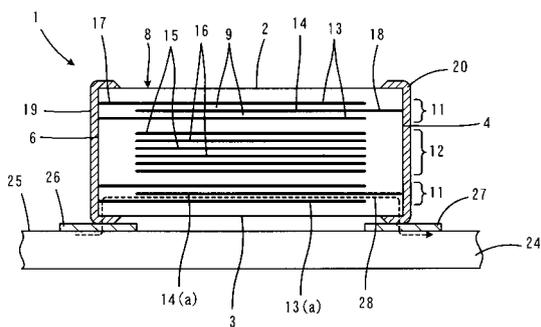
【 図 1 】



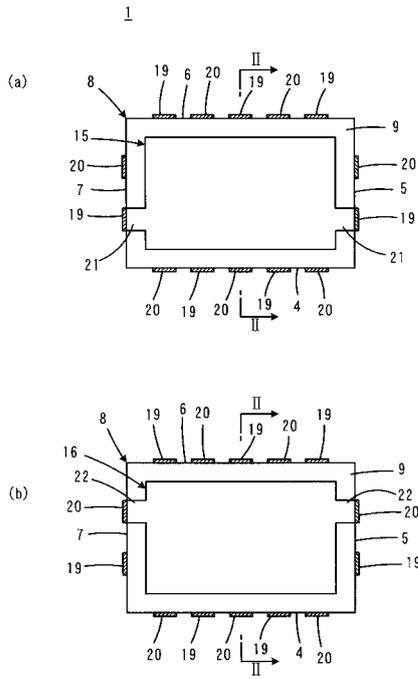
【 図 3 】



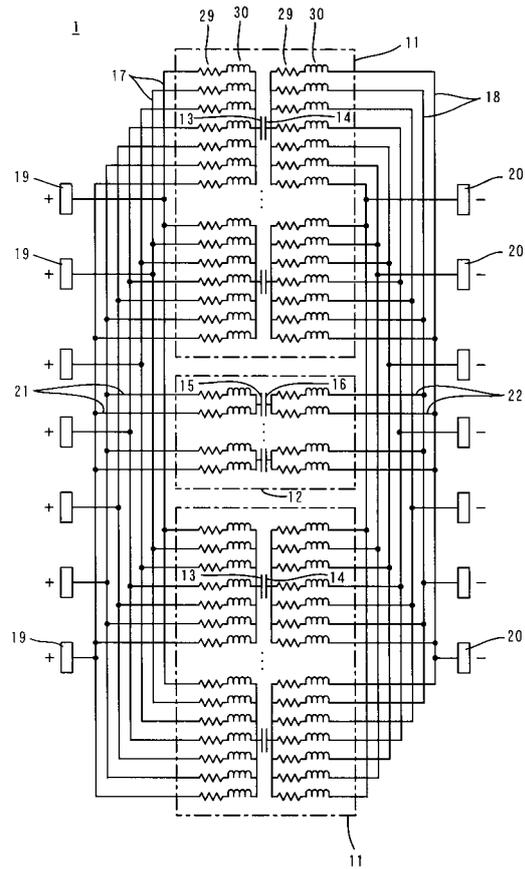
【 図 2 】



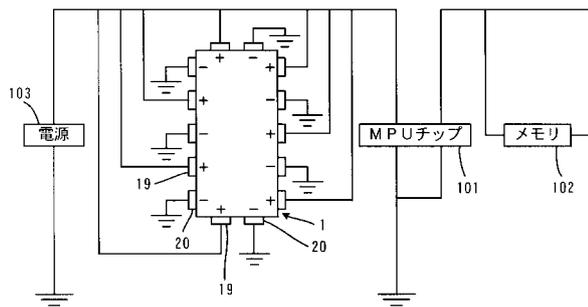
【 図 4 】



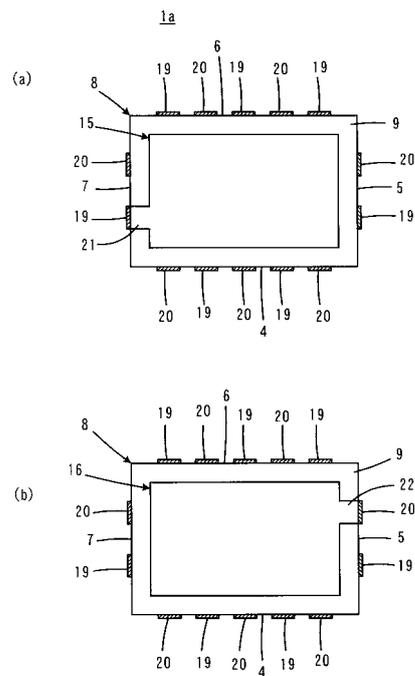
【 図 5 】



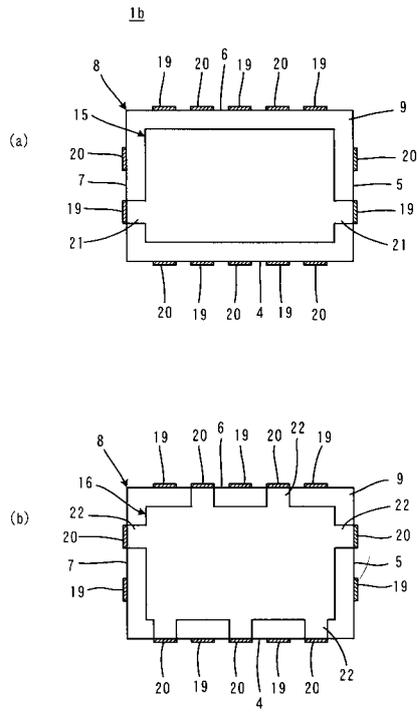
【 図 6 】



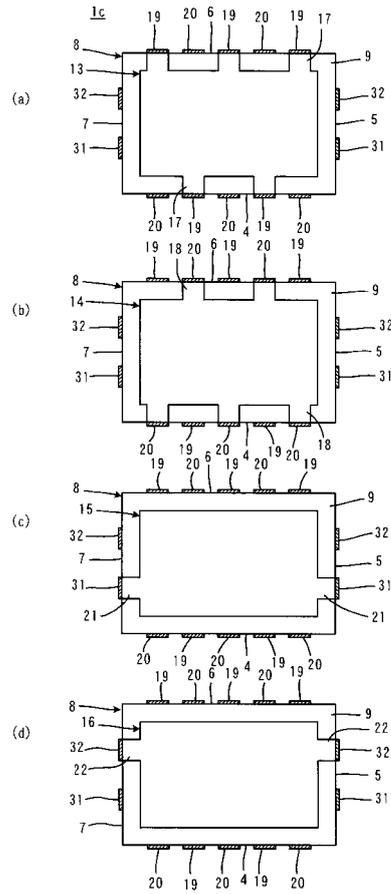
【 図 7 】



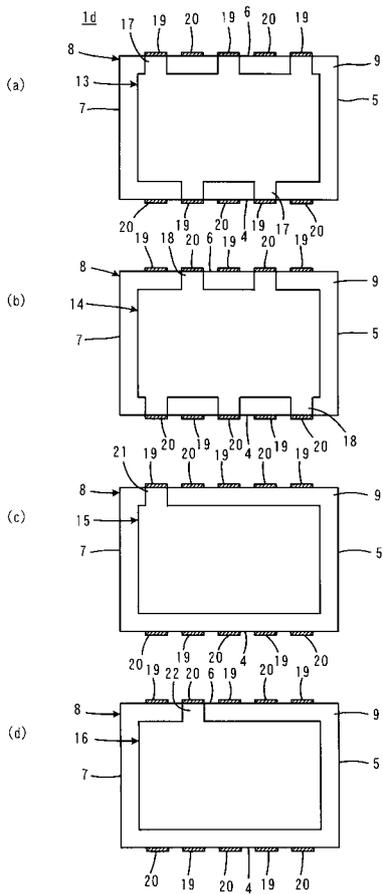
【 図 8 】



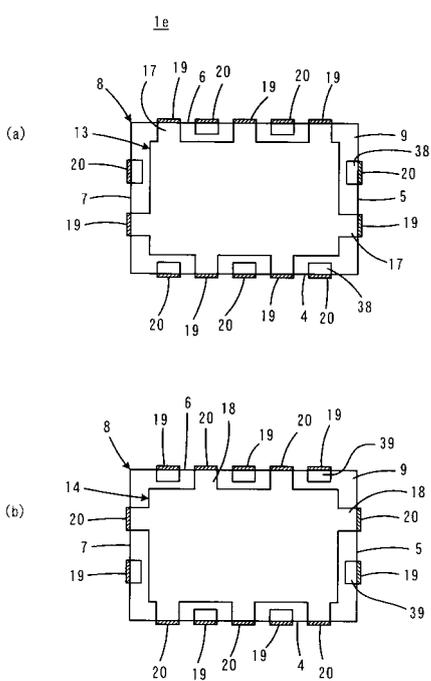
【 図 9 】



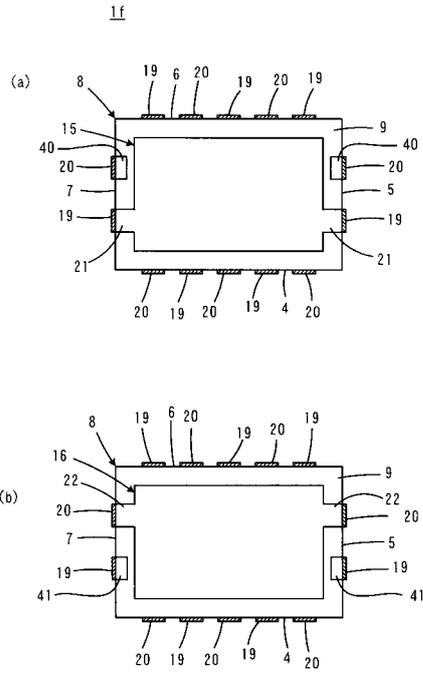
【 図 10 】



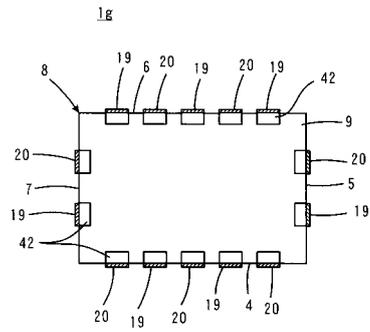
【 図 11 】



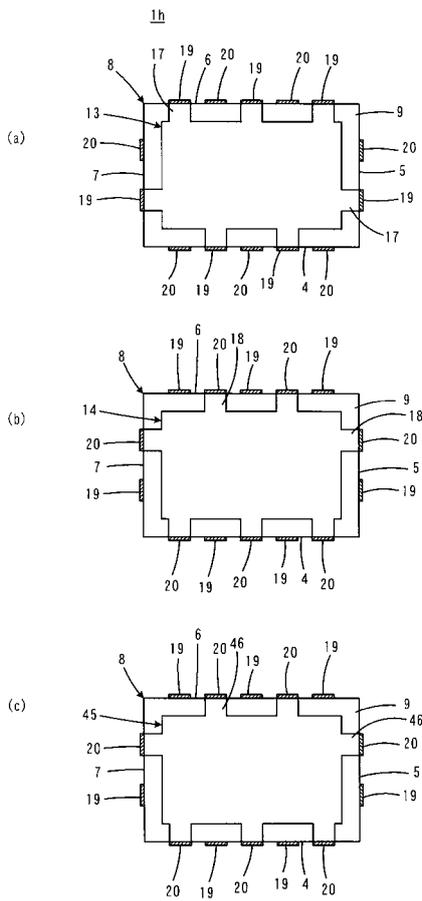
【 図 1 2 】



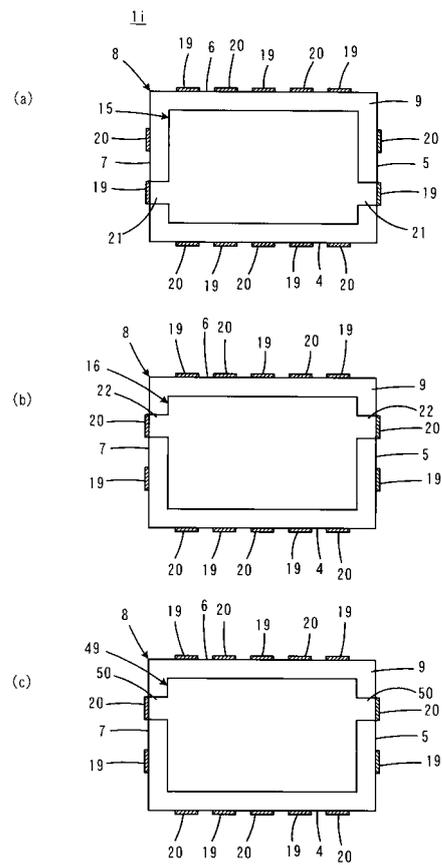
【 図 1 3 】



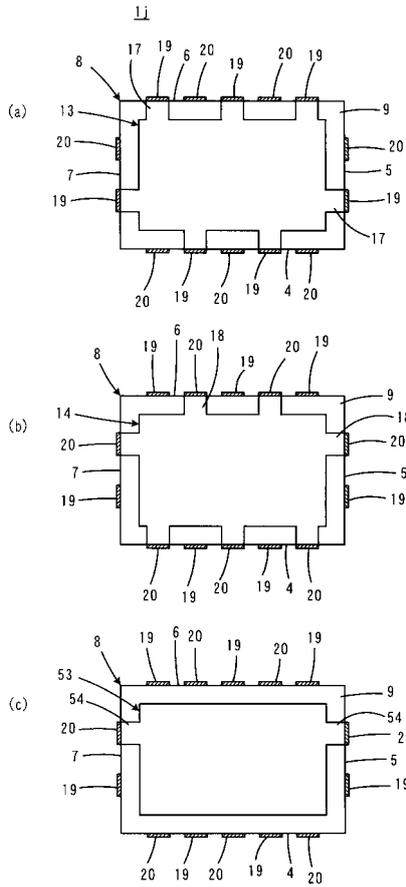
【 図 1 4 】



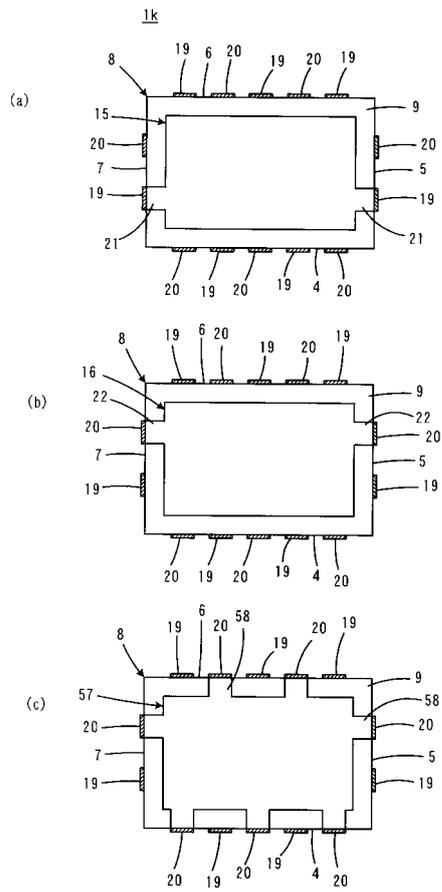
【 図 1 5 】



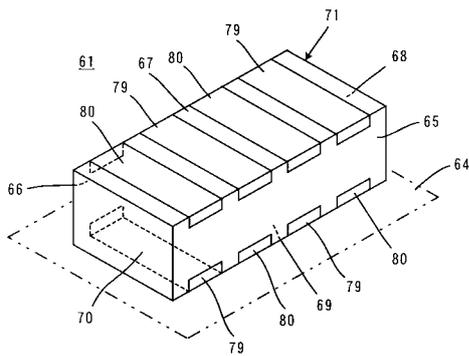
【図16】



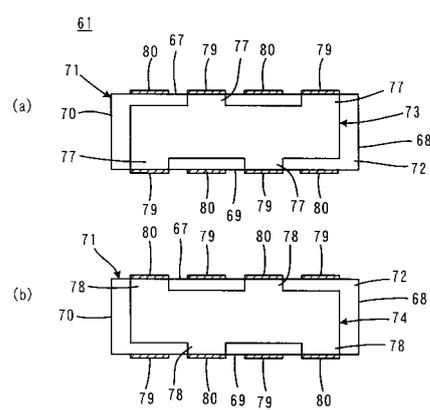
【図17】



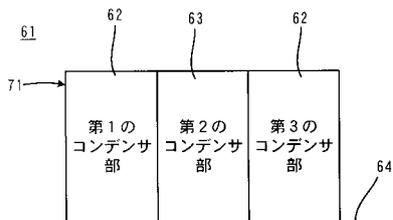
【図18】



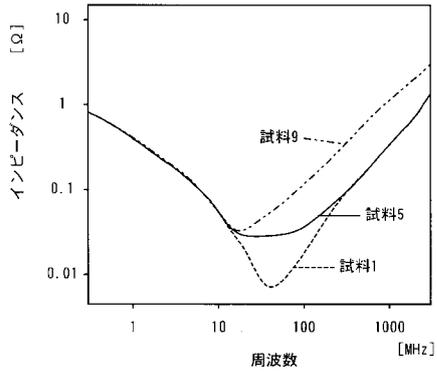
【図20】



【図19】



【図 2 6】



【 手 続 補 正 書 】

【 提 出 日 】 平 成 18 年 5 月 17 日 (2006.5.17)

【 手 続 補 正 1 】

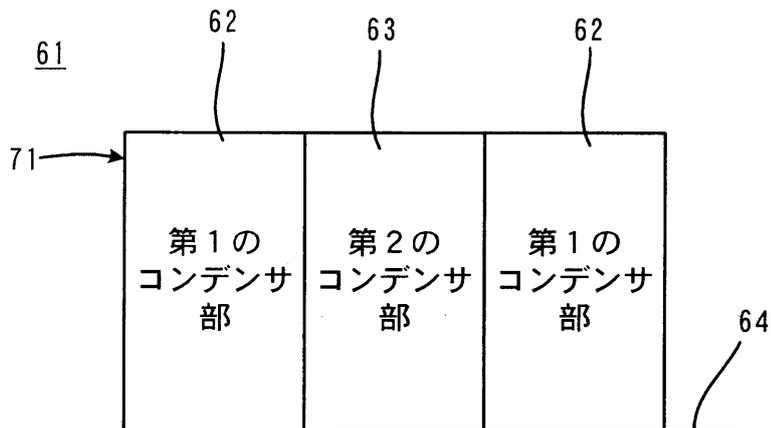
【 補 正 対 象 書 類 名 】 図 面

【 補 正 対 象 項 目 名 】 図 1 9

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 図 1 9 】



フロントページの続き

Fターム(参考) 5E082 AA01 AB03 BB05 BC14 EE11 GG10 JJ03