

公告本

申請日期	88. 4. 15
案 號	88105998
類 別	H01L 31

A4
C4

444295

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	製造具有不同閘氧化層之半導體元件的方法
	英 文	
二、發明 創作人	姓 名	1 梁元碩 2 金奇南 3 沈載勳 4 李宰圭
	國 籍	大韓民國
	住、居所	1 大韓民國漢城市西草區西草1洞1617-10 2 大韓民國京畿道安陽市東安區平村洞昆塔社區804-502 3 大韓民國京畿道宮內洞白頭漢場社區987-1302 4 大韓民國京畿道龍仁市起興邑農西里山7-1月桂樹-435
三、申請人	姓 名 (名稱)	三星電子股份有限公司
	國 籍	大韓民國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞 416 番地
	代 表 人 姓 名	尹鍾龍

經濟部中央標準局員工消費合作社印製

裝

訂

線

444295

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☒無主張優先權

大韓民國

1998/06/15

98-22434

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(/)

發明範圍

本發明是有關於一半導體元件的製造，且特別是有關於一種在單一晶片上製造具有不同閘氧化層的方法。

先前技藝說明

現今的趨勢為趨向增加晶片密度的高密度積體電路，同時減小晶片上的電晶體的尺寸及閘極氧化層厚度。

第 1 圖顯示高電壓邏輯元件和正常電壓邏輯元件之電場 (MV/cm)和閘氧化層厚度(angstroms)的關係。可知，當閘氧化層厚度減小，閘氧化層崩潰的機會則增加。為避免此問題，降低操作晶片時所需的供應電壓(V_{DD})。因為降低供應電壓產生之電源和速度之減少，閘氧化層的厚度需要減少以克服低電力和速度。

如眾所熟悉，電晶體的性能可經由減少閘氧化厚度而增加，同時保持供應電壓在一恒定程度。另一方面，電力的消耗可經由降少供應電壓而降低，同時維持閘氧化層厚度於一恒定量。因此，需要減少閘氧化層的厚度而無崩潰的情況，同時維持一恒定的電場，此稱之為“恒定電場調整法則(constant electric field scaling law)”。

在 DRAM 或 MDL 工業中，增加胞陣列(cell array)所佔的面積已成為近來的趨勢。因此，如果在單一晶元上形成的閘氧化層的厚度皆相同，胞陣列區的閘氧化層先產生崩潰。另外，因為超過供應電壓(V_{DD})的電壓(V_{HDD})供應至胞陣列內部，所供應的電場也會增加，因此使得閘極氧化崩潰的機會增加。

五、發明說明(2)

因爲每一階段胞陣列的胞密度增加四倍，需要控制臨限電壓以抵抗次臨限漏電流和閘極長度(gate length)的變化，亦即，需要短通道效應的極限(short channel effect margin)。除了短通道效應極限，周邊區的汲極飽和電流(I_{DSAT})也需要增加。

爲了克服上述問題，許多方法已經被揭露出。其中之一爲增加通道區的摻雜濃度，以在考慮通道效應下調整啓始電壓。然而，摻雜濃度的增加會減少崩潰極限並增加對特定閘極長度下之臨限電壓。換句話說，閘極長度臨限(gate length margins)會減少。

另一方法是不在單一晶片上形成胞陣列區(cell array region)和周邊區。然而，此方法具有製程複雜化的缺點，且不適用於低成本的製程。

發明之概述

有鑑於上述問題提出本發明，因此本發明的一目的就是提供一種形成不同閘氧化層在一單一晶片上的方法，且特別是一種在形成閘極電極後，形成不同閘氧化層的方法。本發明的一重要特徵是依主動寬度(active width)經由氧化製程形成不同閘氧化層。在形成完整電晶體(形成側壁間隙壁)後，進行此與主動寬度有關的氧化製程。

在半導體基底上，定義不同尺寸的主動區(例如胞陣列區和周邊區)，在所有主動區上形成具有相同厚度的一第一薄閘氧化層，在主動區之薄氧化層上形成不同的閘極圖案。閘極圖案以與寬度方向平行的方向穿越主動區。在

五、發明說明(3)

窄主動區(胞陣列區)中形成閘極圖案，使鄰近之閘極圖案距離較窄，同時在寬的區域(周邊區)中，鄰近之閘極圖案距離較寬。在圖案化閘極的側邊區上形成閘極間隙壁。進行一關鍵濕式氧化作用，因此在窄主動區(胞陣列區)中，形成薄氧化層。濕式氧化層允許在窄區域中的閘氧化長得比在寬主動區(周邊區)厚。因此，在一晶片上形成不同的閘氧化層，亦即，在胞陣列區中形成厚閘氧化層，而在周邊區中形成相對薄的閘氧化層。

在氧化製程中，順著閘極長度的氧化並不容易發生，同時氧化劑容易擴散經過與場氧化層重疊的閘極。因此，如果主動寬度狹窄(在胞陣列中)，閘極寬度方向(亦即，從場氧化)的氧化劑比薄氧化層長得厚。另一方面，如果主動區的寬度寬(在周邊區)，在考慮主動區尺寸下，來自閘極寬度方向的氧化劑量少，因此薄閘氧化層的厚度變化是可忽略的。綜上所述，不同的閘氧化層形成在單一晶片上。

圖式之簡單說明

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖顯示高電壓邏輯元件和正常電壓電壓邏輯元件之電場(MV/cm)和閘氧化層厚度(埃(angstroms))的關係；

第2圖顯示胞密度之程度與胞之效率之關係；

五、發明說明(／)

第 3A 圖至第 3B 圖分別顯示在胞陣列區域與周邊區中，半導體基底的上視圖，其中，複數個閘極圖案交叉排列在被一場氧化層圍繞的主動區上；

第 4A 圖至第 4B 圖分別顯示在形成閘極圖案之前，第 3A 圖中 A-A'切線和 B-B'切線的剖面圖；

第 4C 圖至第 4D 圖分別顯示在形成閘極圖案之前，第 3B 圖中 C-C'切線和 D-D'切線的剖面圖；

第 5A 圖至第 5D 圖分別顯示在第 4C 圖至第 4D 圖中形成閘極圖案之後的下一製程步驟；

第 6A 圖至第 6D 圖分別顯示在第 5A 圖至第 5D 圖中形成閘極間隙壁與進行氧化之後的下一製程步驟；以及

第 7 圖顯示，利用 T-SUPREM4 和 MEDICI(原細胞(proc cell)和元件模擬裝置(device simulator))，在固定閘極圖案大小(0.2 微米)下之有效閘氧化(effective gate oxide)的厚度變化和主動寬度(active width)的關係。

圖式標號之簡單說明

2：場氧化層

4、5、6、7、8、9、10：主動區

12：第一閘氧化層

20、21、22、23、24、27、29：閘極圖案

23a、24a、27a、29a：摻雜多晶矽層

23b、24b、27b、29b：金屬矽化物層

23c、24c、27、29c：硬罩層

30：氧化物間隙壁

五、發明說明(5)

發明之詳細說明

下文特舉一較佳實施例，並配合所附圖式，作詳細說明。本發明有關於一使用與氧氣擴散有關的主動尺寸(active dimension)，用以在單一晶片上形成不同閘氧化層的方法，在完全形成閘極圖案後，完成有效閘氧化層。

第2圖顯示胞密度之程度與胞效率之關係。可知，胞密度之程度與胞效率成比例關係，當胞密度增加，胞效率也增加。這是因為胞陣列區的胞密度增加，同時使用相同電路在周邊區，當胞效率增加，因為電場大於周邊區，在胞陣列區的閘氧化層可靠度易增加。因此，需要一元件具有不同閘氧化層，亦即，較厚的閘氧化層在胞陣列區中，而較薄的閘氧化層在周邊區中。

本發明提供一高電壓元件和一正常電壓元件，在單一的晶元上提供相差30%以上的啓始電壓。依此，高電壓元件具有較厚的閘氧化層，而正常電壓元件則具有相對薄的閘氧化層。

第3A圖至第3B圖分別顯示在胞陣列區與周邊區中，半導體基底的上視圖。其中，複數個閘極圖案交叉排列在被一場氧化層圍繞的主動區上。

請參照第3A圖，閘極圖案20-24交錯在主動區4-8上，其中，主動寬度由參考數字“W1”表示，而閘極長度由“L1”表示。可看出在胞陣列區的主動寬度(“W1”)為0.2微米或更小，而閘極長度(“L1”)為0.2微米或更小。參考數字2代表包圍主動區4-8的場氧化層。

五、發明說明(6)

請參照第 3B 圖，主動區 9 和 10 被場氧化層 2 所包圍，周邊區的主動區 9 和 10 具有一比第 3A 圖中胞陣列區較寬的主動寬度(“W2”)。複數個閘極圖案 26-30 形成在與主動寬度方向平行的方向。其中，單獨一閘極圖案 26-30 與一主動區交錯，例如：閘極圖案 27 與主動區 9 交錯，閘極圖案 29 與主動區 10 交錯。大於 90%的周邊區之主動寬度(“W2”)至少為胞陣列區(0.2 微米)的兩倍，且大多數的主動區具有 1.0 微米的主動寬度。周邊區中閘極圖案的閘極長度約為 0.2 微米至 0.3 微米，且大多為 0.2 微米至 0.1 微米，例如：閘極圖案 27 具有一閘極長度(“L2”)，約為 0.2 微米，而閘極圖案 29 具有一閘極長度(“L3”)，約為 1.0 微米，或者更長。

第 4A 圖至第 4B 圖分別顯示在形成閘極圖案之前，第 3A 圖中 A-A'切線和 B-B'切線的剖面圖。第 4C 圖至第 4D 圖分別顯示在形成閘極圖案之前，第 3B 圖中 C-C'切線和 D-D'切線的剖面圖。

請參照第 4A 圖至第 4D 圖，形成場氧化層 2 以定義出主動區 4 和 7(胞陣列區，或高電壓區)及 9 和 10(周邊區，或正常電壓區)於半導體基底(未繪出)上，形成之胞陣列區(參照第 4B 圖)的主動寬度(“W1”，7)比周邊區(參照第 4C 圖)的主動寬度(“W2”，9)更狹窄。如早先所述，胞陣列區的主動寬度(“W1”)約為 0.2 微米或更小，而周邊區的主動寬度，約為 0.4 微米或更大。

第 5A 圖至第 5D 圖分別顯示在第 4C 圖至第 4D 圖中

五、發明說明（ 7 ）

形成閘極圖案之後的下一製程步驟。定義主動區後，進行一習知離子植入步驟，例如為井離子植入(well ion implantation)、場離子植入(field ion implantation)、以及通道離子植入(channel ion implantation)。之後，形成第一閘氧化層 12 在整個半導體表面上，此第一閘氧化層的厚度不受主動區域的尺寸影響，半導體整個表面具有均一的閘氧化層 12，形成堆疊閘電極圖案(stacked gate electrode patterns)20-24(胞陣列區)及 27 和 29(周邊區)。閘極圖案可由下列依序沈積製程完成，沈積摻雜多晶矽層 23a、24a、27a 和 29a，金屬矽化物層 23b、24b、27b 和 29b，如 WSi_x 、 $TiSi_x$ 和 $MoSi_x$ ，硬罩層 23c、24c、27c 和 29c，如 Si_3N_4 、HTO(高溫氧化物)、PE-CVD(plasma enhanced chemical vapor deposition)，以及抗反射層，然後利用光蝕刻(photo-etching)製程蝕刻所需的形狀。使用硬罩層作為蝕刻罩層及離子植入罩層，胞陣列區之閘極圖案 20-24 具有一閘極長度("L1")，約為 0.2 微米或更短，周邊區的閘極圖案 27 和 29 有一閘極長度約為胞陣列區之 1.5 倍，例如為 0.2 微米至 3.0 微米，較佳地，大多數的閘極長度為 0.2 微米至 1.0 微米。

此用以形成閘極圖案的非等向乾蝕刻導致基底破壞，且在閘極圖案底部邊緣(bottom edges)造成閘氧化物侵蝕(gate oxide encroachment)。為了解決基底與閘氧化層的破壞，進行一閘極多晶氧化製程(gate poly oxidation process)，形成一第二氧化層(未繪出)在閘極圖案的側邊區

五、發明說明 (8)

(lateral edges)以及閘極圖案以外的半導體基底表面上。此時，會產生鳥嘴現象(bird's beak phenomenon)在閘極圖案底部的側邊區上，因此長出厚的第二氧化層，因為氧化層較厚，使得電場集中在在閘極圖案底部的側邊區，因此避免閘氧化物的退化。

第 6A 圖至第 6D 圖分別顯示在第 5A 圖至第 5D 圖中形成閘極間隙壁與進行氧化之後的下一製程步驟。請參照第 6A 圖至第 6D 圖，氧化物間隙壁 30 依傳統方式形成在閘極圖案 20-24、27 和 29 之周邊區上的第一氧化層上，此氧化物間隙壁 30 提供兩個目的，作為後續濕式氧化製程的阻障層，以及離子佈植之自行對準罩目。

接下來，進行關鍵濕式氧化(critical wet oxidation)，在約在 750°C 到 850°C 的溫度之間形成第三氧化層(未繪出)，因為此濕式氧化作用，有效的閘極氧化層會依照主動尺寸(主動寬度)，長出不同厚度，因此在單一晶片上會長出不同閘氧化層。

此濕式氧化依照主動寬度的尺寸，長出不同氧化層，在胞陣列區的氧化層會長得較厚，同時在周邊區的會長得非常薄，這是因為當濕式氧化進行時，厚場氧化層(thick field oxide layer)(主動寬度方向)的氧化劑擴散係數大幅影響了氧化製程，同時閘氧化層(閘極長度方向)的氧化劑擴散係數在胞陣列區及周邊區兩者中是可以忽略的。換句話說，閘極長度方向的氧化劑大幅影響了具有較小主動面積的胞區之氧化作用，同時幾乎不影響具有較大主動面積的

五、發明說明(9)

周邊區之氧化作用。綜上所述，因為其具有較窄的主動寬度，在胞陣列區的氧化層在主動寬度和閘極長度方向兩者中都長得較厚。另一方面，因為其具有較寬的主動寬度，所以氧化層在周邊區長得較薄，因此，形成不同的閘氧化層在單一晶片上。

請繼續參照第 6A 圖至第 6D 圖，有五個箭號(連續數字 1 到 5)指向閘氧化層的特定點。在第 6A 圖中，沿著胞陣列區的主動長度方向，由第 1 到第 5 箭號所指出的閘氧化層厚度分別為 107 埃、103 埃、100 埃、103 埃和 107 埃。在第 6B 圖中，沿著胞陣列區的主動寬度方向，由第 1 到第 5 箭號所指出的閘氧化層厚度分別為 110 埃、105 埃、100 埃、105 埃和 110 埃。在第 6A 圖及第 6B 圖中，每個箭頭之間相隔 100 埃，在第 6A 圖及第 6B 圖中所示的閘氧化層比濕式氧化作用前長得厚。

請參照第 6C 圖，沿著周邊區的主動寬度方向，由第 1 到第 5 箭號所指出的閘氧化層厚度分別為 67 埃、67 埃、67 埃、75 埃和 107 埃。請參照第 6D 圖，沿著周邊區的主動寬度方向，由第 1 到第 5 箭號所指出的閘氧化層厚度分別為 60 埃、60 埃、60 埃、60 埃和 77 埃。在第 6C 圖及第 6D 圖中，箭頭與下一箭頭之間分別相隔 1000 埃和 5000 埃。在周邊區中，氧化層在閘極電極的底部邊緣長得較厚，且除了底部邊緣外之氧化層長的厚度與氧化層進行濕式氧化作用前之厚度大致相同。

為更加瞭解現今的本發明，提供第 7 圖顯示利用 T-

五、發明說明 (10)

SUPREM4 和 MEDICI(原細胞(proc cell)和元件模擬裝置(device simulator))，在固定閘極圖案大小(0.2 微米)下之有效閘氧化(effective gate oxide)的厚度變化和主動寬度(active width)的關係。此模擬方法的進行是在閘極圖案尺寸固定在 0.2 微米，以及濕式氧化作用在一具有 60 埃的氧化層之赤裸晶片上進行，在一溫度為 780°C 及 10 公升的 H₂O 環境中進行 25 分鐘。

可知，如果主動寬度大於 0.25 微米，因為小閘極圖案尺寸，厚度的變化量約為 7 埃。如果主動寬度的範圍介於 0.25 微米和 0.1 微米之間，因為鳥嘴現象，氧化物厚度會大幅增加。如果主動寬度小於 0.1 微米，鳥嘴現象會變得嚴重而導致鳥嘴擊穿(氧化劑擊穿(oxidant punchthrough))現象，氧化層的厚度會由原先的 60 埃增加到 115 埃，此鳥嘴擊穿(氧化劑擊穿)區依照濕式氧化作用情況能被調整(亦即，能被更換至一意欲區(desired region))。

下列方程式(氧化作用機制)是提供來解釋鳥嘴擊穿(氧化劑擊穿)現象。其中，矽表面有一凹面輪廓(concave contour)。

在矽-氧化矽界面的應力(σ_x)定義為

$$\sigma_x = \eta \zeta (1/a^2 - 1/b^2) \text{-----} (\text{式 } 1)$$

其中 η 為氧化物的黏度， ζ 為黏度常數由界面上的氧化層成長速率所決定， a 和 b 代表氧化層凹面的半徑，分別在上面積和下面積(面對矽基底)測得。

氧主體流體靜力學壓力(P)定義為

五、發明說明 (11)

$$P = \pm 2\eta\zeta(1/b^2) \text{-----}(\text{式 } 2)$$

藉由應力造成的擴散係數(D)定義為

$$D = D^0 \exp(-P^*V_0/kT) \text{-----}(\text{式 } 3)$$

其中，P 為主體氧化物的應力

溶解度(C*)定義為

$$C = C^0 \exp(-P^*V_s/kT) \text{-----}(\text{式 } 4)$$

表面反應速率(k_s)定義為

$$k_s = k_0 \exp\left[\frac{-\sigma_x(\Omega_{\text{SiO}_2} - \Omega_{\text{Si}})}{kT}\right] \text{-----}(\text{式 } 5)$$

其中 Ω_{SiO_2} 為分子體積，且 Ω_{Si} 為原子體積。

因為 60 埃的氧化層形成在沿著閘極長度方向的閘極圖案下，在氧化製程中，體積擴張引起應力，而此應力使得氧化劑的擴散明顯地減少，因此氧化物的厚度增加不多。另一方面，厚場氧化層形成沿著主動寬度之閘極圖案下，在氧化製程中，因為體積擴張引起的氧化劑的擴散係數的縮減很小，因此，閘氧化層在沿著主動寬度方向長得較厚。

需注意本發明在形成絕緣間隙壁後，才進行濕式氧化作用，因此在氧化作用中，加強主動寬度對氧化層成長的影響。亦即，將絕緣間隙壁作為氧化阻障(oxidation blocking)的路徑(path)。

濕式氧化作用是較佳選擇出的，因為濕式氧化作用有一高溶解度(高於乾式氧化作用的 600 倍)，且水(H_2O)與 Si-O 反應形成氫氧基群，會使得 SiO_2 崩潰，因此減小其黏度，這使得上述的整體氧化層的應力減小，因此增加氧化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

速率。

本發明已由一較佳實施例配合所附圖示，特別顯示且說明，熟於此項技藝人士可瞭解在未偏離本發明精神及範圍下可在本發明上進行不同之修飾及改變。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

444295

A5
B5

四、中文發明摘要(發明之名稱： 製造具有不同閘氧化層之半導體元件的方法)

一種製造具有不同閘氧化層之半導體元件的方法。依照主動區尺寸控制氧化作用，使得在較寬主動區(周邊區)上的氧化層長得較薄，而在較窄主動區上的氧化層(胞陣列區)長得較厚。在一具有不同閘氧化層之半導體基底上形成一閘極圖案，形成閘極間隙壁，然後，進行與主動區尺寸有關的氧化製程，長成不同的氧化層。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

冰

英文發明摘要(發明之名稱：)

六、申請專利範圍

1. 一種製造兩種不同閘氧化層在單一晶片上的方法，包括下列步驟：

在一半導體基底上形成兩個主動區，其中一主動區的寬度比另一主動區狹窄；

在每個主動區上形成一閘極圖案，其中，安排一閘氧化層在主動區之間，且該閘極圖案形成在與該主動區域寬度平行的方向；

在每一閘極圖案的側壁上形成閘極間隙壁；以及

長出該閘氧化層，其中，在具有較窄主動寬度的主動區上的該閘氧化層比位於另一主動區上的該閘氧化層長得厚。

2. 如申請專利範圍第 1 項所述之製造兩種不同閘氧化層在單一晶片上的方法，其中具有較窄寬度的該主動區係作為一胞陣列區，而該另一主動區係作為一周邊區。

3. 如申請專利範圍第 1 項所述之製造兩種不同閘氧化層在單一晶片上的方法，其中該較窄的寬度約為 0.2 微米，而另一較寬的寬度為 0.4 微米或更寬。

4. 如申請專利範圍第 1 項所述之製造兩種不同閘氧化層在單一晶片上的方法，其中在較寬主動寬度上之該閘極圖案之閘極長度相等或大於在較窄主動寬度上之該閘極圖案的閘極長度。

5. 如申請專利範圍第 1 項所述之製造兩種不同閘氧化層在單一晶片上的方法，其中在較寬主動寬度上之該閘極圖案之閘極長度至少為在較窄主動寬度上之該閘極圖

六、申請專利範圍

案的閘極長度的 1.5 倍。

6. 如申請專利範圍第 1 項所述之製造兩種不同閘氧化層在單一晶片上的方法，其中該較窄寬度約為 0.2 微米，而另一較寬寬度的範圍約在 0.2 微米和 0.3 微米之間。

7. 如申請專利範圍第 1 項所述之製造兩種不同閘氧化層在單一晶片上的方法，其中該閘極間隙壁為氧化層所構成。

8. 如申請專利範圍第 1 項所述之製造兩種不同閘氧化層在單一晶片上的方法，其中該閘極氧化層是由濕式氧化製程所長成。

9. 如申請專利範圍第 8 項所述之製造兩種不同閘氧化層在單一晶片上的方法，其中該濕式氧化是在一溫度範圍介於約 700°C 和 850°C 之間進行。

10. 如申請專利範圍第 1 項所述之製造兩種不同閘氧化層在單一晶片上的方法，其中在形成該閘極間隙壁的步驟前，更包括形成一氧化層在該閘極圖案以及該半導體基底上。

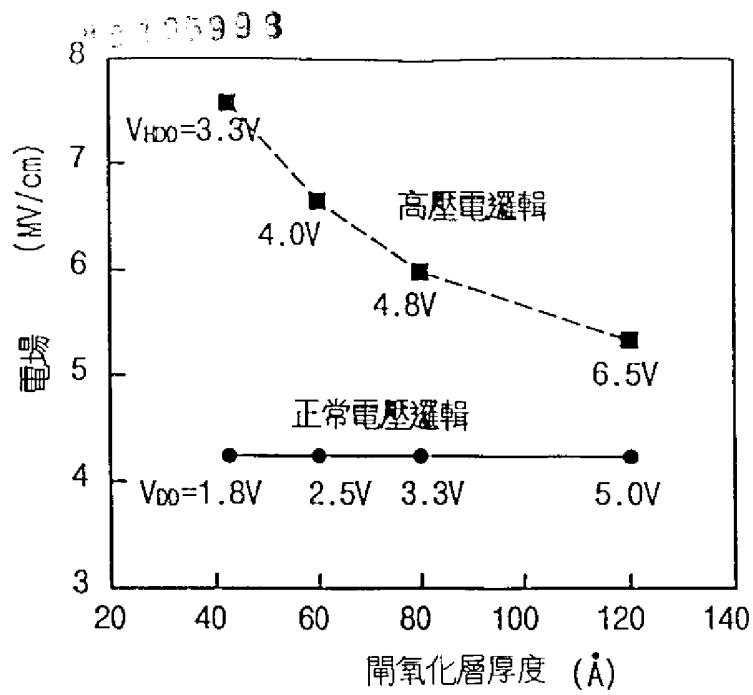
11. 如申請專利範圍第 10 項所述之製造兩種不同閘氧化層在單一晶片上的方法，其中長在該閘極圖案上較低和側邊區的該氧化層比其它區域厚，因此可避免一不可接受的電場產生在該氧化層之該較低的側邊區。

(請先閱讀背面之注意事項再填寫本頁)

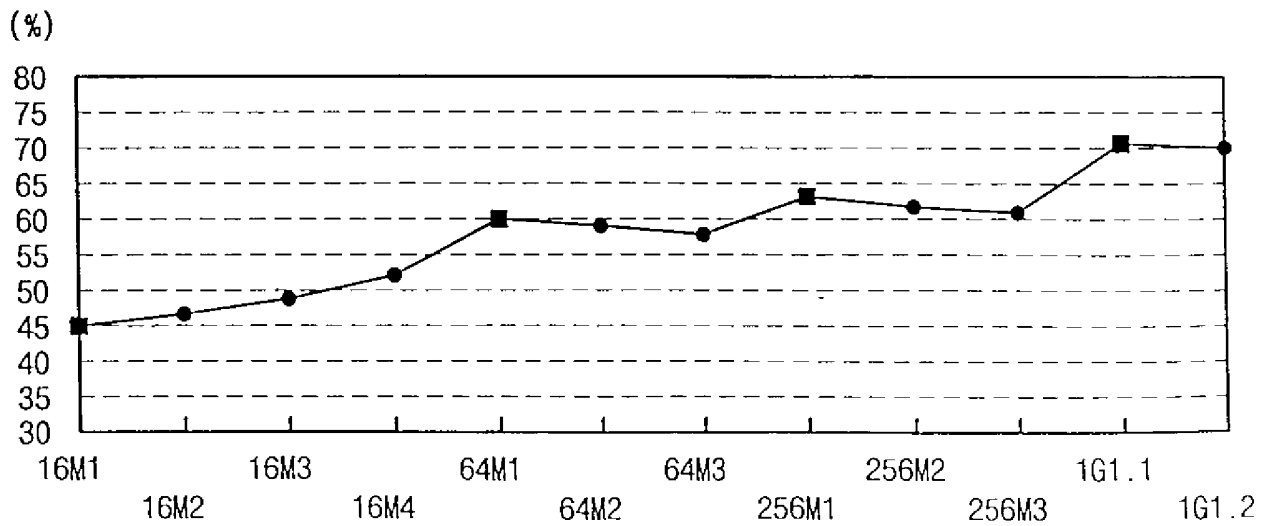
裝

訂

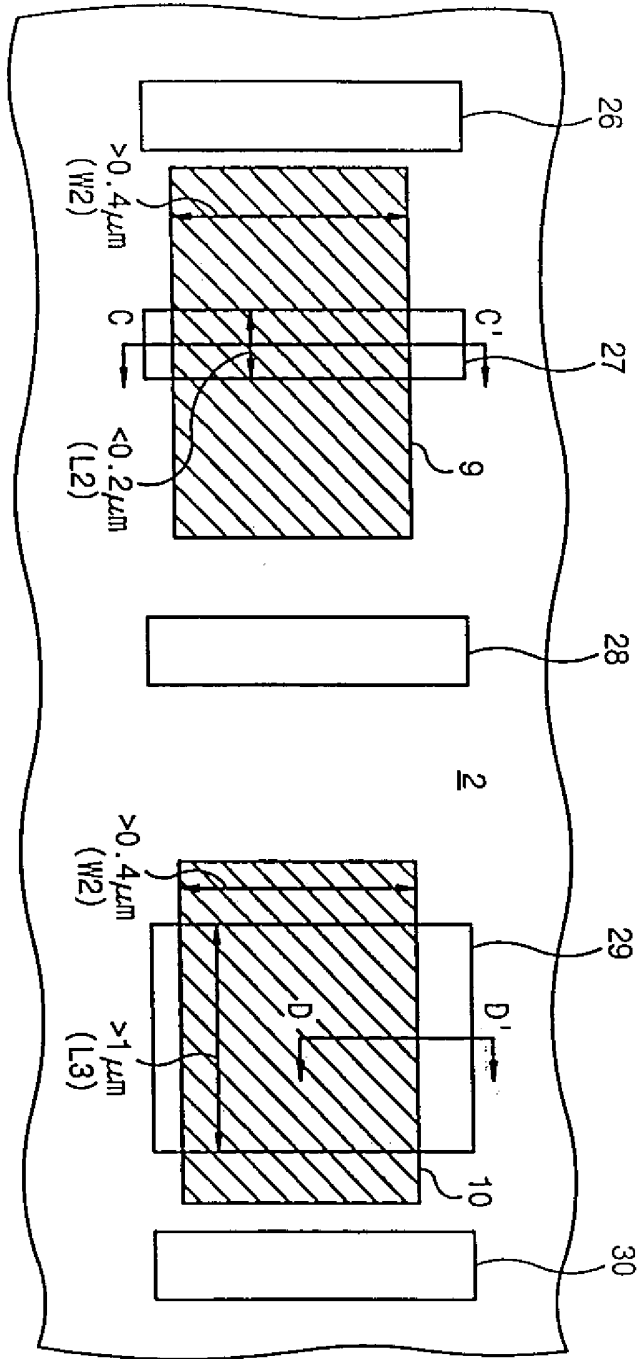
線



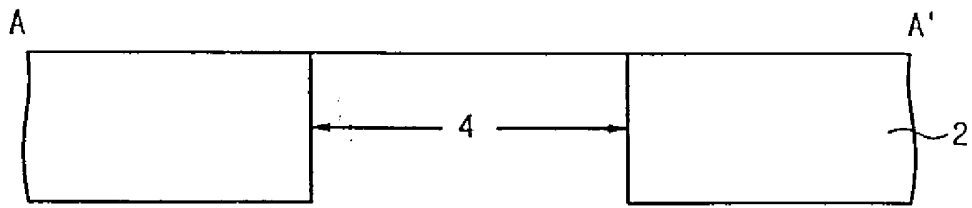
第 1 圖



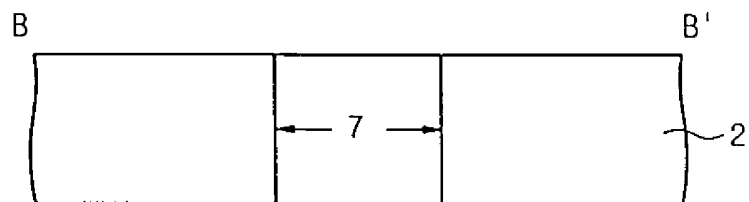
第 2 圖



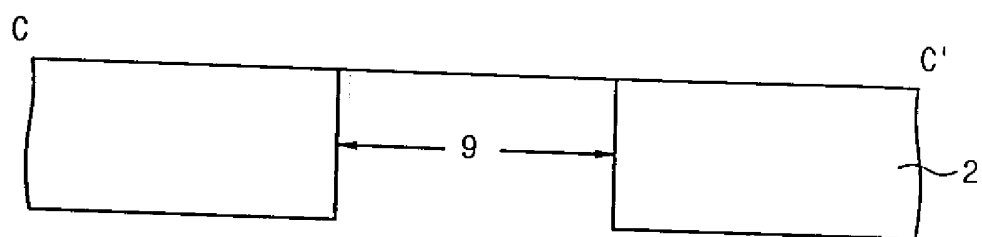
第 3B 圖



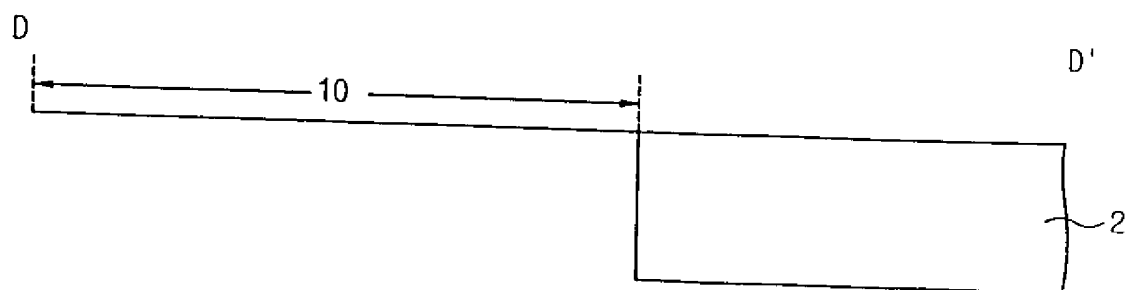
第4A圖



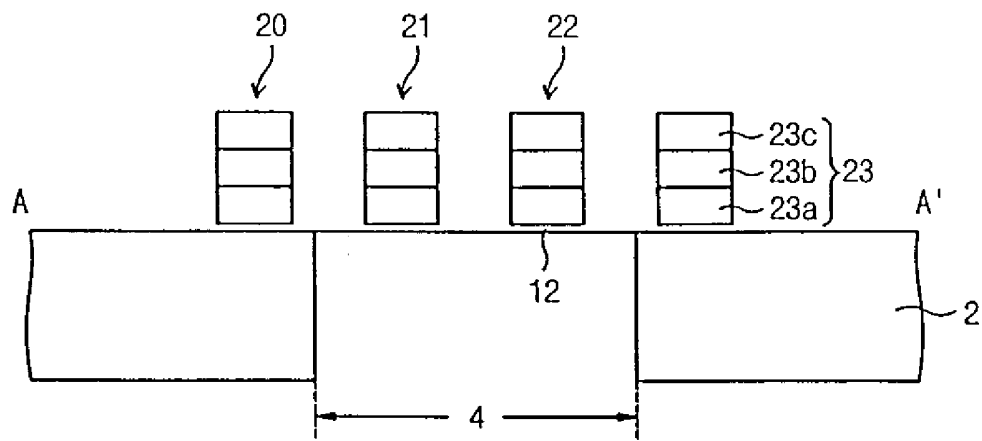
第4B圖



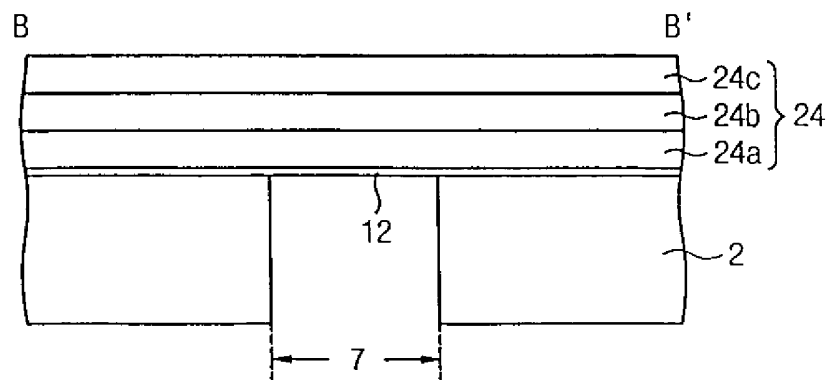
第4C圖



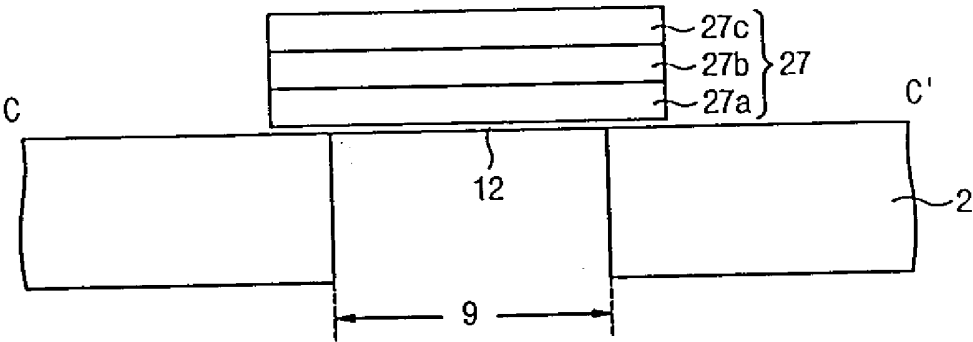
第4D圖



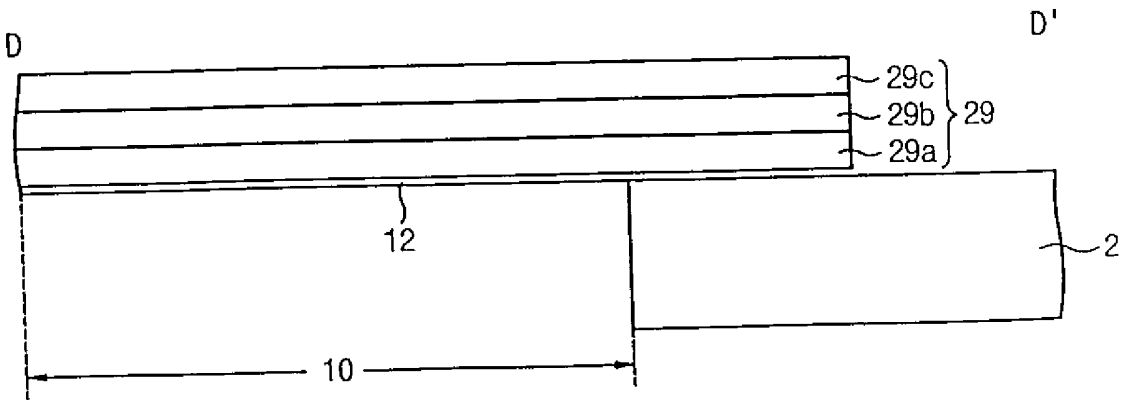
第5A圖



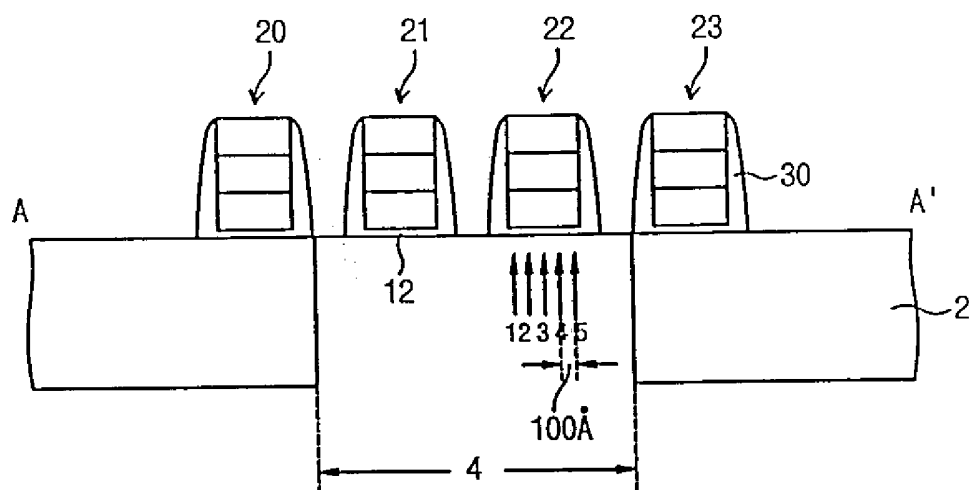
第5B圖



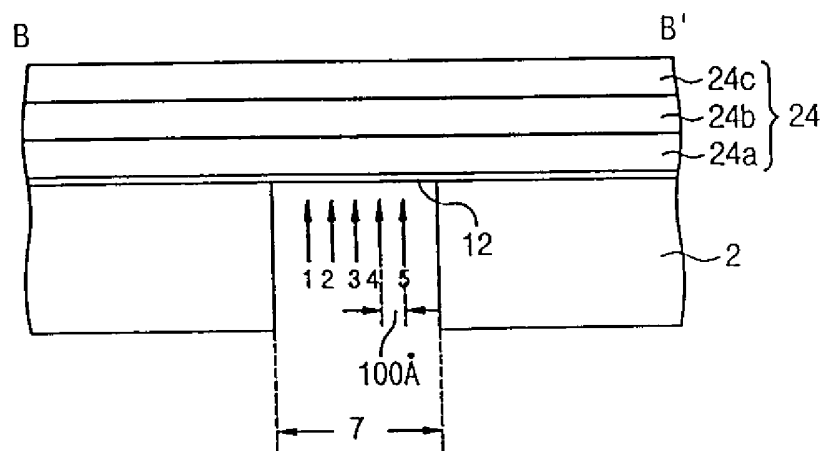
第5C圖



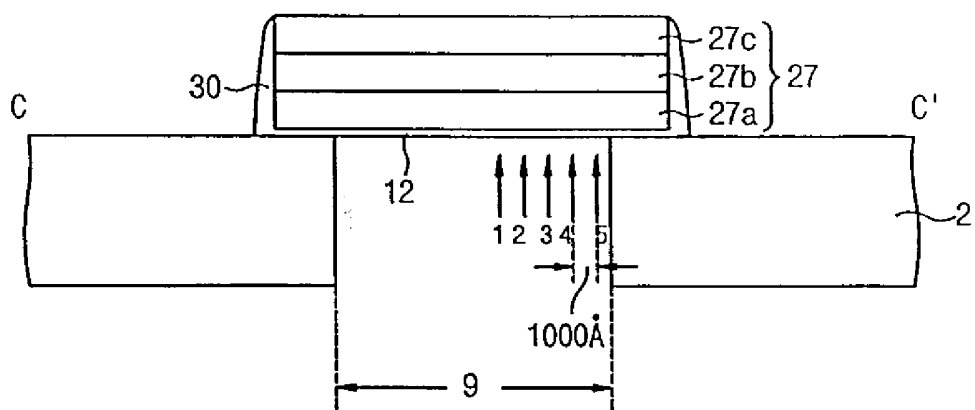
第5D圖



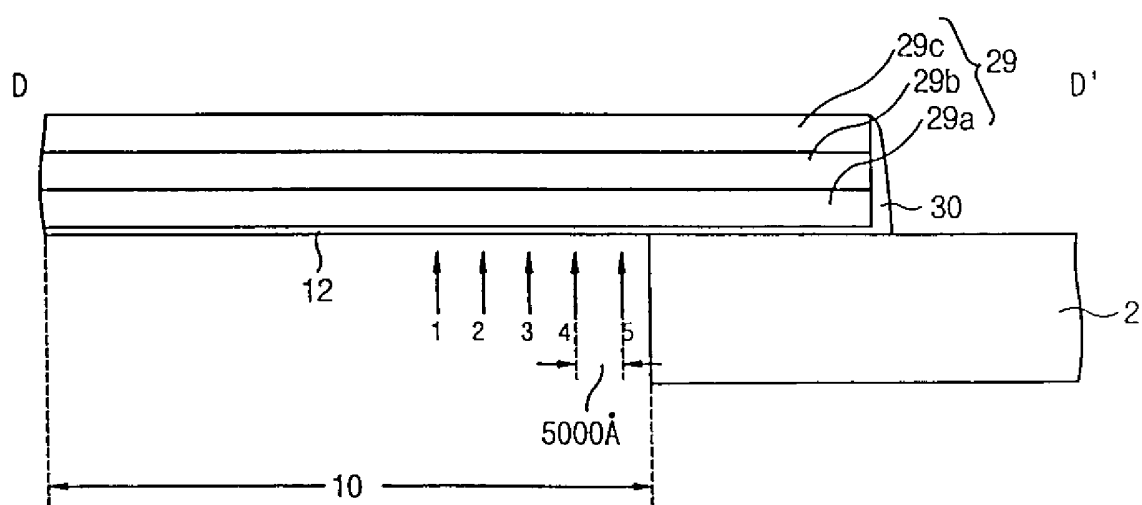
第6A圖



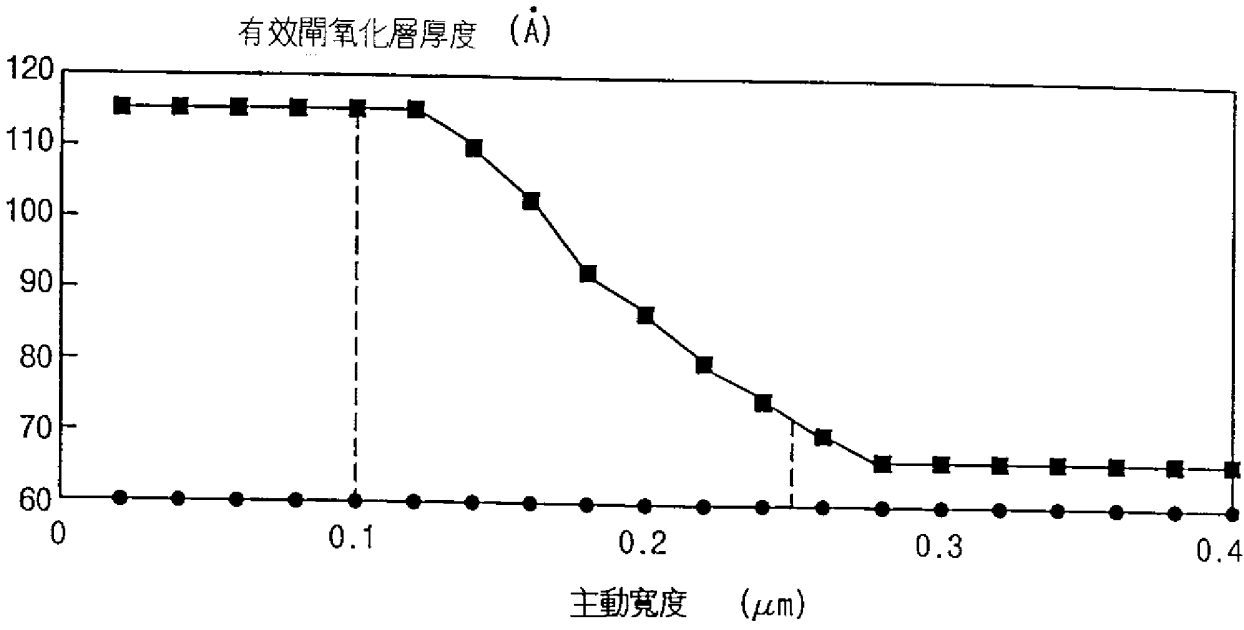
第6B圖



第6C圖



第6D圖



第 7 圖