

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01J 31/00

(11) 공개번호 특2000-0057676
(43) 공개일자 2000년09월25일

(21) 출원번호 10-1999-7005515
(22) 출원일자 1999년06월18일
 번역문제출일자 1999년06월18일
(86) 국제출원번호 PCT/US1997/22523 (87) 국제공개번호 WO 1998/28774
(86) 국제출원출원일자 1997년12월18일 (87) 국제공개일자 1998년07월02일
(81) 지정국 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 핀란드
프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드
포르투갈 스웨덴

국내특허 : 일본 대한민국

(30) 우선권주장 8/771,453 1996년12월20일 미국(US)
(71) 출원인 캔디센트 테크놀러지스 코퍼레이션
미국 캘리포니아주 (우편번호95119) 새너제이 산이그나시오애버뉴 6320
(72) 발명자 팔렌디어도에스.
미국캘리포니아주(우편번호:95120)새너제이코트드라레이나6131
콘트알프레드에스.
미국캘리포니아주(우편번호:95023)홀리스터티에라델솔291
듀복로버트엠. 주니어
미국캘리포니아주(우편번호:94025)멘로파크산타리타애버뉴300
호플조지비.
미국캘리포니아주(우편번호:94306)펠로알토디-338이엘카미노리얼4250
오'레일리존케이.
미국캘리포니아주(우편번호:95008)캠프벨롱펠로우1040
차카로프바실엠.
미국캘리포니아주(우편번호:95123)새너제이세이거웨이6240
마리온로버트엘
미국캘리포니아주(우편번호:95129)새너제이와인딩웨이4616
초스티븐티.
미국캘리포니아주(우편번호:95054)산타클라라비스타클럽서클#3011550
네이미어로버트지.
미국캘리포니아주(우편번호:95148)새너제이실버리코트3126
썬제니퍼와이.
미국캘리포니아주(우편번호:94086)서니베일알파인테라스9964
모리스데이비드엘.
미국캘리포니아주(우편번호:95132)새너제이이엘그랜드코트3644
스핀트크리스토퍼제이.
미국캘리포니아주(우편번호:94025)멘로파크힐사이드애버뉴115
나라야난코렌고드에스.
미국캘리포니아주(우편번호:95014)쿠퍼티노풋힐블러바드10480-에이
(74) 대리인 김영신, 김원오

심사청구 : 있음

(54) 셀프-스탠딩 스페이서 벽 구조 및 그 제조와 설치 방법

요약

본 발명은 플랫폼 패널 디스플레이 내의 페이스플레이트 구조와 백플레이트 구조 사이에 위치하는 스페이서 구조 및 그러한 스페이서 구조의 제조 및 설치 방법에 관한 것으로서, 이 구조 및 방법은 플랫폼 디스플레이의 페이스플레이트 및 백플레이트 사이에 스페이서 벽(100)의 설치를 촉진하는 위치에서 스페이서 벽(100)을 지지하며, 한 실시예에서, 스페이서 다리(111,112)를 상기 스페이서 벽의 양 끝에 형성하고, 상기 스페이서 다리(111,112)상에 정전기력을 나타내기 위해 상기 페이스플레이트상에 누름 전극을 제공할 수 있어서, 스페이서 벽을 설치하는 동안 제위치에서 상기 스페이서 벽을 유지하고, 상기 스페이서 벽은 상기 페이스플레이트에 상기 스페이서 벽의 양 끝 모두를 부착하기 전에 기계적 및/또는 열적으로 확장할 수 있으며, 상기 스페이서 벽은 수축이 가능하여 스페이서 벽에 긴장력을 유도하여 스페이서 벽에 있게 되는 고유한 기복을 퍼주게 되고, 선택적으로, 스페이서 벽의 양 끝에 스페이서 칩을 클램프하여 설치동안 스페이서 벽을 지지할 수 있고, 상기 스페이서 칩은 스페이서 벽상에 위치하는 페이스 전극과 전기적 연결을 제공할 수 있는 것을 특징으로 한다.

대표도

도2

색인어

셀프-스탠딩 스페이서 벽, 스페이서 벽 구조, 플랫폼 패널 디스플레이

명세서

기술분야

본 발명은 플랫폼 패널 디스플레이 내의 페이스플레이트 구조(faceplate structure)와 백플레이트 구조(backplate structure) 사이에 위치하는 스페이서 구조(spacer structure)에 관한 것이다. 또한 본 발명은 그러한 스페이서 구조의 제조 및 설치 방법에 관한 것이다.

배경기술

플랫 음극선관(CRT) 디스플레이에는 발광물질에 부딪히는 전자에 응답하여 이미지를 디스플레이하는 종래의 굴절-빔 CRT 디스플레이에 비해 큰 중형비(예를들어, 10:1 또는 그 이상)를 있는 디스플레이가 포함된다. 중형비는 디스플레이 두께에 대한 디스플레이 표면의 대각선 길이로 정의된다. 발광물질에 부딪히는 전자들은 필드 에미터 캐소드 또는 열 캐소드 등의 여러 디바이스에 의해 발생될 수 있다. 본 명세서에서는, 플랫 CRT 디스플레이를 플랫 패널 디스플레이로 언급한다.

종래 플랫 패널 디스플레이에는 보통 페이스플레이트 구조와 백플레이트 구조가 포함되는데 이들은 상기 페이스플레이트와 백플레이트 구조의 바깥면 주위의 벽(wall)들을 연결함으로써 이어진다. 그 결과물은 보통 진공상태에서 유지된다. 그러한 대기상태하에서 플랫 패널 디스플레이의 손상을 막기위해, 일반적으로 상기 플랫 패널 디스플레이의 능동영역의 중심에 위치하는 페이스플레이트와 백플레이트 사이에 다수의 스페이서가 놓여있다.

상기 페이스플레이트 구조에는 절연 페이스플레이트(일반적으로 유리) 및 이 절연 페이스플레이트의 내부면에 형성된 발광 구조가 포함되어 있다. 상기 발광 구조에는 디스플레이의 능동영역을 정의하는 인(P) 등의 발광물질이 포함되어 있다. 상기 백플레이트 구조에는 절연 백플레이트 및 상기 백플레이트의 내부면에 위치하는 전자 방출 구조가 포함되어 있다. 이 전자 방출 구조에는 전자를 풀어내기 위해 선택적으로 자극받는 다수의 전자-방출소자(예를들어, 필드 에미터)가 포함되어 있다. 발광 구조는 상기 전자 방출 구조에 비해 상대적으로 높은 양 전압(예를들어, 200V 에서 10kV)에서 유지된다. 그 결과, 상기 전자-방출 소자에서 나온 전자들이 상기 발광 구조의 인쪽으로 가속되어 이 인이 페이스플레이트의 외부면에 빛을 발하게 되어 시청자에게 보이게 한다('화면'(viewing surface)).

도 1은 플랫 패널 디스플레이(50)의 '화면'을 나타내는 개략도이다. 플랫 패널 디스플레이(50)의 페이스플레이트 구조에는 픽셀 열(1-31)과 같은 발광 소자(예를들어, 픽셀 열)의 다수의 열에 배열되는 발광 구조가 포함되어 있다. 일반적으로 플랫 패널 디스플레이(50)에는 수백개의 픽셀 열이 있는 각 픽셀은 수백개의 픽셀을 포함하고 있다.

플랫 패널 디스플레이(50)의 전자 방출 구조는 페이스플레이트 구조의 픽셀 열(1-31)에 응답하는 전자 방출 소자의 열내에 배열된다. 각 각의 전자 방출 소자의 열에는 발광 구조상의 픽셀 각각에 대응하는 전자 방출 소자가 포함되어 있다. 이 전자 방출 소자가 활성화 되면, 전자들은 상기 해당 픽셀로 전송되게 하여 플랫 패널 디스플레이(50)의 화면에 이미지를 만든다.

스페이서 벽(41-43)은 페이스플레이트 구조와 백플레이트 구조 사이에 위치한다. 설명을 위해 픽셀 열(1-31) 및 스페이서 벽(41-43)을 도 1에 확대되어 나타내었다. 스페이서 벽(41-43)은 픽셀 열(1-31)과 나란하게 디스플레이(50)를 수평으로 가로질러 확장되는 것이 바람직하다. 스페이서 벽(41)은 픽셀 열(8)과 열(9) 사이에 완전히 위치하여 스페이서 벽(41)이 픽셀 열(8) 및 열(9)내의 어느 픽셀을 막지 않도록 한다. 스페이서 벽(41)이 스페이서 벽의 이상적인 위치를 설명하고 있는데 반해, 스페이서 벽(42) 및 벽(43)은 종래 방법으로 인한 위치를 설명하고 있다. 스페이서 벽(42)은, 비록 직선이긴 하지만, 픽셀 열(16) 및 열(17)과 완전히 나란하게 위치하고 있지 않다. 그 결과, 스페이서 벽(42)은 픽셀 열(16,17)의 끝 부근에서 픽셀을 막는다. 이 방해는 받은 픽셀은 전자 방출 구조로부터 전자를 받을 수 없게되어 시청자에게 선명하지 못한 이미지를 보인다. 스페이서 벽(43)은 스페이서 벽(43)을 만드는데 사용된 물질

내에 고유하게 있게되는 기복을 가지고 있다. 따라서 스페이서 벽(43)은 픽셀 열(24,25)를 통해 픽셀을 막게되고 다시 시청자에게 화질이 떨어지는 이미지를 보이게 한다. 스페이서 벽(41-43)은 페이스플레이트와 백플레이트 사이의 비-수직 방식으로 위치할 수도 있다. 이러한 비-수직 위치선정은 전자가 원하지 않는 방향으로 벗어나는 결과를 가져올 수 있다. 이러한 전자의 비껴나감 현상 또한 시청자가 선명치 못한 이미지를 보게한다.

따라서, 플랫 패널 디스플레이 내에 정밀하게 정렬된 스페이서 벽이 요구된다. 그러나, 상대적으로 작은 스페이서 벽(41-43)의 크기는 페이스플레이트와 백플레이트 사이의 이러한 스페이서 벽(41-43)의 위치선정을 어렵게 만든다. 심지어 스페이서 벽(41-43)이 초기에 적절하게 정렬되는 경우에도, 이러한 스페이서 벽(41-43)들은 플랫 패널 디스플레이의 정상 동작동안 정렬에서 벗어날 수 있다. 이러한 시프팅은 플랫 패널 디스플레이를 가열하거나 또는 물리적 쇼크를 발생시키기도 한다.

스페이서 벽(41-43)에는 이 스페이서(41-43)에 인접한 페이스플레이트 및 백플레이트 구조 사이의 전압분포의 제어를 위해 페이스 전극이 포함될 수 있다. 미리 결정된 외부 전압을 이 페이스 전극에 인가하여 이 전압 분포를 제어한다. 외부 전압을 페이스 전극에 인가하기 위한 페이스플레이트 구조나 백플레이트 구조중 어느 하나와 이 페이스 전극과의 전기적 연결이 종종 어려운 경우가 있다.

따라서, 페이스플레이트 구조와 백플레이트 구조 사이에 쉽게 위치하는 스페이서 구조가 요구된다. 또한, 이 스페이서가 상기 플랫 패널 디스플레이의 조립 후 정밀 정렬로 유지되는 경우, 열 편중 및 물리적 쇼크를 나타내지 않는 것도 요구된다. 그러한 스페이서가 페이스플레이트 및/또는 백플레이트 구조와 페이스 전극과의 연결을 쉽게 만들어 주는 것이 또한 요구된다.

요 약

이에 따라, 본 발명은 플랫 패널 디스플레이의 페이스플레이트 구조와 백플레이트 구조사이에 위치할 수 있는 스페이서 구조를 제공한다. 한 실시예에서, 상기 스페이서 구조에는, 상기 페이스플레이트 구조와의 접촉을 위한 제1 에지 면 및 이 제1 에지 면과 대향하는 제2 에지 면이 있는 스페이서 벽이 포함된다. 제1 표면이 상기 제1 및 제2 에지 면 사이에 확장된다. 그리고 상기 제1 표면과 대향하여 위치하는 제2 표면이 상기 제1 및 제2 에지 면 사이에 확장된다. 상기 스페이서 벽에는 제1 끝, 그리고 이 제1 끝과 떨어져 있는 제2 끝이 있다.

상기 스페이서 벽의 제1 끝에 상기 제1 표면위에 제1 스페이서 다리가 위치한다. 이 제1 스페이서 다리는 상기 스페이서 벽의 제1 에지 면과 같은 면에 있는 지지면을 가지고 있다. 비슷하게, 제2 스페이서 다리가 상기 스페이서 벽의 제2 끝에서 제1 표면위에 위치한다. 이 제2 스페이서 다리 역시 상기 스페이서 벽의 제1 에지 면과 같은 면에 있는 지지면을 가지고 있다. 제1 및 제2 스페이서 다리는 스페이서 벽이 제1 에지 면상에 설정되는 경우 프리-스탠딩(free-standing) 위치내에 지지되도록 하는 장점이 있다. 이 스페이서 벽의 프리-스탠딩 구성의 안정성을 향상시키기 위해, 제1 및 제2 스페이서 다리의 지지면은 스페이서 벽의 제1 및 제2 표면과 수직으로 위치시킨다. 스페이서 벽이 페이스플레이트 구조와 백플레이트 구조 사이에 위치하는 경우, 상기 지지면은 페이스플레이트(또는 백플레이트)와 접하여, 상기 페이스플레이트 및 백플레이트 구조 사이의 수직인 구조로 상기 스페이서 벽을 유지한다.

대안적 실시예에서, 제3 및 제4 스페이서 다리를 스페이서 벽에 부착할 수 있다. 제3 스페이서 다리는 스페이서 벽의 제1 끝에서 상기 제2 표면상에 위치하며, 제4 스페이서 다리는 스페이서 벽의 제2 끝에서 상기 제2 표면상에 위치한다. 상기 제3 및 제4 스페이서 다리 모두 스페이서 벽의 제1 에지 면과 같은 평면에 있다. 이 지지면 또한 스페이서 벽의 제1 및 제2 표면과 수직이다. 상기 제3 및 제4 스페이서 다리는 스페이서 벽에 추가의 안정성을 제공한다. 스페이서 다리는 여러 물질로 만들 수 있는데, 예를들면 세라믹, 유리 및/또는 유리 프린트를 포함하며, 이것으로 제한되는 것은 아니다.

스페이서 다리가 부착된 스페이서 벽의 한 제조 방법은: (1) 제1 표면, 제1 에지 및 상기 제1 에지와 대향하는 제2 에지가 있는 세라믹 웨이퍼를 소성(firing) 하는 단계, (2) 상기 제1 에지에 인접하는 제1 표면에 제1 유리 프린트의 스트립을 인가하는 단계, (3) 상기 제2 에지에 인접하는 제1 표면에 제2 유리 프린트의 스트립을 인가하는 단계, (4) 상기 제1 및 제2 유리 프린트의 스트립을 소성하는 단계 및 (5) 상기 세라믹 웨이퍼와 상기 제1 및 제2 유리 프린트의 스트립을 상기 제1 에지로부터 제2 에지까지의 스페이서 스트립으로 자르는 단계를 포함한다. 이 방법에서, 상기 유리 프린트의 스트립이 제1 및 제2 스페이서 다리를 형성한다.

선택적 실시예에서, 상기 제1 및 제2 유리 프린트의 스트립을 소성하는 단계에 앞서 상기 제1 및 제2 유리 프린트의 스트립상에 유리 줄기를 위치시킬 수 있다. 이 실시예에서, 상기 유리 줄기는 상기 유리 프린트와 결합하여 상기 제1 및 제2 다리를 형성한다. 더 다른 실시예에서, 상기 유리 프린트는 세라믹 스트립으로 대체할 수 있다. 더 다른 실시예에서, 소성된 세라믹 스트립을 유리 줄기와 접착하여 상기 세라믹 웨이퍼와 상기 소성된 세라믹 스트립을 녹여서 접합시킬 수 있다.

플랫 패널 디스플레이내의 스페이서 벽을 설치하는 방법도 설명한다. 이 방법은 : (1) 스페이서 벽의 대향하는 끝에서 하나 이상의 스페이서 다리를 형성하는 단계, (2) 플랫 패널 디스플레이의 페이스플레이트 구조(또는 백플레이트 구조)상에 상기 스페이서 벽을 위치시키는 단계, 및 (3) 상기 페이스플레이트(또는 백플레이트) 구조내에 형성된 다수의 전극에 의해 유도된 전기력으로 상기 페이스플레이트(또는 백플레이트) 구조상에 상기 스페이서 벽의 끝을 유지하는 단계를 포함한다. 상기 스페이서 벽의 끝으로 전기력을 인가함으로써, 스페이서 벽은 플랫 패널 디스플레이 조립시 잘 정렬된다는 장점이 있다. 일단 전기력이 인가되고 나면, 스페이서 벽의 끝은 페이스플레이트(또는 백플레이트) 구조와 접합될 수 있다. 상기 전기력은 플랫 패널 디스플레이 조립 후 제거할 수 있다. 스페이서 벽을 이 설치동안 페이스플레이트(또는 백플레이트) 구조내의 홈에 삽입하여 스페이서 벽의 정렬을 더 촉진시킬 수 있다.

스페이서 벽을 설치하는 더 다른 방법은 (1)스페이서 벽을 늘이기 위해 미리 결정된 온도로 스페이서 벽을 가열시키는 단계, (2) 상기 가열된 스페이서 벽의 온도보다 낮은 온도인 상기 페이스플레이트 구조 또

는 백플레이트 구조로 상기 가열된 스페이서 벽을 부착시키는 단계, 및 (3) 상기 부착된 스페이서 벽을 냉각시켜 스페이서 벽을 식히고 수축시키는 단계를 포함한다. 스페이서 벽이 수축하면, 스페이서 벽은 길이방향으로 당겨져서 스페이서 벽내의 고유한 기복이 제거된다.

상기 스페이서 벽을 설치하는 더 다른 방법은 (1) 제1 열 신장계수(CTE)를 가지는 물질로 스페이서 벽을 형성하는 단계, (2) 상기 제1 CTE 보다 작은 제2 CTE 를 가지는 물질의 페이스플레이트(또는 백플레이트) 구조를 형성하는 단계, (3) 상기 스페이서 벽 및 상기 페이스플레이트(또는 백플레이트) 구조를 실온 이상의 온도로 가열하는 단계, (4) 상기 스페이서 벽의 끝을 상기 페이스플레이트(또는 백플레이트) 구조에 부착하는 단계 및 (5) 상기 스페이서 벽 및 상기 페이스플레이트(또는 백플레이트) 구조를 냉각 및 수축시키는데, 스페이서 벽이 상기 페이스플레이트(또는 백플레이트) 구조 보다 더 수축하여 벽을 길이방향으로 잡아당기게 되어 스페이서 벽내의 고유한 기복을 제거하는 단계가 포함된다.

더 다른 방법은: (1) 상기 페이스플레이트(또는 백플레이트) 구조를 냉각시켜 페이스플레이트(또는 백플레이트) 구조를 수축시키는 단계, (2) 스페이서 벽을 스페이서 벽의 온도보다 낮은 온도의 페이스플레이트(또는 백플레이트) 구조에 부착시키는 단계, 및 (3) 상기 페이스플레이트(또는 백플레이트) 구조를 가열하여 페이스플레이트(또는 백플레이트) 구조를 신장시키는 단계를 포함한다. 상기 페이스플레이트(또는 백플레이트) 구조가 신장되면, 스페이서 벽은 길이방향으로 당겨져서 스페이서 벽내의 고유 기복이 제거된다.

스페이서 벽을 설치하는 선택적 방법은 : (1) 스페이서 벽의 대향하는 끝에 스페이서 다리를 부착하는 단계, (2) 상기 스페이서 다리 사이에 힘을 가하여 상기 스페이서 벽을 기계적으로 늘이는 단계, (3) 상기 스페이서 벽의 끝을 상기 페이스플레이트(또는 백플레이트) 구조에 부착시키는 단계, 및 (4) 상기 스페이서 다리 사이에 인가된 힘을 제거하는 단계를 포함한다. 상기 힘은 기계적 나사식으로 인가될 수 있고, 압전 소자, 또는 높은 열-신장 합금에 의해 인가될 수 있다. 이 방법은 스페이서 벽내의 고유한 어느 기복을 제거하게되는 스페이서 벽 내의 길이방향의 긴장상태를 가져온다.

스페이서 벽을 설치하는 더 다른 방법은 (1) 스페이서 벽을 페이스플레이트(또는 백플레이트) 구조와 접합하기에 앞서 페이스플레이트(또는 백플레이트) 구조를 수축시키는 단계, (2) 스페이서 벽의 끝을 상기 페이스플레이트(또는 백플레이트) 구조와 접합하는 단계, 및 (3) 스페이서 벽을 상기 페이스플레이트(또는 백플레이트) 구조를 신장시키는 단계를 포함한다. 상기 페이스플레이트(또는 백플레이트) 구조는 페이스플레이트(또는 백플레이트) 구조를 오목한 구조로 구부림으로서 수축될 수 있다. 이 방법은 스페이서 벽내의 고유한 기복을 제거하려고 하는 스페이서 벽내의 길이방향 긴장상태를 유도하기도 한다.

본 발명의 더 다른 실시예에서, 앞서 설명한 스페이서 다리는 스페이서 칩으로 대체된다. 각 각각의 스페이서 칩은 스페이서 벽의 끝에서 상기 제1 및 제2 표면을 클램프하는 하나 이상의 스프링-형태의 소자를 포함하고 있다. 이 스페이서 칩은, 예를들어 전기적으로 도체인 물질, 즉 금속 또는 세라믹, 유리 실리콘, 열 플라스틱, 또는 다른 절연 물질 등으로 만들어 질 수 있다. 전기적으로 도체인 스페이서 칩은 스페이서 벽상에 위치하는 페이스 전극으로서의 절연 연결을 유도한다. 스페이서 벽은 상기 스페이서 칩 내에서 자유롭게 떠다닐 수 있고, 또는 본 발명의 다른 실시예에 따라 스페이서 칩 내에 고정되기도 한다. 만일 스페이서 벽이 스페이서 칩 내부에서 자유롭게 떠다니다면, 스페이서 벽은 스페이서 벽에 해를 끼치지 않고 스페이서 칩 내에서 자유롭게 신장 및 수축할 수 있다. 만일 스페이서 벽이 스페이서 칩에 고정된다면, 스페이서 칩을 상기 플랫폼 패널 디스플레이의 페이스플레이트(또는 백플레이트) 구조로 고정시키기 전에 상기 스페이서 벽을 늘임으로서 스페이서 벽으로 길이방향의 긴장상태가 유도될 수 있게 되고, 그러면 상기 스페이서 벽은 상기 스페이서 칩이 부착된 후 짧아지게 된다.

본 발명의 더 다른 실시예에서, 스페이서 칩에는 와이어본딩 처리를 사용하여 페이스플레이트(또는 백플레이트) 구조와 접촉되는 전기적으로 도전성인 물질의 리본(ribbon)이 포함되어 있다. 이 리본은 채널을 정의하는 인접하는 두 개의 루프를 형성하기 위해 접합된다. 설치 도중, 스페이서 벽은 이 채널에 고정된다.

첨부한 도면을 참고하는 아래의 발명의 상세한 설명을 통해 본 발명을 보다 완전히 이해할 수 있을 것이다.

도면의 간단한 설명

- 도 1은 종래 플랫폼 패널 디스플레이 화면의 개략도;
- 도 2는 본 발명의 한 실시예에 따른 스페이서 벽의 등측도;
- 도 3은 본 발명의 더 다른 실시예에 따른 스페이서 벽의 ios- 도;
- 도 4 및 도 5는 선택된 처리 단계 동안 도 2의 스페이서 벽의 상면도;
- 도 6 및 도 7은 선택된 처리 단계 동안 도 2의 스페이서 벽의 단면도;
- 도 8은 선택된 처리 단계 동안 도 2의 스페이서 벽의 상면도;
- 도 9는 본 발명의 한 실시예에 따른 페이스플레이트 구조의 한 부분의 바닥의 개략도;
- 도 10은 도 9의 10-10 선을 따른 도 9의 페이스플레이트 구조의 단면도;
- 도 11은 도 9의 11-11 선을 따른 도 9의 페이스플레이트 구조의 단면도;
- 도 12는 스페이서 벽을 인가한 후의 도 9의 페이스플레이트 구조 바닥의 개략도;
- 도 13은 도 12의 13-13 선을 따른 도 12의 페이스플레이트 구조 및 스페이서 벽의 단면도;
- 도 14는 본 발명의 한 실시예에 따른 페이스플레이트 구조에 스페이서 벽을 부착하는 것을 설명하는 개략

적 다이어그램;

도 15는 본 발명의 더 다른 실시예에 따른 스페이서 벽의 등축도;

도 16A, 16B, 16C, 및 16D 는 각각 본 발명의 한 실시예에 따른 스페이서 칩의 등축도, 상면도, 정면도 및 측면도;

도 17A 및 17B 는 각각 스페이서 벽의 제1 및 제2 끝에 부착된 도 16A-16D 에 따른 스페이서 칩의 상면도 및 측면도;

도 18A, 18B, 18C, 18D 및 18E 는 본 발명의 더 다른 실시예에 따른 여러 형태를 가지는 전기적으로 도체인 스페이서 칩의 개략적 상면도;

도 19A, 19B 및 19C 는 본 발명의 더 다른 실시예에 따른 여러 형태를 가지는 세라믹 스페이서 칩의 개략적 상면도;

도 20은 세라믹 프레임 및 금속 스프링을 포함하는 하이브리드 금속/세라믹 스페이서 칩의 개략적 상면도;

도 21은 본 발명의 더 다른 실시예에 따른 스페이서 칩의 등축도;

도 22는 본 발명의 더 다른 실시예에 따른 스페이서 지지 구조의 끝단 도; 및

도 23A 및 23B 는 본 발명의 더 다른 실시예에 따른 스페이서 다리의 끝단 도이다.

발명의 상세한 설명

아래 정의들이 본 상세한 설명에서 사용된다. 본 명세서에서, '전기적으로 절연'(또는 '비도전')이라는 표현은 일반적으로 10^{12} ohm-cm 이상의 저항을 가지는 물질에 적용된다. 따라서, '전기적으로 비-절연'이라는 표현은 10^{12} ohm-cm 이하의 저항을 가지는 물질에 적용된다. 전기적으로 비-절연인 물질은 (a) 저항이 1 ohm-cm 이하인 전기적 도전성 물질 및 (b) 저항이 1 ohm-cm 내지 10^{12} ohm-cm 범위의 전기적 저항 물질로 나뉜다. 이 카테고리는 낮은 전기력에서 결정된다.

전기적 도전성 물질(또는 전기적 도체)의 예는 금속, 금속-반도체 성분, 및 금속-반도체 공융(eutectics)이다. 전기적 도전성 물질에는 통상 또는 높은 레벨로 도핑된(n-타입 또는 p-타입) 반도체도 포함된다. 전기적 저항 물질에는 고유한 그리고 약하게 도핑된(n-타입 또는 p-타입) 반도체가 포함된다. 전기적 저항 물질의 더 다른 예는 서밋(금속 입자가 묻힌 세라믹) 및 그러한 금속-절연체 성분과 같은 물질들이 있다. 전기적 저항 물질에는 도전성 세라믹 및 채워진 유리도 포함된다.

도 2는 본 발명의 한 실시예에 따른 스페이서 벽(100)의 등축도이다. 스페이서 벽에는 주 스페이서 몸체(101), 스페이서 다리(111,112), 에지 전극(121,122), 및 페이스 전극(131,132)이 포함되어 있다. 스페이서 벽(100)은 플랫폼 패널 디스플레이의 페이스플레이트 구조 및 백플레이트 구조 사이에 위치하는 것으로 적용된다. 설명된 실시예에서, 스페이서 몸체(101)는 크로미나 또는 티타니아 등 세라믹을 통해 확산된 하나 이상의 천이 산화금속인 알루미늄 등의 세라믹으로 만들어진다. 일반적으로, 스페이서 몸체(101)는 $1 \times 10^9 \Omega\text{-cm}$ 의 저항을 가진 전기적 저항체이며 1kV 에서 2 이상의 제2 전자 방출 계수를 가진다. 스페이서 몸체(101)를 형성하기 위해 사용될 수 있는 다양한 조합이 (a) 슈미드(Schmid) 등의 미국 특허 5,675,212 및 (b) 스피нды(Spindt) 등의 미국 특허 5,614,781 에 자세히 설명되어 있으며, 이들 두 문헌은 본 명세서에 참고로 통합된다.

설명된 실시예에서, 스페이서 몸체(101)는 X-축으로 5cm, Y-축으로 60 μ m, 그리고 Z-축으로 1.3mm의 디멘존을 가지고 있다. 다른 실시예에서는, 스페이서 몸체(101)는 스페이서 벽(100)의 요구에 맞는 다른 디멘존을 가진다.

스페이서 몸체(101)는 제1 표면(101A), 제2 표면(101B), 제1 에지 면(101C) 및 제2 에지 면(101D)를 가진다. 스페이서 몸체(101)는 제1 끝(101E) ?? 제2 끝(101F) 도 가지고 있다. 페이스 전극(131,132)은 상기 제1 표면(101A)상에 위치하는 전기적 도전성 소자이다. 페이스 전극(131,132)은 보통 크롬-니켈 등의 금속으로 만들어진다. 페이스 전극(131,132)은 상기 제1 및 제2 에지 면(101C,101D)와 나란하게 연장(즉, X-축을 따름)되어, 상기 제2 에지 면(101D)으로 아래로 연장(즉, Z-축을 따름)된다. 아래 더 자세히 설명하겠지만, 상기 제1 및 제2 페이스 전극(131,132)은 외부 전압 소스와 연결되어 상기 스페이서 벽(100)에 따른(Z-축) 전압 분포를 제어한다. 상기 페이스 전극(131,132)의 구조 및 동작은 앞서 언급한 미국 특허 5,675,212 에 자세히 설명되어 있다.

에지 전극(121,122)은 상기 스페이서 몸체(101)의 제1 및 제2 에지 면(101C,101D)에 각각 위치하는 전기적 도전성 소자이다. 에지 전극(121,122)은 일반적으로 크롬-니켈 등의 금속으로 만들어진다. 스페이서 벽(100)이 플랫폼 패널 디스플레이의 페이스플레이트 구조와 백플레이트 구조 사이에 위치하면, 에지 전극(121,122)은 상기 페이스플레이트 및 백플레이트 구조와 접촉한다. 상기 에지 전극(121,122)은 상기 스페이서 몸체(101)의 제1 및 제2 에지 면(101C,101D) 각각을 따라 균일한 전압을 제공한다. 에지 전극(121,122)의 구조 및 동작은 앞서 언급한 미국 특허 5,614,781 에 자세히 설명되어 있다.

스페이서 벽(100)에는 스페이서 몸체(101)의 표면(101A)상에 위치하는 스페이서 다리(111,112)가 더 포함되어 있다. 스페이서 다리(111,112)는 상기 스페이서 몸체(101)의 제1 끝(101E) 및 제2 끝(101F) 각각에 위치한다. 스페이서 다리(111,112)는 프리-스탠딩 위치내에서 스페이서 벽(100)을 지지하는 디멘존으로 되어있다. 즉, 스페이서 다리(111,112)는 스페이서 벽(100)이 제1 에지 면(101C) 또는 제2 에지 면(101D) 상에서 설정되는 경우 스페이서 벽(100)이 내려앉는 것을 막아준다. 더욱이, 스페이서 다리(111,112)는 스페이서 몸체(101)가 수직인 구조(스페이서 벽(100)이 있게되는 표면에 대해)로 유지되는 것을 보장한다. 설명된 실시예에서, 스페이서 다리(111,112) 각각은 X-축을 따라 약 2.5mm, Y-축을 따라

1mm, 그리고 Z-축을 따라 1.3mm의 디멘션을 가진다. 스페이서 다리(111, 112)의 표면(111A, 112A)은 스페이서 몸체(101)의 제1 예지 면(101C)와 동일 평면상에 있다. 비슷하게, 스페이서 다리(111, 112)의 표면(111B, 112B)은 스페이서 몸체의 제2 예지 면(101D)과 동일 평면상에 있다. 그 결과, 스페이서 다리(111, 112)는 스페이서 벽(100)이 표면(101C, 111A, 112A)(또는 101D, 111B, 112B) 상에 놓이게 되는 경우 위쪽 위치로 스페이서 벽(100)을 지지한다.

스페이서 다리(111, 112)의 표면(111A, 112A)은 스페이서 몸체(101)의 제1 표면(101A)과 제2 표면(101B)과 수직이다. 비슷하게, 스페이서 다리(111, 112)의 표면(111B, 112B)은 스페이서 몸체(101)의 제1 표면(101A)과 제2 표면(102B)과 수직이다. 아래 더 자세히 설명하겠지만, 스페이서 다리(111, 112)는 플랫 패널 디스플레이의 페이스플레이트 구조와 백플레이트 구조 사이의 스페이서 벽(101)의 주직 설치를 촉진한다. 스페이서 벽(101)이 페이스플레이트 구조와 백플레이트 구조 사이에 위치하면, 스페이서 다리(111, 112)는 상기 페이스플레이트 및 백플레이트 구조와 접한다. 그 결과, 스페이서 벽(101)은 페이스플레이트 및 백플레이트 구조 사이에 유지되어 스페이서 몸체(101)의 상기 제1 및 제2 표면(101A, 101B)이 상기 페이스플레이트 및 백플레이트 구조에 수직이 되도록 한다.

도 3은 본 발명의 더 다른 실시예에 따른 스페이서 벽(200)의 등축도이다. 스페이서 벽(200)이 스페이서 벽(100)(도 2)과 충분히 동일하기 때문에, 스페이서 벽(200, 100)의 비슷한 소자엔 비슷한 참고 번호를 부여하였다. 스페이서 벽(200)에는 스페이서 다리(113, 114)가 추가로 포함된다. 스페이서 다리(113, 114)는 스페이서 벽(200)의 표면(101B)상에 위치하는데, 스페이서 다리(113)는 스페이서 몸체(101)의 제1 끝(101E)에 위치하고, 스페이서 다리(114)는 스페이서 몸체(101)의 제2 끝(101F)에 위치한다. 스페이서 다리(113, 114)는 스페이서 다리(111, 112)와 충분히 동일하며, 스페이서 벽(200)의 능력을 향상시켜 스페이서 벽 구조에 구조적 안정성을 더함으로써 프리-스탠딩 구조 역할을 하게 한다. 스페이서 다리(113, 114)는 해당 페이스플레이트 및 백플레이트 구조 사이에 스페이서 벽(200)의 수직 위치선정을 더 촉진한다.

지금부터 본 발명의 여러 실시예에 따른 스페이서 벽(100, 200)의 제조 방법을 설명하도록 한다. 도 4-8은 스페이서 벽(100, 200)을 형성하기 위해 사용된 선택된 절차 단계를 설명하는 다이어그램이다. 도 4에 설명된 바와 같이, 세라믹 웨이퍼(401)를 형성하고 소성한다. 설명된 실시예에서, 상기 세라믹 웨이퍼(401)는 약 34%의 알루미늄, 64%의 크로미아 및 2%의 티타니아 성분을 가지고 있다. 다시, 상기 세라믹 웨이퍼(401)의 혼합 및 제조는 앞서 언급한 미국 특허 5,675,212 에 자세히 설명되어 있다.

페이스 전극(131-138)은 설명된 바와 같이 소성된 웨이퍼(401)의 표면(401A)상에 형성된다. 한 실시예에서, 페이스 전극(131-138)은 웨이퍼(401)의 표면(401A) 전체에 걸쳐 크롬-니켈 등의 금속의 블랭킷 층을 스퍼터링하여 형성된다. 다음으로 상기 페이스 전극(131-138)을 정의하는 패턴을 가지는 포토레지스트 마스크를 상기 블랭킷 금속층상에 형성한다. 그리고 나서 금속 에칭을 실시하여 상기 금속층의 원하지 않는 부분을 제거한다. 다음으로 상기 포토레지스트 마스크를 벗겨내어 상기 페이스 전극(131-138)을 남겨둔다. 선택적으로, 페이스 전극(131-138)은 상기 소성된 웨이퍼(401)에 부착되는 마스크를 통해 금속을 스퍼터링 함으로서 형성할 수 있다.

도 5로 돌아가서, 시일링 유리(유리 프리트으로도 언급함)를 사용하여 상기 웨이퍼(401)의 예지 근처에 연속 프리트 바(411, 412)를 형성한다. 프리트 바(411, 412)는 종래 디스펜서 또는 스크린 프린터에 유리 프리트를 인가함으로써 형성할 수 있다. 선택적으로, 프리트 바(411, 412)는 웨이퍼(401)상에 놓인 유리 프리트의 미리 형성된 바 일 수 있다. 상기 프리트 바(411, 412)를 형성하는데 사용된 유리 프리트는 전기적으로 절연이며 소성된 웨이퍼(401)의 CTE 에 매치되는 열 신장 계수(CTE)를 가지고 있다. 한 실시예에서 상기 웨이퍼(401) 및 유리 프리트의 CTE 는 약 7.2ppm/°C 이다. 상기 프리트 바(411, 412)의 두께는 약 1mm 이다.

그 결과 구조는 어느 온도에서 소성되어 상기 프리트 바(411, 412)의 밀도를 높이고 소결시킨다. 한 실시예에서, 이 소성 단계는 약 450°C 의 온도에서 수행된다. 선택적 실시예에서, 이 소성 단계에 앞서 상기 프리트 바(411, 412)상에 한 쌍의 유리 바(도시하지 않음)를 놓는다. 이 소성 단계가 종료된 후, 프리트 바(411, 412)는 상기 유리 바와 웨이퍼(401)를 붙인다. 더 다른 실시예에서는, 상기 프리트 바(411, 412)를 한 쌍의 유리 바와 교체한다. 이 실시예에서, 상기 유리 바는 소성되어 상기 유리 바를 상기 웨이퍼(401)에 직접(녹여서) 부착시킨다. 그 결과 구조는 모든 세 가지 선택과 충분히 동일하다. 더 다른 실시예에서는, 상기 프리트 바(411, 412)를 상기 웨이퍼(401)과 같은 조성물을 가지는 세라믹 스트립으로 교체한다. 이 세라믹 스트립은 웨이퍼(401)상에서 얇은 박판이 되고 웨이퍼(401)과 같은 시간에서 소성 된다. 더 다른 실시예에서, 소성된 세라믹 바의 끝을 유리 줄기의 끝과 붙인다. 그리고 나서 상기 유리 줄기를 세라믹 웨이퍼(401)상에 놓는다. 결과 구조를 520°C 까지 가열하여, 상기 유리 줄기를 녹여 상기 세라믹 바와 세라믹 웨이퍼(401)를 붙인다. 앞서 설명한 프리트 바(411, 412)와 같은 방식으로 상기 웨이퍼(401)의 뒷면(401B)상에 제2 프리트 바(413, 414) 세트를 형성할 수 있다(도 7 참조).

그러면 그 결과 구조는 도 6에 설명된 바와 같이 유리 기판(410)과 붙게 되어 웨이퍼(401)의 표면(401A)이 유리 기판(410)상에 위치하게 된다. 원하는 실시예에서, 이 접합은 상기 웨이퍼(401) 및 유리 기판(410)의 내면에 위치하는 왁스 물질을 가열함으로써 수행된다. 상기 유리 기판(410)에는 소성된 프리트 바(411, 412)를 받아들이는 홈(410A, 410B)이 포함되어 있다. 이 유리 기판(410)은 웨이퍼(401)가 플랫 구조로 유지되는 것을 보장한다. 유리 기판(410)과 붙게되면, 상기 웨이퍼(401)의 뒷면(401B)은 노출된다. 그 결과, 페이스 전극(131-138)이 웨이퍼(401)의 앞면(401A)이 아니라 상기 뒷면(401B)상에 형성될 수 있다. 이 변화에서, 페이스 전극(131-138)은 웨이퍼(401)가 기판(410)에 붙을 때 까지 형성되지 않는다. 페이스 전극(131-138)은 앞서 설명한, 표면(401A) 대신 표면(401B)상에 처리 단계를 사용하여 제조된다. 이 변화에서, 프리트 바(411-412) 및 페이스 전극(131-138)이 웨이퍼(401)의 반대면 표면상에 만들어지기 때문에 프리트 바(411, 412)의 위치와 페이스 전극(131-138)의 위치간의 저항력은 상관하지 않는다.

이제 도 6을 참고하면, 웨이퍼(400)의 뒷면(401B)에 걸쳐 보호 코우팅(도시하지 않음)이 가해졌다. 한 실시예에서, 이 보호 코우팅은 셉레이사(ShIPLEY, Inc.) 제품으로 흔히 사용가능한 Microposit 이며, 두께는 약 0.003cm 이다. 이 보호 코우팅의 목적은 다이싱(dicing) 단계 동안의 깨짐을 최소화 하고, 연속되는 스퍼터된 예지 전극에게 마스크를 제공하는 것이다.

그 결과 구조는 다수의 스페이서 벽 스트립(161-164)으로 다이싱된다. 이 다이싱 단계는 기판(401)이 계

속 상기 유리 기판(410)과 붙어있는 동안 수행된다. 도 8은 웨이퍼(401)가 다이싱되는 라인(421-423)을 설명하고 있다. 이 다이싱 단계 결과 상기 스페이서 벽 스트립(161-164) 각각의 끝에서 스페이서 다리(111, 112)와 같은 스페이서 다리가 형성된다. 이 다이싱 단계는 스페이서 몸체(101)와 같은 스페이서 몸체를 형성하는 결과도 가져온다. 동일하게 자름으로서 상기 스페이서 몸체 및 스페이서 다리의 에지 표면을 형성하는 것은 스페이서 다리의 지지면이 상기 스페이서 몸체의 에지 표면과 같은 평면에 있는 것을 보장한다. 이 다이싱 단계는 상기 스페이서 다리의 지지면이 스페이서 몸체의 표면과 수직이 되도록 수행된다.

스페이서 벽 스트립(161-164)이 계속 유리 기판(410)과 붙어있는 동안 상기 스페이서 벽 스트립(161-164)에 에지 전극(121-128)을 가한다. 이 에지 전극(121-128)들은 상기 스페이서 벽 스트립(161-164) 상에 마스크를 형성함으로써 만들어져서 상기 에지 전극(121-128)의 위치를 정의하도록 할 수 있고, 그리고 나서 상기 마스크를 통해 상기 에지 전극을 스퍼터링 한다. 상기 에지 전극(121-128)이 스페이서 벽 스트립(161-164)의 에지 표면상에서만 형성되도록 각도를 가진 스퍼터링 처리가 사용된다. 첫 번째 각도를 가진 스퍼터링 동작은 에지 전극(121, 123, 125, 127)을 형성하는데 사용되고, 두 번째 각도를 가진 스퍼터링 동작(반대 방향에서)은 에지 전극(122, 124, 126, 128)을 형성하는데 사용된다. 상기 다이싱 단계는 에지 전극(121-128)을 스페이서 벽 스트립(161-164)이 계속 유리 기판(410)과 연결되어 있는 동안 형성되게 할 수 있을 정도로 충분한 공간을 상기 스페이서 벽 스트립(161-164) 사이에 만든다. 그 결과 스페이서 벽은 아세톤 등의 솔벤트를 사용하여 상기 유리 기판(410)에서 떼어내고, 상기 기판(410)에 스페이서 벽을 유지시키는 왁스 물질을 녹여 스페이서 벽을 완전히 완성한다.

지금부터 플랫폼 패널 디스플레이의 페이스플레이트 구조 및 백플레이트 구조 사이에 스페이서 벽(200)을 설치하는 방법을 설명한다. 스페이서 벽(100)을 설치하는데 사용된 비슷한 방법일 사용될 수 있다는 것을 이해할 수 있을 것이다. 스페이서 벽(200)을 받아들이는 페이스플레이트 구조를 아래에 설명한다. 도 9는 본 발명의 한 실시예에 따른 페이스플레이트 구조(301)의 바닥 한 부분의 개략도이다. 도 10은 도 9의 10-10 선을 따른 페이스플레이트 구조(301)의 단면도이다. 도 11은 도 9의 11-11 선을 따른 페이스플레이트 구조(301)의 단면도이다. 도 9의 개략도는 단지 설명을 위해 길이를 폭보다 훨씬 크게 도시하고 있다. 페이스플레이트 구조(301)는 보통 폭이 길이보다 더 크다는 것을 알 수 있다.

페이스플레이트 구조(301)에는 전기적으로 절연인 페이스플레이트(321)(일반적으로 유리) 및 상기 절연 페이스플레이트(321)의 내면에 형성된 발광 구조(322)가 포함되어 있다. 상기 발광 구조(322)에는 상기 페이스플레이트 구조(301)의 능동 영역상에 위치하는 숫아오른 블랙 매트릭스(331)이 포함되어 있다. 이 숫아오른 블랙 매트릭스(331)는 폴리이미드 등의 비도전 물질로 만들어 진다. 매트릭스(331)는 높이가 약 $50\mu\text{m}$ 이고 다수의 픽셀 개구(350) 및 다수의 매트릭스 갭(341-343)이 포함되어 있다(도 9). 아래 자세히 설명하겠지만, 매트릭스 갭(341-343)은 스페이서 벽(200)을 수용한다. 비록 도 9에는 세 개의 갭(341-343)만이 설명되어 있으나, 세 개 이상의 갭이 페이스플레이트 구조(301)내에 존재할 것이라는 것을 이해할 수 있을 것이다. 더욱이, 상기 매트릭스 갭(341-343)은 설명을 위해 그 폭이 과장되어 있다는 것도 이해하라. 페이스플레이트 구조(301)에서, 각 매트릭스 갭(341-343)의 폭은 인접한 픽셀 사이의 공간(개구(350)에 의해 정의되는)보다 작거나 같다. 그리고, 상기 스페이서 벽(200)은 매트릭스 갭(341-343)보다 더 얇다. 이것은 설치된 스페이서 벽(200)을 시청자에게 보일 수 있게 한다. 한 실시예에서, 상기 갭(341-343)은 1cm의 측면 공간을 두고 각각이 서로 나란하게 확장된다.

발광 물질, 또는 인(330)이 상기 매트릭스(331)의 픽셀 개구(35)내에 위치하여 세 개의 발광 물질(330)이 상기 절연 페이스플레이트(321)상에 위치하도록 한다(도 10, 11). 얇은 반사 금속층(332)이 상기 매트릭스(331) 및 발광물질(330)상에 위치한다. 이 반사 금속층(332)은 보통 두께가 약 500 내지 1500\AA 인 알루미늄이다.

이 발광 구조(322)는 페이스플레이트(321)상에 형성되는 다수의 금속 전극(351-356) 및 상기 능동 영역 밖의 폴리이미드 매트릭스(331) 주위의 얇은 폴리이미드 층(335)을 더 구비하고 있다.

절연 페이스플레이트(321)는 페이스플레이트 구조(301)의 에지 근처에서 노출되어서 해당 백플레이트 구조로의 페이스플레이트 구조(301)의 연속 연결을 촉진한다. 전극(351-356)은 스퍼터링 및 포토리소그래피 등의 종래의 박막 처리를 사용하여 유리 페이스플레이트(321)상에 디포지트 된다. 전극(351-356)은 약 $0.5\mu\text{m}$ 두께의 알루미늄 또는 알루미늄 합금으로 형성된다. 약 16미크론의 두께를 가진 얇은 폴리이미드 층(335)이 전극(351-356) 위로 확장된다. 아래에 더 자세히 설명하겠지만, 전극(351-356)은 플랫폼 패널 디스플레이가 조립되는 동안 제 위치에서 스페이서 벽(200)을 유지하는 전기적인 고정력을 제공하는데 사용되고, 그리고 스페이서 벽(200)의 페이스 전극(131, 132)에 연결을 제공하는데 사용된다.

도 10에 설명되어 있는 바와 같이, 반사 금속층(332)이 얇은 폴리이미드 층(335)을 통해 확장되는 것을 통한 도전성으로 인해 전극(356)과 전기적으로 연결된다. 비록 설명되지는 않았지만, 전극(356)은 결과가 되는 플랫폼 패널 디스플레이의 통상의 동작 도중 상기 반사 금속층(332)에 수 킬로-볼트의 전압을 효과적으로 인가하는 전원공급 회로로 확장된다. 전극(353, 354, 355)이 도 11에 설명되어 있다. 이 전극들은 아래에 보다 자세히 설명한다.

페이스플레이트 구조(301)에 관한 보다 자세한 정보는 1995년 3월 15일 공개된 공동 소유인 미국 특허 제 5,477,105호 및 PCT 공개번호 WO 95/07543 에 자세히 설명되어 있고, 이 특허는 본 명세서에서 전체가 참고로 통합된다.

페이스플레이트 구조(301)상에 스페이서 벽(200)을 설치하기 위해서는, 스페이서 벽(200)을 도 12에 설명된 것처럼 매트릭스 갭(341-343)으로 고정시킨다. 이 매트릭스 갭(341-343)은 둘러싸는 매트릭스(331)가 스페이서 벽(200)을 약간 감사 쥐는 힘을 갖도록 디멘션 된다. 매트릭스 갭(341-343)으로의 스페이서 벽(200)의 위치선정은 진공 막대(vacuum wand) 또는 진공 엔드 이펙터(vacuum end effector)를 사용하여 스페이서 벽(200)을 선정하여 이들을 적절한 매트릭스 갭에 갖다놓는 자동 처리로 이루어진다.

도 12에 설명된 바와 같이, 스페이서 벽(200) 각각의 스페이서 다리(112, 114)는 전극(354, 355)상에 위치한다. 비슷하게, 스페이서 벽(200) 각각의 스페이서 다리(111, 113)은 전극(351, 352)상에 위치한다. 전극(354, 355)에 전압(V)을 인가하여 전극(354, 355)과 스페이서 다리(112, 114) 사이에 상당한 전기력(P)를

발생시킨다. 전압(V)의 함수인 이 힘(P)은 아래 관계로부터 계산될 수 있다:

$$P = C^2 V^2 / (2\epsilon A^2)$$

여기서 P 는 파스칼 압력(힘)이고, C 는 스페이서 다리(112,114)와 전극(354,355) 사이의 패럿 캐패시턴스이고, V 는 볼트 전압이고, ϵ 는 폴리이미드의 상대적인 비도전 상수(3.5)이며 그리고 A 는 스페이서 다리(112,114)와 전극(354,355) 사이의 제곱미터 면적이다. 설명된 실시예에서는, 500 내지 1100 볼트 범위의 인가 전압에서 약 34 kPa 내지 103 kPa 범위의 압력이 전개될 수 있다. 이 전압에서 발생한 전기장은 2 kV/mil 범위인데, 이것은 폴리이미드의 보고된 비도전 항복 길이(~6 kV/mil) 보다 더 아래범위이다.

전기력(P)은 스페이서 벽(200)을 페이스플레이트 구조(301)로 효과적으로 힘을 가한다. 이 전기력(P)은 보통 수 초(즉, 폴리이미드를 충전시키는데 필요한 시간) 내에서 발생한다. 이 전기력(P)은 페이스플레이트 구조(301)와 해당 백플레이트 구조와의 연결 동안 유지되어 스페이서 벽(200)이 이 연결이 이루어지는 동안 움직이지 않는 것을 보장한다. 페이스플레이트 구조(321)이 해당 백플레이트 구조와 연결된 후, 전압(V)은 제거할 수 있다.

비슷한 방법에서, 전압(V)을 전극(351,352)에 인가하여 다른 스페이서 벽(200)의 끝에서 스페이서 다리(111,113)를 유지하는 전기력을 발생시킨다. 선택적 실시예에서, 전극(351,352)을 제거하여 오직 각 스페이서 벽의 끝 하나만이 전기력에 의해 힘을 받도록 한다.

누름 전극(351-352 및 254-255)은 기계적인 고정 또는 유기화학적 접착 요구를 없애는 장점이 있어 페이스플레이트 및 백플레이트 구조의 조립 동안 스페이서 벽(200)을 유지한다. 상기 유기화학적 접합은 보통 적용하기가 어렵고 고치는데 시간이 소요된다. 더욱이, 유기화학적 접합은 플랫 패널 디스플레이의 능동 영역내로 이동할 수 있어서 성능을 떨어뜨리게 된다. 기계적인 고정은 위치 선정 및 작업시간이 많다.

도 13은 도 12의 13-13 선을 따른 페이스플레이트 구조(301) 및 스페이서 벽(200)의 단면도이다. 도 13에 설명되어 있는 바와 같이, 누르는 기능에 더하여, 전극(354)은 스페이서 벽(200)의 페이스 전극(131)에 전기적 연결도 제공한다. 전극(353)이 페이스 전극(132)에 전기적 연결을 제공한다는 것에 주목하라. 이러한 전기적 연결은 상기 얇은 폴리이미드 층(335)내의 개구내에 위치하는 금 혹(371,372)에 의해 제공된다. 압력, 가열 및/또는 초음파 에너지를 금 혹(371,372)에 인가하여 이들 혹이 페이스 전극(131,132)과 해당 전극(354,353)을 이어주도록 할 수 있다. 금 혹(371,372)은 페이스플레이트 구조(301)와 스페이서 벽(200) 사이의 더 다른 누르는 힘을 제공한다. 금 혹(371,372)에 의해 제공된 이 누르는 힘은 플랫 패널 디스플레이가 조립된 다음 제 위치에서 스페이서 벽(200)을 유지하며, 더 이상 전기력을 인가하지는 않는다. 만일 금 혹(371,372)에 의해 제공된 이 누르는 힘이 스페이서 벽(200)을 누르는데 충분하지 않다면, 스페이서 벽(200)의 한 끝 또는 양쪽 끝 모두에 추가의 고정력을 인가할 수 있다. 금 혹(371,372)은 임동-금 또는 탄-금 등의 금 합금으로 대체될 수 있다. 다른 변화에서, 상기 금 혹(371,372)은 금속 함유 에폭시 또는 와이어 본드로 대체될 수 있다.

전극(353,354)을 페이스 전극(131,132)상의 전압을 제어하는 전력 공급기(도시하지 않음)와 연결해도 좋다. 페이스 전극(131,132)상의 전압을 제어함으로써, 페이스플레이트 및 백플레이트 구조간의 전압 분포를 스페이서 벽 근방으로 제어할 수 있다.

본 발명의 더 다른 실시예에서, 상기 누름 전극(351,352,355)은 페이스플레이트 구조(301)상에 제공되지 않는다(전극(354)는 남겨두어 페이스 전극(131)에 연결을 제공한다). 이 실시예에서, 스페이서 벽(200)은 초기에는 미리 설정된 온도까지 가열하여 스페이서 벽(200)의 길이를 늘린다. 스페이서 벽(200)은 약 $7.2 \times 10^{-6} / ^\circ\text{C}$ 의 CTE 를 가지고 있다. 따라서, 앞서 설명한 스페이서 벽(200)은 온도가 실온보다 높은 100°C 까지 올라가면 x-축을 따라 약 36 μm 확장된다.

그러면 이 가열된 스페이서 벽(200)은 페이스플레이트 구조의 매트릭스 갭(341-343)내에 위치하게 된다. 가열된 스페이서 벽(200)의 두 끝 모두 에폭시 테크놀로지사(Epoxy Technology Inc.)의 EP0-TEK P-1011(금속 필러 없음) 제품과 같은 접착제를 사용하여 페이스플레이트 구조(301)와 부착시킨다. 이 가열된 스페이서 벽(200)을 페이스플레이트 구조(301)에 붙일 때, 페이스플레이트 구조(301)는 실온이다. 다음으로 스페이서 벽(200)을 냉각시킨다. 냉각하자마자, 스페이서 벽(200)은 수축하여 스페이서 벽(200)내부에 팽팽한 스트레스를 만들어 낸다. 이 스트레스는 길이 구조로 스페이서 벽(200) 각각을 잡아당기는 경향을 나타낸다. 이 스트레스는 아래 후크의 법칙(Hook's law)으로 전개된다:

$$E = \sigma / \epsilon$$

여기서 E 는 스페이서 벽의 탄성 모듈(2.3×10^{11} Pa)이고, σ 는 파스칼인 상기 스트레스이며, 그리고 ϵ 는 스페이서 벽 내의 긴장력(3.6×10^{-4} cm/cm)이다. 이 설명된 실시예에서, 스페이서 벽(200)에 유도된 상기 긴장 스트레스는 약 8.3×10^7 Pa 이다(이것은 스페이서 벽(200)의 인장력 이하이다). 이것이 스페이서 벽(200)을 미리 로딩하는 상한이 되는 것이다.

이 실시예의 변형에서, 스페이서 벽(200)을 제1 열 신장계수(CTE)를 가지는 물질로 형성하고, 페이스플레이트 구조(301)의 절연 페이스플레이트(321)를 상기 제1 CTE 보다 작은 제2 CTE 를 가지는 물질로 형성한다. 이 스페이서 벽(200)과 페이스플레이트 구조(301) 모두 실온 이상의 온도까지 가열하여 스페이서 벽(200)과 페이스플레이트 구조(301)가 확장되도록 한다. 스페이서 벽(200)이 페이스플레이트 구조(301)보다 더 높은 CTE 를 가지고 있기 때문에, 스페이서 벽(200)이 페이스플레이트 구조(301)보다 더 늘어난다. 스페이서 벽(200)과 페이스플레이트 구조(301)를 계속 가열하는 동안, 스페이서 벽(200)의 끝은 페이스플레이트 구조(301)에 부착된다. 그리고 나서 스페이서 벽(200)과 페이스플레이트 구조(301)를 냉각시킨다. 냉각하자마자, 스페이서 벽(200)은 페이스플레이트 구조(301) 보다 더 수축한다. 그 결과, 내부의 팽팽함이 스페이서 벽(200)으로 유도되어 스페이서 벽(200)을 잡아당기는 경향을 나타내고 스페이

서 벽(200) 내의 고유한 기복을 제거한다.

더 다른 실시예에서, 페이스플레이트 구조(301)를 스페이서 벽(200)의 부착에 앞서 냉각시킴으로서 페이스플레이트 구조(301)를 수축시킨다. 다음으로, 실온에서 유지된 스페이서 벽(200)의 끝을 냉각된 페이스플레이트 구조(301)에 고정시키고, 페이스플레이트 구조(301)를 실온까지 데운다. 데우자마자, 페이스플레이트 구조(301)가 늘어나서 스페이서 벽(200)에 스페이서 벽(200)을 길이로 잡아당기게 되는 긴장 스트레스를 유도한다.

페이스플레이트 구조(301)는 여러 방법으로 냉각시킬 수 있다. 한 실시예에서, 페이스플레이트 구조(301)를 다음과 같이 냉각시킨다. 먼저, 페이스플레이트 구조(301)의 절연 페이스플레이트(321)를 하나 이상의 구멍이 있는 납작한 알루미늄 평판위에 놓는다. 이 구멍을 통해 네가티브 압력을 가하여 상기 페이스플레이트(321)를 상기 알루미늄 평판의 표면에 단단히 유지시킨다. 에틸렌 글리콜 또는 알콜 등의 액체를 종래의 냉각 구조에 의해 냉각시키고 이 알루미늄 평판을 통해 확장하는 채널을 통해 동작시켜 알루미늄 평판(및 상기 부착된 페이스플레이트 구조(301))을 냉각시킨다. 에틸렌 글리콜 및 알콜은 약 -20°C 내지 -30°C 의 냉각 온도를 가지고 있어서, 페이스플레이트 구조(301)를 실온(~20°C 내지 25°C) 아래까지 냉각시킬 수 있다. 다른 실시예에서, 다른 액체를 사용하여 알루미늄 평판을 냉각시킬 수 있다.

더 다른 실시예에서, 스페이서 벽(200)은 페이스플레이트 구조(301)에 부착되기에 앞서 기계적으로(열적으로가 아닌) 확장될 수 있다. 이 기계적 신장은 스페이서 다리(111,112)(또는 스페이서 다리(113,114)) 사이에 위치하는 확장 설비를 이용하여 수행될 수 있고, X-축을 따라 다른 것과 떨어져 있는 스페이서 다리(111,112)에 힘을 가한다. 이 확장 설비는 기계적인 나사, 압전 디바이스, 또는 높은 열신장 합금을 사용하여 실행될 수 있다. 기계적으로 늘어난 스페이서 벽(200)은 스페이서 벽(200)이 미리 정의된 양으로 로드된 다음 스페이서 벽(200)의 양 끝 모두에서 페이스플레이트 구조(301)에 고정된다. 스페이서 벽(200)이 페이스플레이트 구조(301)에 고정되고 난 후, 상기 확장 설비를 스페이서 벽(200)에서 제거하여 스페이서 벽(200)으로 긴장 스트레스를 유도한다.

본 발명의 더 다른 실시예에서, 페이스플레이트 구조(301)를 스페이서 벽(200)에 부착시키기 전에 오목한 구조로 구부린다. 도 14는 이 방법을 개략적으로 설명하고 있다. 페이스플레이트 구조(301)를 처음에는 구부러진 진공 척(chuck)(500)에 놓는다. 이 진공 척(500)의 진공포트(501)을 통해 진공상태가 되어 페이스플레이트 구조(301)가 상기 진공 척(500)의 구부러진 구조와 같은 모양이 되게 한다. 페이스플레이트 구조(301)가 구부러진 위치로 있는 동안, 스페이서 벽(200)의 양 끝 모두를 접착제를 사용하여 페이스플레이트 구조(301)에 고정시킨다. 스페이서 벽(200)을 고정시킨 다음, 페이스플레이트 구조(301)를 놓아 페이스플레이트 구조(301)가 평평해 지도록 한다. 이러한 평평화 작업은 스페이서 벽(200)에 팽팽한 스트레스를 가져온다. 스페이서 벽(200)에 유도된 긴장력은 스페이서 벽(200)이 늘어난 거리와 관계가 있다. 스페이서 벽(200)의 늘어남인 D_{WALL} 는 다음과 같이 정의되는데: $D_{WALL} = (S - W_L)$, 여기서 S는 스페이서 벽(200)이 페이스플레이트 구조(301)의 구부러진 면을 따라 고정된 위치간의 거리이고, W_L 은 X-축을 따른 스페이서 벽(200)의 초기 긴장되기 전 길이이다(도 14 참조).

앞서 설명한 실시예의 스페이서 다리를 유지하는 접착제의 전단응력 로드(τ)는 스페이서 다리(A)의 면적에 의해 나뉘는 벽의 로드 L과 같다. 이 벽 로드(L)는 스페이서 벽(200)의 단면적의 벽 스트레스 시간과 같다. 따라서, 길이 1.3mm, 두께 60 μ m 인 스페이서 벽(200)에서의 8.3×10^7 Pa 스트레스에서, 벽 로드(L)는 6.45N이다. 만일 스페이서 다리가 2.5mm \times 1mm 면적을 갖고 있다면, 상기 스페이서 다리를 유지하고 있는 접착제의 전단응력 로드(τ)는 2.6×10^6 Pa이다. 2.6×10^7 Pa의 전단응력 로드는 상기 접착제의 전단응력 강도의 절반이하이다.

앞에서 논의한 바와 같이, 스페이서 벽(200)으로 유도된 팽팽한 스트레스는 스페이서 벽(200)을 퍼주려고 한다. 이것은 스페이서 벽(200)이 일반적으로 고유한 기복을 가지고 있기 때문에 중요하다. 이 기복은, 만일 체크하지 않고 남겨둔다면, 스페이서 벽(200)을 페이스플레이트 구조의 픽셀 이상으로 확장되게 할 수 있어서 플랫폼 패널 디스플레이의 성능을 떨어뜨린다. 스페이서 벽(200)에 힘을 가함으로써, 이 벽 내의 기복을 제거할 수 있어서 플랫폼 패널 디스플레이내의 상대적으로 긴 스페이서 벽(200)을 얻을 수 있는 장점이 있다.

비록 스페이서 벽(200)을 페이스플레이트 구조(301)와 연결되는 것으로 설명하였으나, 다른 실시예에서는, 스페이서 벽(200)을 비슷한 방법으로 백플레이트 구조와 연결할 수 있다. 그러한 백플레이트 구조는, 보통 절연 백플레이트 및 전가방출 구조를 포함하고 있는데, (a) 커튼(Curtin) 등의 미국 특허 5,686,790, (b) 하벤(Haven) 등의 미국 특허 5,650,690 및 (c) 1997년 7월 16일 출원된 스피드트(Spindt) 등의 국제 특허출원 PCT/US97/11730 에 자세히 설명되어 있으며, 이들 모두 본 명세서에 통합적으로 참고된다.

도 15는 본 발명의 더 다른 실시예에 따른 스페이서 벽(600)의 등축도이다. 스페이서 벽(600)이 스페이서 벽(100)(도 1)과 비슷하기 때문에, 도 1 및 도 6의 비슷한 부분에는 같은 참조번호를 붙였다. 따라서, 스페이서 벽(600)에는, 앞서 스페이서 벽(100)에 관하여 설명한 것과 같이, 스페이서 몸체(101), 제1 예지 전극(121) 및 제2 예지 전극(122)이 포함되어 있다. 스페이서 벽(600)에는 상기 스페이서 몸체(101)의 제1 표면(101A)상에 위치하는 제1 페이스 전극(631) 및 제2 페이스 전극(632)이 추가로 포함되어 있다. 제1 페이스 전극(631)은 스페이서 몸체(101)의 제2 끝(101F)으로 확장한다. 비슷하게, 제2 페이스 전극(632)은 스페이서 몸체(101)의 제1 끝(101E)로 확장한다. 비록 제1 전극(631)이 스페이서 몸체(101)의 제2 끝(101F) 근처로 내려가긴 하지만, 이럴 필요는 없다. 즉, 상기 제1 페이스 전극(631)은 스페이서 몸체(101)의 제1 표면(101A)를 가로질러 확장할 수 있다.

스페이서 벽(600)의 상기 제1 및 제2 끝(101E, 101F)로의 부착을 위해 기계적인 스페이서 칩이 제공된다. 이 스페이서 칩은 전기적으로 도전성이라서 상기 제1 및 제2 페이스 전극(631, 632)으로의 전기적 접촉을 제공한다. 이 스페이서 칩은 또한 프리-스탠딩 구조로 스페이서 벽(600)을 지지하는 역할도 하여, 스페이서 벽(600)이 대응하는 페이스플레이트 및 백플레이트 구조에 대해 수직 위치로 유지되게 한다. 특정 실시예에서, 이 스페이서 칩은 스페이서 벽(600)에 팽팽한 스트레스를 유도하여 스페이서 몸체(101) 내의

모든 고유한 기복을 퍼준다. 지금부터 본 발명에 따른 여러 스페이서 칩을 설명한다.

도 16A, 16B, 16C 및 16D 는 각각 본 발명의 한 실시예에 따른 스페이서 칩(1000)의 등측도, 상면도, 정면도 및 측면도이다. 스페이서 칩(1000)은 인/칭동 또는 다른 금속 등의 전기적으로 도전성인 물질로 만들어진다. 스페이서 칩(1000)에는 베이스(1001), 제1 스프링 소자(1002) 및 제2 스프링 소자(1003)가 포함되어 있다. 상기 제1 및 제2 스프링 소자(1002, 1003) 각각은 구불구불한 형태를 하고 있다. 스프링 소자(1002, 1003)는 두 지점에서 서로 접근하여 두 개의 채널 영역(1005, 1006)을 형성한다. 스프링 소자(1002, 1003)에는 채널(1005, 1006)을 이끄는 비스듬한 면(1004)이 포함되어 있다. 표 1은 본 발명의 한 실시예에 따른 스페이서 칩(1000)용으로 설정된 디멘존을 나타내고 있다. 스페이서 칩(1000)은 다른 실시예에서 다른 디멘존을 가질 수 있다.

[표 1]

X1 = 1.016 mm	Z1 = 0.76 mm
X2 = 0.012 mm	Z2 = 0.178 mm
X3 = 0.508 mm	
	R1 = 0.254 mm
Y1 = 1.05 mm	R2 = 0.15 mm
Y2 = 0.541 mm	R3 = 0.254 mm
Y3 = 0.033 mm	R4 = 0.064 mm

도 17A 및 도 17B 는 각각 스페이서 벽(600)의 제1 및 제2 끝(101E, 101F)에 부착된 스페이서 칩(1000A, 1000B)의 상면도 및 측면도이다. 스페이서 칩(1000A, 1000B)은 앞서 설명한 스페이서 칩(1000)과 동일한 것이다. 스페이서 벽(600)의 상기 제1 및 제2 끝(101E, 101F)은 각각 스페이서 칩(1000A, 1000B)의 채널(1005, 1006)로 미끌어져 들어간다. 스페이서 칩(1000A, 1000B)의 비스듬한 면(1004)이 스페이서 벽(600)의 채널(1005, 1006)로의 삽입을 돕는다. 채널(1005, 1006)은 스페이서 벽(600)을 페이스플레이트 구조에 대해 수직 위치로 유지한다. 각 스페이서 칩내의 두 개의 채널(1005, 1006) 내부에 스페이서 벽(600)을 위치시키는 것은 스페이서 벽(600)에 의해 가해질지도 모르는 힘에 응답하여 스페이서 칩이 Z-축으로 회전하는 것을 막아준다.

도 17A 및 도 17B에 설명되어 있는 바와 같이, 스페이서 칩(1000A)은 스페이서 칩(1000A)의 각 채널(1005, 1006) 내부의 제2 페이스 전극(632)과 물리적 전기적으로 접촉한다. 비슷하게, 스페이서 칩(1000B)은 스페이서 칩(1000B)의 각 채널(1005, 1006) 내부의 제1 페이스 전극(631)과 물리적 전기적으로 접촉한다.

한 실시예에서, 상기 스페이서 칩(1000A, 1000B)은 채널(1005, 1006) 내부의 스페이서 벽(600)과 단단히 고정되지 않는다. 대신, 스페이서 벽(600)은 채널(1005, 1006) 내부의 X-축을 따라 이동할 수 있다. 이 실시예에서, 스페이서 벽(600)은 스페이서 벽(600)의 정렬에 영향을 끼치지 않고 X-축을 따라 자유롭게 확장 및 수축한다.

스페이서 벽(600) 및 스페이서 칩(1000A, 1000B)은 앞서 도 9-13에 관련하여 설명된 방법과 충분히 동일한 방법으로 페이스플레이트 구조와 단단히 연결된다. 더욱 특별하게는, 스페이서 벽(600)(스페이서 칩(1000A, 1000B)이 부착된)을 매트릭스 갭(341)(도 12)과 같은 매트릭스 갭 안으로 삽입시킨다. 앞에서 설명한 것과 같은 방법으로 스페이서 칩(1000A, 1000B)을 정전기력을 가하는데 전극(351-352 및 354-355)을 사용할 수 있다. 도전성 흑이 전극(351 또는 352) 중 하나에서 스페이서 칩(1000A)까지 확장되도록, 그리고 도전성 흑이 전극(354 또는 355) 중 하나에서 스페이서 칩(1000B)까지 확장되도록 페이스플레이트 구조(301)를 약간 수정해야 한다. 이 설명된 실시예에서는, 스페이서 칩(1000A)이 전극(351)과 연결되며 스페이서 칩(1000B)이 전극(355)과 연결되는 것으로 가정한다. 상기 도전성 흑은 스페이서 칩(1000A, 1000B)과 해당 전극(351, 355)를 가열, 압력 및/또는 초음파를 적용함으로써 붙이는 금 흑일 수 있다. 만일 상기 금 흑이 스페이서 칩(1000A, 1000B)과 페이스플레이트 구조(301)를 붙이는데 충분하지 않다면, 상기 스페이서 칩(1000A, 1000B)과 페이스플레이트 구조(301) 사이에 접착제를 사용할 수 있다.

오직 스페이서 칩(1000A, 1000B)의 베이스부(1001)만이 페이스플레이트 구조(301)와 고정된다는 점에 주의하라. 이것은 스페이서 칩의 제1 및 제2 스프링 소자(1002, 1003)이 자유롭게 부유하는 것을 보장하여, 스페이서 칩이 스페이서 벽(600)을 움켜쥐게 만드는 탄성 특성을 나타내게 한다. 또한, 스페이서 칩(100A, 100B)은 아칭(arcing)을 피하기 위해 페이스플레이트 구조(301)의 발광 구조(322)(백플레이트 구조의 전자 방출 구조 뿐만 아니라)와 떨어져야 한다.

이 결과 구조는 제1 페이스 전극(631)이 전기적으로 도전성인 스페이서 칩(1000B) 및 해당 도전성 흑을 통해 전극(355)와 전기적으로 연결되는 결과를 가져온다. 비슷하게, 제2 페이스 전극(632)은 전기적으로 도전성인 스페이서 칩(1000A)과 해당 도전성 흑을 통해 전극(351)과 전기적으로 연결된다. (전극(351)이 제2 페이스 전극(632)에 연결을 제공하기 때문에, 이 실시예에서는 전극(353)은 필요하지 않다는 점에 주의하라.)

더 다른 실시예에서, 스페이서 칩(1000A) 및/또는 스페이서 칩(1000B)은 채널(1005) 또는 채널(1006) 중 어느 하나의 내부에서 스페이서 벽(600)과 단단히 고정된다. 예를들어, 스페이서 칩(1000A)의 채널(1006) 내에 접착제를 놓을 수 있어서, 스페이서 칩(1000A, 1000B)이 채널(1006) 내부의 스페이서 벽(600)과 고정되게 할 수 있다(즉, 스프링 소자(1002, 1003)의 끝에서). 선택적으로, 스페이서 칩

(1000A, 1000B)의 채널(1006) 내부의 해당 스페이서 칩과 페이스 전극(631, 632) 사이에 고체 본드를 형성할 수 있다. 이점에서, 스페이서 벽(600) 및 스페이서 칩(1000A, 1000B)을 실온 이상으로 가열하고, 실온에서 유지되는 페이스플레이트 구조(301)과 고정시킬 수 있다. 스페이서 벽(600)을 냉각시킴에 따라, 스페이서 벽(600)은 수축하게 되어 스페이서 칩(1000A, 1000B)의 스프링 소자(1002, 1003)에 긴장력을 준다. 긴장력은 스페이서 벽(600)을 퍼지게 하는 경향이 있어서 이 벽 내의 어느 고유한 기복을 제거한다. 긴장력은 기계적 나사, 압전 디바이스 또는 높은 열신장 합금 등의 확장 설비에 의해 페이스플레이트 구조(301)로의 부착에 앞서 상기 스프링 소자(1002, 1003)으로 유도된다. 이 긴장력은 또한 스페이서 칩(1000A, 1000B)의 부착에 앞서 페이스플레이트 구조(301)를 오목한 모양으로 구부림으로서 상기 스프링 소자(1002, 1003)로 유도될 수도 있다. (도 14 참조)

다른 실시예에서, 다른 모양을 가진 도전성 스페이서 칩을 사용할 수 있다. 예를들어, 도 18A, 18B, 18C, 18D 및 18E는 각각 본 발명의 다른 실시예에 따른 다양한 형태를 가진 전기적으로 도전성인 스페이서 칩(1801, 1802, 1803, 1804, 및 1805)의 개략적 상면도이다. 스페이서 칩(1081-1805)의 모양은 단지 설명을 위한 것이며 이것으로 제한되는 것은 아니다. 스페이서 칩(1801-1805)은 앞서 스페이서 칩(100)에 관하여 설명한 것과 같은 방법으로 사용될 수 있다.

더 다른 실시예에서, 스페이서 칩은 세라믹, 유리, 실리콘 또는 열플라스틱 등의 비도전 물질로 만들어진 것을 사용할 수 있다. 이러한 비도전성 스페이서 칩은 해당 스페이서 벽의 끝에서 고정되지만, 스페이서 벽의 페이스 전극으로부터 페이스플레이트 구조로의 전기적인 도전성 경로를 제공하지는 못한다. 대신, 이 전기적으로 도전성인 경로는 앞서 스페이서 벽(200)을 통해 설명한 것과 같은 방법으로 제공될 수 있다(도 13 참조). 상기 비도전 스페이서 칩을 형성하기 위해 사용된 물질은 상기 비도전 스페이서 칩의 CTE가 해당하는 스페이서 벽의 CTE와 매치하도록 선택될 수 있다. 도 19A, 19B 및 19C는 각각 본 발명의 다른 실시예에 따른 여러 모양을 가지는 비도전 스페이서 칩(1901, 1902 및 1903)의 개략적인 상면도이다. 이 비도전 스페이서 칩(1091-1903)은 종래의 밀어냄 처리(extrusion process)에 의해 형성할 수 있다. 종래의 커팅 도구에 의해 스페이서 칩(1901-1903) 내에 슬롯을 형성할 수 있다. 스페이서 벽은 상기 비도전 스페이서 칩(1901-1903)의 슬롯 내부에서 고정되거나 자유롭게 부유할 수 있다. 도 19A-19C에 표시된 화살표는 상기 비도전 스페이서 칩(1091-1903)으로 가해져서 이 스페이서 칩내의 슬롯이 스페이서 벽을 수용하는 개구가 될 수 있는 힘을 방향을 나타낸다. 스페이서 칩(1901-1903)의 이 모양은 설명을 위한 것이고 이것으로 제한되는 것은 아니다.

도 20은 하이브리드 금속/세라믹 스페이서 칩(2000)의 개략적 상면도인데, 비도전 프레임(2001) 및 금속 스프링(2002, 2003)이 포함되어 있다. 하이브리드 스페이서 칩(2000)은 스페이서 벽의 끝을 유지하며 앞서 설명한 방법으로 페이스플레이트 구조와 부착된다.

본 발명의 더 다른 실시예에서, 페이스플레이트 구조상에 전기적으로 도전성인 스페이서 칩을 형성하여 스페이서 벽상의 페이스 전극에 스페이서 벽 및 전기적 연결을 위한 지지를 제공한다. 도 21은 본 발명의 이 실시예에 따른 스페이서 칩(2000)의 등측도이다. 스페이서 칩(2000)은 통상 사용가능한 초음파 리본 와이어 웨지 접착기를 사용하여 페이스플레이트 구조(301)상에 만든다. 설명된 실시예에서, 스페이서 칩(2000)은 알루미늄 리본 와이어로 만들어지고, 표 2에 설정된 디멘션을 갖는다. 다른 실시예에서, 스페이서 칩(2000)은 다른 디멘션을 갖는다.

[표 2]

X1 = 0.51 mm	Y1 = 0.51 mm	Y2 = 0.05 mm
Z1 = 0.51 mm	Z2 = 0.05 mm	

높이 Z1은 세 개의 본드(2111, 2112 및 2113)를 연속 형성함으로써 두 개의 큰 루프(2101 및 2102)를 만들도록 제어된다. 첫 번째 두 개의 본드(2111, 2112)는 리본 와이어를 자르는 로크/니킹(rock/nicking) 도구를 사용하지 않고 만든다. 중앙 폭 Y2는 상기 리본 접착기에 의해 사용된 본드 플랫(또는 다리)의 크기에 의해 제어된다. 중심 폭 Y2는 와이어본드 도구 헤드상에서 0.05mm 만큼 작을 수 있다. 선택적으로, 본드(2111, 2113)를 처음 만들 수 있고, 제2 깊은 도달 웨지 본딩 헤드를 사용해 가운데 본드(2112)를 만들 수 있다. 개개의 형성 도구를 사용하여 스페이서 벽을 더 잡아칠 수 있는 구조로 와이어 리본을 형성할 수도 있다.

본드(2111-2113)의 하나(예를들어 본드(2112))가 폴리이미드 층(335)을 통해 전극(351)과 연결된다. 스페이서 벽이 두 개의 루프(2101, 2102) 사이에 삽입되면, 이 루프 중 하나는 스페이서 벽상의 페이스 전극과 접하게 되어 페이스플레이트 구조(301) 내의 전극(351)과 페이스 전극이 전기적으로 연결된다. 스페이서 칩(2100)은 스페이서 벽에 더 다른 지지를 제공한다. 만일 추가의 지지가 필요하면, 스페이서 칩(2100)과 비슷한 더 다른 스페이서 칩을 더할 수 있다. 스페이서 벽은 열 확장내의 어느 미스매치로 인한 페이스플레이트 구조에 대해 X-축을 따라 스페이서 벽의 위치 내에서 작은 선형 시프트를 허용한다.

침전 경화 합금 리본을 사용하여 스페이서 칩(2100)에 높은 견고성을 더할 수 있다. 예를들어, 5%의 구리를 540°C 용해 처리 및 냉각으로 알루미늄에 더하여 와이어본딩에 적합한 충분히 부드러운 합금을 제공할 수 있다. 한 시간동안 400°C에서 이 합금을 경시변화(aging)시키면 경도(견고성) 및 강도가 놀라울 정도로 증가하여 이 합금에게 스프링 같은 성질을 부여한다. 선택적으로, 2% 베릴륨을 800°C의 열처리 및 냉각으로 구리에 더하여 와이어본딩에 적합한 충분히 부드러운 합금을 제공할 수 있다. 이 합금을 한 시간 동안 320°C에서 경시변화시키면 이 합금의 경도 및 스페이서 칩(2100)의 견고성이 증가한다.

현존하는 리본 와이어본딩 기술을 스페이서 칩(2100)을 제조하는데 사용되었기 때문에, 스페이서 칩(2100)은 스페이서 벽에게 지지를 제공하는 간단하고 경제적인 구조를 제공한다.

도 22는 본 발명의 더 다른 실시예에 따른 다른 스페이서 지지 구조(2200)의 종단 도이다. 스페이서 지

지(2200)에는 한 쌍의 스페이서 다리(2201,2202)가 있는데 이 다리는 임시 접촉제(2211)를 사용하여 스페이서 벽(2203)에 초기에 접촉된다. 스페이서 다리(2201,2202)는 영구 접촉제(2212)를 사용하여 페이스플레이트 구조(2204)와 충분히 고정된다. 따라서 상기 임시 접촉제는 접촉성이 없다. 이 결과, 스페이서 벽(2203)은 스페이서 다리(2201,2202) 사이에서 유지되지만, X-축을 따라 어느정도 자유롭게 이동하여 스페이서 벽(2203)의 열 확장 및 수축을 허용한다.

도 23A 및 23B 는 본 발명의 더 다른 실시예에 따른 스페이서 다리 (2301,2311)의 종단 도이다. 스페이서 다리(2301,2311)는 각각 스페이서 벽 (2302,2312)의 끝에 고정된다. 스페이서 다리(2301)는 스페이서 벽(2302) 위로 부분적으로 확장하는 반면, 스페이서 다리(2311)는 스페이서 벽(2312) 전체 높이로 확장한다. 스페이서 다리(2301,2311)는 각각 페이스플레이트 구조(2304)와 부착되어 앞서 스페이서 다리(111-114)(도 2, 도 3)에 관한 것과 같은 방법으로 동작하여 스페이서 벽(2302,2312) 각각을 지지한다.

비록 본 발명을 여러 실시예에 관하여 설명하였으나, 본 발명은 지금까지 설명된 실시예로 한정되는 것은 아니고, 당 기술분야의 통상의 지식을 가진자에게는 여러 수정이 가능한 것이다. 예를들어, 설명된 실시예 각각에서, 스페이서 다리 또는 스페이서 칩을 플랫폼 패널 디스플레이의 페이스플레이트 구조가 아닌 백플레이트 구조에 부착할 수 있다. 따라서, 본 발명은 첨부된 청구항에 의해서만 한정되는 것이다.

(57) 청구의 범위

청구항 1

플랫 패널 디스플레이의 페이스플레이트 구조와 백플레이트 구조 사이에 위치하는 스페이서에 있어서,

(a) 상기 페이스플레이트 구조와 접하는 제1 에지 면, (b) 상기 백플레이트 구조와 접하고, 상기 제1 에지 면과 대향하는 제2 에지 면, (c) 상기 제1 및 제2 에지 면 사이에서 확장하는 제1 표면, (d) 상기 제1 및 제2 에지 면 사이에서 확장하고, 상기 제1 표면과 대향하는 제2 표면, (e) 제1 끝 및 (f) 상기 제1 끝과 떨어져 있는 제2 끝이 있는 스페이서 벽;

상기 스페이서 벽의 제1 끝에서 대부분 상기 제1 표면을 따라 위치해 있고 상기 제1 에지 면과 거의 같은 평면인 지지면을 가지는 제1 스페이서 다리; 및

상기 스페이서 벽의 제2 끝에서 대부분 상기 제1 표면을 따라 위치해 있고 상기 제1 에지 면과 거의 같은 평면인 지지면을 가지는 제2 스페이서 다리를 구비하는 것을 특징으로 하는 스페이서.

청구항 2

제 1 항에 있어서,

상기 스페이서 벽의 제1 끝에서 대부분 상기 제2 표면을 따라 위치해 있고 상기 제1 에지 면과 거의 같은 평면인 지지면을 가지는 제3 스페이서 다리; 및

상기 스페이서 벽의 제 2 끝에서 대부분 상기 제2 표면을 따라 위치해 있고 상기 제1 에지 면과 거의 같은 평면인 지지면을 가지는 제4 스페이서 다리를 더 구비하는 것을 특징으로 하는 스페이서.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제1 표면상에 위치하는 하나 또는 그 이상의 페이스 전극을 더 구비하는 것을 특징으로 하는 스페이서.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제2 표면상에 위치하는 하나 또는 그 이상의 페이스 전극을 더 구비하는 것을 특징으로 하는 스페이서.

청구항 5

제 1 항 또는 제 2 항에 있어서,

(a) 상기 제1 에지 면상에 위치하는 제2 에지 전극 및 (b) 상기 제2 에지 면상에 위치하는 제2 에지 전극을 더 구비하는 것을 특징으로 하는 스페이서.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 스페이서 벽은 세라믹으로 구성되는 것을 특징으로 하는 스페이서.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 제1 및 제2 스페이서 다리는 세라믹으로 구성되는 것을 특징으로 하는 스페이서.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 제1 및 제2 스페이서 다리는 유리 프리트(frit)로 구성되는 것을 특징으로 하는 스페이서.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 제1 및 제2 스페이서 다리는 유리로 구성되는 것을 특징으로 하는 스페이서.

청구항 10

제 1 항 또는 제 2 항에 있어서,

상기 제1 및 제2 스페이서 다리는 유리 및 세라믹으로 구성되는 것을 특징으로 하는 스페이서.

청구항 11

상기 제1 및 제2 스페이서 다리의 지지면은 상기 스페이서 벽의 제1 및 제2 표면과 충분히 수직인 것을 특징으로 하는 스페이서.

청구항 12

페이스플레이트 구조;

상기 페이스플레이트 구조와 결합하여 시일된 폐구조를 형성하는 백플레이트 구조; 및

플랫 패널 디스플레이상에 영향을 끼치는 외부 힘에 저항하는 상기 페이스플레이트 및 백플레이트 구조 사이에 위치하는 스페이서를 구비하고,

상기 스페이서는:

(a) 상기 페이스플레이트 구조와 접하는 제1 에지 면, (b) 상기 백플레이트 구조와 접하고, 상기 제1 에지 면과 대향하는 제2 에지 면, (c) 상기 제1 및 제2 에지 면 사이에서 확장하는 제1 표면, (d) 상기 제1 및 제2 에지 면 사이에서 확장하고, 상기 제1 표면과 대향하는 제2 표면, (e) 제1 끝 및 (f) 상기 제1 끝과 떨어져 있는 제2 끝이 있는 스페이서 벽;

상기 스페이서 벽의 제1 끝 근처의 상기 제1 표면을 따라 위치해 있고 상기 제1 에지 면과 거의 같은 평면인 지지면을 가지는 제1 스페이서 다리; 및

상기 스페이서 벽의 제2 끝 근처의 상기 제1 표면을 따라 위치해 있고 상기 제1 에지 면과 거의 같은 평면인 지지면을 가지는 제2 스페이서 다리를 구비하는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 13

제 12 항에 있어서,

상기 제1 및 제2 스페이서 다리는 각각 상기 스페이서 벽의 제1 및 제2 끝에서 대부분 위치하는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 14

제 12 항에 있어서,

상기 스페이서는:

상기 스페이서 벽의 제1 끝에서 대부분 상기 제2 표면을 따라 위치해 있고 상기 제1 에지 면과 거의 같은 평면인 지지면을 가지는 제3 스페이서 다리; 및

상기 스페이서 벽의 제 2 끝에서 대부분 상기 제2 표면을 따라 위치해 있고 상기 제1 에지 면과 거의 같은 평면인 지지면을 가지는 제4 스페이서 다리를 더 구비하는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 15

제 14 항에 있어서,

상기 제1 및 제3 스페이서 다리는 상기 스페이서 벽의 제1 끝에서 대부분 위치해 있고; 그리고

상기 제2 및 제4 스페이서 다리는 상기 스페이서 벽의 제2 끝에서 대부분 위치해 있는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 16

제 12 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 스페이서는 상기 제1 표면에 위치하는 하나 또는 그 이상의 페이스 전극을 더 구비하는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 17

제 16 항에 있어서,

상기 스페이서는 상기 에지 면의 하나상에 위치하는 에지 전극을 더 구비하는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 18

제 17 항에 있어서,

상기 스페이서는 상기 에지 면의 다른 하나상에 위치하는 에지 전극을 더 구비하는 것을 특징으로 하는 플랫폼 패널 디스플레이.

청구항 19

플랫폼 패널 디스플레이의 페이스플레이트 구조와 백플레이트 구조 사이에 위치하는 스페이서 구조에 있어서,

(a) 상기 페이스플레이트 구조와 접하는 제1 에지 면, (b) 상기 백플레이트 구조와 접하고, 상기 제1 에지 면과 대향하는 제2 에지 면, (c) 상기 제1 및 제2 에지 면 사이에서 확장하는 제1 표면, (d) 상기 제1 및 제2 에지 면 사이에서 확장하고, 상기 제1 표면과 대향하는 제2 표면, (e) 제1 끝 및 (f) 상기 제1 끝과 떨어져 있는 제2 끝이 있는 스페이서 벽;

상기 스페이서 벽의 제1 끝에서 대부분 상기 제1 및 제2 표면을 클램프하는 제1 스페이서 칩; 및

상기 스페이서 벽의 제2 끝에서 대부분 상기 제1 및 제2 표면을 클램프하는 제2 스페이서 칩을 구비하는 것을 특징으로 하는 스페이서 구조.

청구항 20

제 19 항에 있어서,

상기 스페이서 벽의 제1 표면상에 위치해 있고 상기 제1 스페이서 칩과 접촉하는 제1 페이스 전극을 더 구비하는 것을 특징으로 하는 스페이서 구조.

청구항 21

제 20 항에 있어서,

상기 스페이서 벽의 제1 표면상에 위치해 있고 상기 제2 스페이서 칩과 접촉하는 제2 페이스 전극을 더 구비하는 것을 특징으로 하는 스페이서 구조.

청구항 22

제 19 항 또는 제 20 항에 있어서,

상기 제1 스페이서 칩은 전기적으로 도전성이고 상기 플랫폼 패널 디스플레이의 전극과 전기적으로 연결되어 상기 플랫폼 패널 디스플레이의 상기 전극과 상기 제1 페이스 전극 사이에 전기적 연결을 제공하는 것을 특징으로 하는 스페이서 구조.

청구항 23

제 22 항에 있어서,

상기 플랫폼 패널 디스플레이의 전극은 페이스플레이트 구조의 일부인 것을 특징으로 하는 스페이서 구조.

청구항 24

제 23 항에 있어서,

상기 플랫폼 패널 디스플레이의 전극은 백플레이트 구조의 일부인 것을 특징으로 하는 스페이서 구조.

청구항 25

제 19 항 또는 제 20 항에 있어서,

상기 제1 및 제2 스페이서 칩은 전기적으로 도전성인 것을 특징으로 하는 스페이서 구조.

청구항 26

제 19 항 또는 제 20 항에 있어서,

상기 제1 및 제2 스페이서 칩은 비도전 물질로 구성되는 것을 특징으로 하는 스페이서 구조.

청구항 27

제 26 항에 있어서,

상기 비도전 물질은 세라믹, 유리, 실리콘 및 열플라스틱 중 적어도 하나로 구성되는 것을 특징으로 하는 스페이서 구조.

청구항 28

제 19 항 또는 제 20 항에 있어서,

상기 제1 스페이서 칩은 상기 스페이서 벽을 수용하는 두 개의 채널을 구비하는 것을 특징으로 하는 스페이서 구조.

청구항 29

제 19 항 또는 제 20 항에 있어서,

상기 제1 스페이서 칩은 상기 페이스플레이트 및 백플레이트 구조의 선택된 하나와 접합된 전기적으로 도전성인 물질의 리본으로 구성되며, 상기 리본은 상기 스페이서 벽을 수용하는 한 채널을 정의하는 두 개의 인접 루프를 가지는 것을 특징으로 하는 스페이서 구조.

청구항 30

제 19 항 또는 제 20 항에 있어서,

상기 제1 및 제2 스페이서 칩은 상기 스페이서 벽과 고정되는 것을 특징으로 하는 스페이서 구조.

청구항 31

페이스플레이트 구조;

상기 페이스플레이트 구조와 결합하여 시일된 폐구조를 형성하는 백플레이트 구조; 및

플랫 패널 디스플레이상에 영향을 끼치는 외부 힘에 저항하는 상기 페이스플레이트 및 백플레이트 구조 사이에 위치하는 스페이서 구조를 구비하고,

상기 스페이서 구조는:

(a) 상기 페이스플레이트 구조와 접하는 제1 에지 면, (b) 상기 백플레이트 구조와 접하고, 상기 제1 에지 면과 대향하는 제2 에지 면, (c) 상기 제1 및 제2 에지 면 사이에서 확장하는 제1 표면, (d) 상기 제1 및 제2 에지 면 사이에서 확장하고, 상기 제1 표면과 대향하는 제2 표면, (e) 제1 끝 및 (f) 상기 제1 끝과 떨어져 있는 제2 끝이 있는 스페이서 벽;

상기 스페이서 벽의 제1 끝에서 대부분 상기 제1 및 제2 표면을 클램프하는 제1 스페이서 칩; 및

상기 스페이서 벽의 제2 끝에서 대부분 상기 제1 및 제2 표면을 클램프하는 제2 스페이서 칩을 구비하는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 32

제 31 항에 있어서,

상기 스페이서 구조는 상기 스페이서 벽의 제1 표면상에 위치하고 상기 제1 스페이서 칩과 접촉하는 제1 페이스 전극을 더 구비하는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 33

제 31 항 또는 제 32 항에 있어서,

상기 제1 및 제2 스페이서 칩은 전기적으로 도전성인 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 34

제 33 항에 있어서,

상기 제1 스페이서 칩은 상기 플랫 패널 디스플레이의 전극과 전기적으로 연결되어 상기 플랫 패널 디스플레이의 전극과 상기 제1 페이스 전극 사이에 전기적 연결을 제공하는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 35

제 31 항 또는 제 32 항에 있어서,

상기 제1 및 제2 스페이서 칩은 비도전 물질로 구성되는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 36

제 31 항 또는 제 32 항에 있어서,

상기 제1 스페이서 칩은 상기 스페이서 벽을 수용하는 두 개의 채널을 구비하는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 37

제 31 항 또는 제 32 항에 있어서,

상기 제1 스페이서 칩은 상기 페이스플레이트 및 백플레이트 구조의 선택된 하나와 접촉된 전기적으로 도전성 물질의 리본을 구비하고, 상기 리본은 상기 스페이서 벽을 수용하는 채널을 정의하는 두 개의 인접한 루프를 가지는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 38

제 31 항 또는 제 32 항에 있어서,

상기 제1 및 제2 스페이서 칩은 상기 스페이서 벽과 고정되는 것을 특징으로 하는 플랫 패널 디스플레이.

청구항 39

제1 표면, 제1 에지, 및 상기 제1 에지와 대향하는 제2 에지를 가지는 세라믹 웨이퍼를 소성하는 단계;
 상기 제1 에지에 인접하는 상기 제1 표면상에 유리 프리트의 제1 스트립을 인가하는 단계;
 상기 제2 에지에 인접하는 상기 제1 표면상에 유리 프리트의 제2 스트립을 인가하는 단계;
 상기 유리 프리트의 제1 및 제2 스트립을 소성하는 단계; 및
 상기 세라믹 웨이퍼와 상기 유리 프리트의 제1 및 제2 스트립을 상기 제1 에지로부터 제2 에지까지 스페이서 스트립으로 커팅하는 단계를 구비하는 것을 특징으로 하는 스페이서 벽 제조 방법.

청구항 40

제 39 항에 있어서,

상기 유리 프리트의 제1 및 제2 스트립을 소성하는 단계에 앞서 상기 유리 프리트의 제1 스트립상에 제1 유리 줄기를 위치시키는 단계 및 상기 유리 프리트의 제2 스트립상에 제2 유리 줄기를 위치시키는 단계를 더 구비하는 것을 특징으로 하는 스페이서 벽 제조 방법.

청구항 41

제 39 항에 있어서,

상기 커팅 단계에 앞서서 상기 웨이퍼의 제1 표면상에 하나 또는 그 이상의 페이스 전극을 형성하는 단계를 더 구비하는 것을 특징으로 하는 스페이서 벽 제조 방법.

청구항 42

제 39 항에 있어서,

상기 커팅 단계에 앞서서, 상기 웨이퍼의 제2 표면상에 하나 또는 그 이상의 페이스 전극을 형성하는 단계를 더 구비하는 것을 특징으로 하는 스페이서 벽 제조 방법.

청구항 43

제 39 항 내지 제 42 항 중 어느 한 항에 있어서,

상기 스페이서 스트립의 커트 부분상에 에지 전극을 형성하는 단계를 더 구비하는 것을 특징으로 하는 스페이서 벽 제조 방법.

청구항 44

제1 표면, 제1 에지, 및 상기 제1 에지와 대향하는 제2 에지가 있는 세라믹 웨이퍼를 제공하는 단계;

상기 제1 에지에 인접하는 상기 제1 표면상에 세라믹의 제1 스트립을 인가하는 단계;

상기 제2 에지에 인접하는 상기 제1 표면상에 세라믹의 제2 스트립을 인가하는 단계;

상기 세라믹 웨이퍼와 상기 세라믹의 제1 및 제2 스트립을 소성하는 단계; 및

상기 세라믹 웨이퍼와 상기 세라믹의 제1 및 제2 스트립을 상기 제1 에지로부터 상기 제1 에지까지 스페이서 스트립으로 커팅하는 단계를 구비하는 것을 특징으로 하는 스페이서 벽 제조 방법.

청구항 45

페이스플레이트 구조 및 백플레이트 구조가 있는 플랫 패널 디스플레이 내에 스페이서 벽을 설치하는 방법에 있어서,

상기 스페이서 벽의 대향하는 끝에서 대부분 하나 또는 그 이상의 스페이서 다리를 형성하는 단계;

상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나상에 상기 스페이서 벽을 위치시키는 단계; 및

상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나상에 상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나내에 형성된 다수의 전극에 의해 유도된 정전기력으로 스페이서 벽을 유지하는 단계를 구비하는 것을 특징으로 하는 방법.

청구항 46

제 45 항에 있어서,

상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나내에 홈을 형성하는 단계; 및

상기 스페이서 벽을 상기 홈 내에 놓는 단계를 더 구비하는 것을 특징으로 하는 스페이서 벽 제조 방법.

청구항 47

제 45 항 또는 제 46 항에 있어서,

상기 스페이서 벽의 대향하는 끝을 페이스플레이트 및 백플레이트 구조의 선택된 하나와 접촉시키는 단계를 더 구비하는 것을 특징으로 하는 방법.

청구항 48

제 47 항에 있어서,

상기 접착 단계에 앞서서 상기 스페이서 벽을 확장시키는 단계; 및
상기 접착 단계 후에 상기 스페이서 벽을 수축시키는 단계를 더 구비하는 것을 특징으로 하는 방법.

청구항 49

제 48 항에 있어서,
상기 확장 단계는 스페이서 벽을 가열하는 단계로 이루어지는 것을 특징으로 하는 방법.

청구항 50

제 48 항에 있어서,
상기 확장 단계는 상기 스페이서 벽에 외부 힘을 가하는 단계로 이루어지는 것을 특징으로 하는 방법.

청구항 51

제 47 항에 있어서,
상기 접착 단계에 앞서서 상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나를 수축시키는 단계; 및
상기 접착 단계 후에 상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나의 확장을 허용하는 단계를 더 구비하는 것을 특징으로 하는 방법.

청구항 52

제 51 항에 있어서,
상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나를 수축시키는 단계는 상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나를 오목한 형태로 구부리는 단계로 이루어지는 것을 특징으로 하는 방법.

청구항 53

제 52 항에 있어서,
상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나를 수축시키는 단계는 상기 스페이서 벽의 온도보다 낮은 온도로 상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나를 냉각시키는 단계로 이루어지는 것을 특징으로 하는 방법.

청구항 54

페이스플레이트 및 백플레이트 구조를 가지는 플랫폼 패널 디스플레이 내에 스페이서 벽을 설치하는 방법에 있어서,
상기 스페이서 벽을 늘이기 위해 상기 스페이서 벽을 미리 결정된 온도까지 가열하는 단계;
가열된 스페이서 벽의 끝을 상기 가열된 스페이서 벽의 온도보다 낮은 온도를 가지는 상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나에 부착하는 단계; 및
상기 부착된 스페이서 벽을 냉각시켜 스페이서 벽을 수축시키는 단계를 구비하는 것을 특징으로 하는 방법.

청구항 55

페이스플레이트 및 백플레이트 구조를 가지는 플랫폼 패널 디스플레이 내에 스페이서 벽을 설치하는 방법에 있어서,
제1 열 신장계수(CTE)를 가지는 물질로 상기 스페이서 벽을 형성하는 단계;
상기 제1 CTE 보다 작은 제2 CTE 를 가지는 물질로 상기 페이스플레이트 및 백플레이트 중 선택된 하나를 형성하는 단계;
상기 스페이서 벽 및 상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나를 실온 이상의 온도까지 가열하는 단계;
상기 페이스플레이트 및 백플레이트 중 선택된 하나에 상기 스페이서 벽의 끝을 부착하는 단계; 및
상기 스페이서 벽 및 상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나를 연속 냉각하는 단계에 있어서, 상기 스페이서 벽을 상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나보다 더 수축시키는 단계를 구비하는 것을 특징으로 하는 방법.

청구항 56

페이스플레이트 및 백플레이트 구조를 가지는 플랫폼 패널 디스플레이 내에 스페이서 벽을 설치하는 방법에 있어서,
상기 스페이서 벽의 반대 끝에서 상기 스페이서 벽에 스페이서 다리를 부착하는 단계;
상기 스페이서 다리 사이에 힘을 가하여 상기 스페이서 벽을 기계적으로 늘이는 단계;
상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나에 상기 스페이서 벽의 끝을 이어서 부착시키는

단계; 및

상기 스페이서 다리 사이에 가해진 힘을 제거하는 단계를 구비하는 것을 특징으로 하는 방법.

청구항 57

제 56 항에 있어서,

상기 힘은 기계적 나사에 의해 가해지는 것을 특징으로 하는 방법.

청구항 58

제 56 항에 있어서,

상기 힘은 압전 소자에 의해 가해지는 것을 특징으로 하는 방법.

청구항 59

제 29 항에 있어서,

상기 힘은 높은 열-신장 합금에 의해 가해지는 것을 특징으로 하는 방법.

청구항 60

페이스플레이트 및 백플레이트 구조를 가지는 플랫폼 패널 디스플레이 내에 스페이서 벽을 설치하는 방법에 있어서,

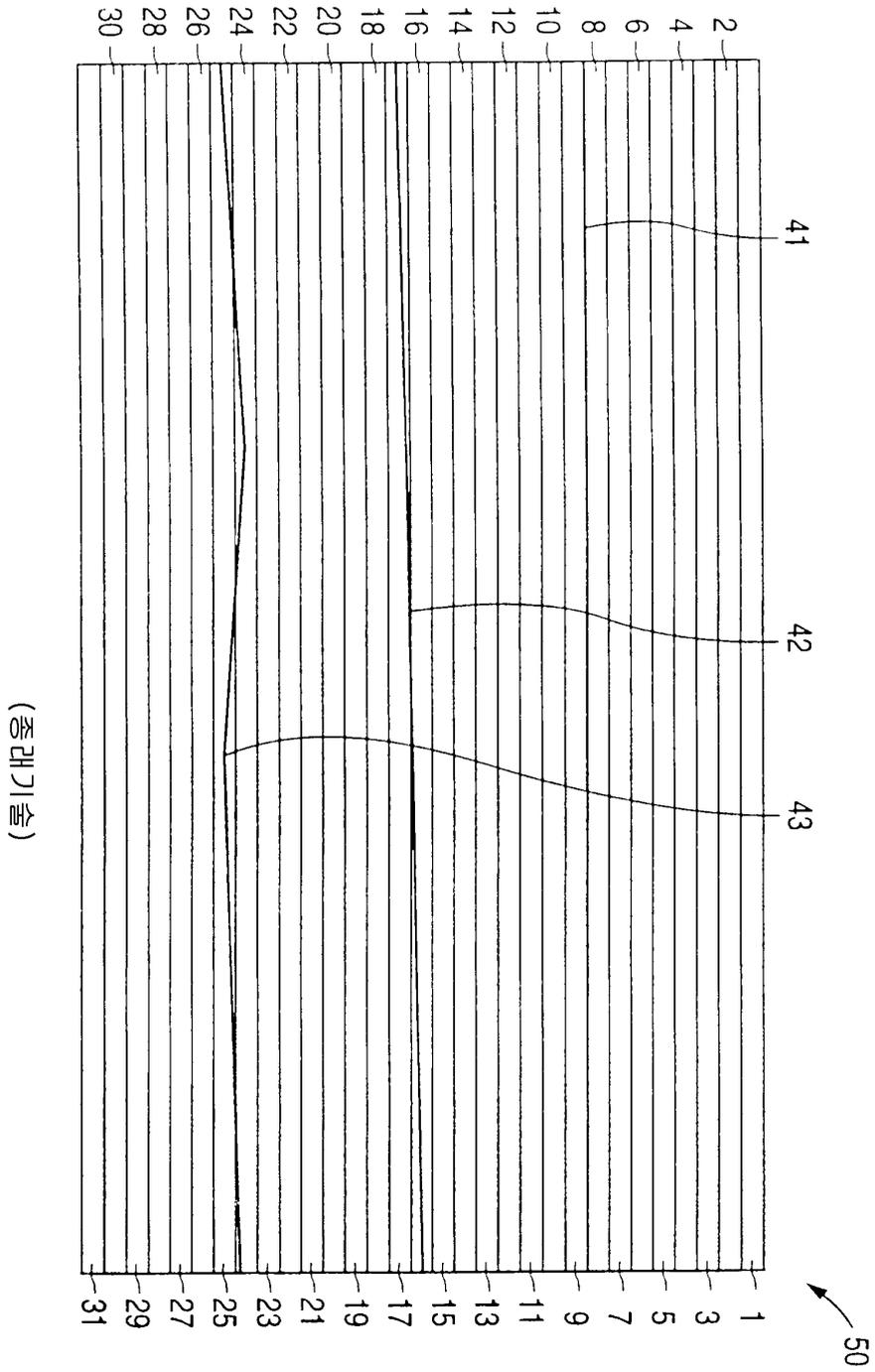
상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나를 냉각시켜 상기 페이스플레이트 및 백플레이트 중 선택된 하나를 수축시키는 단계;

상기 스페이서 벽의 온도보다 낮은 온도인 상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나에 상기 스페이서 벽의 끝을 부착시키는 단계; 및

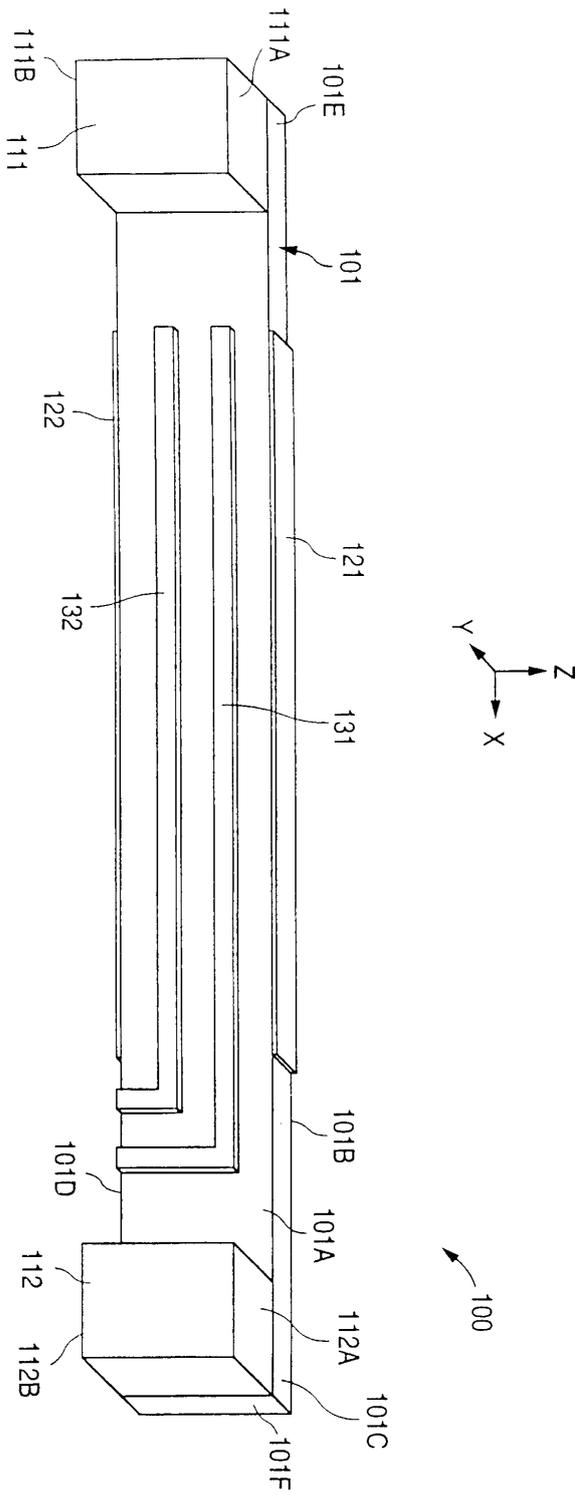
상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나가 확장되도록 상기 페이스플레이트 및 백플레이트 구조 중 선택된 하나를 데우는 단계를 구비하는 것을 특징으로 하는 방법.

도면

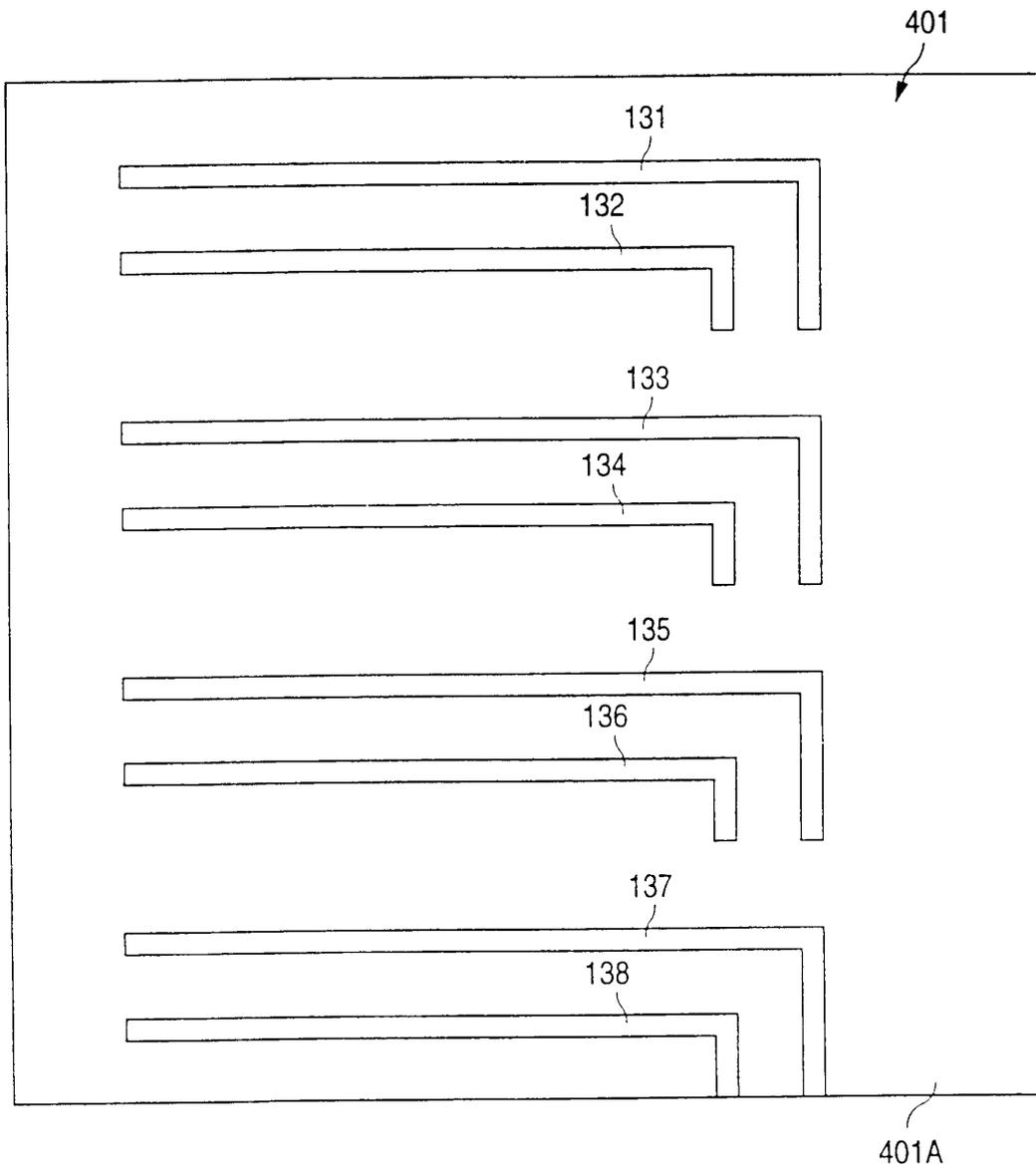
도면1



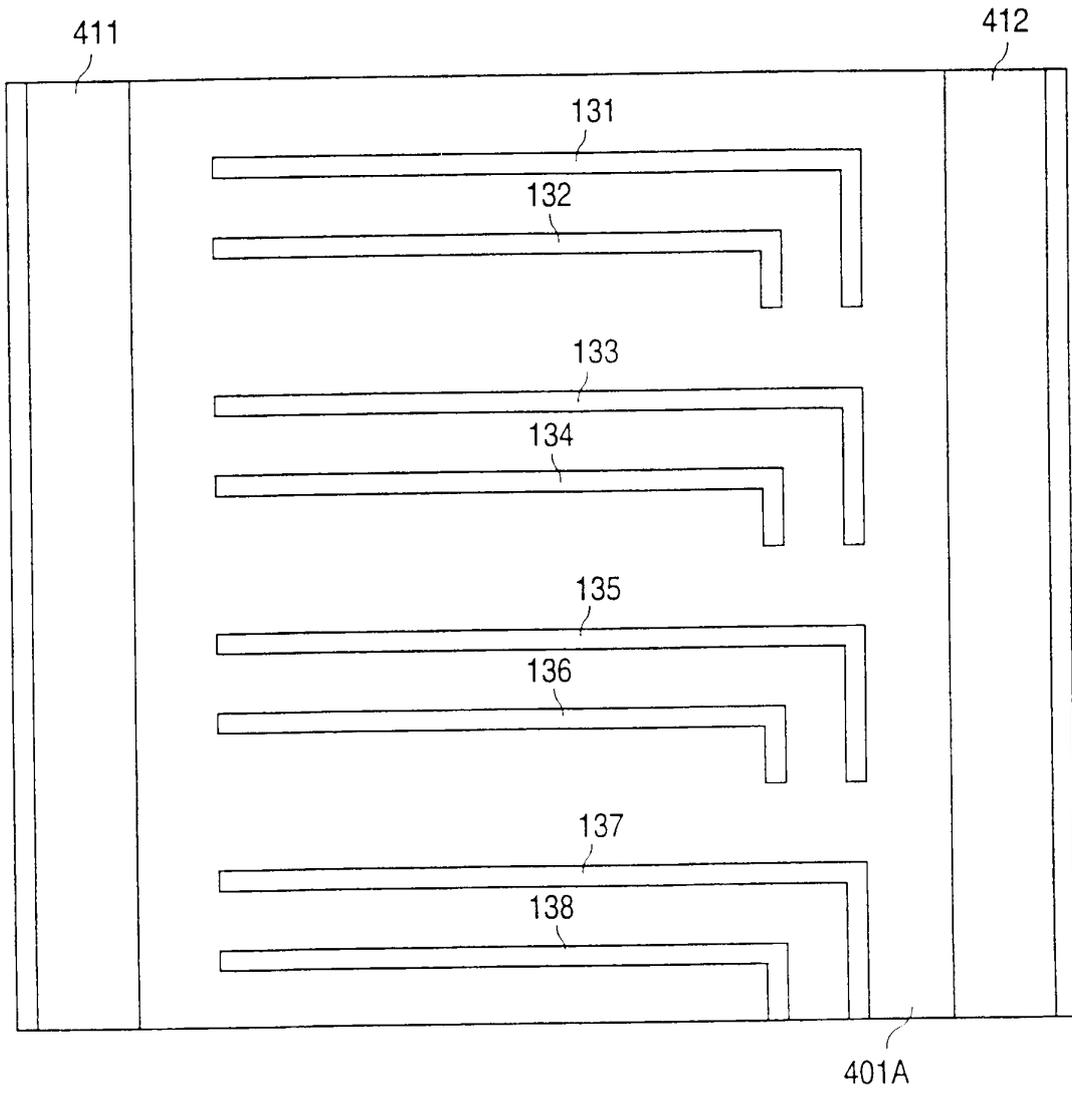
도면2



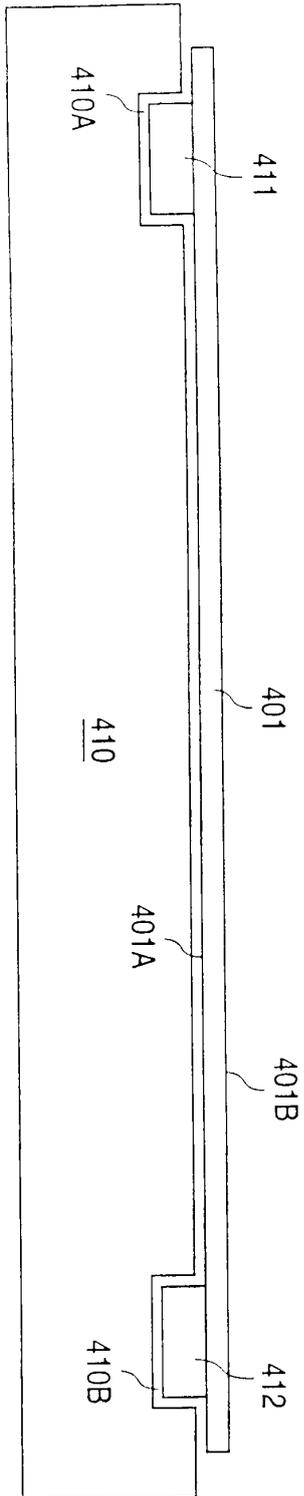
도면4



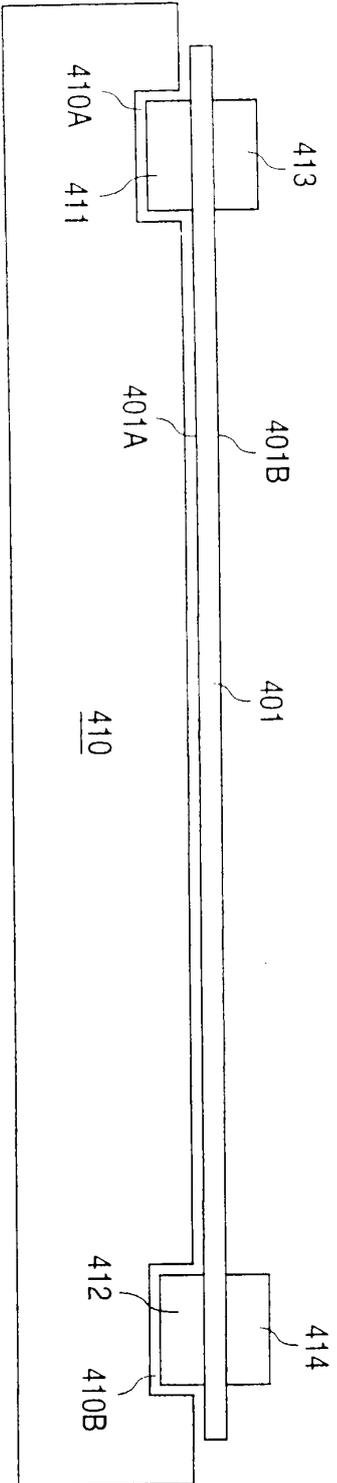
도면5



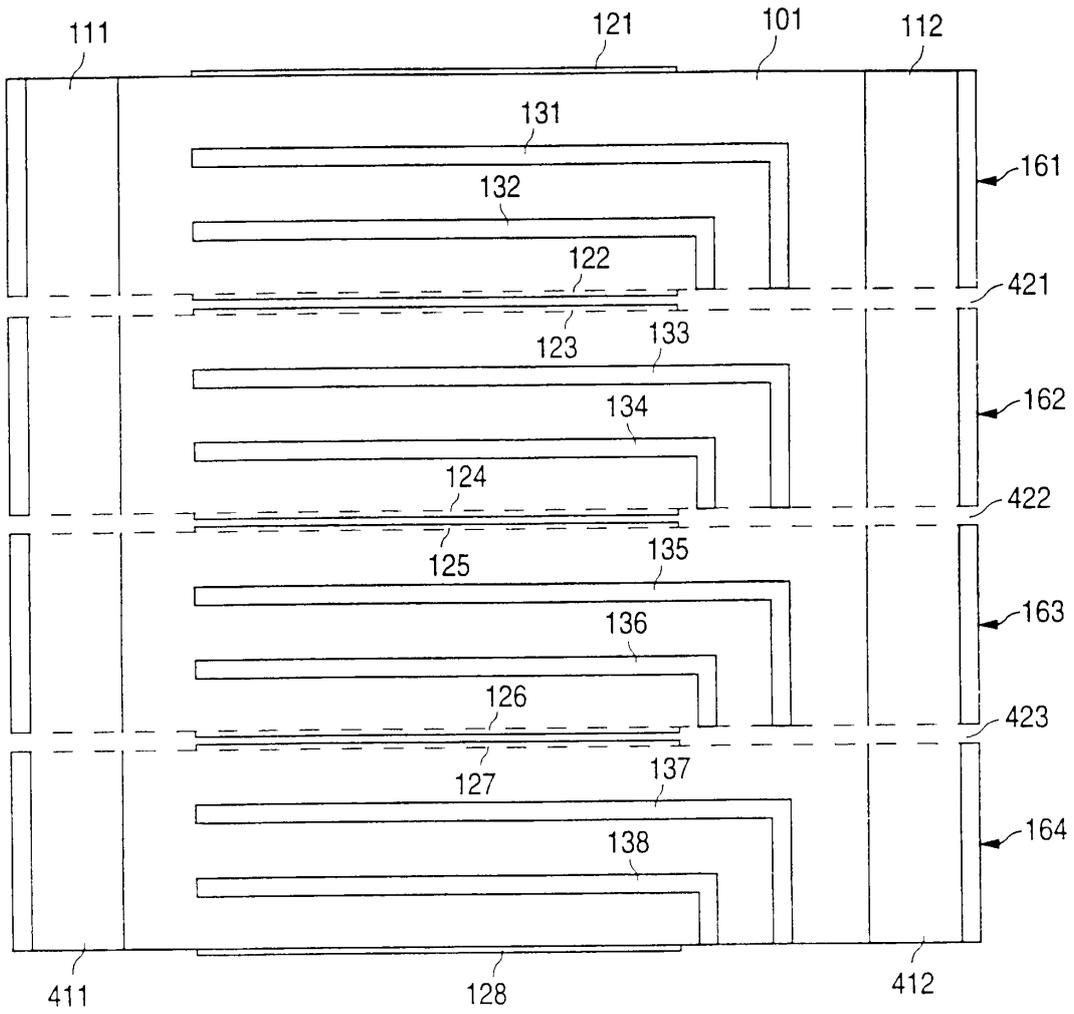
도면6



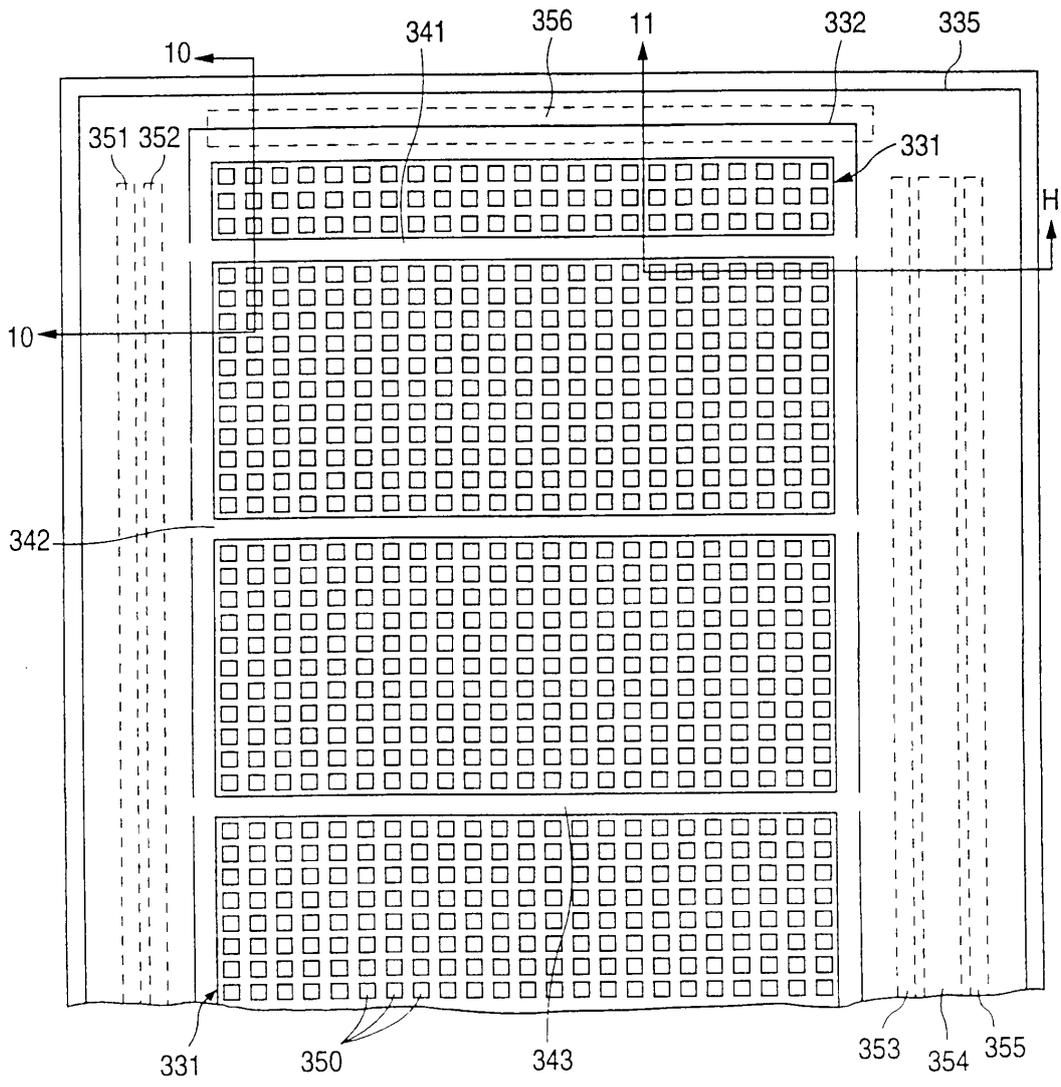
도면7



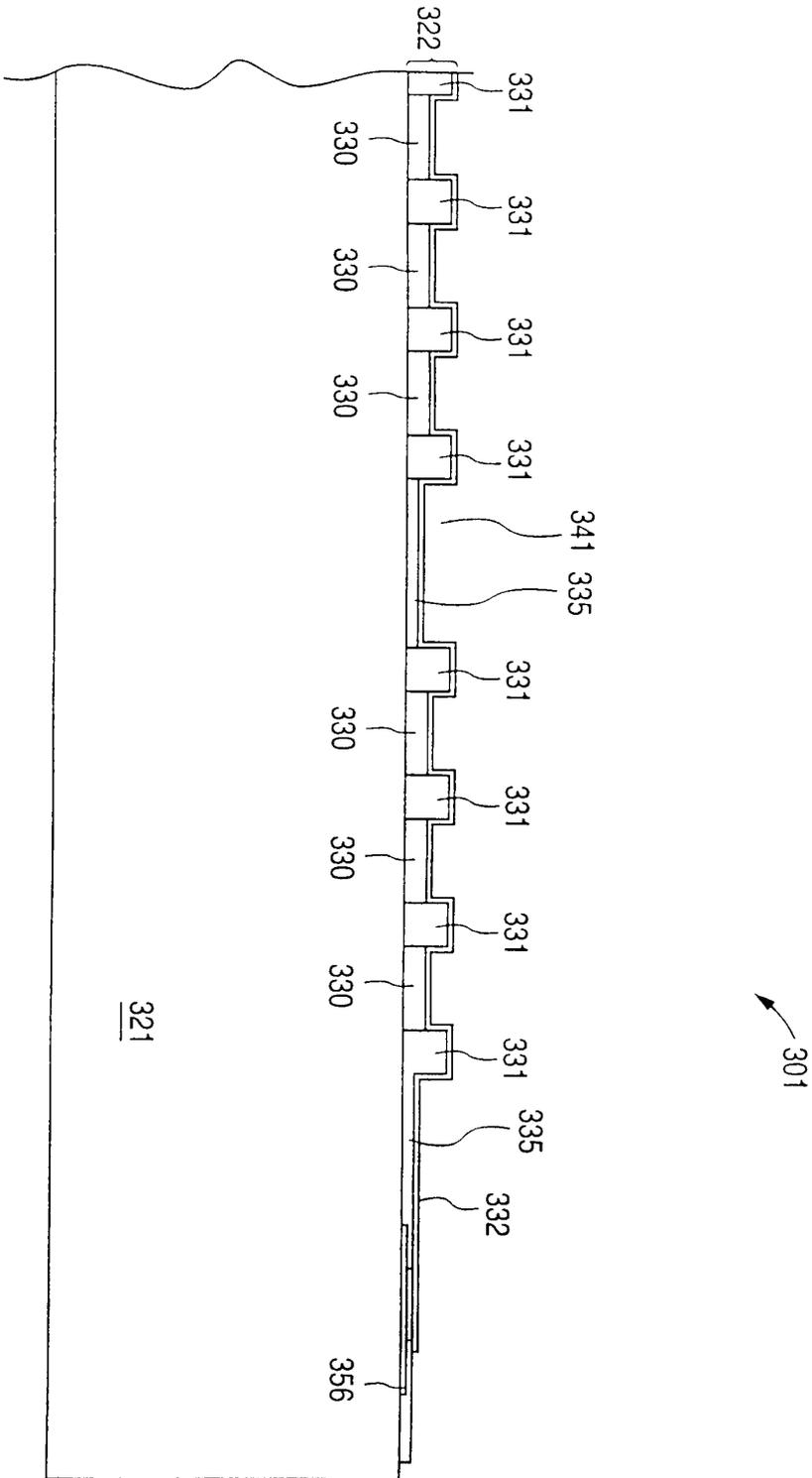
도면8



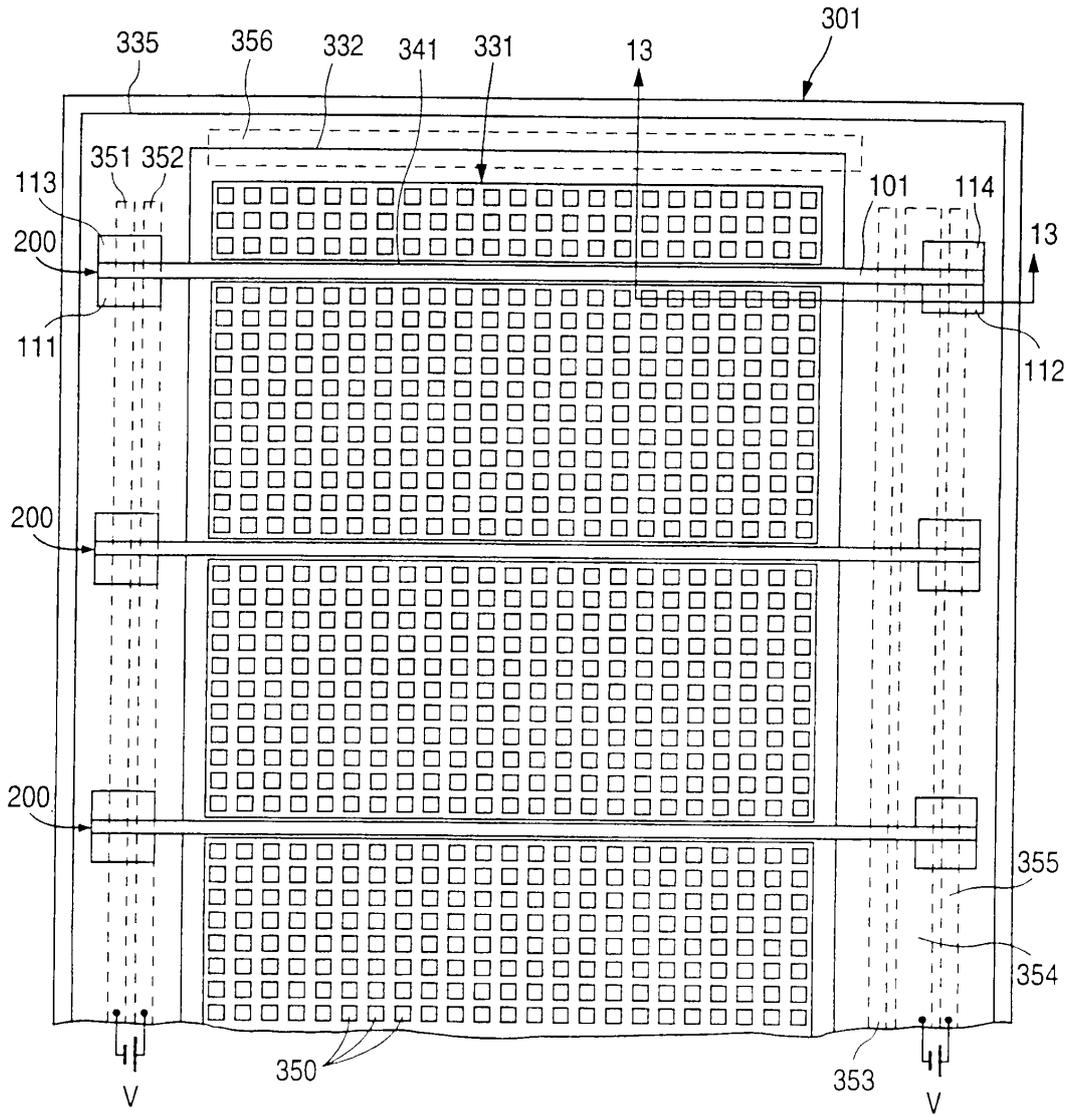
도면9



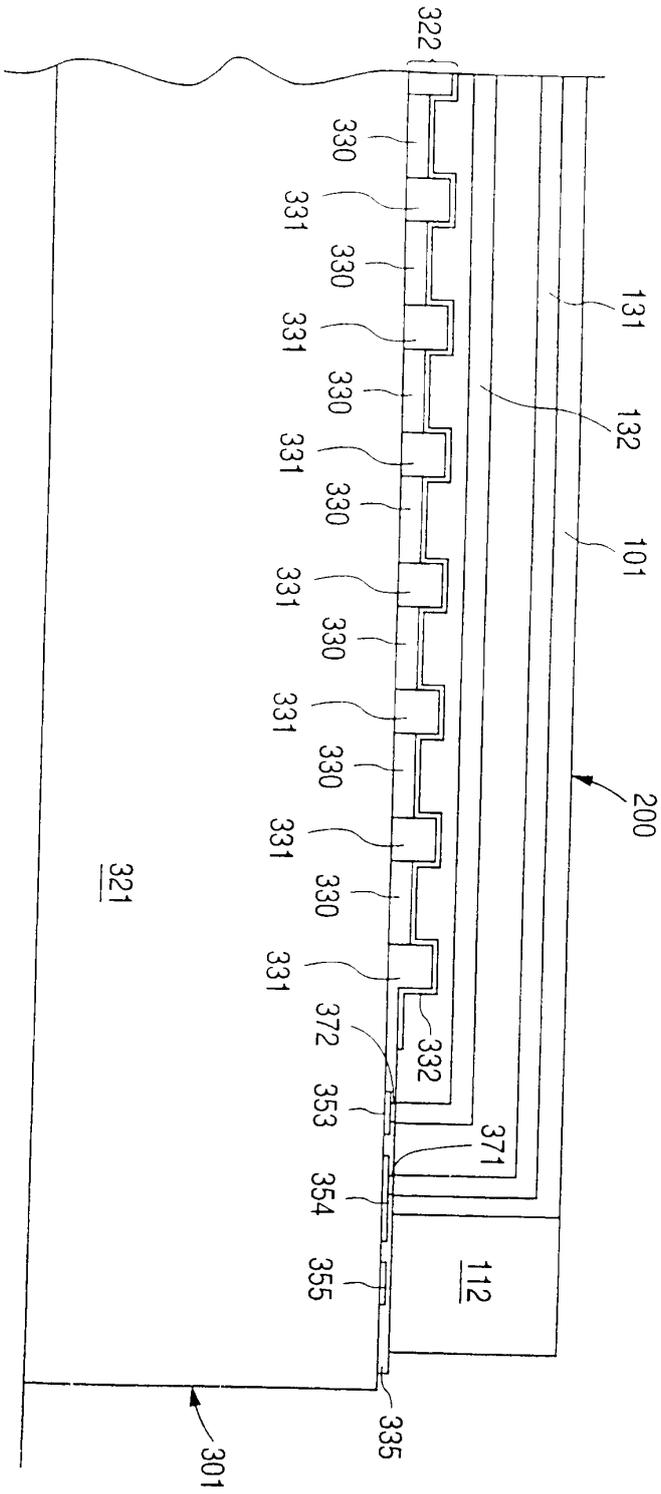
도면10



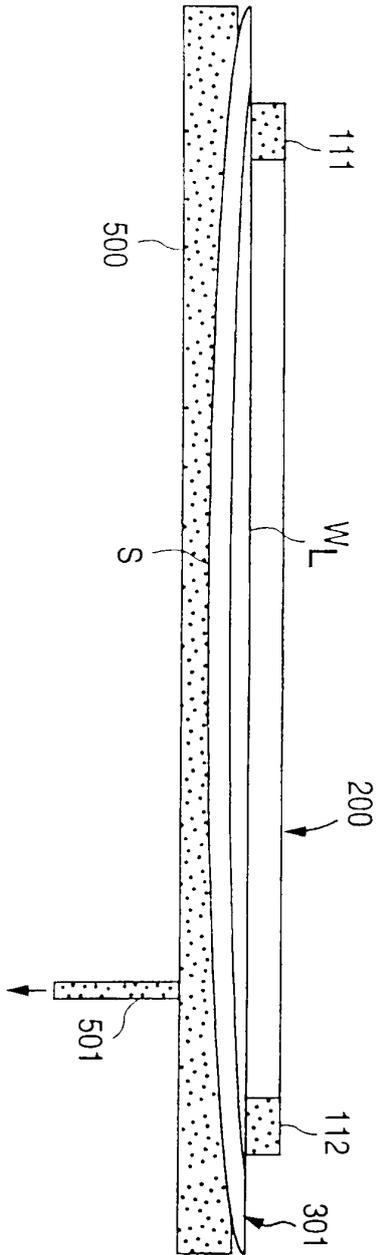
도면 12



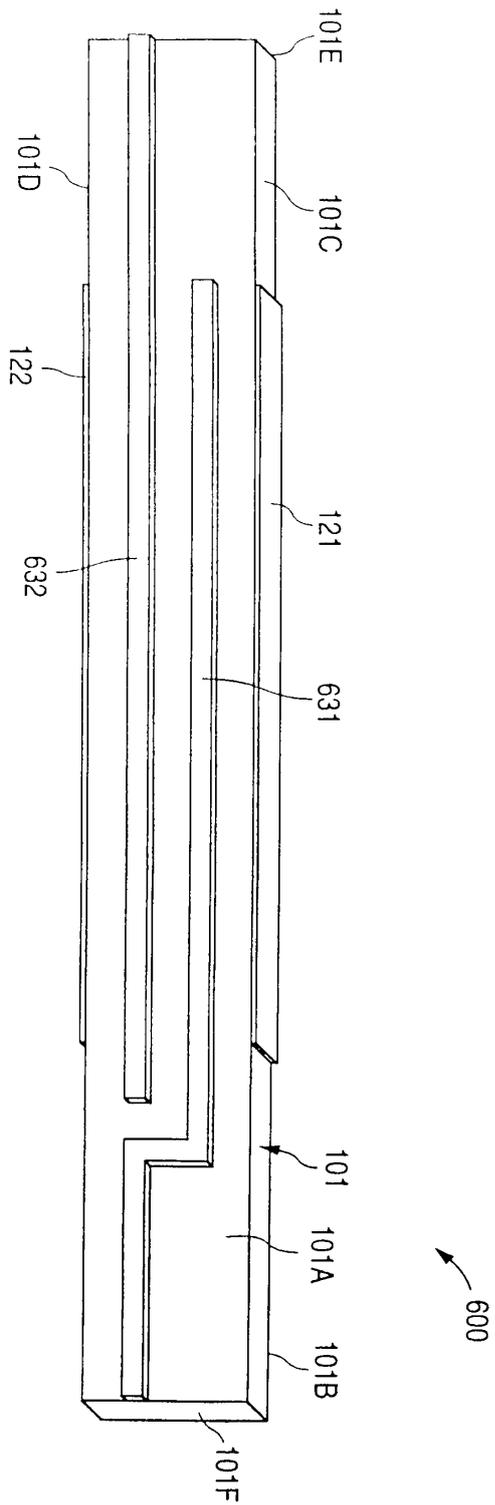
도면13



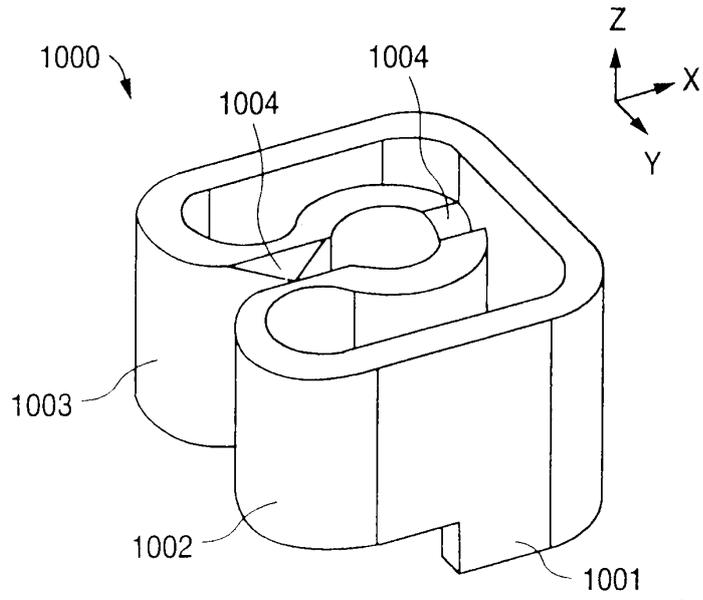
도면 14



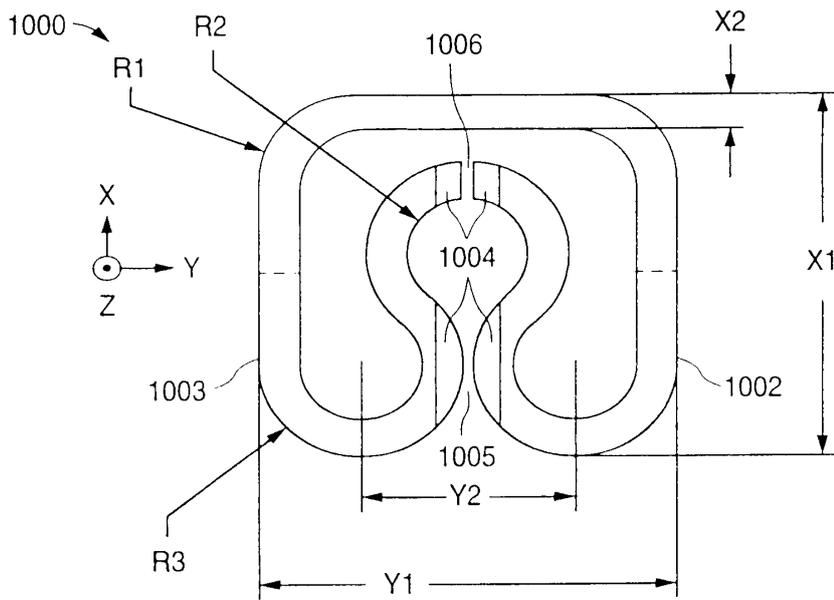
도면15



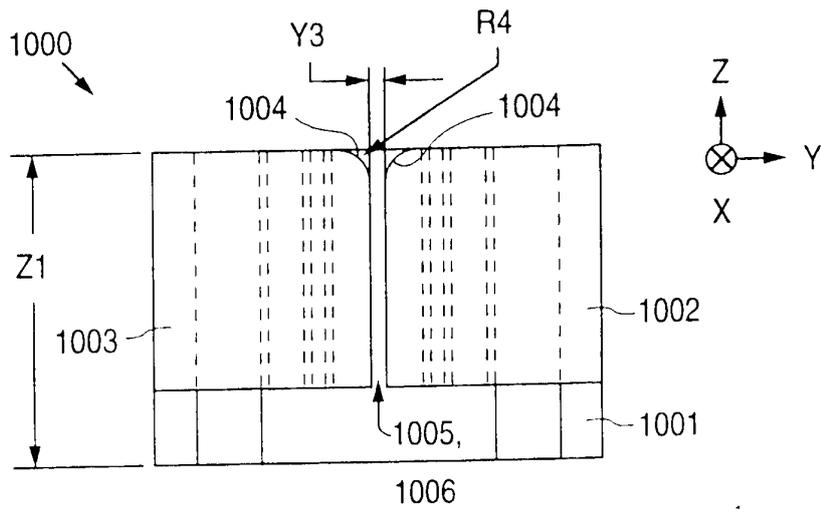
도면 16A



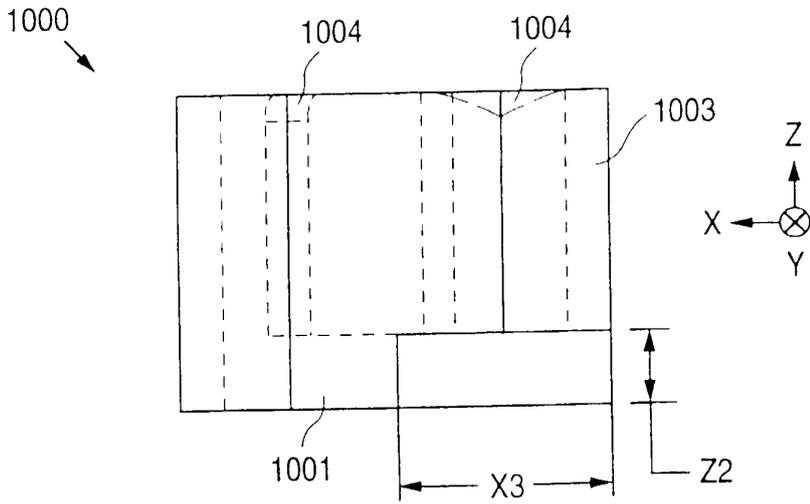
도면 16B



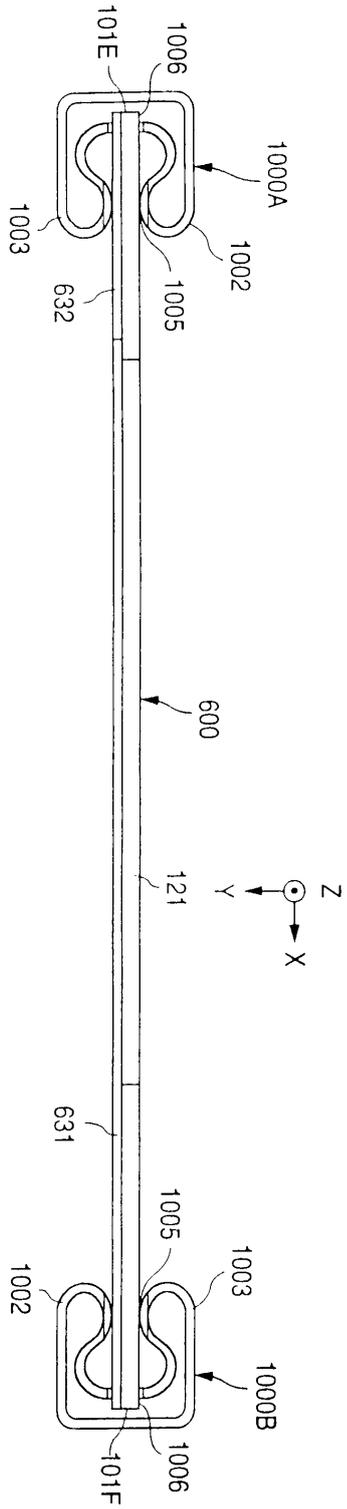
도면 16C



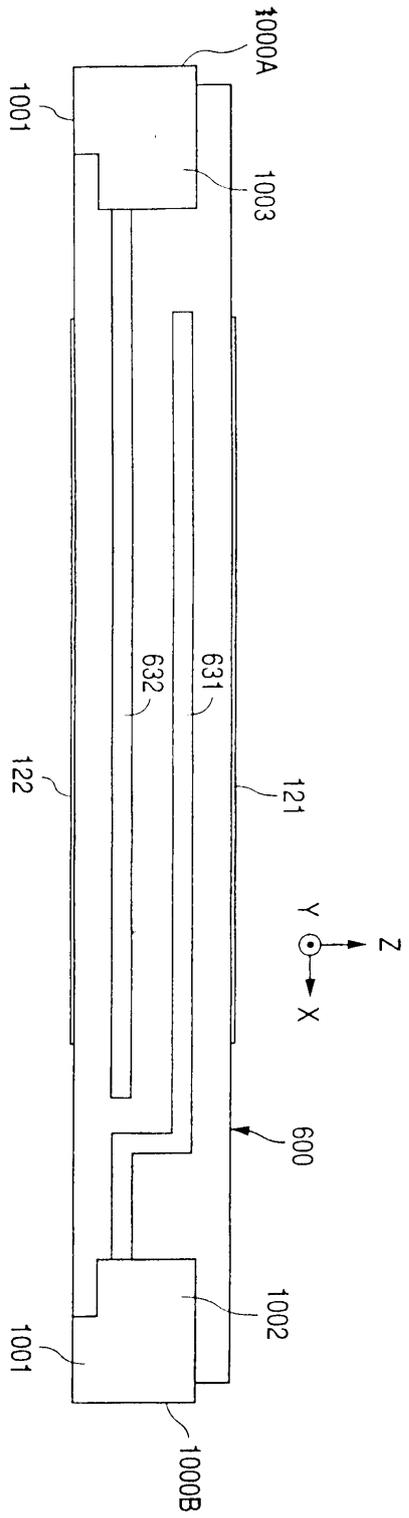
도면 16D



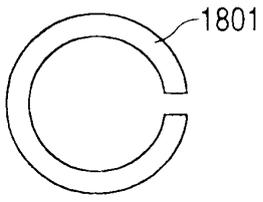
도면 17A



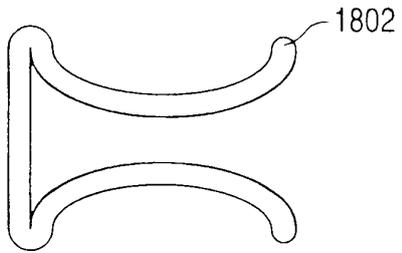
도면 17B



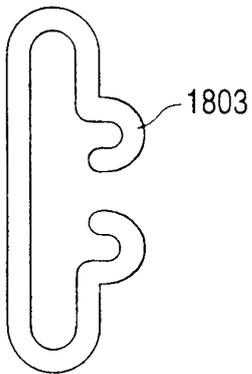
도면 18A



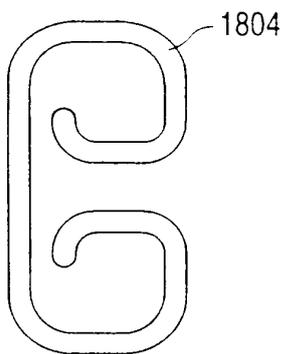
도면 18B



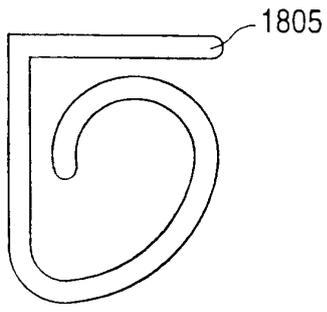
도면 18C



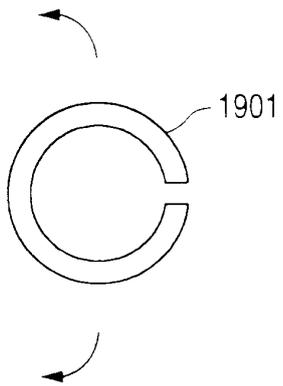
도면 18D



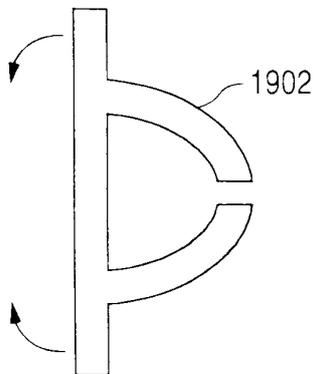
도면 18E



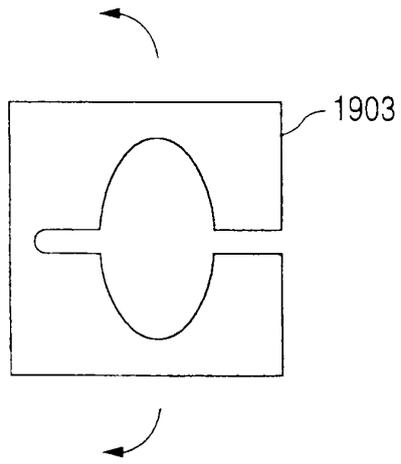
도면 19A



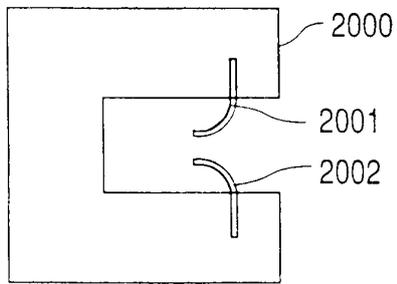
도면 19B



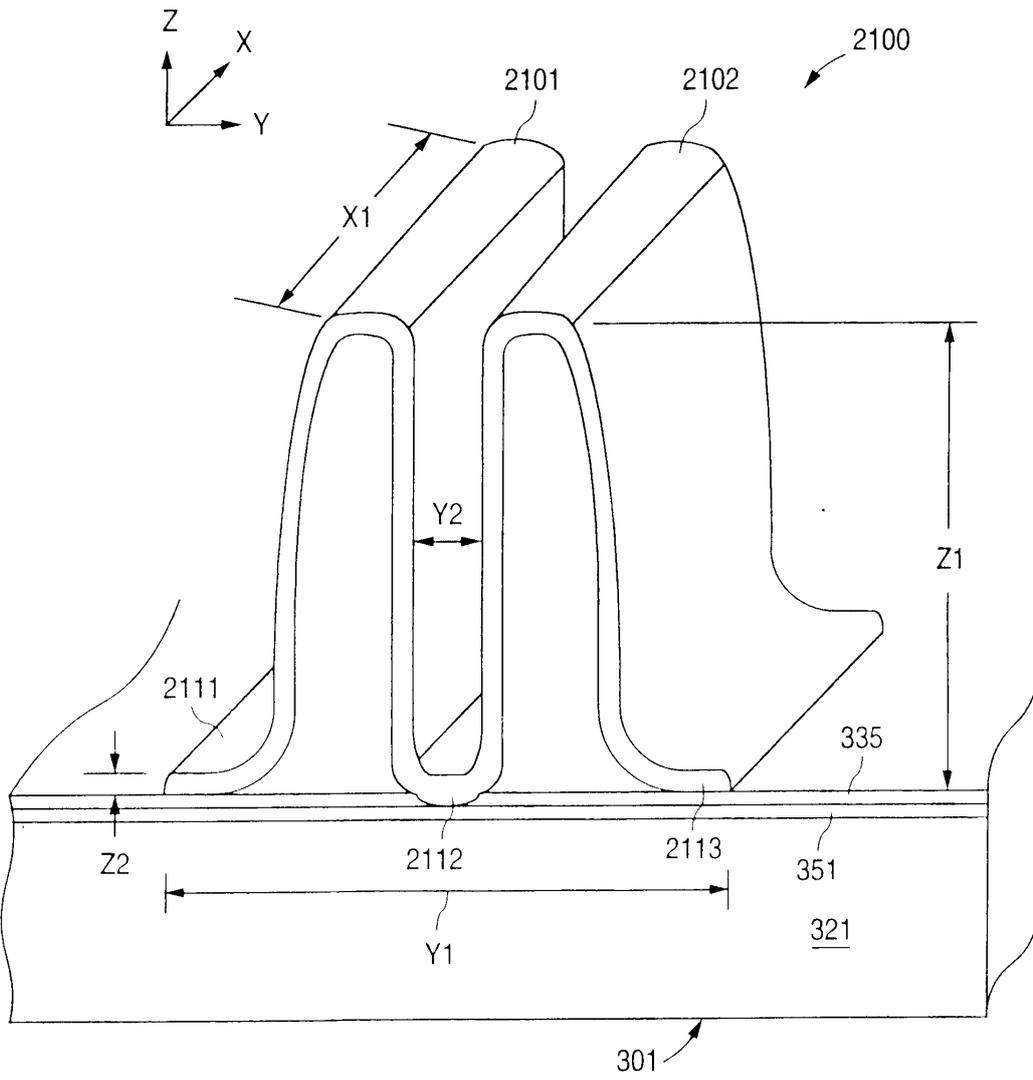
도면19C



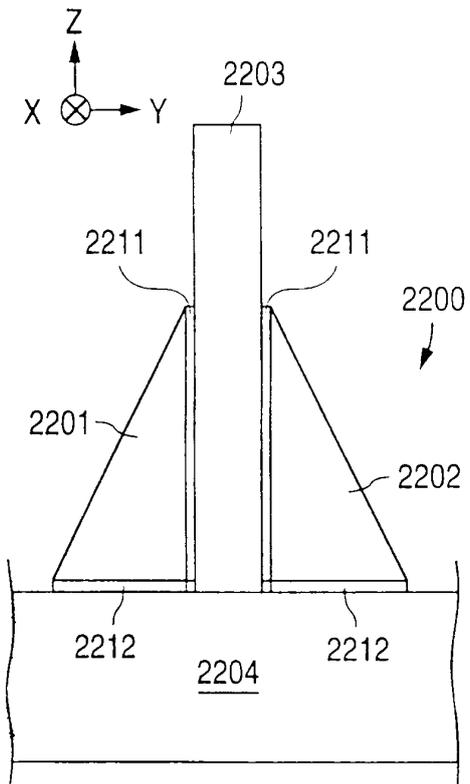
도면20



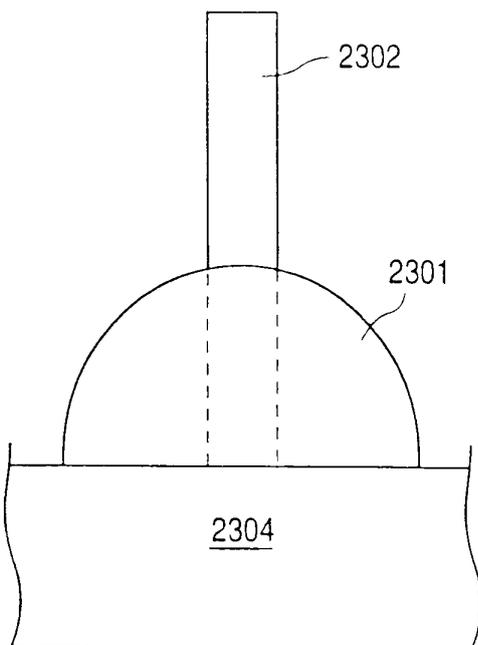
도면21



도면22



도면23A



도면23B

