

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年3月27日(27.03.2014)



(10) 国際公開番号

WO 2014/045372 A1

- (51) 国際特許分類:
G11C 13/00 (2006.01) H01L 45/00 (2006.01)
H01L 27/105 (2006.01)
- (21) 国際出願番号: PCT/JP2012/074080
- (22) 国際出願日: 2012年9月20日(20.09.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所 (HITACHI, LTD.)
[JP/JP]; 〒1008280 東京都千代田区丸の内一丁目
6番6号 Tokyo (JP).
- (72) 発明者: 白水 信弘 (SHIRAMIZU Nobuhiro); 〒
1858601 東京都国分寺市東恋ヶ窪一丁目280
番地 株式会社日立製作所 中央研究所内
Tokyo (JP). 半澤 悟 (HANZAWA Satoru); 〒1858601
東京都国分寺市東恋ヶ窪一丁目280番地 株
式会社日立製作所 中央研究所内 Tokyo (JP). 小
田部 晃 (KOTABE Akira); 〒1858601 東京都国分
寺市東恋ヶ窪一丁目280番地 株式会社日立
製作所 中央研究所内 Tokyo (JP).
- (74) 代理人: 平木 祐輔, 外 (HIRAKI Yusuke et al.); 〒
1056232 東京都港区愛宕2丁目5番1号 愛宕

グリーンヒルズMORIタワー32階 Tokyo
(JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).

添付公開書類:

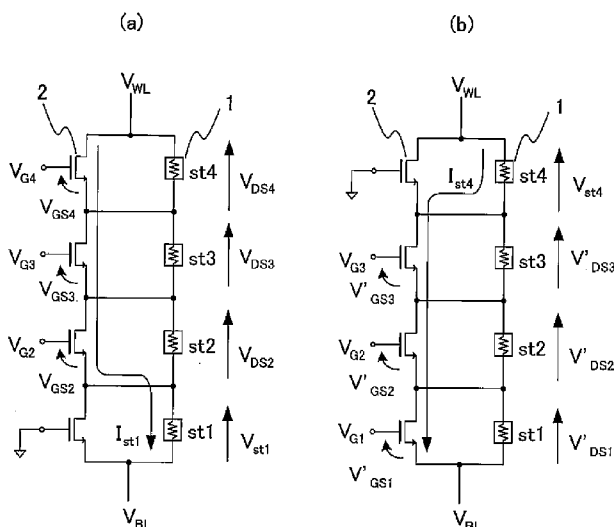
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR RECORDING DEVICE

(54) 発明の名称: 半導体記憶装置

[図2]

図2



(57) Abstract: The objective of the present invention is, in a semiconductor recording device in which a plurality of memory cells are connected in series, to suppress the current supplied to recording elements from varying between layers. In the semiconductor recording device, a plurality of memory cells, which result from a transistor (2) and a recording element (1) being connected in parallel, are connected in series between a first signal line (V_{BL}) and a second signal line (V_{WL}), and the gate voltage (V_{G1} , V_{G2} , V_{G3} , V_{G4}) supplied to the transistors is caused to be progressively higher with proximity of the position at which the transistor is disposed to the second signal line.

(57) 要約: 本発明は、メモリセルを複数直列接続した半導体記憶装置において、記憶素子に供給される電流が層毎にばらつくことを抑えることを目的とする。本発明に係る半導体記憶装置は、第1信号線 (V_{BL}) と第2信号線 (V_{WL}) の間に、トランジスタ (2) と記憶素子 (1) を並列接続した複数のメモリセルが直列接続されており、前記トランジスタに対して供給するゲート電圧 (V_{G1} , V_{G2} , V_{G3} , V_{G4}) を、前記トランジスタが配置されている位置が前記第2信号線に近くなるにしたがって、次第に高

くする。

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本発明は、半導体記憶装置に関する。

背景技術

[0002] 近年、微細化の限界に近付いているフラッシュメモリに代わるメモリとして、抵抗変化型メモリが研究されている。その1例として、抵抗変化型の記憶素子として $\text{Ge}_2\text{Sb}_2\text{Te}_5$ などのカルコゲナイド（相変化材料）を用いた相変化メモリが盛んに研究されている。

[0003] 相変化材料の状態は、印加した電流によって発生するジュール熱により、アモルファス状態または結晶状態に変化する。アモルファス状態においては材料の抵抗値が高く、結晶状態においては材料の抵抗値が低い。この抵抗値の変化を情報に対応付けることにより、記憶素子としての機能を発揮することができる。

[0004] 相変化メモリに対する情報書き換え動作においては、書き込む情報に応じて印加電流が制御される。リセット動作、すなわちビット‘0’を書き込む動作においては、大電流を短時間流して相変化材料を溶解させた後、電流を急減させる。これにより相変化材料が急冷され、相変化材料は高抵抗のアモルファス状態へ変化する。一方、セット動作、すなわちビット‘1’を書き込む動作においては、相変化材料を結晶化状態に保持するのに十分な電流を長時間流すことにより、相変化材料は低抵抗の結晶状態へ変化する。情報読み出し動作においては、記憶素子の両端に一定の電位差を与えて、素子に流れる電流を測定することにより、素子の抵抗値を判別する。

[0005] 相変化メモリは、記憶素子の形状を小さくすると、相変化材料の状態を変化させるために必要な電流が小さくなる。このため、原理上、高集積化を実現するための微細化および多層化に向いている。

[0006] 下記特許文献1～2には、微細化に加えて相変化メモリを高集積化する方

法として、多層化に関する技術が記載されている。特許文献1には、カルコゲナイド材料からなる記録層とセル選択用のダイオードで構成されたメモリセルが、絶縁層を介して積層された構造が記載されている。特許文献2には、ゲート電極とゲート絶縁膜を複数層積層した積層体に貫通孔を形成し、貫通孔内にゲート絶縁膜、チャネルとなるシリコン層、記録層となるカルコゲナイド層を貫通孔の側面に形成することにより、セル選択用トランジスタと記録素子からなるメモリセルを高さ方向に複数積層する技術が記載されている。高さ方向にメモリセルの積層数を増加させることにより、メモリセルの面積密度を高め、高集積化を実現することができる。

先行技術文献

特許文献

[0007] 特許文献1：特開2009-158020号公報

特許文献2：WO2011-074545号公報

発明の概要

発明が解決しようとする課題

[0008] 上記特許文献1は、同文献の図3に示す回路図および図4に示す断面図に記載されているように、書き込み電流または読み出し電流の経路であるワード線とビット線との間には、基板に対する法線方向においてメモリセルが1つのみ接続されている。同文献では、ワード線／メモリセル／ビット線を含む層構造を積層することにより、メモリセルを多層化している。

[0009] 一方、同文献においてワード線およびビット線と周辺回路を接続するためには、異なる層間を接続するコンタクト配線を、記憶素子が配置されている領域とは別に配置する必要がある。積層数が増加すると、これにともなってコンタクト配線を配置する領域も増加する。さらに、書き込み電流による電圧降下を低減するため、コンタクト配線を配置する領域の面積を確保して寄生抵抗を低減する必要がある。したがって、積層数を増加させても配線領域がこれにともなって増加するため、記憶素子の面積密度の増加分が十分では

ないと考えられる。

[0010] 上記特許文献2は、同文献2の図4に示す断面図および図5に示す回路図に記載されている通り、ワード線とビット線の間メモリセルを複数積層しているため、メモリセルの積層数を増加させてもワード線とビット線の本数は増加しない。また、メモリセルを制御するゲート配線は情報を読み書きするための電流経路ではないため、寄生抵抗による電圧降下の影響は小さい。したがって多数のメモリセルを1つのゲート配線によって制御できるので、ゲート配線を配置する領域が小さくなり、メモリセルの積層数を増加させても周辺回路の面積増加分は小さい。したがって、記憶素子の面積密度を大幅に増加させることができる。

[0011] 特許文献2に記載されている技術において、メモリセルの選択トランジスタを介してワード線とビット線の間を流れる電流は、選択トランジスタのON抵抗の影響を受けて電圧降下を生じさせるので、選択トランジスタのソース電位は層毎に異なる。したがって、メモリセルのゲート電圧が層に抛らず一定であると仮定すると、ゲート・ソース間電圧が層毎に異なることになる。これにより、メモリセルに情報を読み書きするための電流が層毎にばらつく。

[0012] 記憶素子の特性がばらつくと、書き込み誤りや読み出し誤りを発生させる恐れがあるため、正常動作範囲に対してばらつきを考慮したマージンを確保する必要が生じる。これは半導体記憶素子の動作電圧を増加させることにつながるため、省電力の観点から望ましくない。

[0013] 本発明は、上記のような課題に鑑みてなされたものであり、メモリセルを複数直列接続した半導体記憶装置において、記憶素子に供給される電流が層毎にばらつくことを抑えることを目的とする。

課題を解決するための手段

[0014] 本発明に係る半導体記憶装置は、第1信号線と第2信号線の間複数直列に接続されたメモリセルを備え、メモリセルが備える選択トランジスタのうちいずれか少なくとも2つ以上について、それぞれ異なるゲート電圧を供給

する。

発明の効果

[0015] 本発明に係る半導体記憶装置によれば、記憶素子に供給される電流の層毎のばらつきを抑えることができる。

[0016] 上記した以外の課題、構成、および効果は、以下の実施形態の説明により明らかになるであろう。

図面の簡単な説明

[0017] [図1]実施形態1に係る半導体記憶装置のメモリ回路構成を示す図である。

[図2]メモリセル群4が4層のメモリセル3によって構成されている場合の動作原理を示す図である。

[図3]実施形態2に係る半導体記憶装置のメモリ回路構成を示す図である。

[図4]実施形態3に係る半導体記憶装置のメモリ回路構成を示す図である。

[図5]メモリセル群4が4層のメモリセル3によって構成されている場合の動作原理を示す図である。

[図6]実施形態4に係る半導体記憶装置のメモリ回路構成を示す図である。

[図7]実施形態5に係る半導体記憶装置のメモリ回路構成を示す図である。

[図8]実施形態6に係る半導体記憶装置のメモリ回路構成を示す図である。

[図9]電圧変換器6の回路例を示す図である。

[図10]電圧変換器6の別回路例を示す図である。

[図11]選択ゲートドライバ5の回路を示す図である。

[図12]選択ゲートドライバ5の別回路例を示す図である。

[図13]実施形態9における電圧変換器6の回路例を示す図である。

[図14]実施形態9における電圧変換器6の別回路例を示す図である。

[図15]半導体記憶装置のメモリセルアレイ部の構成を示す図である。

発明を実施するための形態

[0018] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、実施形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、特徴的な構成について説明

した箇所は各実施形態に限定されるわけではなく、共通の構成をとる場合には同様の効果を得られることをあらかじめ述べておく。また、実施形態の各メモリセルを構成する回路素子は、特に制限しない場合、公知のCMOS（相補型MOSトランジスタ）等の集積回路技術によって、単結晶シリコンのような半導体基板上に形成される。

[0019] <実施の形態1>

図1は、本発明の実施形態1に係る半導体記憶装置のメモリ回路構成を示す図である。メモリセル3は、相変化型記憶素子1と選択トランジスタ2を並列接続した構成を有し、選択トランジスタ2のドレインとソースに記憶素子1の両端子が接続される。メモリセル群4は、ワード線（電位 V_{WL} を有する信号線）とビット線（電位 V_{BL} を有する信号線）の間に複数のメモリセル3を直列接続した構成を有する。選択ゲートドライバ5は、各層のメモリセル3に対応してそれぞれ設けられており、電圧変換器6から入力電圧 V_{IN} の供給を受けて各メモリセル3の選択トランジスタ2を駆動する。メモリセル群4は半導体記憶装置の半導体基板上に法線方向に積層して形成される。これにより、従来の半導体記憶装置と比べて面積あたりの記憶ビット数を増加させることができる。

[0020] 図1においては省略したが、メモリセル群4は、半導体基板上に複数形成される。ワード線の電位 V_{WL} とビット線の電位 V_{BL} の間の電位差が生じることにより、1つのメモリセル群4が選択される。さらに選択ゲートドライバ5の制御端子 $S_1 \sim S_n$ のいずれか1つの電位を変化させることにより、その層に対応する選択トランジスタ2のみがカットオフされ、その層においては電流が選択トランジスタ2ではなく記憶素子1を流れる。これにより、1つのメモリセルに対して選択的に情報を書込／消去／読込することができる。

[0021] 図2は、メモリセル群4が4層のメモリセル3によって構成されている場合の動作原理を示す図である。図2（a）は記憶素子 s_t1 のメモリセルが選択されている状態を示し、図2（b）は記憶素子 s_t4 のメモリセルが選択されている状態を示す。なお、ワード線電位 $V_{WL} > \text{ビット線電位 } V_{BL}$

とすることによって特定のメモリセル群4が選択されているものとする。

[0022] 図2(a)の場合、記憶素子 s_{t1} を有するメモリセルの選択トランジスタをオフにすることにより、記憶素子 s_{t1} に電流が流れる経路が形成される。その他のメモリセルの選択トランジスタについては、ゲート端子にそれぞれ電圧 V_{G2} 、 V_{G3} 、 V_{G4} を印加して各選択トランジスタをONにし、記憶素子 $s_{t2} \sim s_{t4}$ に電流が流れないようにする。同様に図2(b)の場合、記憶素子 s_{t4} に対応するメモリセルの選択トランジスタをオフにし、その他のメモリセルの選択トランジスタについては、ゲート端子にそれぞれ電圧 V_{G1} 、 V_{G2} 、 V_{G3} を印加する。このような動作により、各記憶素子に電流 I_{st1} 、 I_{st4} が流れ、メモリセルに対して選択的に情報を書き込み、または読み出すことができる。

[0023] 記憶素子に大電流を短時間流すと記憶素子が高抵抗となりビット‘0’の状態に消去(リセット)され、小電流を長時間流すと記憶素子が低抵抗となりビット‘1’の状態に書込(セット)される。記憶素子の状態を読み出すときは、ワード線とビット線の間に消去時／書込時よりも小さい電位差を与え、電流値の差により記憶素子の抵抗値の差異を検出しビット値を再生する。

[0024] 各選択トランジスタはON抵抗を有するので、電流 I_{st1} や I_{st4} が流れるときに電圧降下が生じる。そのため、各トランジスタのソース電位は層毎に異なる。したがって、各層の選択トランジスタに対して供給するゲート電位 $V_{G1} \sim V_{G4}$ が全て同じ値である場合、各層のゲートーソース間電圧 V_{GS} は層毎に異なることになる。具体的には、 V_{GS4} が最も高く、ビット線に近づくにしたがって次第に低くなり、 V_{GS1} が最も低い。選択トランジスタのON抵抗は V_{GS} に依拠するので、層毎にON抵抗がばらつき、その結果として各層の記憶素子に流れる電流が層毎に異なることになるので、書き込み誤差や読み込み誤差が生じる可能性が高くなってしまう。

[0025] そこで、電圧変換器6と選択ゲートドライバ5は、メモリセル毎に異なるゲート電位を供給し、各選択トランジスタのゲートーソース間電圧 V_{GS} が同一となって各記憶素子に流れる電流が層毎に同じになるようにする。具体的

には、電圧変換器 6 は入力電圧 V_{DD} に基づき各層に対応する電圧 $V_{IN1} \sim V_{INn}$ を生成し、各層に対応する選択ゲートドライバ 5 にそれぞれ供給する。選択ゲートドライバ 5 は、メモリセルの選択／非選択を指示する論理信号をそれぞれ制御端子 $S_1 \sim S_n$ から受け取り、これにしたがって各層の選択トランジスタに対してゲート電位 V_G を供給する。メモリセルを選択する場合はゲート電位を接地電位とし、選択しない場合は入力電圧 V_{IN} をゲート電位として供給する。

[0026] <実施の形態 1 : まとめ>

以上のように、本実施形態 1 に係る半導体記憶装置は、各層のメモリセルの選択トランジスタに対してそれぞれ異なるゲート電圧を供給することにより、記憶素子に流れる電流の層毎のばらつきを低減することができる。

[0027] <実施の形態 2>

図 3 は、本発明の実施形態 2 に係る半導体記憶装置のメモリ回路構成を示す図である。本実施形態 2 においては、 m 個のメモリセル群 4 が設けられている。図 3 において、記載の便宜上、ワード線／メモリセル群 4／ビット線を含む回路構成を点線で囲み、各メモリセル群 4 を区別できるようにした。

[0028] 各メモリセル群 4 は、ワード線とビット線の間に所定の電位差を選択的に生じさせることにより、選択することができる。例えば、ワード線を基板上の X 方向に延伸し、ビット線を基板上の Y 方向に延伸し、両者が交差する位置に配置されたメモリセル群 4 を選択することができる。あるいは、いずれかの信号線とメモリセル群 4 との間に選択スイッチを設けることによっても同様の効果を発揮できる。

[0029] 本実施形態 2 において、各メモリセル群 4 に含まれる選択トランジスタのうち同じ層に配置されているものは、その層に対応する選択ゲートドライバ 5 に対して並列接続されている。すなわち各選択ゲートドライバ 5 は、同じ層に配置されている選択トランジスタに対して共通のゲート電圧を供給する。これにより、電圧変換器 6 と選択ゲートドライバ 5 の回路占有面積および消費電力を小さく抑えることができるので、メモリセルの面積密度を向上さ

せることに資する。

[0030] <実施の形態 3>

図 4 は、本発明の実施形態 3 に係る半導体記憶装置のメモリ回路構成を示す図である。本実施形態 3 において、各選択ゲートドライバ 5 と対応する選択トランジスタを結ぶ信号線に対して並列に、コンデンサ 7 によって構成された遅延回路が設けられている。その他の構成は、実施形態 1 と同様である。

[0031] 図 5 は、メモリセル群 4 が 4 層のメモリセル 3 によって構成されている場合の動作原理を示す図である。図 5 (a) は、コンデンサ 7 を設けていない場合におけるゲート電位 V_G の立ち下りと記憶素子電流 I_{st} の立ち上りの様子を示す。図 5 (b) は、コンデンサ 7 を設けた場合におけるゲート電圧 V_G の立ち下りと記憶素子電流 I_{st} の立ち上りの様子を示す。

[0032] ゲート電位 V_G を立ち下げるとき、ゲート端子の入力寄生容量、選択ゲートドライバ 5 の寄生容量、配線容量などによって定まる傾きでゲート電位 V_G が降下する。実施形態 1 で説明したように、本発明に係る半導体記憶装置は、各層にそれぞれ異なるゲート電位 V_G を供給するので、各ゲート電位 V_G が同じ傾きで降下すると、図 5 (a) に示すように立ち下がり時間がそれぞれ異なることになる。すなわち、最も低いゲート電位 V_{G1} で制御される電流 I_{st1} が最も速く立ち上がり、最も高いゲート電位 V_{G4} で制御される電流 I_{st4} が最も遅く立ち上がる。

[0033] 相変化材料は、電流を供給する時間に応じてその状態が変化して情報を記憶するため、メモリセル毎に電流の立ち上がり時間が異なる場合、各層を同じように制御すると記憶素子の状態がメモリセル毎にばらつくことになり、ビット誤りが生じる可能性が高まる。

[0034] そこで本実施形態 3 では、コンデンサ 7 を設けて立ち下がり速度が速いゲート電位を遅延させることにより、各メモリセルに流れる電流の立ち上がり時間を揃えることにした。具体的には、最も速く立ち下がるゲート電位 V_{G1} に対応するコンデンサ 7 の容量を最も大きくし、以下上方に向かって容量を次

第に小さくし、ゲート電位 V_{G4} に対応するコンデンサ7の容量を最も小さくする。これにより、図5（b）に示すように、各層のゲート電位 V_G が同じ遅延時間で立ち下がり、よって記憶素子に流れる電流も同じ遅延時間で立ち上がる。

[0035] <実施の形態3：まとめ>

以上のように、本実施形態3に係る半導体記憶装置は、ゲート電位の立ち下がり遅延させる遅延回路を層毎に設けることにより、記憶素子に供給する電流の立ち上がり時間を各層について揃えることができる。これにより、メモリセル毎に異なる電流が供給されることによって記憶素子の状態がばらつくことを抑えることができる。

[0036] なお、ゲート電位 V_G の立ち下がり遅延させて記憶素子に流れる電流の立ち上がりを揃えることができれば、図4に示した以外の回路構成を採用することもできる。例えばコンデンサ7に代えてインダクタンスを用いることが考えられる。その他、ゲート電位の立ち下がり勾配は変更せず、選択ゲートドライバ5に入力する制御信号のタイミングを、制御回路側で遅延させるようにしてもよい。図5に示す例においては、ゲート電位 V_{G1} を立ち下げ始めるタイミングを最も遅くし、ゲート電位 V_{G4} を立ち下げ始めるタイミングを最も早くすればよい。

[0037] コンデンサ7やインダクタンスを設ける位置は特に限定されないが、電圧変換器6や選択ゲートドライバ5を実装する回路基板上に設けるのが最も簡易な実装であると考えられる。

[0038] <実施の形態4>

図6は、本発明の実施形態4に係る半導体記憶装置のメモリ回路構成を示す図である。本実施形態4においては、実施形態2で説明した回路構成において、実施形態3で説明したコンデンサ7を各層に配置した。これにより、電圧変換器6と選択ゲートドライバ5を共通化して回路面積を抑えつつ、ゲート電位の立ち下がり時間を各層について揃えることができる。

[0039] 特に、選択ゲートドライバ5を複数のメモリセル群4について共通化して

場合、信号線などの寄生容量が増大して層毎の遅延時間のばらつきが大きくなるので、実施形態3の図5で説明した課題が顕在化し易い。そこで、実施形態3で説明したコンデンサ7による遅延回路（あるいは同様の効果を発揮する回路構成）を導入することにより、実施形態2の効果を活かすことができる。

[0040] <実施の形態5>

図7は、本発明の実施形態5に係る半導体記憶装置のメモリ回路構成を示す図である。本実施形態5においては、メモリセル群4内の隣接する複数のメモリセル3をセットにして共通のゲート電圧を供給することとした。図7に示す例においては、選択ゲートドライバ5に供給する入力電圧 $V_{IN1} \sim V_{INk}$ は出力端子 $VB1$ が出力する電圧をもって共有化し、これらに対応するゲート電圧 $V_{G1} \sim V_{Gk}$ は共通になっている。同様に入力電圧 $V_{INn-x} \sim V_{INn}$ は出力端子 VBj が出力する電圧をもって共通化し、これらに対応するゲート電圧 $V_{Gn-x} \sim V_{Gn}$ は共通になっている。同一のゲート電位を用いるメモリセルの個数やセット数は任意でよい。

[0041] 同一のゲート電位を用いるメモリセル3は、実施形態1で説明したようにゲートソース間電圧が層毎に異なることになるので、記憶素子に流れる電流が層毎にばらつく。ただしそのばらつきを許容できる範囲については、図7に示すように同一のゲート電位を用いても支障は生じないと考えられる。したがって、電圧変換器6の出力端子数を減らすことにより、電圧変換器6の回路占有面積と消費電力を低減することができる。

[0042] <実施の形態6>

図8は、本発明の実施形態6に係る半導体記憶装置のメモリ回路構成を示す図である。本実施形態6では、実施形態2で説明した回路構成の下で実施形態5と同様にメモリセル群4内の隣接する複数のメモリセル3をセットにして共通のゲート電圧を供給することとした。これにより、実施形態2と同様に電圧変換器6と選択ゲートドライバ5の回路占有面積および消費電力を小さく抑えつつ、さらに電圧変換器6の出力端子数を減らして電圧変換器6

の回路占有面積と消費電力を低減することができる。

[0043] <実施の形態 7>

本発明の実施形態 7 では、電圧変換器 6 の回路例について説明する。その他の構成については実施形態 1 ～ 6 と同様である。

[0044] 図 9 は、電圧変換器 6 の回路例を示す図である。図 9 に示す電圧変換器 6 は、複数のトランジスタ 9 と電流源 8 を備える。各トランジスタ 9 はそれぞれのゲート端子とドレイン端子を互いに接続したダイオード接続を構成しており、電流源 8 によって生じる電流に応じてドレインソース間に一定の電圧を生じる。各トランジスタ 9 のソース電圧 V_{IN} を出力端子に取り出すことにより、ほぼ一定間隔の電位差を有する複数の電圧を出力することができる。図 9 に示す回路例は、抵抗を用いて電位差を生成する方法と比べて占有面積が小さいという利点がある。また、電流源 8 は半導体集積回路において用いられる一般的な回路により実現できる。

[0045] 図 10 は、電圧変換器 6 の別回路例を示す図である。図 10 に示す電圧変換器 6 は、複数の抵抗 10 と電流源 8 を備える。電流源 8 によって生じる電流に応じて各抵抗 10 の両端に一定の電圧を生じる。各抵抗 10 の両端電圧を出力端子に取り出すことにより、複数の異なる電圧を得ることができる。抵抗 10 を用いることにより、図 9 に示す回路と比べて出力電圧を自由に設計することができるので、ばらつきを低減し易い。

[0046] <実施の形態 8>

本発明の実施形態 8 では、選択ゲートドライバ 5 の回路例について説明する。その他の構成については実施形態 1 ～ 7 と同様である。

[0047] 図 11 は、選択ゲートドライバ 5 の回路を示す図である。図 11 に示す選択ゲートドライバ 5 は、NMOS (N-channel Metal Oxide Semiconductor) トランジスタ 11a および 11b とインバータ 12 を備える。インバータ 12 は、制御電圧を反転して NMOS トランジスタ 11a のゲート端子に入力する。NMOS トランジスタ 11b のゲート端子には制御電圧が入力される。制御電圧がメモリセル選択を表す高

電位するとき、NMOSトランジスタ11aは非導通、NMOSトランジスタ11bは導通となり出力電圧は接地電圧となる。制御電圧がメモリセル非選択を表す低電位するとき、NMOSトランジスタ11aは導通、NMOSトランジスタ11bは非導通となり、出力電圧は入力電圧と同じとなる。この動作により、少ない素子数で選択ゲートドライバ5を実現できる。

[0048] 図12は、選択ゲートドライバ5の別回路例を示す図である。図12に示す選択ゲートドライバ5は、NMOSトランジスタ11aおよび11b、インバータ12、PMOSトランジスタ13を備える。インバータ12は、制御電圧を反転してNMOSトランジスタ11aのゲート端子に入力する。PMOSトランジスタ13のゲート端子とNMOSトランジスタ11bのゲート端子には制御電圧が入力される。制御電圧がメモリセル選択を表す高電位するとき、NMOSトランジスタ11aとPMOSトランジスタ13は非導通、NMOSトランジスタ11bは導通となり出力電圧は接地電圧となる。制御電圧がメモリセル非選択を表す低電位するとき、NMOSトランジスタ11aとPMOSトランジスタ13は導通、NMOSトランジスタ11bは非導通となり、出力電圧は入力電圧と同じとなる。PMOSトランジスタ13を新たに接続することにより、NMOSトランジスタ11aは閾値電圧よりも低い入力電圧において導通するので、図11に示す回路よりも広い範囲の出力電圧を提供することができる。

[0049] <実施の形態9>

メモリセル3の特性は、周囲温度に影響を受けて変動する。特に、選択トランジスタ2を導通させるために必要なゲートソース間電圧が温度に応じて変動し、記憶素子1に流れる電流に影響を与える。そこで本発明の実施形態9では、メモリセル3が備える選択トランジスタ2の温度に応じてゲート電位VGを調整することにより、記憶素子1に流れる電流が温度により変動することを抑制する構成例について説明する。その他の構成については実施形態1～6、8と同様である。

[0050] 図13は、本実施形態9における電圧変換器6の回路例を示す図である。

本実施形態 9 において、電流源 8 に代えて出力電圧を制御することができる電流源 14 を設けた。電流源 14 の制御端子には、温度検知回路 15 が接続されている。温度検知回路 15 と電流源 8 は、半導体集積回路において一般的に知られているバンドギャップリファレンス (BGR) と同様の回路構成を用いることができる。例えば、温度検知回路 15 としてバンドギャップリファレンス回路を用い、電流源 14 としてバンドギャップリファレンス回路に接続されるカレントミラー回路を用いることができる。

[0051] 図 13 に示す回路構成によれば、温度検知回路 15 を用いて選択トランジスタ 2 周辺の温度を検知し、その温度に応じて電流源 14 の出力電圧を調整することにより、電圧変換器 6 が出力する電圧 V_{IN} を調整することができる。これにより、選択トランジスタ 2 を導通させるために必要なゲートソース間電圧に合わせて、記憶素子 1 に流れる電流を調整し、温度によらず一定の素子電流を供給することができる。

[0052] 図 14 は、本実施形態 9 における電圧変換器 6 の別回路例を示す図である。図 14 に示す電圧変換器 6 は、図 10 で説明した回路構成における電流源 8 を電流源 14 に置き換えるとともに、その制御端子に温度検知回路 15 を接続した。図 14 に示す回路構成によれば、図 13 に示すダイオード接続されたトランジスタと比べて温度依存性の小さい抵抗を用いているため、温度によるばらつきをさらに抑制することができる。

[0053] <実施の形態 10>

本発明の実施形態 10 では、本発明に係る半導体記憶装置のメモリセル 3 周辺の具体的な積層構造について説明する。ここでは、ワード線をプレート状に形成してメモリセル群 4 間で共有し、ビット線と選択トランジスタ S_{tt} r . によっていずれかのメモリセル群 4 を選択する構成を例示する。

[0054] 図 15 は、本発明に係る半導体記憶装置のメモリセルアレイ部の構成を示す図である。図 15 (a) は半導体記憶装置の一部の立体模式図、図 15 (b) は図 15 (a) の XZ 断面図である。

[0055] 電極 103 は、X 方向に延伸し、メモリセル群 4 を含む相変化メモリチェ

インPCMCHAI NをY方向において選択するビット線（選択電極）として動作する。電極103の下方には、選択トランジスタ2のゲート電極となるゲートポリシリコン層121p、122p、123p、124pと、絶縁膜111、112、113、114、115とが交互に積層された積層体が配置されている。積層体に形成されたZ方向の孔内には、相変化メモリチェーンPCMCHAI Nが形成されている。選択トランジスタSTTr. は、ゲート電極181p、ゲート絶縁膜110、チャネル半導体層150pを有する。選択トランジスタSTTr. の周囲には、絶縁膜171、172、131が配置されている。プレート状の電極102は、選択トランジスタSTTr. の下部に配置されている。N型半導体層138pは、電極103とPCMCHAI Nを電氣的に接続する。絶縁膜192は、電極103とPCMCHAI Nの間に形成されている。N型半導体層160pは、電極102とチャネル半導体層150pを電氣的に接続する。積層体の孔内に形成されたPCMCHAI Nは、ゲート絶縁膜109、チャネル半導体層108p、相変化材料層107、絶縁膜191を有する。

[0056] 図15において、X方向に延伸するビット線103、Y方向に延伸する選択トランジスタSttr. のゲート電極181pは、最小加工寸法をFとしてそれぞれ2Fピッチ、3Fピッチで形成することができる。すなわち、XY面内における投影面積 $6F^2$ のメモリセルを形成することができる。

[0057] 相変化材料層107としては、例えば $Ge_2Sb_2Te_5$ などのように、アモルファス状態における抵抗値と結晶状態における抵抗値が異なることを利用して情報を記憶する材料を用いることができる。高抵抗の状態であるアモルファス状態から低抵抗の状態である結晶状態に変化させる動作、すなわちセット動作は、アモルファス状態の相変化材料を結晶化温度以上に加熱し 10^{-6} 秒程度以上保持して結晶状態にすることにより実施する。結晶状態の相変化材料は、融点以上の温度まで加熱し液体状態にした後、急速に冷却することにより、アモルファス状態にすることができる。

[0058] 図15に示す構造例においては、4段のメモリセル3が形成されている。

図15(b)の点線で囲む相変化メモリセルSMCが、メモリセル3に相当する。記憶素子1は、各層の相変化材料層107によって形成される。選択トランジスタ2は、貫通穴の側面に形成されたチャネル半導体層108pとゲートポリシリコン層121p~124pによって形成される。

[0059] 本発明は上記した実施形態に限定されるものではなく、様々な変形例が含まれる。上記実施形態は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施形態の構成の一部を他の実施形態の構成に置き換えることもできる。また、ある実施形態の構成に他の実施形態の構成を加えることもできる。また、各実施形態の構成の一部について、他の構成を追加・削除・置換することもできる。

符号の説明

[0060] 1：記憶素子、2：選択トランジスタ、3：メモリセル、4：メモリセル群、5：選択ゲートドライバ、6：電圧変換器、7：コンデンサ、8：電流源、9：トランジスタ、10：抵抗、11a~11b：NMOSトランジスタ、12：インバータ、13：PMOSトランジスタ、14：電流源、15：温度検知回路。

請求の範囲

[請求項1]

第1および第2信号線と、

トランジスタと抵抗変化素子を並列接続して構成され、前記抵抗変化素子の状態変化によって情報を記憶するメモリセルと、

前記トランジスタにゲート電圧を供給するドライバ回路と、

を備え、

前記メモリセルは、前記第1および第2信号線の間複数直列に接続されており、

前記ドライバ回路は、各前記メモリセルが備える前記トランジスタのうちいずれか少なくとも2つ以上について、それぞれ異なるゲート電圧を供給する

ことを特徴とする半導体記憶装置。

[請求項2]

請求項1において、

前記ドライバ回路は、

各前記メモリセルが備える前記トランジスタに供給するゲート電圧のうち、

前記第1信号線に最も近い位置に配置された前記メモリセルが備える前記トランジスタに対して最も低いゲート電圧を供給し、

前記トランジスタが配置されている位置が前記第2信号線に近くなるにしたがって、前記トランジスタに対して供給するゲート電圧を次第に高くし、

前記第2信号線に最も近い位置に配置された前記メモリセルが備える前記トランジスタに対して最も高いゲート電圧を供給する

ことを特徴とする半導体記憶装置。

[請求項3]

請求項2において、

前記ドライバ回路は、全ての前記メモリセルが備える前記トランジスタについて、同じ立ち下がり時間でゲート電圧を立ち下げる

ことを特徴とする半導体記憶装置。

[請求項4]

請求項3において、

前記ドライバ回路は、

各前記メモリセルが備える前記トランジスタに供給するゲート電圧のうち、

前記第1信号線に最も近い位置に配置された前記メモリセルが備える前記トランジスタに対して供給するゲート電圧を最も緩やかに立ち下げ、

前記トランジスタが配置されている位置が前記第2信号線に近くなるにしたがって、前記トランジスタに対して供給するゲート電圧を立ち下げる勾配を次第に大きくし、

前記第2信号線に最も近い位置に配置された前記メモリセルが備える前記トランジスタに対して供給するゲート電圧を最も急峻に立ち下げる

ことを特徴とする半導体記憶装置。

[請求項5]

請求項3において、

前記ドライバ回路は、各前記メモリセルが備える前記トランジスタのうちいずれか少なくとも2つ以上との間において、前記ゲート電圧を遅延させる遅延回路を備え、

前記遅延回路は、前記ドライバ回路が各前記トランジスタに対して供給するゲート電圧の立ち下がり時間が全て同じになるように構成されている

ことを特徴とする半導体記憶装置。

[請求項6]

請求項5において、

前記遅延回路は、

各前記メモリセルが備える前記トランジスタに供給するゲート電圧のうち、

前記第1信号線に最も近い位置に配置された前記メモリセルが備える前記トランジスタに対して供給されるゲート電圧が最も緩やかに

立ち下がり、

前記トランジスタが配置されている位置が前記第2信号線に近くなるにしたがって、前記トランジスタに対して供給されるゲート電圧が立ち下がる勾配が次第に大きくなり、

前記第2信号線に最も近い位置に配置された前記メモリセルが備える前記トランジスタに対して供給されるゲート電圧が最も急峻に立ち下がる

ように構成されていることを特徴とする半導体記憶装置。

[請求項7]

請求項6において、

前記遅延回路は、

各前記メモリセルが備える前記トランジスタのうちいずれか少なくとも2つ以上との間においてそれぞれ配置されたコンデンサを用いて構成されており、

各前記コンデンサは、

前記第1信号線に最も近い位置に配置された前記メモリセルが備える前記トランジスタとの間において配置されたものが最も容量が大きく、

前記トランジスタが配置されている位置が前記第2信号線に近くなるにしたがって、前記トランジスタとの間に配置された前記コンデンサの容量が次第に小さくなり、

前記第2信号線に最も近い位置に配置された前記メモリセルが備える前記トランジスタとの間において配置されたものが最も容量が小さい

ように構成されていることを特徴とする半導体記憶装置。

[請求項8]

請求項3において、

前記ドライバ回路は、

各前記メモリセルが備える前記トランジスタに供給するゲート電圧のうち、

前記第 1 信号線に最も近い位置に配置された前記メモリセルが備える前記トランジスタに対して供給するゲート電圧を最も遅れて立ち下げ、

前記トランジスタが配置されている位置が前記第 2 信号線に近くなるにしたがって、前記トランジスタに対して供給するゲート電圧を立ち下げ始めるタイミングを次第に早くし、

前記第 2 信号線に最も近い位置に配置された前記メモリセルが備える前記トランジスタに対して供給するゲート電圧を最も先に立ち下げる

ことを特徴とする半導体記憶装置。

[請求項9]

請求項 1 において、

前記ドライバ回路は、各前記メモリセルが備える前記トランジスタのうちいずれか少なくとも 2 つ以上について、それぞれ同じゲート電圧を供給する

ことを特徴とする半導体記憶装置。

[請求項10]

請求項 1 において、

前記半導体記憶装置は、

前記複数直列に接続されたメモリセルを有するメモリセル群を複数備え、

前記ドライバ回路は、

各前記メモリセル群内に含まれる前記メモリセルのうち、前記第 1 信号線または前記第 2 信号線から数えて同じ段に配置されているものに対しては、共通の前記ゲート電圧を供給するように接続されている

ことを特徴とする半導体記憶装置。

[請求項11]

請求項 1 において、

前記半導体記憶装置は、前記トランジスタの温度を検知する温度検知回路を備え、

前記ドライバ回路は、前記温度検知回路が検知した前記トランジスタの温度に応じて前記ゲート電圧を調整することにより、前記トランジスタの温度によらず一定の前記ゲート電圧を前記トランジスタに対して供給する

ことを特徴とする半導体記憶装置。

[請求項12]

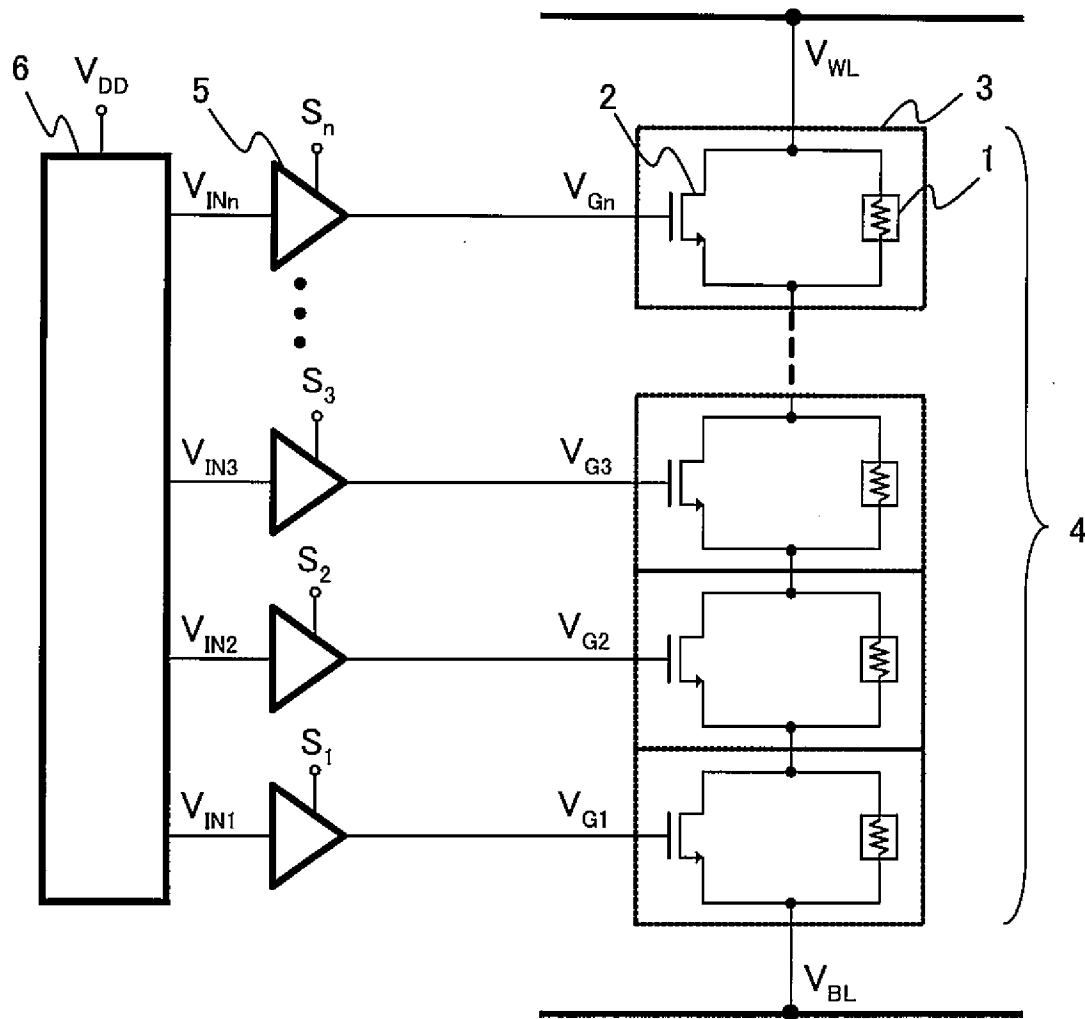
請求項1において、

前記メモリセルは、ゲート電極層を積層した積層体を貫通する貫通孔の側面に、抵抗変化材料層とチャネル層を形成することによって構成されている

ことを特徴とする半導体記憶装置。

[図1]

図 1



[図2]

図 2

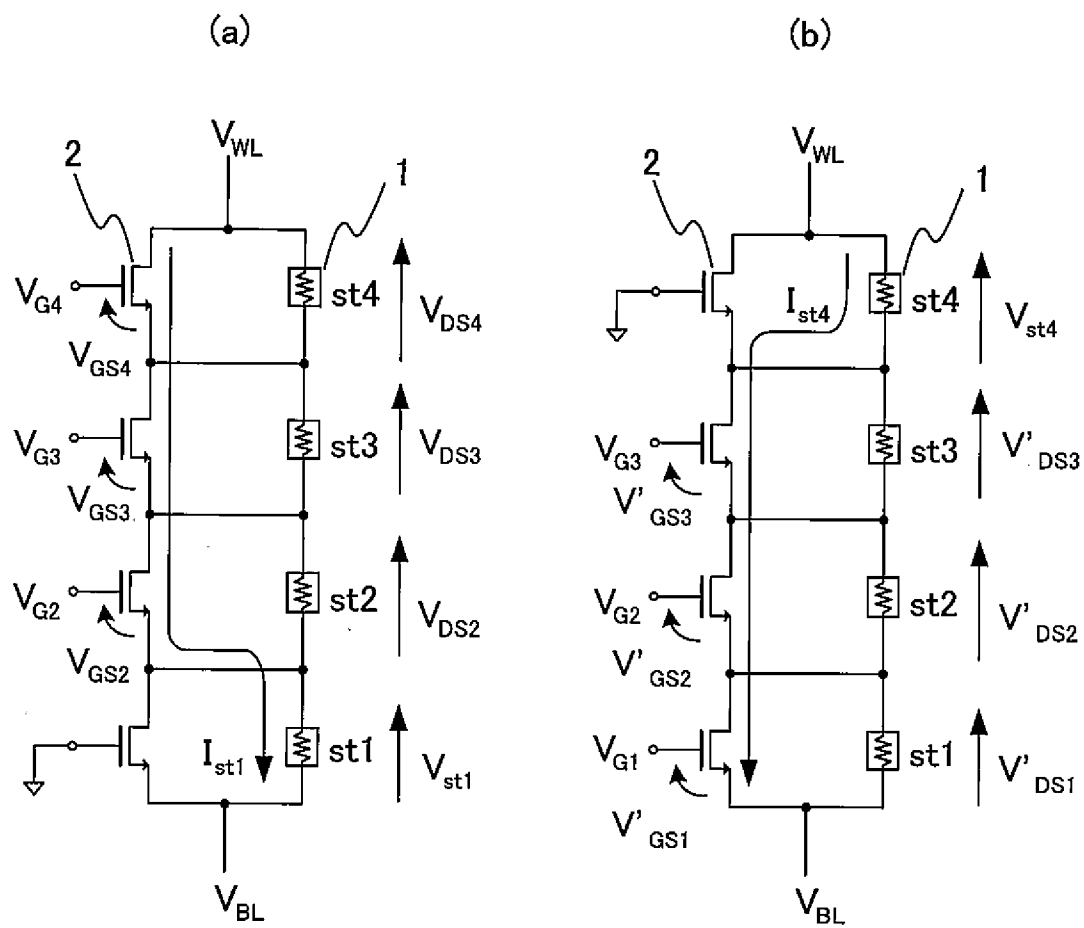
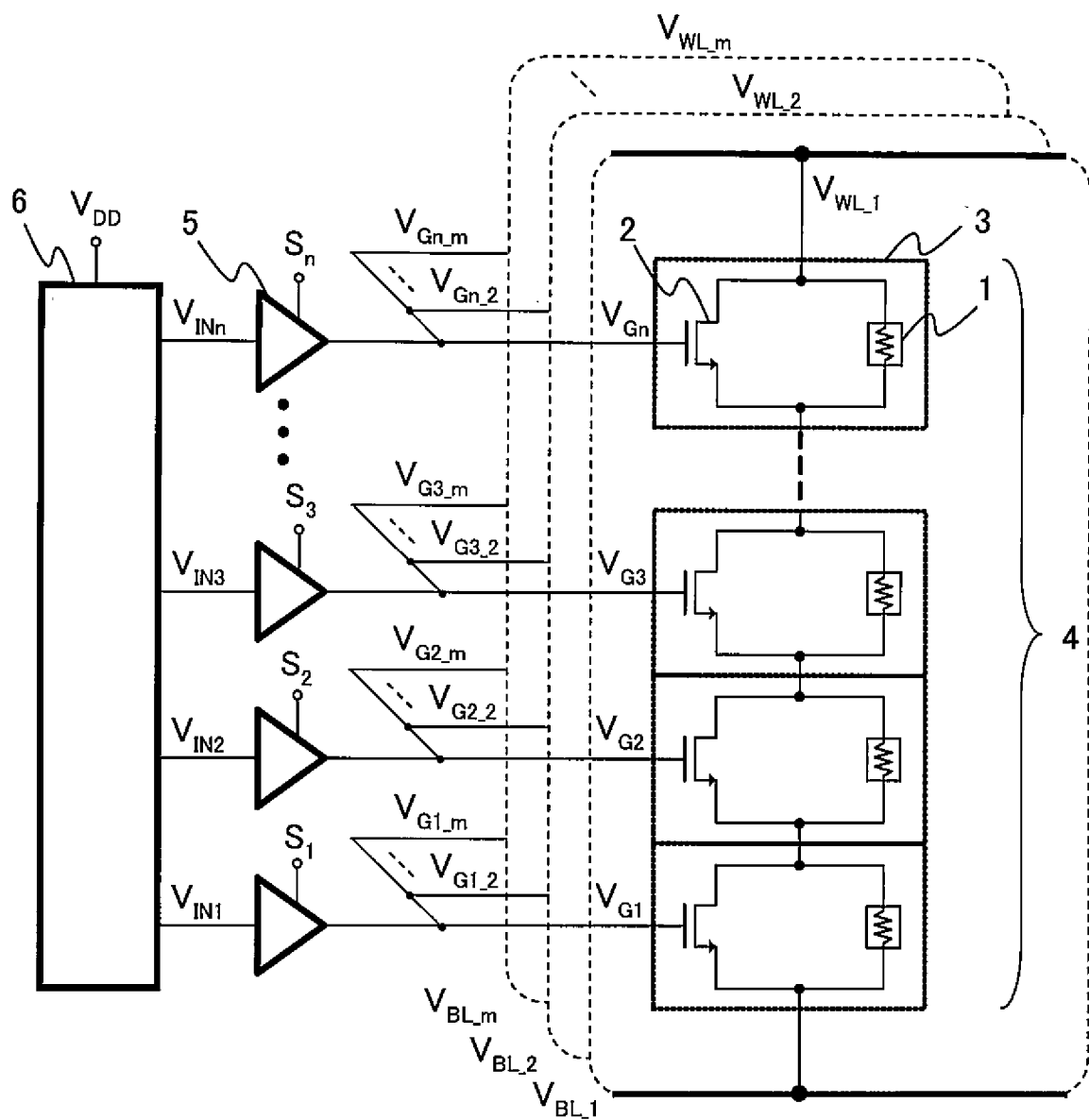
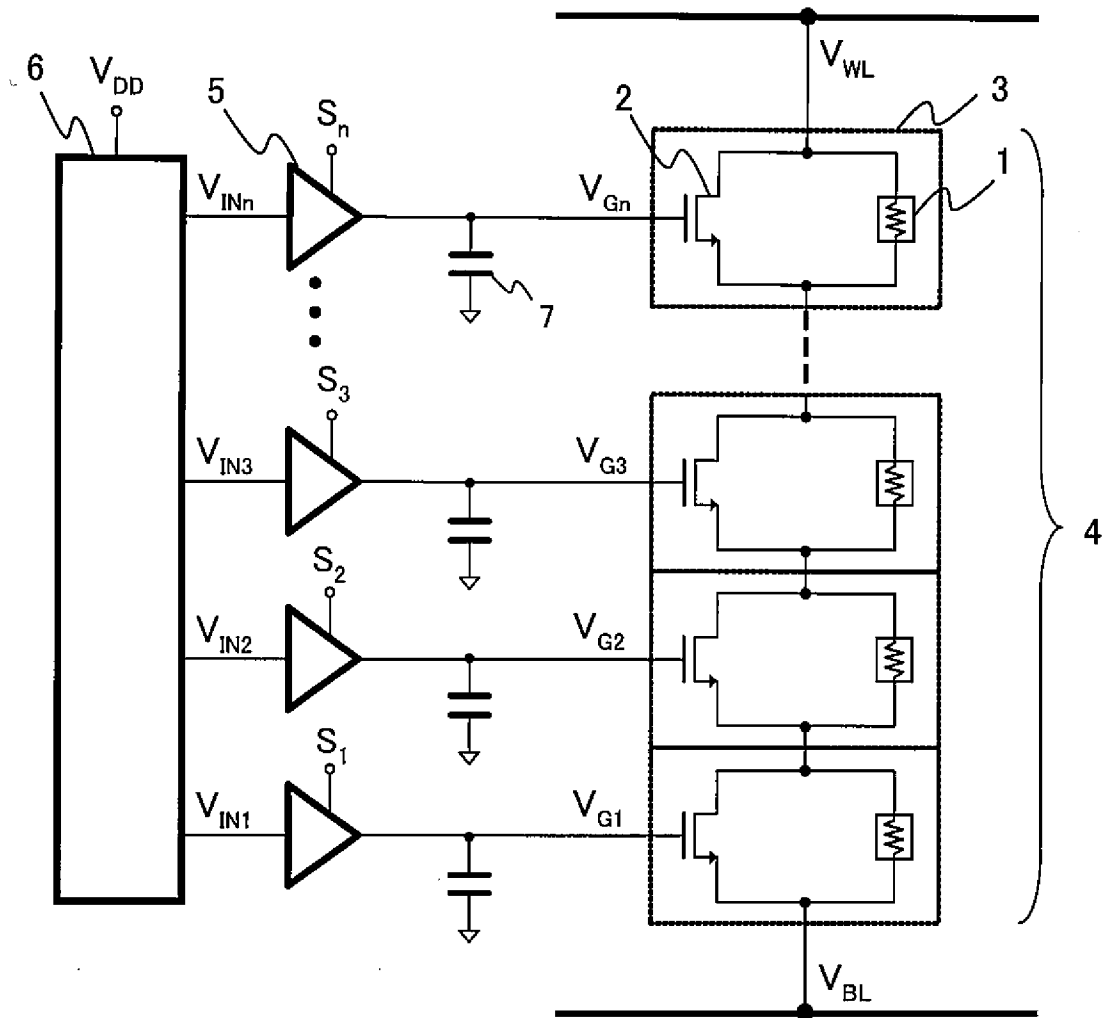


图 3



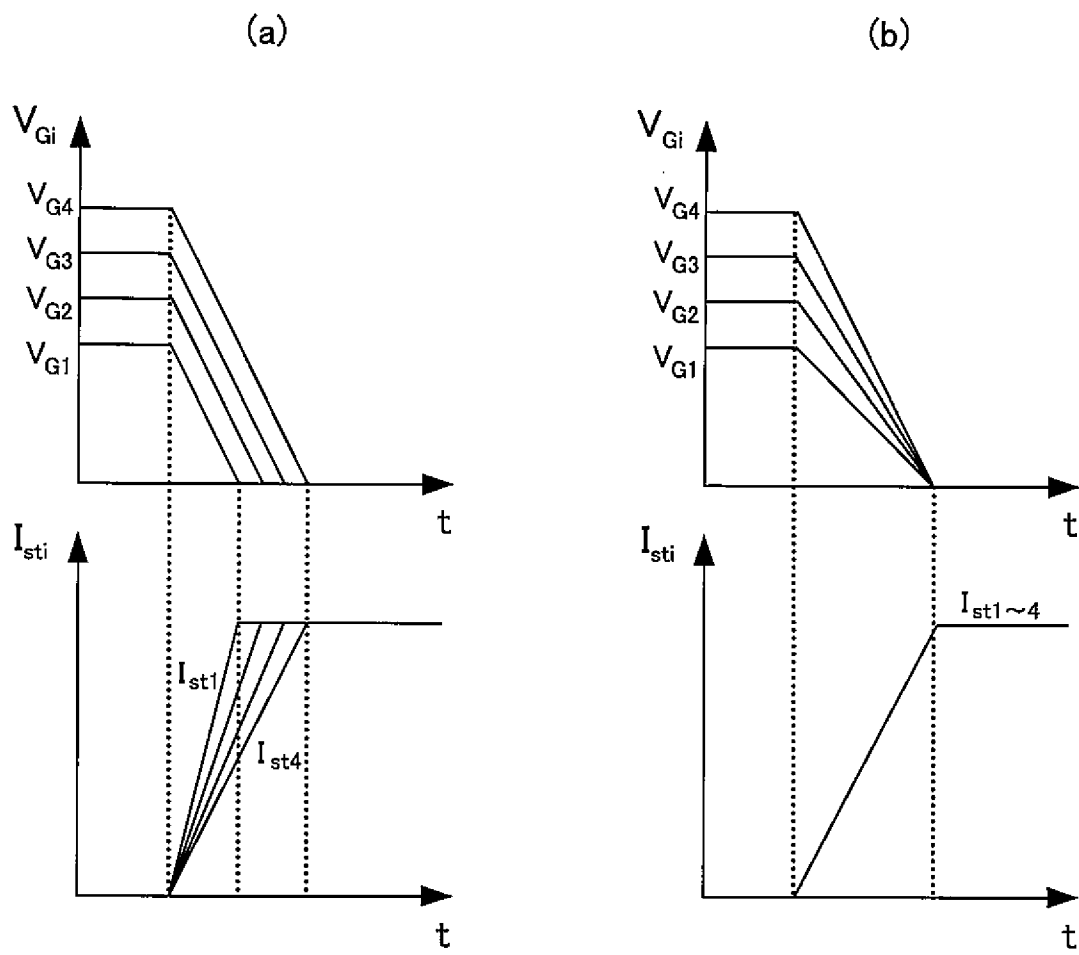
[図4]

図 4



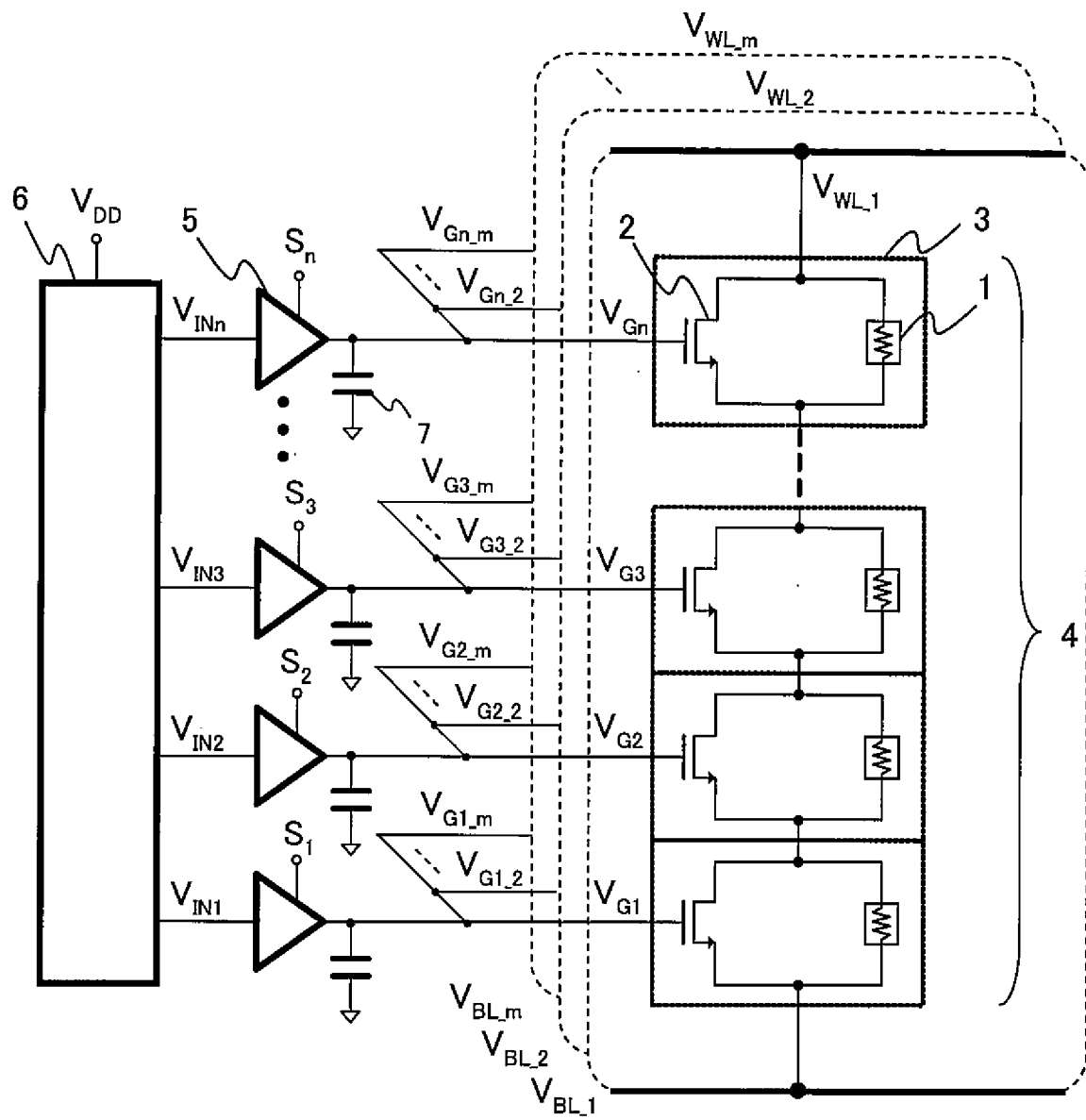
[図5]

図 5



[図6]

図 6



[図7]

図 7

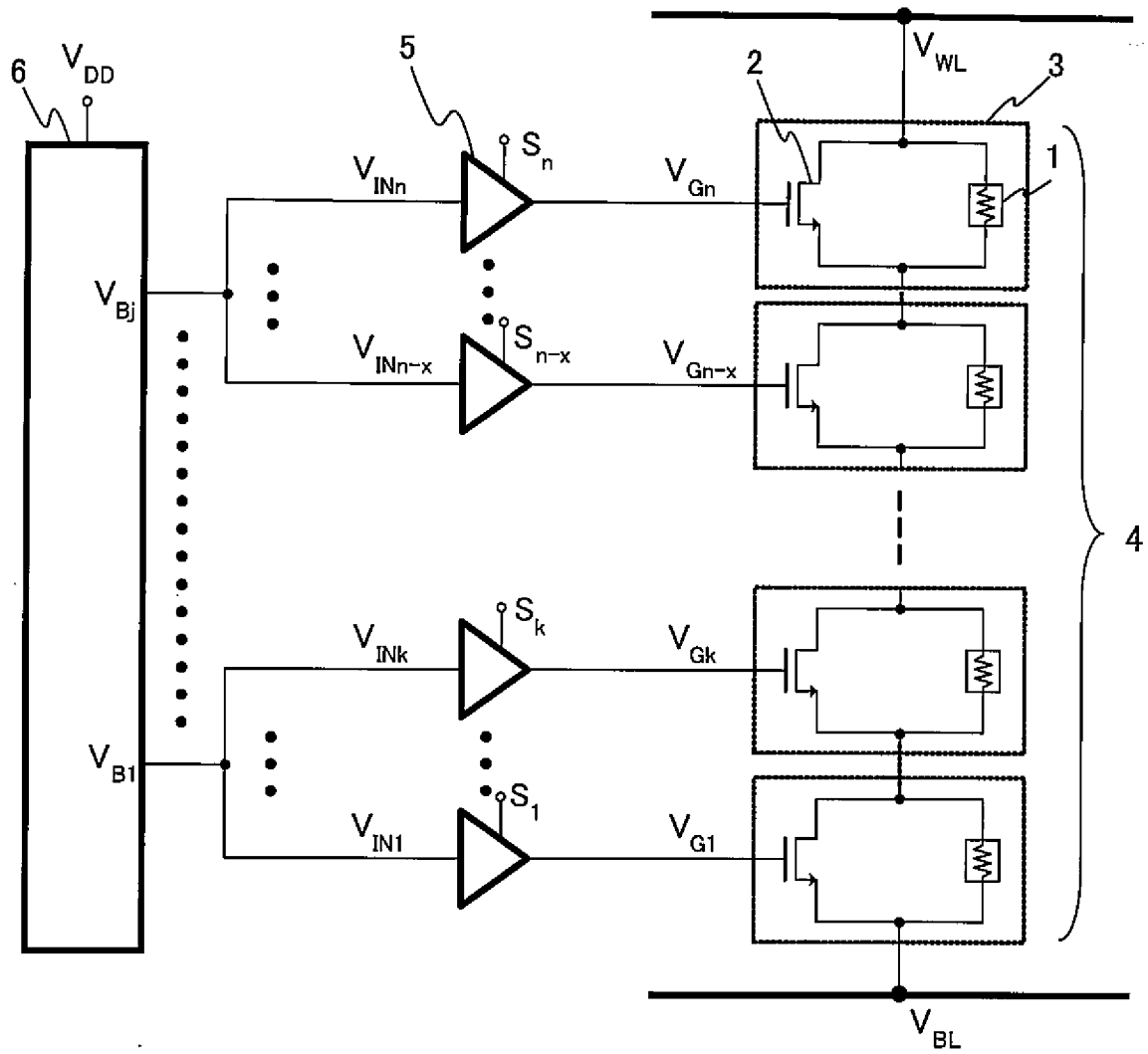
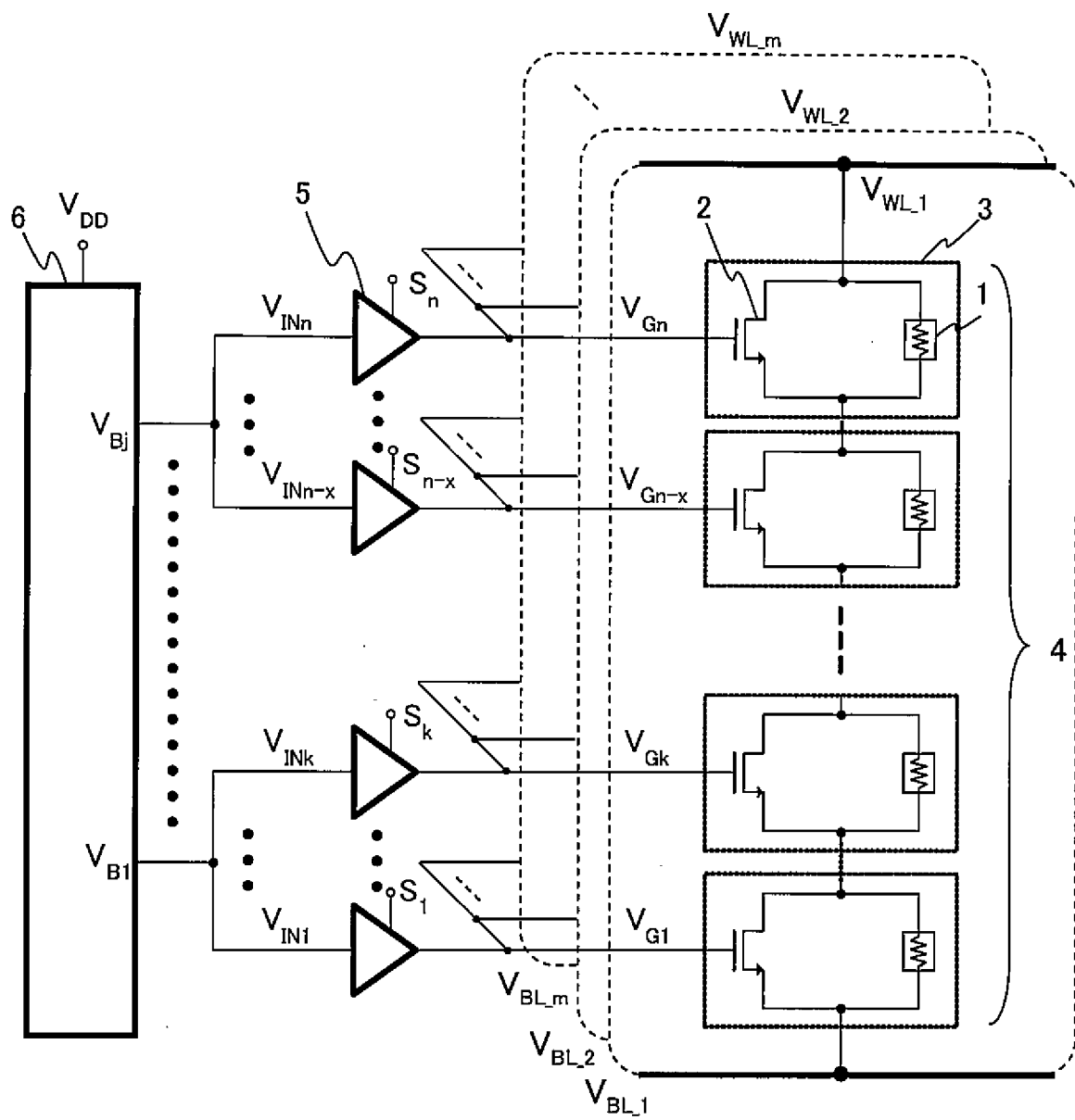
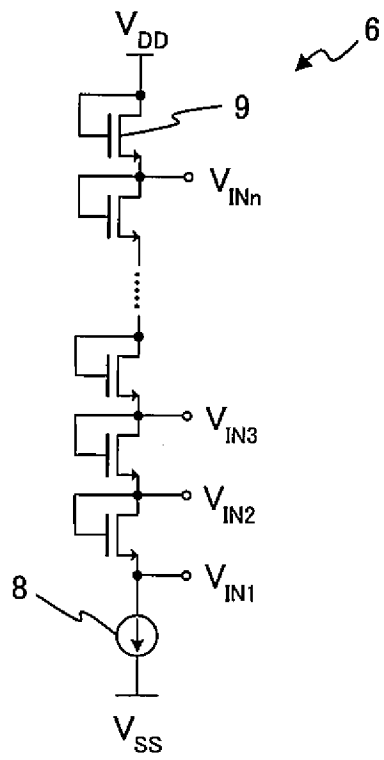


图 8



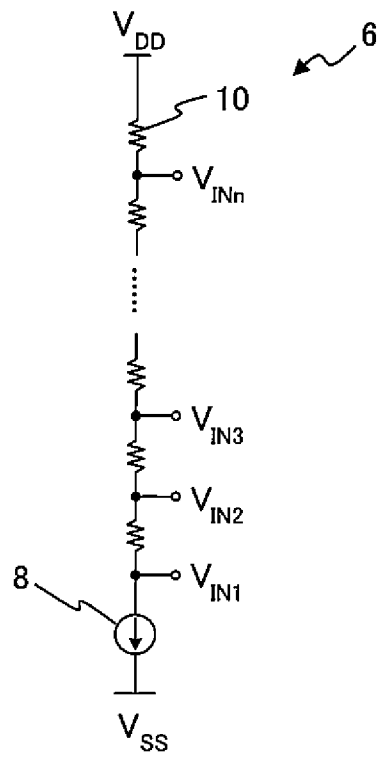
[図9]

図 9



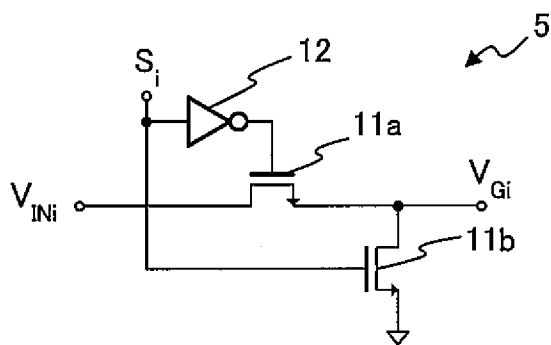
[図10]

図 10



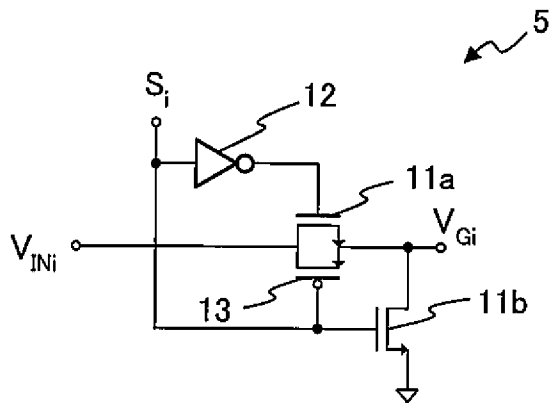
[図11]

図 11



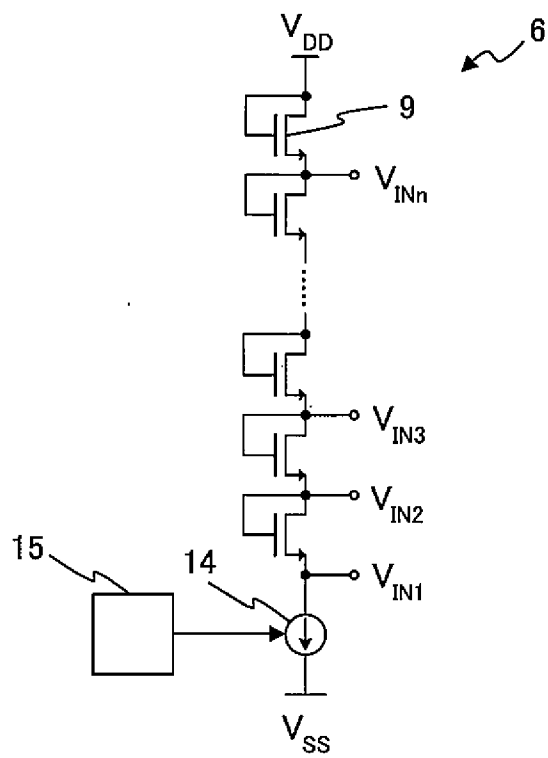
[図12]

図 1 2



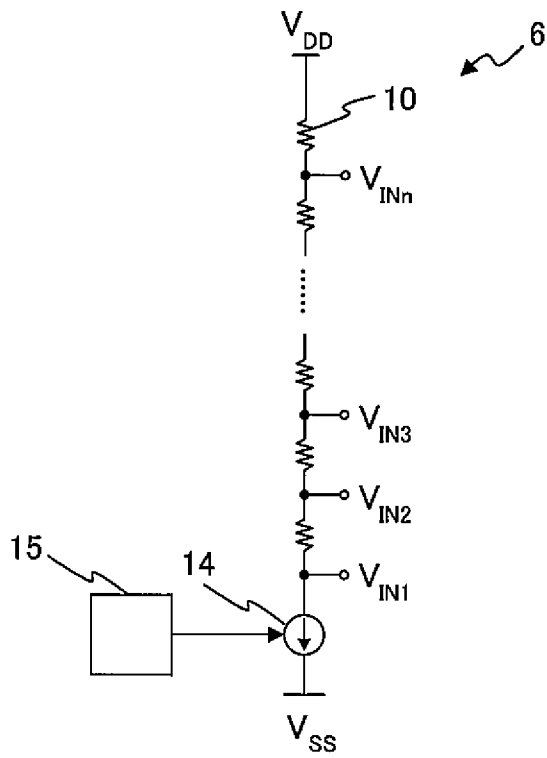
[図13]

図 1 3



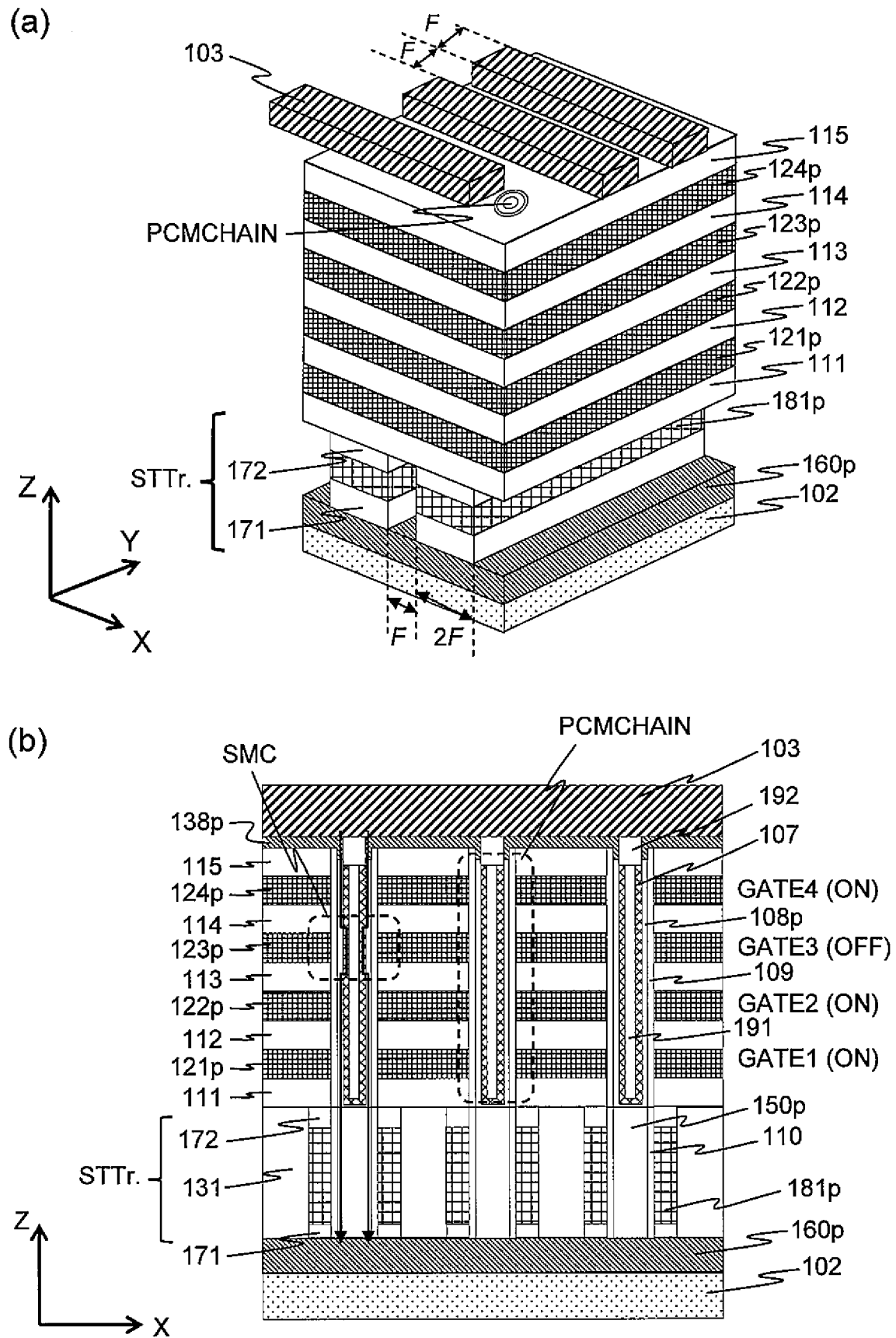
[図14]

図 1 4



[図15]

図 15



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/074080

A. CLASSIFICATION OF SUBJECT MATTER

G11C13/00(2006.01)i, H01L27/105(2006.01)i, H01L45/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C13/00, G11C11/15, H01L27/105, H01L45/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2011-114016 A (Toshiba Corp.), 09 June 2011 (09.06.2011), paragraphs [0044] to [0060]; fig. 4C, 8A, 8B, 9A & US 2011/0122676 A1	1, 9, 12 2, 10, 11 3-8
Y A	JP 2004-272975 A (Sharp Corp.), 30 September 2004 (30.09.2004), paragraphs [0037] to [0046]; fig. 1 & US 2004/0174732 A1 & EP 1455363 A1 & KR 10-0692278 B1 & CN 1551240 A	2, 11 3-8
Y A	JP 2012-74542 A (Hitachi, Ltd.), 12 April 2012 (12.04.2012), paragraphs [0049] to [0058]; fig. 4, 6 (Family: none)	10 3-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 October, 2012 (09.10.12)

Date of mailing of the international search report
16 October, 2012 (16.10.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G11C13/00(2006.01)i, H01L27/105(2006.01)i, H01L45/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G11C13/00, G11C11/15, H01L27/105, H01L45/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2011-114016 A (株式会社東芝) 2011.06.09, 段落【0044】 - 【0060】、図4C、図8A、図8B、図9A & US 2011/0122676 A1	1, 9, 12 2, 10, 11 3-8
Y A	JP 2004-272975 A (シャープ株式会社) 2004.09.30, 段落【0037】 - 【0046】、図1 & US 2004/0174732 A1 & EP 1455363 A1 & KR 10-0692278 B1 & CN 1551240 A	2, 11 3-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 9 . 1 0 . 2 0 1 2

国際調査報告の発送日

1 6 . 1 0 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

後藤 彰

5 U

4 2 2 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2012-74542 A (株式会社日立製作所) 2012. 04. 12, 段落【0049】－【0058】、図4、図6 (ファミリーなし)	10 3-8